



(12)发明专利

(10)授权公告号 CN 103810316 B

(45)授权公告日 2017.06.16

(21)申请号 201310064512.X

(51)Int.Cl.

(22)申请日 2013.02.28

G06F 17/50(2006.01)

(65)同一申请的已公布的文献号  
申请公布号 CN 103810316 A

(56)对比文件

CN 1776698 A,2006.05.24,  
CN 101887469 A,2010.11.17,  
CN 102385642 A,2012.03.21,  
US 2008018319 A1,2008.01.24,

(43)申请公布日 2014.05.21

(30)优先权数据  
13/670,130 2012.11.06 US

审查员 刘天晓

(73)专利权人 台湾积体电路制造股份有限公司  
地址 中国台湾新竹

(72)发明人 黄超明 李惠宇

(74)专利代理机构 北京德恒律治知识产权代理  
有限公司 11409  
代理人 章社杲 孙征

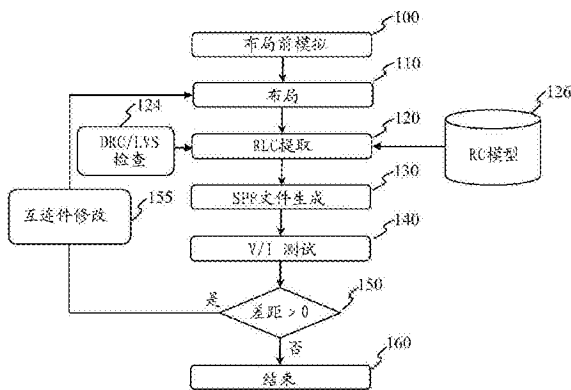
权利要求书3页 说明书8页 附图8页

(54)发明名称

降低寄生失配的方法

(57)摘要

一种降低寄生失配的方法,包括利用第一模拟工具通过电阻-电感-电容(RLC)提取机制由第一布局生成第一网表文件,通过第二模拟工具对网络实施V/I测试,基于V/I测试的结果确定是否存在失配,以及修改网络的连接迹线以生成第二布局。



1. 一种降低寄生失配的方法,包括:

利用第一模拟工具通过电阻-电感-电容 (RLC) 提取机制由第一布局生成第一网表文件,所述第一网表文件包括多个电阻器网络的电阻值以及电阻器的位置;

通过第二模拟工具对网络实施V/I测试;

基于所述V/I测试的结果确定所述电阻器的电阻比值是否存在失配;以及修改所述网络的连接迹线以生成第二布局。

2. 根据权利要求1所述的降低寄生失配的方法,还包括:

接收来自IC加工厂的多个元件模型;以及

基于所述元件模型生成所述第一网表文件。

3. 根据权利要求1所述的降低寄生失配的方法,其中:

所述第二模拟工具被配置成分析所述第一布局的节点的电特性;以及

所述第一模拟工具被配置成提取所述第一布局的互连寄生分量。

4. 根据权利要求1所述的降低寄生失配的方法,还包括:

从所述第一布局选择两个节点;

对所述节点实施所述V/I测试;

提取等效电阻值;以及

通过反向标注方法检测所述失配。

5. 根据权利要求1所述的降低寄生失配的方法,还包括:

在修改所述网络的连接迹线以生成第二布局的步骤之后,利用所述第一模拟工具通过所述电阻-电感-电容 (RLC) 提取机制由所述第二布局生成第二网表文件;以及

通过所述第二模拟工具对所述网络实施所述V/I测试。

6. 根据权利要求1所述的降低寄生失配的方法,还包括:

在基于所述V/I测试的结果确定是否存在失配的步骤之后,修改所述网络的连接迹线的宽度以生成所述第二布局。

7. 根据权利要求1所述的降低寄生失配的方法,还包括:

在基于所述V/I测试的结果确定是否存在失配的步骤之后,修改所述网络的连接迹线的长度以生成所述第二布局。

8. 根据权利要求1所述的降低寄生失配的方法,还包括:

对所述第一布局实施设计规则检查 (DRC) 测试;以及

对所述第一布局实施布局与原理图比对 (LVS) 测试。

9. 根据权利要求1所述的降低寄生失配的方法,其中,所述第一网表文件包括:

在所述第一布局中具有矩形形状的电阻器的四个拐角的坐标;

所述电阻器的宽度;以及

所述电阻器的长度。

10. 根据权利要求9所述的降低寄生失配的方法,还包括:

所述电阻器在所述第一布局中的位置;以及

所述电阻器的电阻值。

11. 一种降低寄生失配的方法,包括:

通过布局前模拟设定第一电阻器结构和第二电阻器结构之间的第一比值;

将所述第一电阻器结构和所述第二电阻器结构放入布局中；  
生成网表文件，所述网表文件包括所述第一电阻器结构和所述第二电阻器结构的寄生参数，其中所述网表文件包括：

所述第一电阻器结构和所述第二电阻器结构的电阻值；和  
所述第一电阻器结构和所述第二电阻器结构的X-Y坐标；  
通过模拟工具对所述第一电阻器结构实施第一V-I测试从而获得第一电阻值；  
通过所述模拟工具对所述第二电阻器结构实施第二V-I测试从而获得第二电阻值；  
确定基于V-I测试的第二比值与所述第一比值之间是否存在失配；以及  
修改包括所述第一电阻器结构和所述第二电阻器结构的布局。

12. 根据权利要求11所述的降低寄生失配的方法，还包括：

在确定基于所述V-I测试的第二比值与所述第一比值之间是否存在失配的步骤之后，修改所述第一电阻器结构的互连件的宽度。

13. 根据权利要求11所述的降低寄生失配的方法，还包括：

在确定基于所述V-I测试的第二比值与所述第一比值之间是否存在失配的步骤之后，修改所述第一电阻器结构的互连件的长度。

14. 根据权利要求11所述的降低寄生失配的方法，还包括：

在修改包括所述第一电阻器结构和所述第二电阻器结构的布局的步骤之后，基于修改后的布局生成第二网表文件；

实施第三V-I测试以计算所述第一电阻器结构和所述第二电阻器结构之间的第三比值；以及

确定所述第三比值和所述第一比值之间是否存在失配。

15. 根据权利要求11所述的降低寄生失配的方法，其中：

所述第一电阻器结构包括在衬底中/上形成的多个半导体电阻器和在位于所述衬底上方的互连层中形成的连接件；以及

所述第二电阻器结构包括在所述衬底中/上形成的多个半导体电阻器和在位于所述衬底上方的互连层中形成的连接件。

16. 根据权利要求11所述的降低寄生失配的方法，还包括：

在将所述第一电阻器结构和所述第二电阻器结构放入布局中的步骤之后，对所述布局实施设计规则检查(DRC)测试；

对所述布局实施布局与原理图比对(LVS)测试；

接收来自IC加工厂的多个元件模型；以及

利用电阻提取工具生成所述网表文件。

17. 一种校正寄生失配的计算机系统，所述计算机系统包括：

用于利用第一模拟工具通过电阻-电感-电容(RLC)提取机制由第一布局生成第一网表文件的计算机模块，所述第一网表文件包括多个电阻器网络的电阻值以及电阻器的位置；

用于通过第二模拟工具对网络实施V/I测试的计算机模块；

用于基于所述V/I测试的结果确定所述电阻器的电阻比值是否存在失配的计算机模块；以及

用于修改所述网络的连接迹线以生成第二布局的计算机模块。

18. 根据权利要求17所述的计算机系统,还包括:

用于在修改所述网络的连接迹线以生成第二布局的步骤之后,利用所述第一模拟工具通过电阻-电感-电容(RLC)提取机制由所述第二布局生成第二网表文件的计算机模块;以及

用于通过所述第二模拟工具对所述网络实施所述V/I测试的计算机模块。

19. 根据权利要求17所述的计算机系统,还包括:

用于通过布局前模拟设定第一电阻器结构和第二电阻器结构之间的第一比值的计算机模块;

用于将所述第一电阻器结构和所述第二电阻器结构放入布局中的计算机模块;

用于生成包括所述第一电阻器结构和所述第二电阻器结构的寄生参数的网表文件的计算机模块,其中所述网表文件包括:

所述第一电阻器结构和所述第二电阻器结构的电阻值;和

所述第一电阻器结构和所述第二电阻器结构的X-Y坐标;

用于通过模拟工具对所述第一电阻器结构实施第一V-I测试从而获得第一电阻值的计算机模块;

用于通过所述模拟工具对所述第二电阻器结构实施第二V-I测试从而获得第二电阻值的计算机模块;

用于确定基于V-I测试的第二比值与所述第一比值之间是否存在失配的计算机模块;以及

用于修改包括所述第一电阻器结构和所述第二电阻器结构的布局的计算机模块。

20. 根据权利要求19所述的计算机系统,还包括:

用于在修改包括所述第一电阻器结构和所述第二电阻器结构的布局的步骤之后,基于修改后的布局生成第二网表文件的计算机模块;

用于实施第三V-I测试以计算所述第一电阻器结构和所述第二电阻器结构之间的第三比值的计算机模块;以及

用于确定所述第三比值和所述第一比值之间是否存在失配的计算机模块。

## 降低寄生失配的方法

### 技术领域

[0001] 本发明涉及校正布局前模拟结果和布局后测试结果之间的电阻比失配的方法。更具体而言,本发明涉及校正各种半导体器件中由各种寄生元件引起的失配。

### 背景技术

[0002] 随着半导体技术的发展,集成电路(IC)已经趋向于小部件尺寸,诸如65纳米、45纳米、32纳米及以下。具有小部件尺寸的半导体技术导致半导体制造和设计之间更多的互动。例如,对于具有小部件尺寸的器件,寄生效应的影响将变得更重要。IC设计者可以实施多种模拟和优化程序以确保具有小部件尺寸的器件满足对其规定的性能指标。

[0003] 半导体电阻器广泛应用于集成电路中。可以通过掺杂集成电路的衬底的有源区形成半导体电阻器。可选地,可以通过在衬底上方沉积形成多个多晶硅层形成半导体电阻器。可以通过以串联或并联连接的多个电阻器元件形成半导体电阻器。例如,半导体电阻器的电阻器元件可以是形成在衬底中的掺杂的有源区。多个互连结构将电阻器元件连接起来从而形成半导体电阻器。

[0004] 可以利用半导体电阻器形成集成电路的关键控制电路。例如,在带隙基准电路中,通过与带隙基准电路连接的两个半导体电阻器的比值确定参考电压。如此,这两个半导体电阻器的比值对于保持准确的运行是关键的,从而使得带隙基准电路能够生成准确的参考电压。

[0005] 由于用于连接不同的电阻器元件的互连件导致的寄生参数,半导体电阻器的布局可能导致多种电阻变化。这些变化可能导致两个半导体电阻器之间的比值的变化的变化。如此,可能对一些关键的性能指标,诸如时序、噪音和可靠性造成不利的影。

[0006] 各种电子设计自动化(EDA)工具可以用于提取寄生电容、电感和电阻。例如,诸如来自SYNOPTIS的Star-RCXT、来自Mentor Graphics的CALIBRE和/或类似的EDA工具可以首先接收来自IC加工厂的SPICE模型文件并随后提取寄生参数。

### 发明内容

[0007] 为了解决现有技术中存在的问题,根据本发明的一个方面提供了一种方法,包括:利用第一模拟工具通过电阻-电感-电容(RLC)提取机制由第一布局生成第一网表文件;通过第二模拟工具对网络实施V/I测试;基于所述V/I测试的结果确定是否存在失配;以及修改所述网络的连接迹线以生成第二布局。

[0008] 所述的方法还包括:接收来自IC加工厂的多个元件模型;以及基于所述元件模型生成所述第一网表文件。

[0009] 在所述的方法中,所述第二模拟工具被配置成分析所述第一布局的节点的电特性;以及所述第一模拟工具被配置成提取所述第一布局的互连寄生分量。

[0010] 所述的方法还包括:从所述第一布局选择两个节点;对所述节点实施所述V/I测试;提取等效电阻值;以及通过反向标注方法检测所述失配。

[0011] 所述的方法还包括：在修改所述网络的连接迹线以生成第二布局的步骤之后，利用所述第一模拟工具通过所述电阻-电感-电容 (RLC) 提取机制由所述第二布局生成第二网表文件；以及通过所述第二模拟工具对所述网络实施所述V/I测试。

[0012] 所述的方法还包括：在基于所述V/I测试的结果确定是否存在失配的步骤之后，修改所述网络的连接迹线的宽度以生成所述第二布局。

[0013] 所述的方法还包括：在基于所述V/I测试的结果确定是否存在失配的步骤之后，修改所述网络的连接迹线的长度以生成所述第二布局。

[0014] 所述的方法还包括：对所述第一布局实施设计规则检查 (DRC) 测试；以及对所述第一布局实施布局与原理图比对 (LVS) 测试。

[0015] 在所述的方法中，所述第一网表文件包括：在所述第一布局中具有矩形形状的电阻器的四个拐角的坐标；所述电阻器的宽度；以及所述电阻器的长度。

[0016] 在一个实施例中，所述的方法还包括：所述电阻器在所述第一布局中的位置；以及所述电阻器的电阻值。

[0017] 根据本发明的另一方面，还提供了一种方法，包括：通过布局前模拟设定第一电阻器结构和第二电阻器结构之间的第一比值；将所述第一电阻器结构和所述第二电阻器结构放入布局中；生成网表文件，所述网表文件包括所述第一电阻器结构和所述第二电阻器结构的寄生参数，其中所述网表文件包括：所述第一电阻器结构和所述第二电阻器结构的电阻值，和所述第一电阻器结构和所述第二电阻器结构的X-Y坐标；通过模拟工具对所述第一电阻器结构实施第一V-I测试从而获得第一电阻值；通过所述模拟工具对所述第二电阻器结构实施第二V-I测试从而获得第二电阻值；确定基于V-I测试的第二比值与所述第一比值之间是否存在失配；以及修改包括所述第一电阻器结构和所述第二电阻器结构的布局。

[0018] 所述的方法还包括：在确定基于所述V-I测试的第二比值与所述第一比值之间是否存在失配的步骤之后，修改所述第一电阻器结构的互连件的宽度。

[0019] 所述的方法还包括：在确定基于所述V-I测试的第二比值与所述第一比值之间是否存在失配的步骤之后，修改所述第一电阻器结构的互连件的长度。

[0020] 所述的方法还包括：在修改包括所述第一电阻器结构和所述第二电阻器结构的布局的步骤之后，基于修改后的布局生成第二网表文件；实施第三V-I测试以计算所述第一电阻器结构和所述第二电阻器结构之间的第三比值；以及确定所述第三比值和所述第一比值之间是否存在失配。

[0021] 在所述的方法中，所述第一电阻器结构包括在衬底中/上形成的多个半导体电阻器和在位于所述衬底上方的互连层中形成的连接件；以及所述第二电阻器结构包括在所述衬底中/上形成的多个半导体电阻器和在位于所述衬底上方的互连层中形成的连接件。

[0022] 所述的方法还包括：在将所述第一电阻器结构和所述第二电阻器结构放入布局中的步骤之后，对所述布局实施设计规则检查 (DRC) 测试；对所述布局实施布局与原理图比对 (LVS) 测试；接收来自IC加工厂的多个元件模型；以及利用电阻提取工具生成所述网表文件。

[0023] 根据本发明的又一方面，提供了一种计算机程序产品，所述计算机程序产品具有非临时性计算机可读介质以及在所述非临时性计算机可读介质上体现的计算机程序，所述计算机程序包括：用于利用第一模拟工具通过电阻-电感-电容 (RLC) 提取机制由第一布局

生成第一网表文件的计算机程序代码；用于通过第二模拟工具对网络实施V/I测试的计算机程序代码；用于基于所述V/I测试的结果确定是否存在失配的计算机程序代码；以及用于修改所述网络的连接迹线以生成第二布局的计算机程序代码。

[0024] 所述的计算机程序产品还包括：用于在修改所述网络的连接迹线以生成第二布局的步骤之后，利用所述第一模拟工具通过电阻-电感-电容 (RLC) 提取机制由所述第二布局生成第二网表文件的计算机程序代码；以及用于通过所述第二模拟工具对所述网络实施所述V/I测试的计算机程序代码。

[0025] 所述的计算机程序产品还包括：用于通过布局前模拟设定第一电阻器结构和第二电阻器结构之间的第一比值的计算机程序代码；用于将所述第一电阻器结构和所述第二电阻器结构放入布局中的计算机程序代码；用于生成包括所述第一电阻器结构和所述第二电阻器结构的寄生参数的网表文件的计算机程序代码，其中所述网表文件包括：所述第一电阻器结构和所述第二电阻器结构的电阻值，和所述第一电阻器结构和所述第二电阻器结构的X-Y坐标；用于通过模拟工具对所述第一电阻器结构实施第一V-I测试从而获得第一电阻值的计算机程序代码；用于通过所述模拟工具对所述第二电阻器结构实施第二V-I测试从而获得第二电阻值的计算机程序代码；用于确定基于V-I测试的第二比值与所述第一比值之间是否存在失配的计算机程序代码；以及用于修改包括所述第一电阻器结构和所述第二电阻器结构的布局的计算机程序代码。

[0026] 在一个实施例中，所述的计算机程序产品还包括：用于在修改包括所述第一电阻器结构和所述第二电阻器结构的布局的步骤之后，基于修改后的布局生成第二网表文件的计算机程序代码；用于实施第三V-I测试以计算所述第一电阻器结构和所述第二电阻器结构之间的第三比值的计算机程序代码；以及用于确定所述第三比值和所述第一比值之间是否存在失配的计算机程序代码。

## 附图说明

[0027] 为了更好地理解本发明及其优点，现在将结合附图所进行的以下描述作为参考，其中：

[0028] 图1示出了根据实施例的包括一系列用于校正布局前模拟结果和布局后测试结果之间的失配的步骤的流程图。

[0029] 图2示出根据实施例的网表文件的示例性格式。

[0030] 图3A示出根据实施例的半导体结构及其等效电路。

[0031] 图3B示出根据本发明的各个实施例实施V/I测试的流程图。

[0032] 图4示出根据实施例调整半导体电阻器结构的电阻的方法。

[0033] 图5示出根据另一个实施例调整半导体电阻器结构的电阻的方法。

[0034] 图6示出根据又一个实施例调整半导体电阻器结构的电阻的方法。

[0035] 图7示出根据实施例可以用于实施图1所示的方法的计算机系统的简化框图。

[0036] 图8示出根据本发明的各个实施例的带隙基准电路的示意图。

[0037] 除非另有说明，不同附图中的相应标号和符号通常是指相应部件。绘制附图用于清楚地示出实施例的相关方面而不必成比例绘制。

## 具体实施方式

[0038] 下面,详细讨论本发明优选实施例的制造和使用。然而,应该理解,本发明提供了许多可以在各种具体环境中实现的可应用的发明构思。所讨论的具体实施例仅仅是制造和使用本发明的例证性具体方式,而不用于限制本发明的范围。

[0039] 将参照具体环境下的优选实施例描述本发明,即校正布局前模拟结果和布局后测试结果之间的电阻比失配的方法。然而,本发明也可以适用于校正各种半导体器件中由各种寄生元件导致的失配。下文将结合附图详细地说明各个实施例。

[0040] 图1示出了根据实施例包括一系列用于校正布局前模拟结果和布局后测试结果之间的失配的步骤的流程图。在步骤100,完成了集成电路设计。根据实施例,该集成电路可以包括带隙基准电路(未示出但在图8中示出)。为了保持高性能和准确的参考电压,该设计需要一些电阻器之间存在固定比值(例如图8中示出的R1和R2),该固定比值可以用于设定带隙基准的恒定电流源。

[0041] 已经对带隙基准电路实施了布局前模拟。通过该模拟,验证了关键技术参数(specification),该关键技术参数包括两个半导体电阻器之间的比值。

[0042] 在步骤110,创建初始集成电路布局。可以通过多个半导体电阻器和在半导体电阻器R1和R2之间连接的各种互连结构形成带隙基准半导体电阻器R1和R2(未示出)。如本领域已知的,诸如不同金属层中的金属线的互连结构可以导致寄生参数,包括寄生电阻、寄生电容和/或类似参数。

[0043] 在步骤120,可以基于IC加工厂提供的元件模型生成电阻-电感-电容(RLC)数据。根据实施例,IC加工厂输入半导体模型。更具体地,可以提供原理图的互连导体的厚度、宽度和间距从而可以获得包括寄生电阻的寄生参数。可以使用诸如来自SYNOPTIC的Star-RCXT、来自Mentor Graphics的CALIBRE、QRC、QUICK-CAP和/或类似的电子设计自动化(EDA)工具提取寄生参数。

[0044] 在步骤124,可以对布局实施两种主要的检查。第一种检查是设计规则检查(DRC)。DRC检查用于确保布局的布线过程按照一个特定的过程节点的布局要求是正确的。常规的DRC检查包括短路、和/或间距违规(spacing violation)等。第二种检查是布局与原理图比对(LVS)检查。在LVS检查过程中,从布局提取原理图并与布局之前的原始原理图对比。

[0045] 在步骤130,基于步骤120的寄生提取结果生成网表文件。根据实施例,网表文件可以具有由标准寄生值格式(SPF)文件修改而来的格式。结果,网表文件的格式可能与常规的SPF文件不同。下文将参照图2描述网表文件的详细格式。

[0046] 在步骤140,应该注意到,为了获得准确的布局后寄生参数值,可以使用V-I测试来验证布局后寄生参数。例如,考虑到由互连件引起的寄生电阻,两个半导体电阻器R1和R2的电阻值可以发生变化。为了获得准确的布局后电阻值,可以对电阻器网络(例如通过电阻器网络形成的R1和R2)实施V-I测试从而可以准确地评定包括来自互连件的寄生电阻的总电阻。下文将参照图3A和图3B描述V-I测试的详细过程。

[0047] 实施V-I测试的一个有利特征是可以在不实施布局后模拟的情况下从SPF文件的数据中提取诸如寄生电阻、电容和电感的寄生参数。这样的话可以减少设计高性能电路的成本和时间。



[0048] 在步骤150,如果寄生参数导致不期望的表现(诸如R1和R2的比值的变化的),则失配校正方法继续进行到步骤155。另一方面,如果V-I测试显示R1和R2的比值能够满足设计规范,则在步骤160完成设计工艺。

[0049] 在步骤155,为了补偿由互连件导致的寄生电阻,可以修改布局。根据实施例,可以修改互连件的宽度和长度从而可以保持半导体电阻器R1和R2的比值。下文将参照图4至图6描述修改布局的详细过程。

[0050] 应该注意到,虽然图1示出了校正布局前模拟结果和布局后测试结果之间的失配的方法,但是本领域普通技术人员将意识到该流程仅是一个实例。可以存在许多备选方案。例如,可以增加、去除、替换、重新排列、重复、重叠和/或部分重叠图1示出的各个步骤。

[0051] 图2示出根据实施例的网表文件的示例性格式。网表文件200包括多个电阻器网络的电阻值。应该注意到网表文件200基于常规的SPF文件但不同于常规的SPF文件。如图2所示,虚线矩形202包括两个半导体电阻器及其相应的参数。

[0052] 条目“R1 A1:A2 2.1403 l=0.025 w=0.05”表示电阻器R1位于节点A1和A2之间。电阻器R1为约2.1403欧姆。另外,电阻器R1的物理尺寸包括约0.05um的宽度和约0.025um的长度。

[0053] 条目“(0,0);(2,0);(0,10);(2,10)”表示电阻器R1在布局上的(x,y)位置。根据各个实施例,电阻器R1的形状可以是矩形。该矩形的四个拐角的坐标分别可以为(0,0),(2,0),(0,10)和(2,10)。

[0054] 网表文件200关于电阻器R2的部分与电阻器R1的类似,因此在此不再详细描述以避免重复。具有图2所示的网表文件的一个有利特征是该网表文件不仅示出半导体电阻器的总电阻值(lump resistance value),而且还示出半导体电阻器的(x,y)位置。如此,可以相应地快速检测和处理两个不同的电阻器网络之间的失配。

[0055] 图3A示出根据实施例的半导体结构及其等效电路。半导体结构300包括并联连接的多个半导体电阻器。如图3A所示,半导体321和322并联连接。同样地,半导体电阻器323和324并联连接以及半导体电阻器325和326并联连接。

[0056] 上述半导体可以是多晶硅电阻器。根据实施例,可以利用在半导体衬底上方形成的多个多晶硅层形成多晶硅电阻器。可选地,掺杂衬底的一部分有源区可以形成半导体电阻器321、322、323、324、325和326。通过控制掺杂密度,可以获得半导体电阻器的所需电阻。

[0057] 应该注意到,虽然图3A示出三组并联连接的半导体电阻器,但是只是为了清楚地说明各个实施例的创造性方面才限制本文示出的半导体电阻器的数量。本发明的各个实施例不限于任何特定数量的半导体电阻器。

[0058] 半导体电阻器321、322、323、324、325和326通过位于不同金属层(诸如第一金属层M1,第二金属层M2等)中的多个互连件彼此连接。根据实施例,互连件312、313、314、315、316和317可以形成在第一金属层M1中。互连件302和304可以形成在第二金属层M2中。如图3A所示,第一金属层互连件将两个半导体电阻器连接起来以形成三个电阻器对。另外,第二金属层互连件并联连接这三个电阻器对。

[0059] 等效电路350示出在考虑由第一金属层互连件(例如321)和第二金属层互连件(例如302)引起的寄生参数之后的半导体结构300的电路图。如图3A所示,通过并联连接的电阻器321和电阻器322形成R1。同样地,通过并联连接的电阻器323和电阻器324形成R2。通过并

联连接的电阻器325和电阻器326形成R3。第二金属层互连件302可以诱导如图3A所示的两个寄生电阻器RP1和RP2。同样地,第二金属层互连件304可以诱导两个寄生电阻器RP3和RP4。由第一金属层互连件312、313、314、315、316和317引起的寄生电阻可以相当于如图3A所示的电阻器RP5。

[0060] 可以通过对等效电路350实施V-I测试获得等效电路350的准确值。根据实施例,为了获得准确的布局后电阻值,向等效电路提供诸如HSPICE的EDA工具。可以通过在等效电路350的两个终端A1和B1之间施加电压,测量流经等效电路350的电流以及基于电压和电流计算准确的电阻值来计算等效电路350的电压/电流特性化数据。EDA工具HSPICE可以相应地报告计算的电阻值。

[0061] 对等效电路350实施V-I测试的一个有利特征是可以获得等效电路350的总电阻值。该总电阻值包括由互连件导致的多个寄生电阻器(例如RP1、RP2、RP3、RP4和RP5)。可以基于该总电阻值计算准确的电阻比。

[0062] 应该注意到,图3A示出的电阻网络仅仅是示例性网络而并不旨在限制现有实施例。可以可选地使用其他电路,诸如电容器网络、电感器网络以及这些的任意组合。可以使用任何合适的电路,而且预期所有这些电路全都包括在本文所讨论的实施例的范围内。

[0063] 再参照图2,网表文件200包括电路的不同节点之间的总电阻值。如此,如果来自电阻器结构的寄生电阻导致两个半导体电阻器之间的不期望比值,可以修改所选择的电阻器结构。

[0064] 图3B示出根据本发明的各个实施例实施V/I测试的流程图。在步骤305,可以从电路的各个节点中选择两个节点(例如图3A示出的A1和B1)。在步骤310,可以通过合适的模拟工具(诸如HSPICE,SPECTRE,ELDO,BERKELEY SPICE,FINESIM和/或类似工具)对节点A1和B1实施V/I测试。在步骤320,从模拟工具提取A1和B1之间的等效电阻。在步骤330,将等效电阻反向标注到SPF文件(例如图2所示的SPF文件)并可以检测两个关键电阻器之间的失配。为了降低失配,可以使用互连改性机制调整两个节点之间的等效电阻。图4至图6示出调整所选择的半导体电阻器结构的电阻的多种方法。

[0065] 图4示出根据实施例调整半导体电阻器结构的电阻的方法。第一半导体电阻器结构400包括两个半导体电阻器R1和R2。如图4所示,半导体电阻器R1和R2通过多个互连件串联连接。互连件可以包括第一金属层互连件402、404和406以及第二金属层互连件408和410。如图4所示,互连件406具有宽度Y和长度X。第一半导体电阻器结构400的总电阻等于R1、R2和互连件引起的寄生电阻的总和。

[0066] 第二半导体电阻器结构450的结构类似于第一半导体电阻器结构400的结构,除了用更长和更宽的互连件代替互连件406。根据实施例,互连件的电阻与互连件的长度成正比而与互连件的宽度成反比。如此,通过调整互连件的宽度或长度,可以相应地改变总电阻。

[0067] 如图4所示,第二半导体电阻器结构450具有更长和更宽的互连件,该互连件由互连件455、456和457形成。该互连件的长度等于2X以及该互连件的宽度等于2Y。如此,该互连件的总电阻约等于互连件406的总电阻。结果,第一半导体结构400的总电阻约等于第二半导体结构450的总电阻。

[0068] 采用图4所示的方法的一个有利特征是可以利用不同的互连结构补偿失配。例如,可以通过利用不同数量的通孔或不同的互连层来调整等效电阻。

[0069] 图5示出根据另一个实施例调整半导体电阻器结构的电阻的方法。第一半导体电阻器结构500包括四个半导体电阻器R1、R2、R3和R4。如图5所示,将R1、R2、R3和R4布置成行和列。半导体电阻器R2和R3通过多个互连件串联连接。互连件可以包括第一金属层互连件502、504和506。

[0070] 除了已经调整互连件的布置从而使用更长的互连件554将R2和R3连接起来,第二半导体电阻器结构550的结构类似于第一半导体电阻器结构500的结构。另外,为了调整布置,使用两个第二金属层互连件553和555连接R2和R3。如图5所示,更长的互连件554有助于增加第二半导体电阻器结构550的总电阻。

[0071] 图6示出根据又一个实施例调整半导体电阻器结构的电阻的方法。图6示出的互连件布置与图5所示的互连件布置类似,因此不再详细讨论以避免重复。

[0072] 图7示出根据实施例可以用于实施图1所示的方法的计算机系统的简化框图。计算机系统700包括失配校正单元710、存储器720、处理器730、存储单元740、用户界面输入装置750、用户界面输出装置760和数据总线770。应该注意到该图仅是通用计算机的一个实例,其不应该限制权利要求的范围。计算机的许多其他配置也在本发明的范围内。本领域普通技术人员也可以意识到可以通过其他计算机系统实施失配校正方法,其他计算机系统包括便携式计算机、工作站、网络计算机等。

[0073] 失配校正单元710可以是实体设备、软件程序或软件和硬件的组合,诸如专用集成电路(ASIC)。根据实施例,当用户通过用户界面输入装置750启动失配校正方法时,处理器730加载来自存储单元740的布局和其他相关信息。根据实施例,失配校正方法作为软件程序实施,处理器730加载来自失配校正单元710的软件程序并在存储器720中运行该软件程序。当处理器730执行图1中的每个步骤之后,处理器730将最终布局发送至用户界面输出装置760。

[0074] 图8示出根据本发明的各个实施例的带隙基准电路的示意图。带隙基准电路800包括多个电流源(例如图8中示出的 $I_1$ 和 $I_2$ )。使用电阻器R1和R2来控制带隙基准电路800的准确度。为了保持高度准确的带隙基准,可以在各种运行条件下使R1和R2之间的比值保持恒定。带隙基准电路800的详细工作原理是本领域公知的,因此在本文不再讨论。

[0075] 根据实施例,一种方法包括利用第一模拟工具通过电阻-电感-电容(RLC)提取机制由第一布局生成第一网表文件,通过第二模拟工具对网络实施V/I测试,基于V/I测试的结果确定是否存在失配,以及修改网络的连接迹线以生成第二布局。

[0076] 根据另一实施例,一种方法包括通过布局前模拟设定第一电阻器结构和第二电阻器结构之间的第一比值,将第一电阻器结构和第二电阻器结构放入布局中以及生成网表文件,该网表文件包括第一电阻器结构和第二电阻器结构的寄生参数。该网表文件包括第一电阻器结构和第二电阻器结构的电阻值以及第一电阻器结构和第二电阻器结构的X-Y坐标。

[0077] 该方法还包括通过模拟工具对第一电阻器结构实施第一V-I测试从而获得第一电阻值,通过该模拟工具对第二电阻器结构实施第二V-I测试从而获得第二电阻值,确定基于V-I测试的第二比值与第一比值之间是否存在失配,以及修改包括第一电阻器结构和第二电阻器结构的布局。

[0078] 根据又一个实施例,一种计算机程序包括用于利用第一模拟工具通过电阻-电感-

电容 (RLC) 提取机制由第一布局生成第一网表文件的计算机程序代码;用于通过第二模拟工具对网络实施V/I测试的计算机程序代码;用于基于V/I测试的结果确定是否存在失配的计算机程序代码;以及用于修改网络的连接迹线以生成第二布局的计算机程序代码。

[0079] 尽管已经详细地描述了本发明及其优势,但应该理解,可以在不背离所附权利要求限定的实施例的精神和范围的情况下,进行各种改变、替换和更改。

[0080] 而且,本申请的范围并不仅限于本说明书中描述的工艺、机器、制造、材料组分、装置、方法和步骤的特定实施例。作为本领域普通技术人员根据本发明的发明内容将很容易理解,根据本发明可以利用现有的或今后开发的用于执行与本文所述相应实施例基本上相同的功能或者获得基本上相同的结果的工艺、机器、制造、材料组分、装置、方法或步骤。因此,所附权利要求预期在其范围内包括这样的工艺、机器、制造、材料组分、装置、方法或步骤。

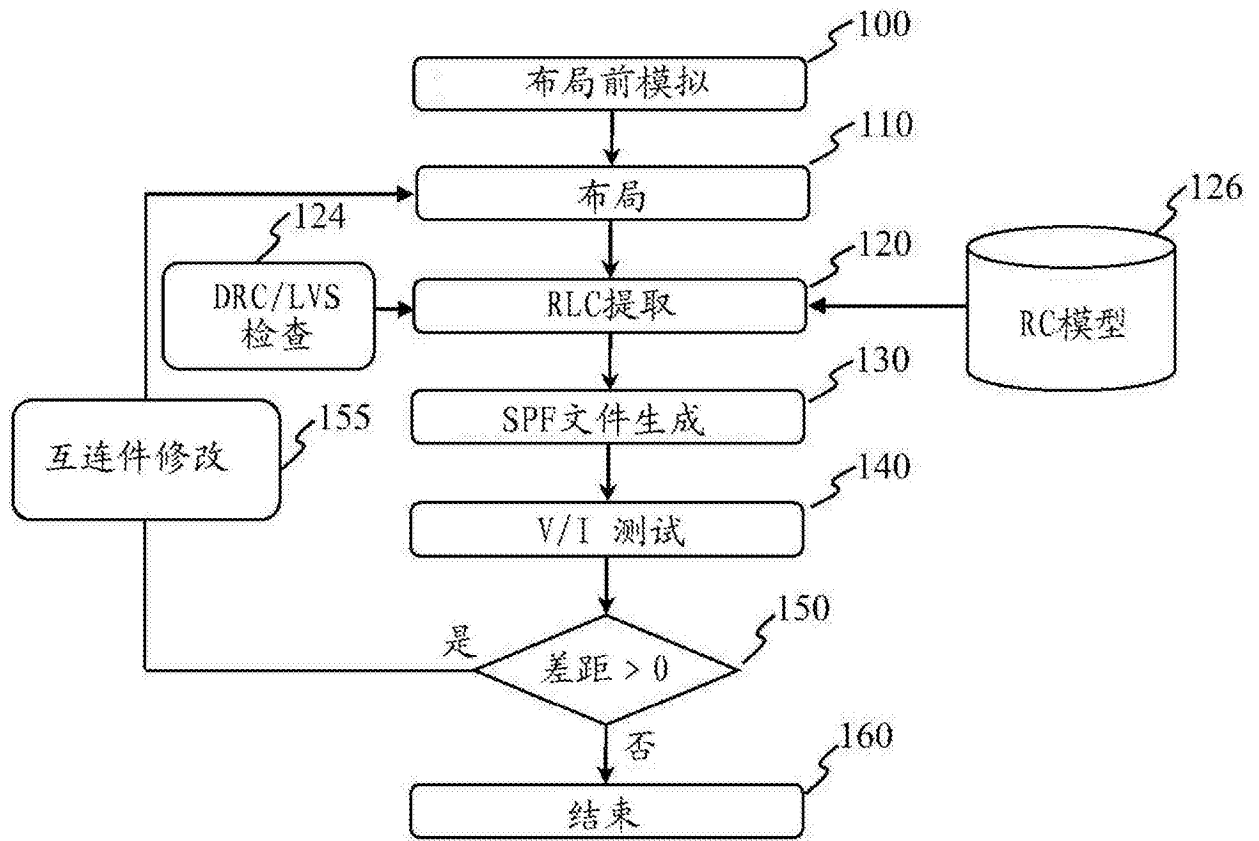


图1

200

.SUBCKT resAB B A	网名	值	金属信息	坐标
R1	A1:A2	2.1403	\$l=0.025 \$w=0.05 \$lvl=25	\$location=(0,0):(2,0):(0,10):(2,10)
R2	B1:B2	2.1304	\$l=0.025 \$w=0.05 \$lvl=25	\$location=(3,7,0):(5,7,0):(3,7,10):(5,7,10)
XXXR3 net1 net4 rppoly wo l=3.6u w=1.2u				
XXXR3 @2 net2 net5 rppoly wo l=3.6u w=1.2u				
XXXR3 @3 net3 net6 rppoly wo l=3.6u w=1.2u				
.ENDS				

202

图2

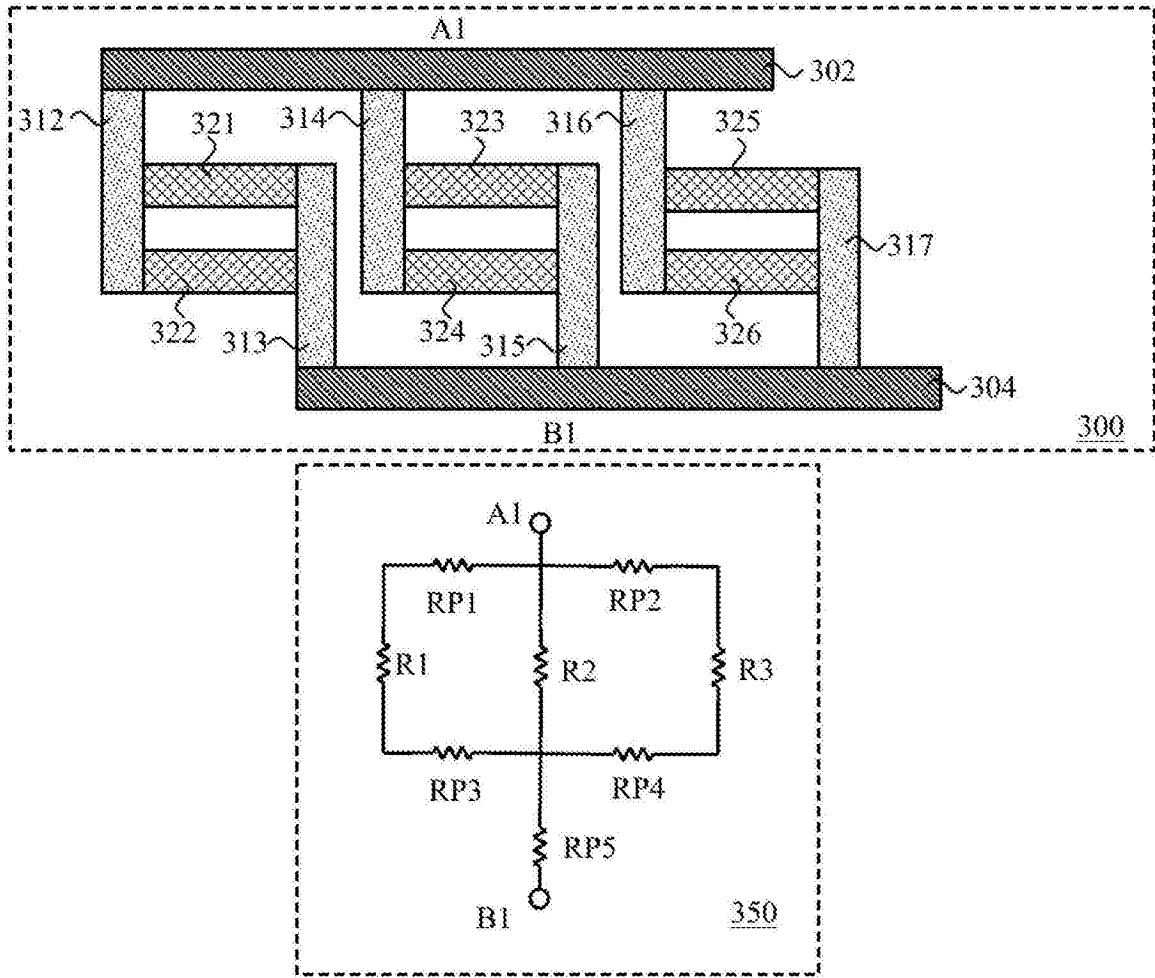


图3A

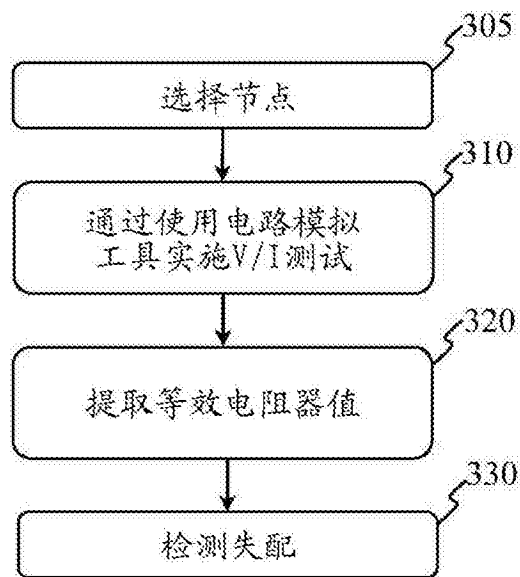


图3B

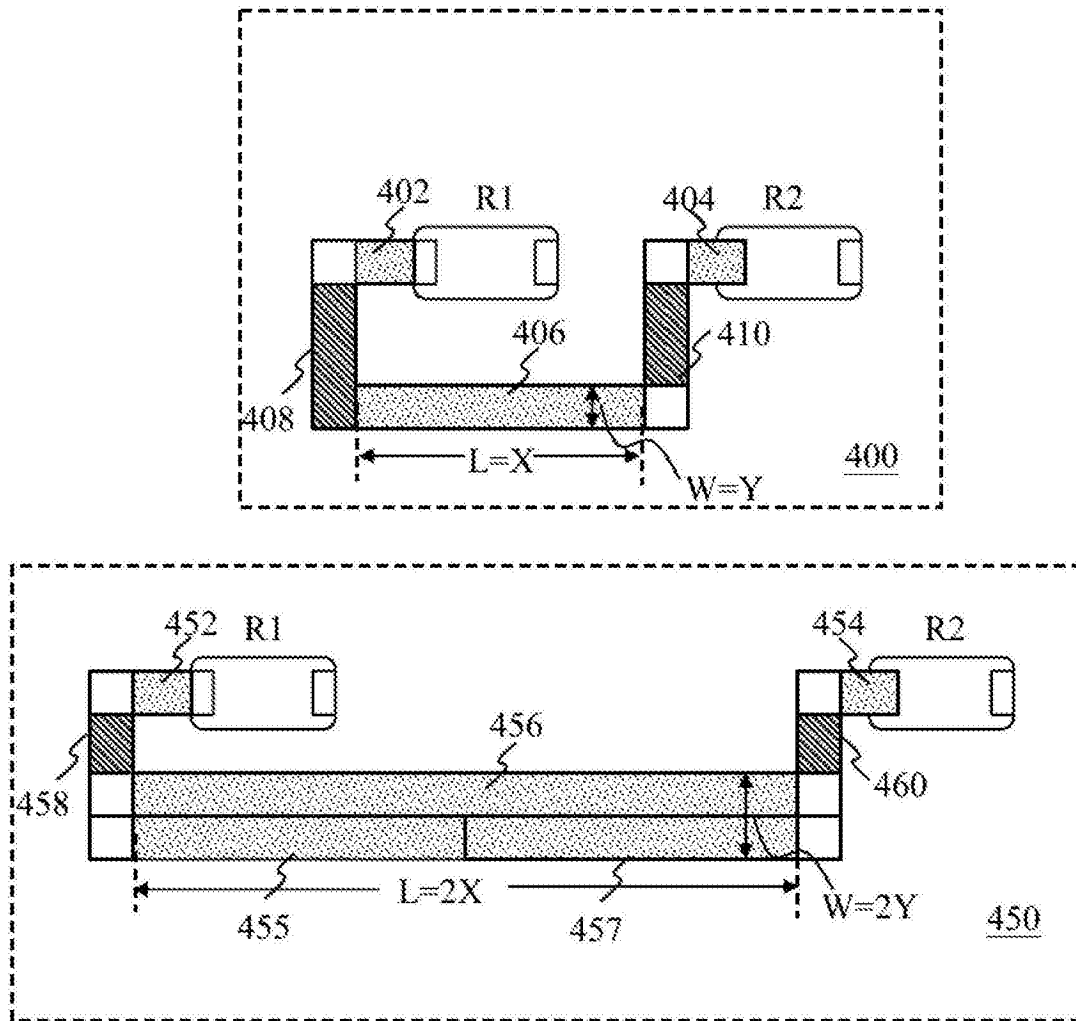


图4



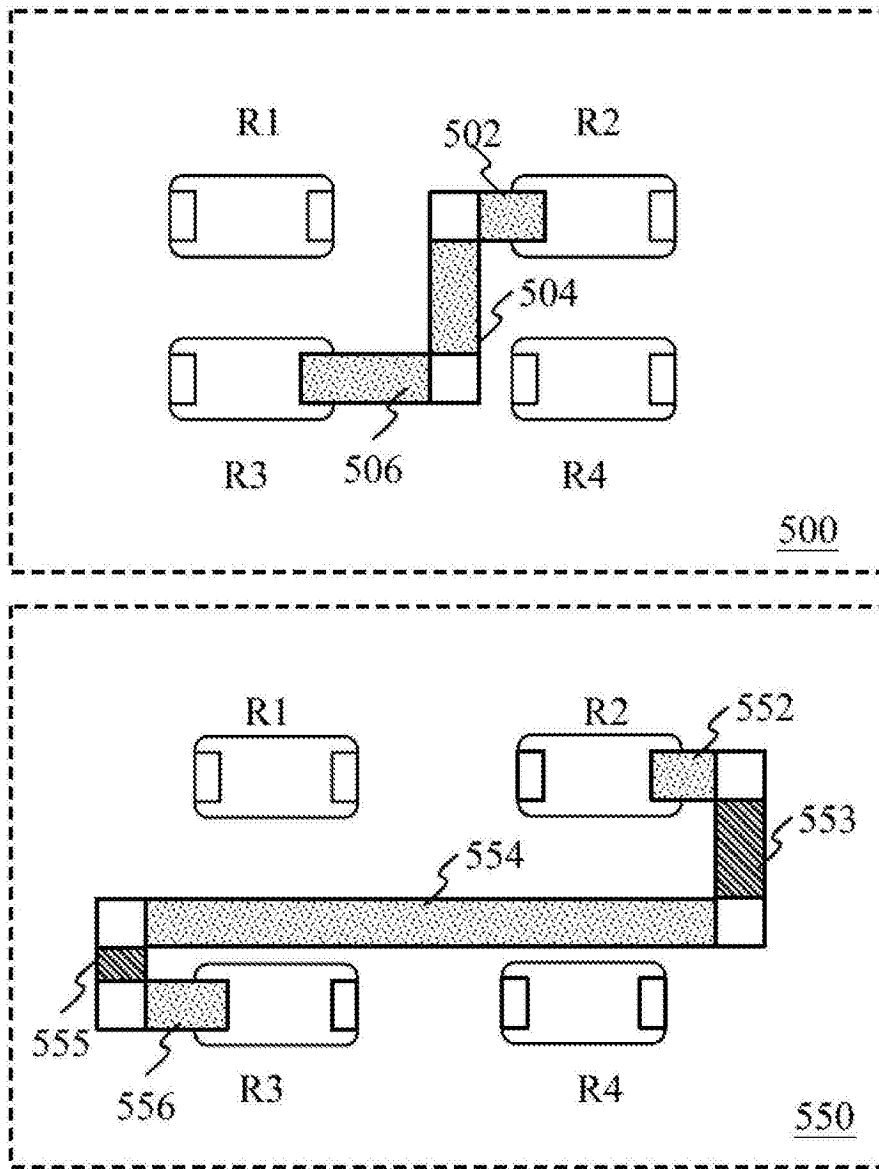


图5

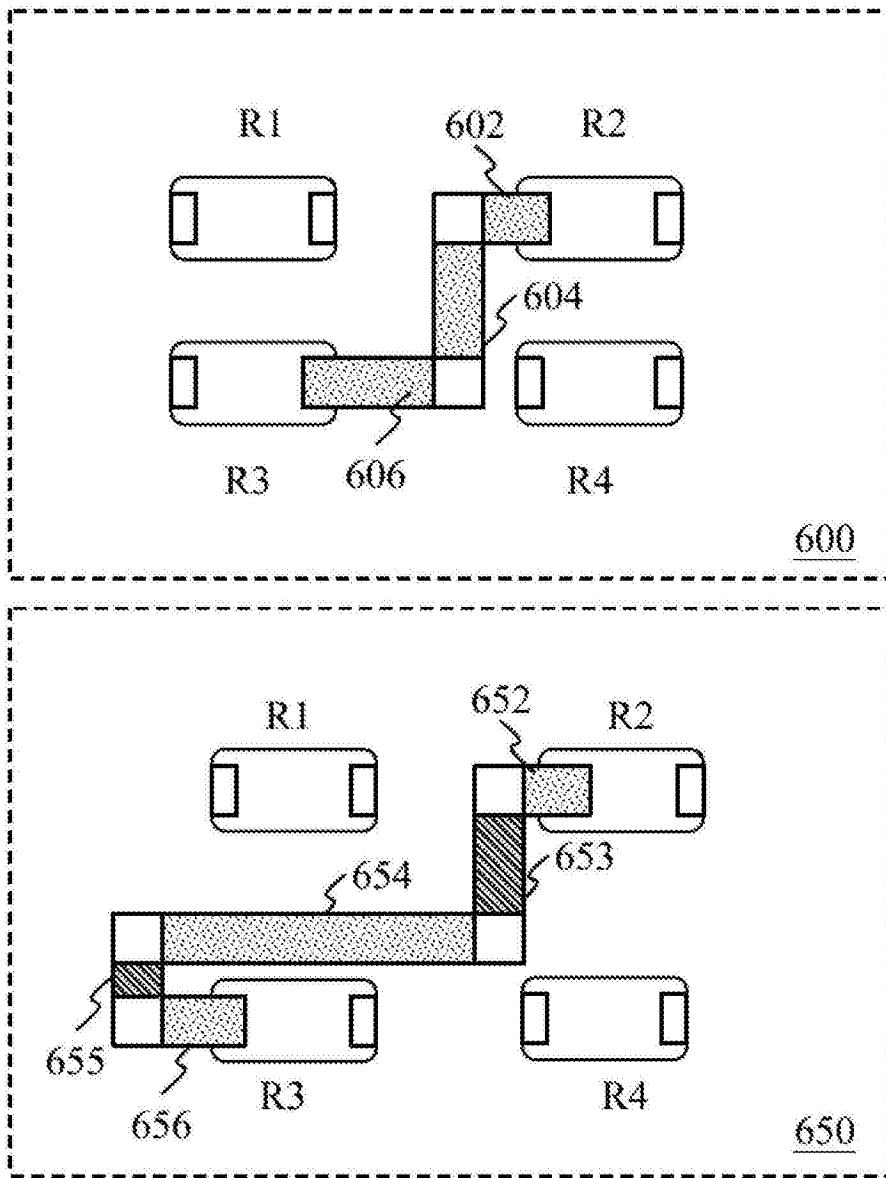


图6

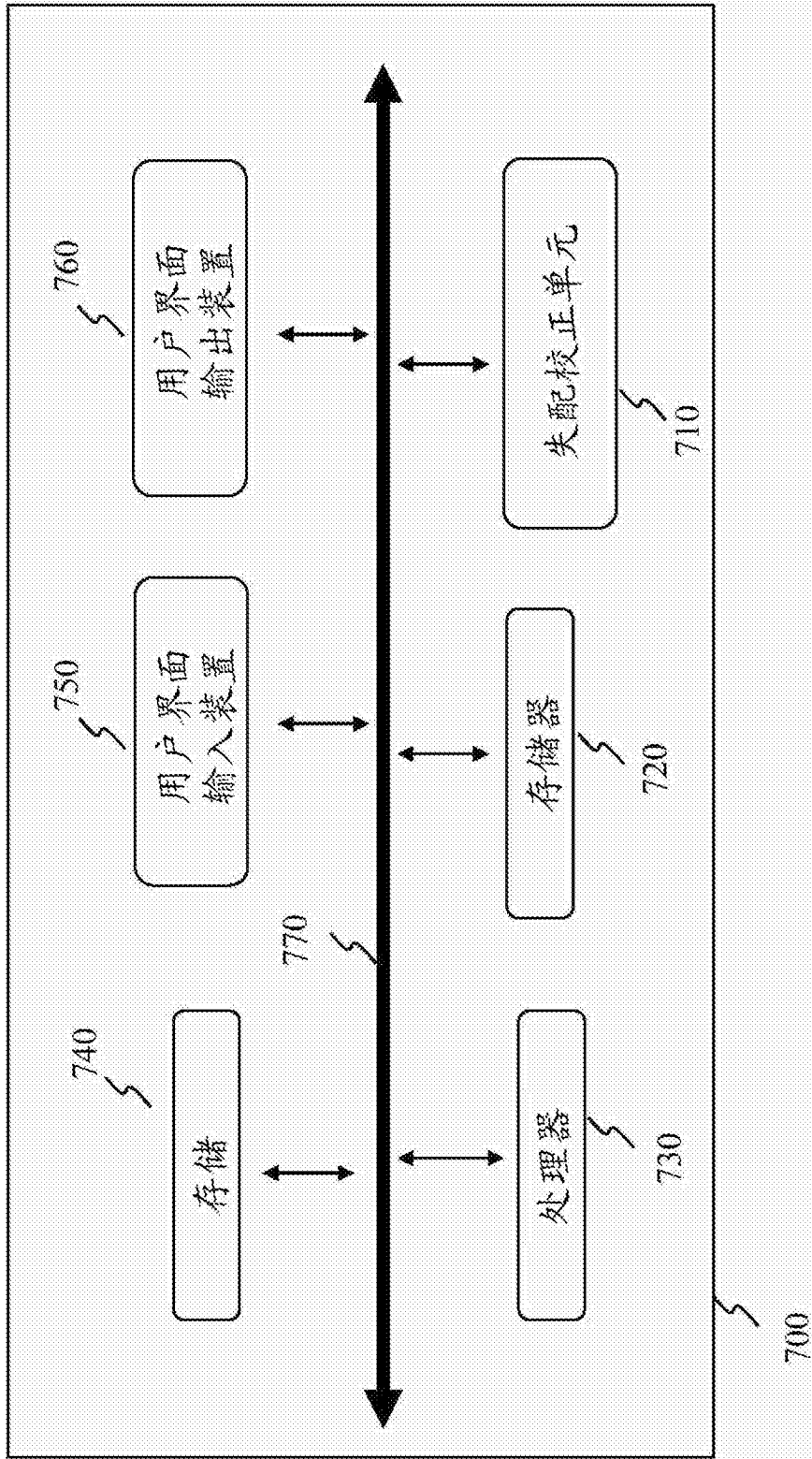


图7

800

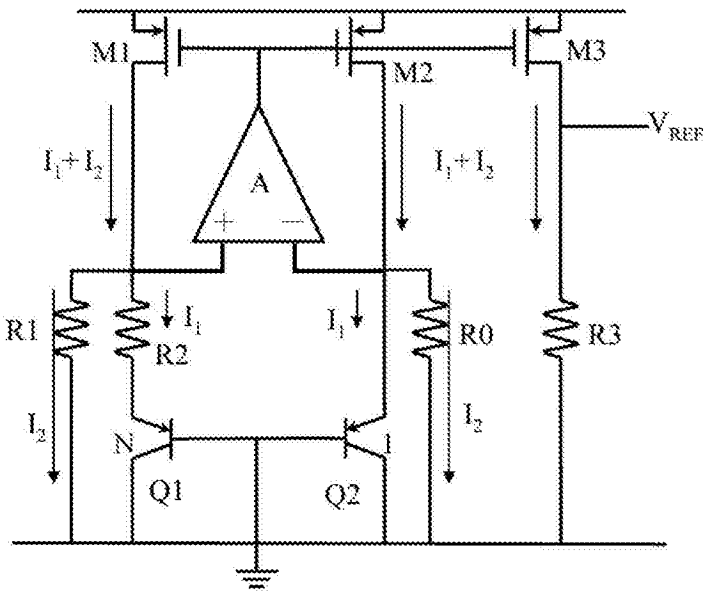


图8