



(12)实用新型专利

(10)授权公告号 CN 210443562 U

(45)授权公告日 2020.05.01

(21)申请号 201921958966.0

(22)申请日 2019.11.13

(73)专利权人 江苏丽隼功率半导体有限公司
地址 214067 江苏省无锡市五湖大道11号
蠡湖科创中心南楼1209室

(72)发明人 范捷 万立宏 王绍荣

(74)专利代理机构 无锡华源专利商标事务所
(普通合伙) 32228

代理人 聂启新

(51) Int. Cl.

H01L 29/06(2006.01)

H01L 29/78(2006.01)

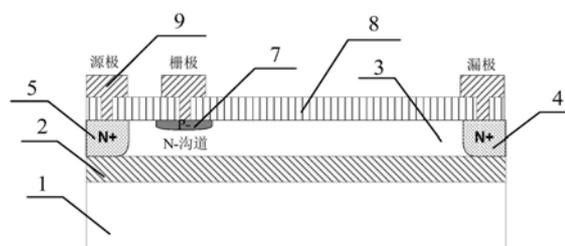
权利要求书1页 说明书4页 附图4页

(54)实用新型名称

一种横向静电感应晶体管

(57)摘要

本实用新型公开了一种横向静电感应晶体管,涉及半导体技术领域,该静电感应晶体管的源极和漏极均位于N型硅层的表面,间隔设置的P型栅块与表面的连接P型栅块的P型外栅共同构成栅极,P型栅块之间形成沟道区,该器件区别于传统的纵向的SIT结构,其电流方向为水平方向流动,三个电极均位于芯片的正面,可以便利集成到常规集成电路当中,而且器件的耐压由栅极到漏极之间的距离以及N型硅层浓度决定,理论上耐压不受限,器件性能更优良;而且器件沟道上方最表面区域将呈现P型,不再参与导电,从而规避器件表面不良效应的影响,提升器件的可靠性。



1. 一种横向静电感应晶体管,其特征在于,所述横向静电感应晶体管包括N型衬底,所述N型衬底上设有隔离二氧化硅层,所述隔离二氧化硅层上设有N型硅层;

所述N型硅层的表面的两侧分别设有沿着第一方向的N型杂质掺杂区形成漏区和源区,所述漏区和所述源区的底部均与所述隔离二氧化硅层连接;所述N型硅层在所述漏区和源区之间沿着所述第一方向间隔设有若干个P型栅块,各个所述P型栅块的底部均与所述隔离二氧化硅层连接;所述N型硅层的表面在P型栅块的位置设有沿着第一方向的P型外栅,各个所述P型栅块的顶部均与所述P型外栅连接从而串联,相邻的P型栅块之间形成N-沟道;

所述N型硅层上设有介质层,所述介质层在所述漏区、源区和P型外栅的表面分别设有接触孔,各个接触孔处设有金属层,所述漏区通过金属层引出漏极,所述源区通过金属层引出源极,所述P型外栅通过金属层引出栅极。

2. 根据权利要求1所述的横向静电感应晶体管,其特征在于,所述N型硅层的厚度在 $1\mu\text{m}$ - $10\mu\text{m}$ 之间,所述隔离二氧化硅层的厚度在 $1\mu\text{m}$ - $5\mu\text{m}$ 之间,所述N型衬底的电阻率在 $1\sim 100\text{ohm}\cdot\text{cm}^2$ 之间。

一种横向静电感应晶体管

技术领域

[0001] 本实用新型涉及半导体技术领域,尤其是一种横向静电感应晶体管。

背景技术

[0002] 静电感应晶体管SIT(Static Induction Transistor)诞生于1970年,它是一种结型场效应管单极型压控器件。它具有输入阻抗高、输出功率大、开关特性好、热稳定性好以抗辐射能力强等特点。SIT在结构设计上采用多单元集成技术,因而可制成高压大功率器件。它不仅能工作在开关状态,作为大功率电流开关,而且也可以作为功率放大器,用于大功率中频发射机、长波电台、差转机、高频感应加热装置以及雷达等方面。目前,SIT的产品已达到电压1500V、电流300A、耗散功率3kW、截止频率30~50MHz。和双极型晶体管相比,SIT具有以下优点:①线性好、噪声小。用SIT制成的功率放大器在音质、音色等方面均优于双极型晶体管。②输入阻抗高、输出阻抗低,可直接构成OTL电路。③SIT是一种无基区晶体管,没有基区少数载流子存储效应,开关速度快。④它是一种多子器件,在大电流下具有负温度系数,器件本身有温度自平衡作用,抗烧毁能力强。⑤无二次击穿效应,可靠性高。⑥低温性能好,在-19℃下工作正常。⑦抗辐照能力比双极晶体管高50倍以上。

[0003] 传统的SIT器件是一个台面型器件,它的剖面结构如图1所示:芯片正面为器件的源极及栅极,器件的漏极位于芯片的背面。电流方面自漏极到源极,属于一种垂直型晶体管结构。其制作方法为:在N⁺衬底上生长N⁻外延层,在N⁻外延层上形成浓度较高的P⁺埋栅,然后在P⁺埋栅上面外延形成浓度极低的N⁻外延层,在N⁻外延层上方形成N⁺源极,然后通过台面刻蚀引出P⁺栅极,正反面金属及刻蚀引出金属电极。在制作过程中,在P⁺埋栅上方生长轻掺杂的N⁻外延层的时候,不可避免会出现P⁺当中的杂质向外延层中反扩的问题,很大可能导致外延层反型或者电阻率异常而电性失效。另外,在栅极刻蚀的过程中,会避免一些离子损伤通常采用湿法腐蚀的方法对栅槽进行刻蚀,但刻蚀的深度比较难把控,可能会出现刻蚀不够或者刻蚀过多的问题而导致器件失效,并且湿法腐蚀会出现横向钻蚀,会占用相当的芯片面积,降低器件的集成度。由此可见,如图1所示的传统结构制作难度较大,器件可能会存在失效的问题、可靠性较低。而且器件的耐压直接与P⁺埋栅下方N⁻外延层的厚度及浓度决定,通常N⁻外延层的厚度又会被总衬底厚度所限制,器件的耐压因此受限。

实用新型内容

[0004] 本发明人针对上述问题及技术需求,提出了一种横向静电感应晶体管,本实用新型的技术方案如下:

[0005] 一种横向静电感应晶体管,该横向静电感应晶体管包括N型衬底,N型衬底上设有隔离二氧化硅层,隔离二氧化硅层上设有N型硅层;

[0006] N型硅层的表面的两侧分别设有沿着第一方向的N型杂质掺杂区形成漏区和源区,漏区和源区的底部均与隔离二氧化硅层连接;N型硅层在漏区和源区之间沿着第一方向间隔设有若干个P型栅块,各个P型栅块的底部均与隔离二氧化硅层连接;N型硅层的表面在P

型栅块的位置设有沿着第一方向的P型外栅,各个P型栅块的顶部均与P型外栅连接从而串联,相邻的P型栅块之间形成N-沟道;

[0007] N型硅层上设有介质层,介质层在漏区、源区和P型外栅的表面分别设有接触孔,各个接触孔处设有金属层,漏区通过金属层引出漏极,源区通过金属层引出源极,P型外栅通过金属层引出栅极。

[0008] 其进一步的技术方案为,N型硅层的厚度在1 μ m-10 μ m之间,隔离二氧化硅层的厚度在1-5 μ m之间,N型衬底的电阻率在1-100ohm*cm²之间。

[0009] 本实用新型的有益技术效果是:

[0010] 本申请公开了一种横向静电感应晶体管,该静电感应晶体管的结构区别于传统的纵向的SIT结构,其电流方向为水平方向流动,三个电极均位于芯片的正面,使得该静电感应晶体管可以便利集成到常规集成电路当中;而且器件的耐压由栅极到漏极之间的距离以及隔离二氧化硅层2上方的N型硅层3浓度决定,理论上其耐压也不受限,器件性能更优良。器件沟道上方最表面区域将呈现P型,不再参与导电,从而规避器件表面不良效应的影响,提升器件的可靠性,并且因为其杂质浓度很低,结构类似于MOS器件中的LDD原理,可以有效提升栅极和漏极之间的耐压,提升器件的性能。

[0011] 另外,本申请公开的横向静电感应晶体管的结构在制作工程中不需要涉及到在高浓度P+埋栅上方进行低掺杂的外延的步骤,而且也没有正面挖栅槽的工艺,所有的工艺步骤均与常规的CMOS等集成电路相似,所以它可以完美集成到集成电路当中,结构的制作难度也降低、工艺控制相比较来说也更为简单。

附图说明

[0012] 图1是现有常规的纵向结构的静电感应晶体管的结构图。

[0013] 图2是本申请的横向静电感应晶体管的结构图。

[0014] 图3是N型硅层表面的剖视结构图。

[0015] 图4是N型硅层表面的沿着第一方向的剖视图。

[0016] 图5是本申请的横向静电感应晶体管的制作过程中一个步骤的结构图。

[0017] 图6是本申请的横向静电感应晶体管的制作过程中另一个步骤的结构图。

[0018] 图7是本申请的横向静电感应晶体管的制作过程中另一个步骤的结构图。

具体实施方式

[0019] 下面结合附图对本实用新型的具体实施方式做进一步说明。

[0020] 本申请公开了一种横向静电感应晶体管,请参考图2,该横向静电感应晶体管包括N型衬底1,N型衬底1上设有隔离二氧化硅层2,隔离二氧化硅层2上设有N型硅层3。其中,N型硅层3的厚度在1 μ m-10 μ m之间,隔离二氧化硅层2的厚度在1-5 μ m之间,N型衬底1的电阻率在1-100ohm*cm²之间。

[0021] N型硅层3的表面的两侧分别设有沿着第一方向的N型杂质掺杂区形成漏区4和源区5,漏区4和源区5的底部均与隔离二氧化硅层2连接。请参考图3所示的N型硅层3表面结构图以及图4所示的在P型栅块6处沿着第一方向的剖视图,N型硅层3在漏区4和源区5之间沿着第一方向间隔设有若干个P型栅块6,各个P型栅块6的底部均与隔离二氧化硅层2连接。N

型硅层3的表面在P型栅块6的位置设有沿着第一方向的P型外栅7,各个P型栅块6的顶部均与P型外栅7连接从而串联,相邻的P型栅块6之间的N型硅层3形成N-沟道。图3是在P型栅块6处的剖视图,而图2是在P型栅块6之间的N-沟道处的剖视图,则P型外栅7下方即为N-沟道。

[0022] N型硅层3上设有介质层8,介质层8在漏区4、源区5和P型外栅7的表面分别设有接触孔,各个接触孔处设有金属层9,漏区4通过金属层引出漏极,源区5通过金属层引出源极,P型外栅7通过金属层引出栅极。

[0023] 由图2可以直观的看出,本申请的SIT结构区别于传统的纵向的SIT结构,其电流方向为水平方向流动,三个电极均位于芯片的正面,使得该静电感应晶体管可以便利集成到常规集成电路当中。其耐压由栅极到漏极之间的距离以及隔离二氧化硅层2上方的N型硅层3浓度决定,理论上其耐压也不受限,器件性能更优良。

[0024] 本申请的横向静电感应晶体管的制作过程如下:

[0025] 1、形成N型衬底1、隔离二氧化硅层2和N型硅层3的层叠结构。具有两种可选的制作方案:

[0026] (1) 直接采用SOI衬底,衬底上方的N型硅层3的厚度在1 μm -10 μm 之间,隔离二氧化硅层2的厚度在1-5 μm 之间,N型衬底1的电阻率在1-100 $\text{ohm}\cdot\text{cm}^2$ 之间。

[0027] (2) 在N型衬底1的上方直接进行高能高剂量的O注入,N型衬底1的电阻率在1-100 $\text{ohm}\cdot\text{cm}^2$ 之间,注入能量在1M-10MeV之间,注入深度在1 μm -10 μm 之间,注入剂量在1E16/ cm^2 以上。然后进行1000 $^\circ\text{C}$ 以上的高温退火,使得注入的O与周围的Si发生反应,形成一定厚度的绝缘层。

[0028] 2、在两侧进行漏端和源端的光刻,并进行高浓度的N型杂质的注入掺杂形成源区和漏区,掺杂的N型杂质为P或As,注入剂量在1E15-2E16之间,注入能量在50-200keV之间。然后进行源端和漏端的高温扩散推进,推进温度在1000-1250 $^\circ\text{C}$ 之间,扩散时间在1-10小时之间。扩散深度保证源区和漏区下方能够抵达隔离二氧化硅层2,如图5所示,这样可以保证在电流在隔离二氧化硅层2上方的N型硅层3中均匀流动,提升器件的可靠性。

[0029] 3、进行一次栅极的光刻,栅块的尺寸接近N型硅层3的厚度,栅块之间的间距略小于栅块的尺寸,大概在2-5 μm 之间。接着进行栅的一次注入,这次注入注在N型硅层3的表面,能量在100keV以下,注入杂质为B,注入剂量在2E14-1E15/ cm^2 之间。然后保留光刻胶,接着进行栅的第二次及第三次的注入掺杂,注入等同于第一次注入的剂量,但后两次注入的能量需要灵活调整,保证注入深度在N型硅层3内从上到下均匀分布。注入完成后,杂质分布如图6所示。当N型硅层3厚度较大时,注入次数不限于三次,可以相应增加。

[0030] 4、去除光刻胶,进行栅极的热扩散,扩散温度在1000-1150 $^\circ\text{C}$ 之间,扩散时间在1-2h之间。温度要低于源漏的扩散温度。横向扩散距离在1 μm 以内。扩散完成后,几次注入的杂质互相融合在一起,形成P型栅块6,P型栅块6之间的N型硅层3即形成N-沟道,如图7所示。需要注意的是,当扩散的时间过长时,P型杂质会出现较多的横向扩散,从而使得SIT的P型栅块6的N-沟道区域变窄,从而降低器件的电流能力。而扩散的时间过短时,几次注入的栅没有连接在一起,下方的P型杂质将无法起到电流控制的作用。

[0031] 5、进行P型外栅7的光刻和注入,P型外栅7为长条形结构,完全覆盖P型栅块6区域,P型外栅7的注入杂质为B或者BF₂,注入能量在100keV以下,注入剂量较低在1E13-1E14之间。注入后,P型外栅7将所有P型栅块6串联起来,保证电位一致,请参考上述图3所示的结

构。并且注入后,器件沟道上方最表面区域将呈现P型,不再参与导电,从而规避器件表面不良效应的影响,提升器件的可靠性。并且因为其杂质浓度很低,结构类似于MOS器件中的LDD原理,可以有效提升栅极和漏极之间的耐压,提升器件的性能。

[0032] 6、然后进行正面ILD的生长形成介质层,进行接触孔的光刻刻蚀和正面金属层的PVD生长,接着进行正面金属层的光刻和刻蚀,最终在正面形成器件的三个电极,形成如图2所示的结构。

[0033] 以上所述的仅是本申请的优选实施方式,本实用新型不限于以上实施例。可以理解,本领域技术人员在不脱离本实用新型的精神和构思的前提下直接导出或联想到的其他改进和变化,均应认为包含在本实用新型的保护范围之内。

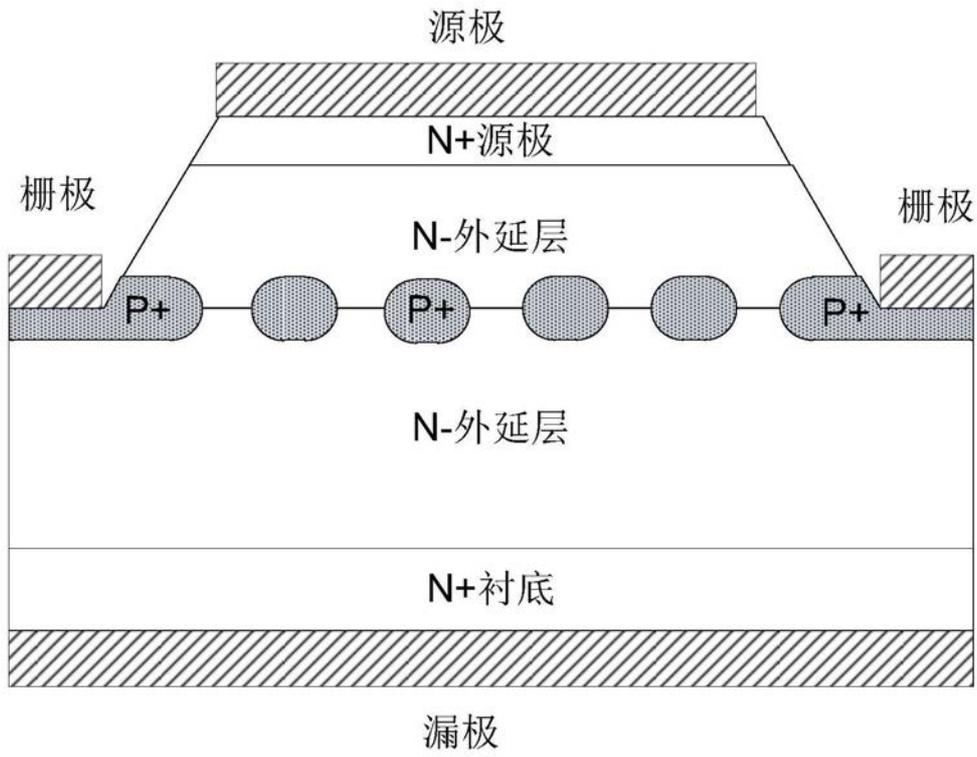


图1

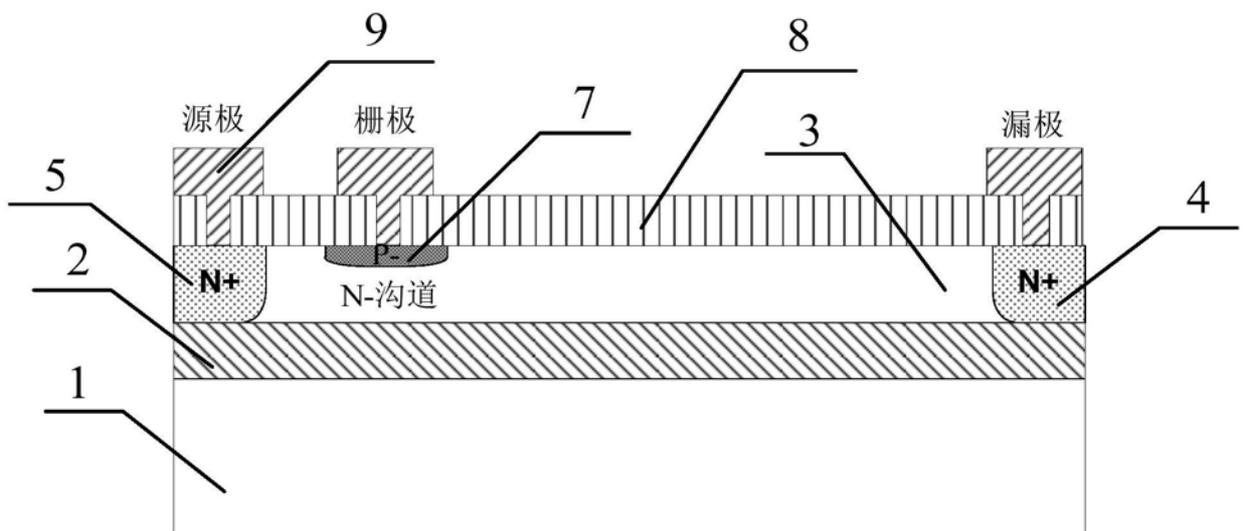


图2

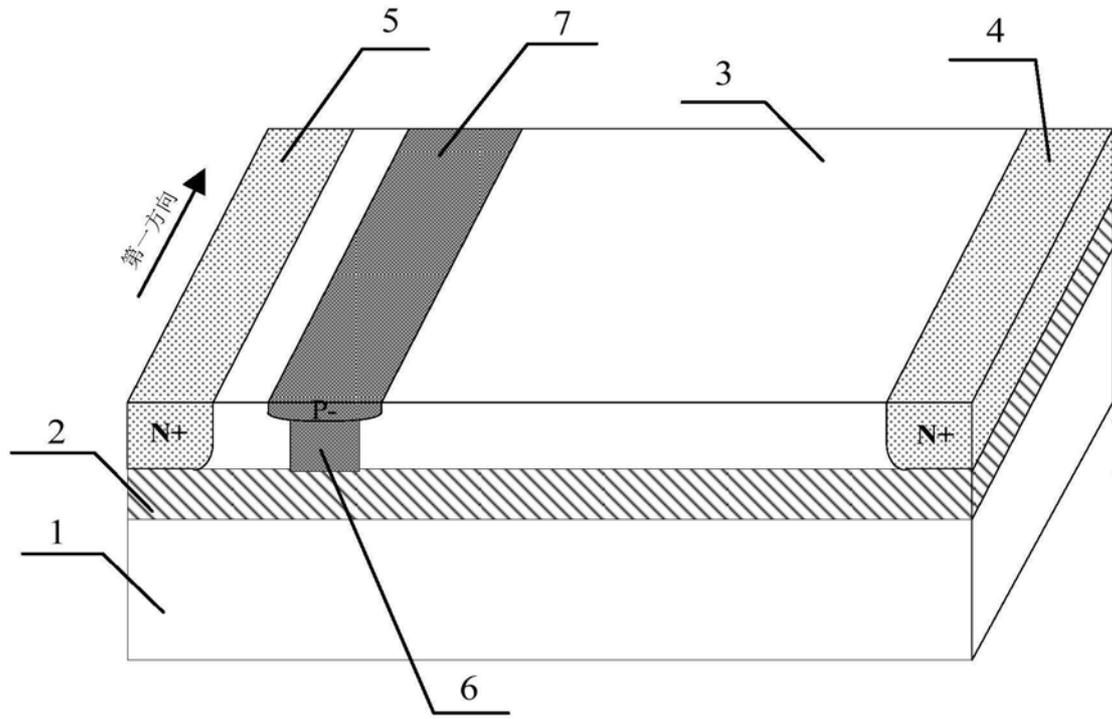


图3

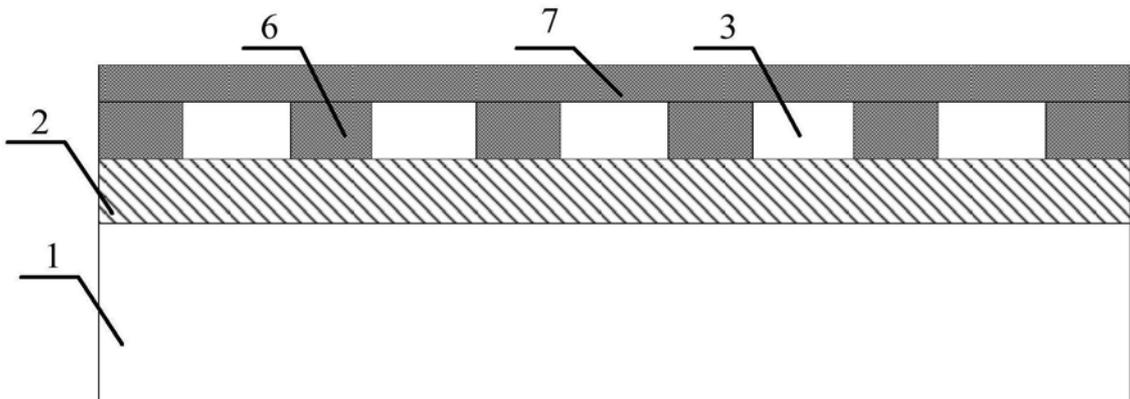


图4

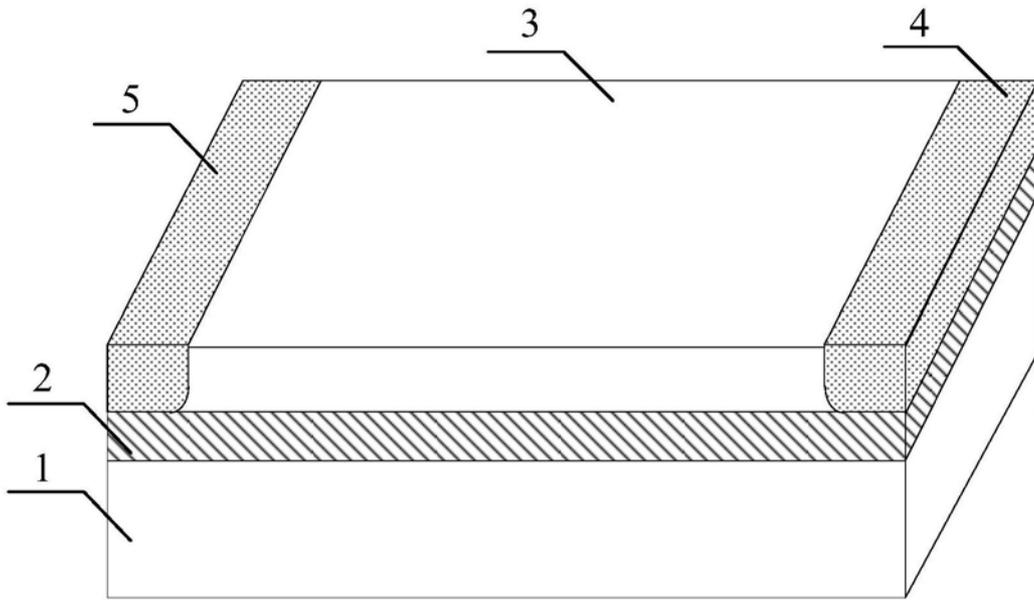


图5

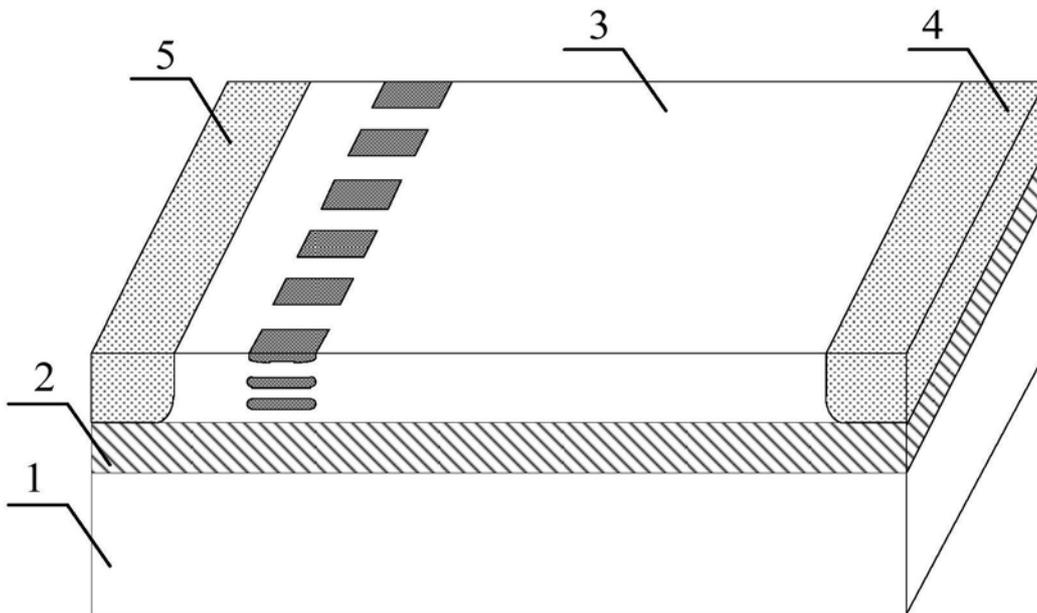


图6

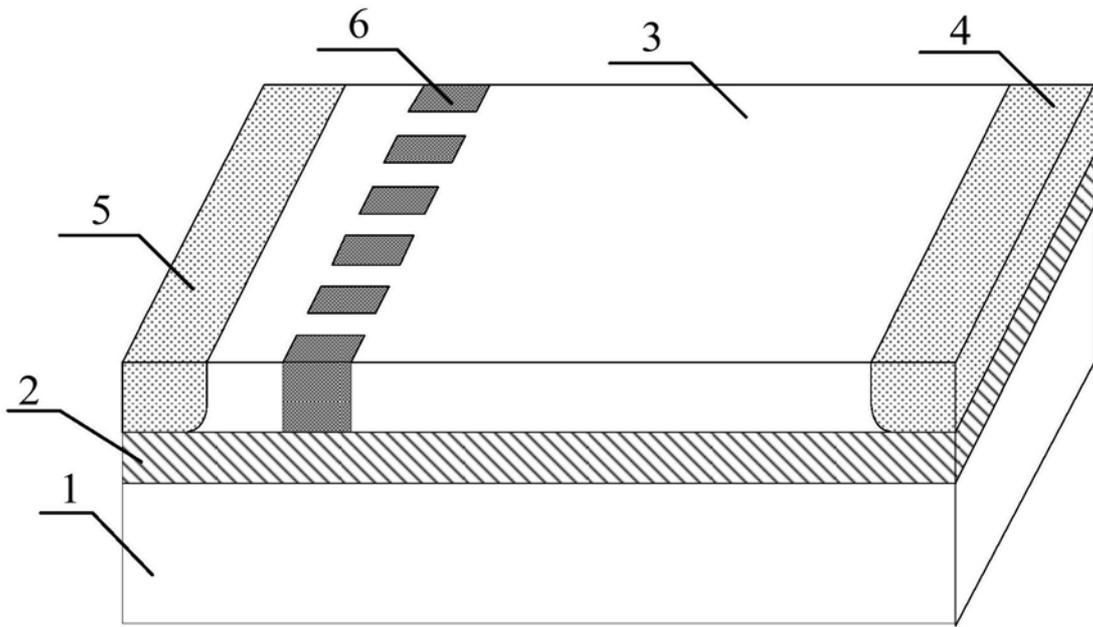


图7