



(12)发明专利申请

(10)申请公布号 CN 106411300 A

(43)申请公布日 2017. 02. 15

(21)申请号 201610852610.3

(22)申请日 2016.09.26

(71)申请人 上海华力微电子有限公司

地址 201203 上海市浦东新区张江开发区
高斯路568号

(72)发明人 张宁 顾文涛 王志利

(74)专利代理机构 上海思微知识产权代理事务
所(普通合伙) 31237

代理人 智云

(51) Int. Cl.

H03K 17/22(2006.01)

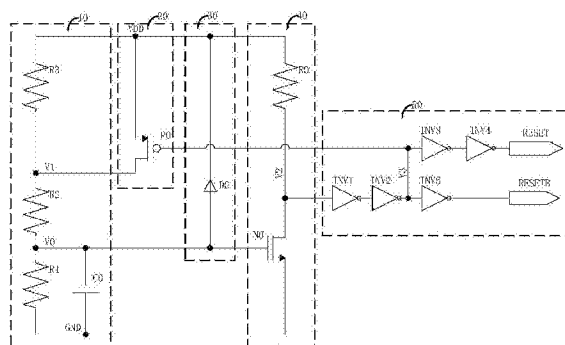
权利要求书1页 说明书4页 附图1页

(54)发明名称

一种上电复位电路

(57)摘要

本发明公开了一种上电复位电路,包括:采样延迟电路,对电源电压进行采样并延迟输出;迟滞电路,在复位信号已经产生后的正常工作情况下短路部分采样电阻以对电源电压的变化产生迟滞效果;放电电路,连接所述采样延迟电路,以于电源断电时所述采样延迟电路的电容上的电荷能够快速流出;复位信号产生电路,在电源电压建立初期跟随电源电压上升,并于电源电压到达一定幅度后翻转以输出相反信号;缓冲电路,用于对复位信号产生电路输出的信号进行缓冲以减小对所述复位信号产生电路的影响并增强复位信号和反相复位信号的带负载能力,通过本发明,不仅使 $V_{trigger}$ 有稳定的窗口,且在电源短时间内断电并上电的情况下,能输出RESET正脉冲。



1. 一种上电复位电路,包括:

采样延迟电路,用于对电源电压VDD进行采样并延迟输出;

迟滞电路,用于在复位信号已经产生后的正常工作情况下短路部分采样电阻以对电源电压的变化产生迟滞效果,从而避免电源电压变化时错误产生复位电路;

放电电路,连接所述采样延迟电路,以于电源断电时所述采样延迟电路的电容上的电荷能够快速流出;

复位信号产生电路,用于在所述电源电压VDD建立初期跟随电源电压VDD上升,并于电源电压VDD到达一定幅度后翻转以输出相反信号;

缓冲电路,用于对所述复位信号产生电路输出的信号进行缓冲以减小对所述复位信号产生电路的影响并增强复位信号和反相复位信号的带负载能力。

2. 如权利要求1所述的一种上电复位电路,其特征在于:所述缓冲电路连接所述迟滞电路以及所述信号产生电路。

3. 如权利要求2所述的一种上电复位电路,其特征在于:所述复位信号产生电路包括NMOS管N0以及电阻R0,所述NMOS管N0栅极接所述采样延迟电路,所述NMOS管N0的源极接地,漏极与所述电阻R0的一端连接形成节点V2,所述电阻R0另一端接电源电压。

4. 如权利要求3所述的一种上电复位电路,其特征在于:所述缓冲电路连接所述节点V2,以将节点V2的输出经多级放大后反馈至所述迟滞电路。

5. 如权利要求4所述的一种上电复位电路,其特征在于:所述缓冲电路包括第一至第五反相器,所述复位信号产生电路的输出端连接所述第一反相器的输入端,所述第一反相器的输出端连接所述第二反相器的输入端,所述第二反相器的输出端与所述第三反相器、第五反相器的输入端以及所述迟滞电路相连组成节点V3,所述第三反相器的输出端连接所述第四反相器的输入端,所述第四反相器的输出端为复位信号RESET输出,所述第五反相器的输出端为反相复位信号RESETB输出。

6. 如权利要求5所述的一种上电复位电路,其特征在于:所述迟滞电路包括一PMOS管,所述PMOS管栅极连接所述节点V3,所述PMOS管的源极连接电源电压,漏极所述采样延迟电路。

7. 如权利要求6所述的一种上电复位电路,其特征在于:所述采样延迟电路包括第一至第三电阻以及一电容,所述第三电阻一端接电源电压,另一端与所述第二电阻的一端以及所述PMOS管的漏极相连组成节点V1,所述第二电阻另一端与所述第一电阻的一端、所述电容的一端以及所述复位信号产生电路、放电电路相连组成节点V0,所述第一电阻另一端与所述电容另一端接地。

8. 如权利要求7所述的一种上电复位电路,其特征在于:所述放电电路包括一二极管,所述二极管阳极接所述节点V0,阴极接电源电压。

9. 如权利要求8所述的一种上电复位电路,其特征在于:所述二极管采用二极管接法的MOS管或者PMOS管源、漏与N阱之间的寄生二极管代替。

10. 如权利要求7所述的一种上电复位电路,其特征在于:所述节点V0连接所述复位信号产生电路的NMOS管栅极。

一种上电复位电路

技术领域

[0001] 本发明涉及模拟集成电路技术领域,特别是涉及一种带放电结构的上电复位电路。

背景技术

[0002] 图1为现有技术中上电复位电路的电路结构图。如图1所示,该上电复位电路包括:采样延迟电路10、迟滞电路20、复位信号产生电路40以及缓冲电路50。

[0003] 其中,采用延迟电路10利用串联的电阻(R1/R2/R3)对电源VDD分压,产生电压V0来控制复位信号产生电路40的NMOS管N0开闭。在VDD较低时(如VDD低于POR(上电复位)的翻转点Vtrigger),NMOS管N0电阻远大于R0,V2节点电压跟随VDD,RESET电压也跟随VDD;在VDD较高时(VDD高于Vtrigger),NMOS管N0导通,V2电压被拉到地,RESET电压为低。

[0004] 为保证上电时RESET信号保持足够的时间,采样延迟电路10采用电容C0与R1、R2、R3产生RC延迟。当电源电压上升较快时,V0电压会经过一段时间的延迟后,才到达NMOS管N0的阈值电压,由此达到让RESET信号经过一段时间的延迟后再从高变低的目的。

[0005] 为防止电源噪声造成RESET信号不断高低变化,迟滞电路20的PMOS管P0被用于在V2电压被拉到地时,将R3短路掉,使Vtrigger的大小降低一个窗口,即上电时Vtrigger(下文写作Vtup)比下电时的Vtrigger(下文写作Vtdn)高出一个窗口 ΔV_t 。这样一来,当电源电压超过Vtup后,由于噪声而略微下降,只要噪声的振幅小于 ΔV_t ,RESET信号就不会重新变高。

[0006] 然而,现有技术的POR(上电复位)的结构存在以下两点不足:

[0007] 1、由于采用PMOS管P0作为开关管,要求它的电阻要么远大于R3要么远小于R3,即要求P0的栅电压非高即低。而V2点的电压随着V0电压的上升平缓地从高变低,不能满足非高即低这个要求,最终导致Vtrigger的窗口小于预期。而且在不同corner和温度条件下,Vtrigger窗口大小随着P0管跨导的变化而变化。

[0008] 2、在电源断电并重新上电时,电容C0上的电荷无法经电阻R1、R2、R3快速放掉。在电源断电并上电所用时间很短的情况下,V0一直维持较高的电压,NMOS管N0始终处于导通状态,POR(上电复位)无法输出RESET正脉冲。

发明内容

[0009] 为克服上述现有技术存在的不足,本发明之目的在于提供一种上电复位电路,其不仅使Vtrigger有稳定的窗口,且在电源短时间内断电并上电的情况下,能输出RESET正脉冲。

[0010] 为达上述及其它目的,本发明提出一种上电复位电路,包括:

[0011] 采样延迟电路,用于对电源电压VDD进行采样并延迟输出;

[0012] 迟滞电路,用于在复位信号已经产生后的正常工作情况下短路部分采样电阻以对电源电压的变化产生迟滞效果,从而避免电源电压变化时错误产生复位电路;

[0013] 放电电路,连接所述采样延迟电路,以于电源断电时所述采样延迟电路的电容上的电荷能够快速流出;

[0014] 复位信号产生电路,用于在所述电源电压VDD建立初期跟随电源电压VDD上升,并于电源电压VDD到达一定幅度后翻转以输出相反信号;

[0015] 缓冲电路,用于对所述复位信号产生电路输出的信号进行缓冲以减小对所述复位信号产生电路的影响并增强复位信号和反相复位信号的带负载能力。

[0016] 进一步地,所述缓冲电路连接所述迟滞电路以及所述信号产生电路。

[0017] 进一步地,所述复位信号产生电路包括NMOS管N0以及电阻R0,所述NMOS管N0栅极接所述采样延迟电路,所述NMOS管N0的源极接地,漏极与所述电阻R0的一端连接形成节点V2,所述电阻R0另一端接电源电压。

[0018] 进一步地,所述缓冲电路连接所述节点V2,以将节点V2的输出经多级放大后反馈至所述迟滞电路。

[0019] 进一步地,所述缓冲电路包括第一至第五反相器,所述复位信号产生电路的输出端连接所述第一反相器的输入端,所述第一反相器的输出端连接所述第二反相器的输入端,所述第二反相器的输出端与所述第三反相器、第五反相器的输入端以及所述迟滞电路相连组成节点V3,所述第三反相器的输出端连接所述第四反相器的输入端,所述第四反相器的输出端为复位信号RESET输出,所述第五反相器的输出端为反相复位信号RESETB输出。

[0020] 进一步地,所述迟滞电路包括一PMOS管,所述PMOS管栅极连接所述节点V3,所述PMOS管的源极连接电源电压,漏极所述采样延迟电路。

[0021] 进一步地,所述采样延迟电路包括第一至第三电阻以及一电容,所述第三电阻一端接电源电压,另一端与所述第二电阻的一端以及所述PMOS管的漏极相连组成节点V1,所述第二电阻另一端与所述第一电阻的一端、所述电容的一端以及所述复位信号产生电路、放电电路相连组成节点V0,所述第一电阻另一端与所述电容另一端接地。

[0022] 进一步地,所述放电电路包括一二极管,所述二极管阳极接所述节点V0,阴极接电源电压。

[0023] 进一步地,所述二极管采用二极管接法的MOS管或者PMOS管源、漏与N阱之间的寄生二极管代替。

[0024] 进一步地,所述节点V0连接所述复位信号产生电路的NMOS管栅极。

[0025] 与现有技术相比,本发明一种上电复位电路,通过改用缓冲电路50的经两级放大后的V3来控制迟滞电路20的PMOS管P0管的开闭,由于经两级放大后的V3电压可以近似认为是非高即低,符合控制PMOS管P0管的条件,使得改进后电源电压翻转点Vtrigger的窗口变得稳定,同时本发明通过采用二极管的放电电路30连接采样延迟电路10的输出与电源,以在电源断电时采样延迟电路10的电容C0上的电荷可通过二极管快速流出,使得在其后的上电过程中POR可以产生RESET正脉冲信号。

附图说明

[0026] 图1为现有技术中上电复位电路的电路结构图;

[0027] 图2为本发明一种上电复位电路的电路结构图。

具体实施方式

[0028] 以下通过特定的具体实例并结合附图说明本发明的实施方式,本领域技术人员可由本说明书所揭示的内容轻易地了解本发明的其它优点与功效。本发明亦可通过其它不同的具体实例加以施行或应用,本说明书中的各项细节亦可基于不同观点与应用,在不背离本发明的精神下进行各种修饰与变更。

[0029] 图2为本发明一种上电复位电路的电路结构图。如图2所示,本发明一种上电复位电路,包括:采样延迟电路10、迟滞电路20、放电电路30、复位信号产生电路40以及缓冲电路50。

[0030] 其中,采样延迟电路10由电阻R1-R3以及电容C0组成,用于对电源电压VDD进行采样并延迟输出;迟滞电路20由PMOS管P0组成,用于在已经复位信号产生后的正常工作情况下短路部分采样电阻以对电源电压的变化产生迟滞效果,从而避免电源电压变化时错误产生复位电路;放电电路30,包含一二极管D0,其连接所述采样延迟电路10,以于电源断电时所述采样延迟电路的电容上的电荷能够快速流出;复位信号产生电路40由NMOS管N0和电阻R0组成,用于在电源电压VDD建立初期跟随电源电压VDD上升(本实施例为高电平),并于电源电压VDD到达一定幅度后翻转以输出相反信号(本实施例为低电平);缓冲电路50由反相器INV1-5组成,用于对复位信号产生电路40输出的信号进行缓冲以减小对复位信号产生电路40的影响并增强复位信号和反相复位信号的带负载能力。

[0031] 具体地,电阻R3、R0的一端、PMOS管P0的源极连接电源VDD,电阻R3另一端与电阻R2的一端以及PMOS管P0的漏极相连组成节点V1,电阻R2另一端与电阻R1的一端、电容C0的一端以及NMOS管N0的栅极、二极管D0阳极相连组成节点V0,电阻R1的另一端、电容C0的另一端以及NMOS管N0的源极接地GND,NMOS管N0的漏极与电阻R0的另一端以及反相器INV1的输入端相连组成节点V2,反相器INV1的输出端连接反相器INV2的输入端,反相器INV2的输出端与反相器INV3、INV5的输入端以及PMOS管P0的栅极相连组成节点V3,反相器INV3的输出端连接反相器INV4的输入端,反相器INV4的输出端为复位信号RESET输出,反相器INV5的输出端为反相复位信号RESETB输出。

[0032] 本发明改用V3来控制PMOS管P0的开闭。V2的电压经过2级反相器放大后产生V3,V3电压可以近似认为是非高即低,符合控制PMOS管P0的条件。改进后电源电压翻转点Vtrigger的窗口变得稳定,受PMOS管P0跨导随工艺角corner、温度等变化的影响变得可以忽略不计。

[0033] 放电电路30采用用二极管D0连接V2和电源,当电源断电时电容C0上的电荷通过二极管D0快速流出,使得在其后的上电过程中POR(上电复位)可以产生RESET正脉冲信号。

[0034] 当然,为减小面积,图中二极管D0可以用二极管接法的MOS管或者PMOS管源、漏与N阱之间的寄生二极管代替,本发明不以此为限。

[0035] 分别按本发明上述结构以及现有技术的结构搭建电路(使用HL40LP工艺的2.5V器件),两个电路其他部分结构以及器件尺寸都相同,进行仿真,先比较Vtrigger的窗口大小,再比较快速下电上电过程中是否有RESET信号。

[0036] 1、Vtrigger的窗口大小

[0037] 在仿真中,先对POR(上电复位)缓慢上电,记录RESET电压从高突降低到时的电源

电压 V_{tup} ,再缓慢下电,记录RESET电压从低突变到高时的电源电压 V_{tdn} ,窗口 $\Delta V_t = V_{tup} - V_{tdn}$ 。(在缓慢上电过程中,电源电压经100ms由0V上升到2.5V;在缓慢下电过程中,电源电压经100ms由2.5V下降到0V)

[0038] 表1不同POR结构在PT corners下电源电压翻转点的窗口

[0039]

ΔV_t (mV) \ P0R 结构 PT corner	现有技术结构	本发明所述结构	将 P0 换成理想开关
tt, 27°C	61	152	152
ss, 125°C	23	174	174
ff, -40°C	77	138	138

[0040] 对比3个PT corner下,本发明与现有技术POR的 ΔV_t ,可知:现有技术POR窗口偏小,在典型NMOS和典型PMOS工艺(tt)、常温(27°C)下,现有技术电源电压翻转点窗口为61mV,在快速NMOS和快速PMOS工艺(ff)、高温(40°C)下,现有技术电源电压翻转点窗口为77mV,在慢速NMOS和慢速PMOS工艺(ss)、高温(125°C)的PT corner下,电源电压翻转点窗口 ΔV_t 只有23mV,抗电源噪声能力弱。本发明的POR有较大的窗口,在典型NMOS和典型PMOS工艺(tt)、慢速NMOS和慢速PMOS工艺(ss)、快速NMOS和快速PMOS工艺(ff)三种情况下电源电压翻转点窗口 ΔV_t 分别为152mV、174mV、138mV,通过与理想开关比较后发现,窗口大小基本不受P0的corners的影响。

[0041] 2、快速下电上电过程中的RESET信号

[0042] 仿真中,先给POR上电,等待足够长时间后,对POR进行快速下电、上电(电源电压0.5us内从2.5V下降到0V,紧接着又在0.5us内从0V上升到2.5V),测量RESET信号上升、下降沿之间的延迟(上升到1.25V与下降到1.25V的时间差)。(PT corner:tt,27°C)

[0043] 表2不同POR结构在电源快速先下电后上电过程中RESET信号延迟大小

[0044]

POR结构	现有技术结构	本发明所述结构
RESET信号上升、下降沿延迟	RESET信号不翻转	7.05us

[0045] 现有技术在下电时电容C0上的电荷无法快速释放,V0电位一直高于NMOS管N0的阈值电压,N0一直是导通的,所以RESET一直是低电平。本发明结构的POR实现了V0节点的快速放电,所以在快速下电上电时仍然可以产生RESET脉冲信号。

[0046] 综上所述,本发明一种上电复位电路,通过改用缓冲电路50的经两级放大后的V3来控制迟滞电路20的PMOS管P0管的开闭,由于经两级放大后的V3电压可以近似认为是非高即低,符合控制PMOS管P0管的条件,使得改进后电源电压翻转点 $V_{trigger}$ 的窗口变得稳定,同时本发明通过采用二极管的放电电路30连接采样延迟电路10的输出与电源,以在电源断电时采样延迟电路10的电容C0上的电荷可通过二极管快速流出,使得在其后的上电过程中POR可以产生RESET正脉冲信号。

[0047] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何本领域技术人员均可在不违背本发明的精神及范畴下,对上述实施例进行修饰与改变。因此,本发明的权利保护范围,应如权利要求书所列。

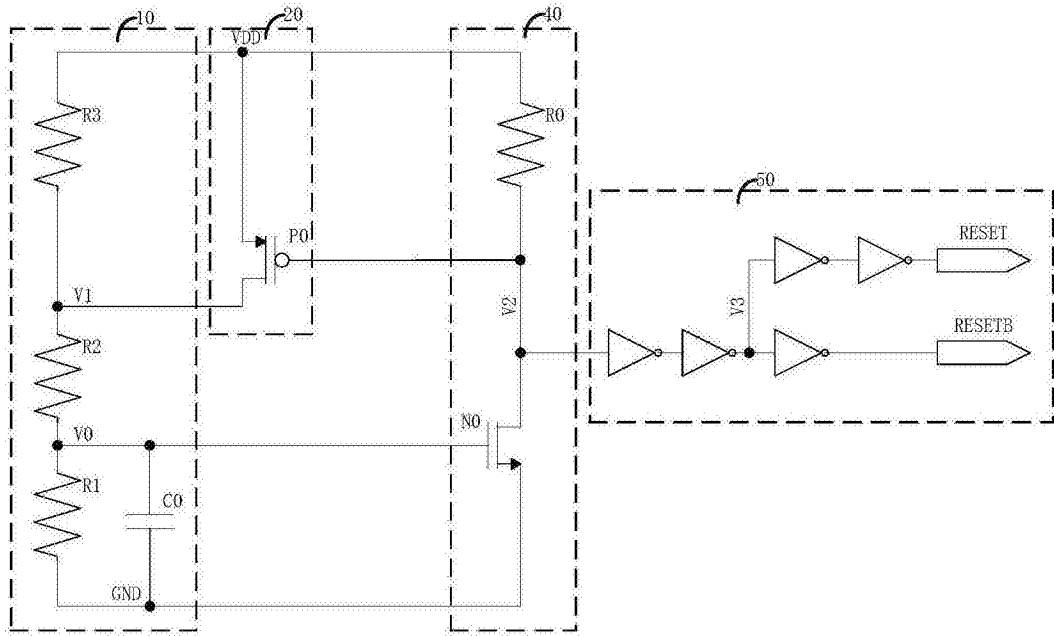


图1

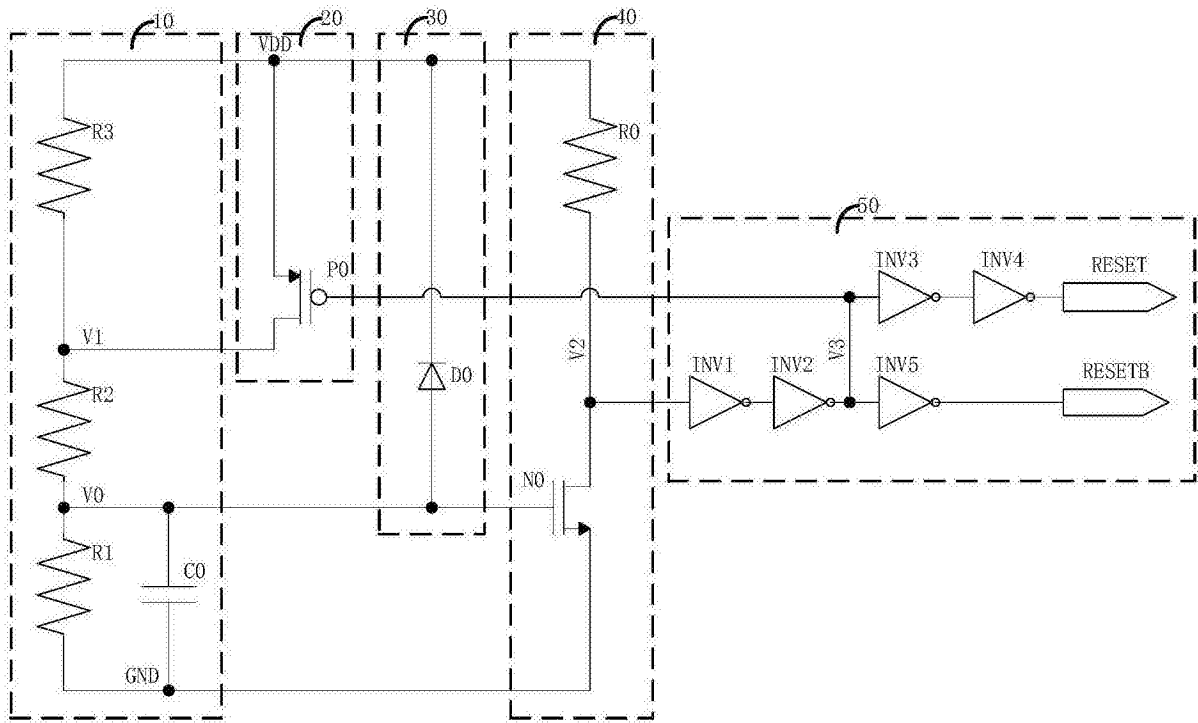


图2