



(12)发明专利

(10)授权公告号 CN 104956320 B

(45)授权公告日 2017.07.18

(21)申请号 201480006373.8

(22)申请日 2014.02.06

(65)同一申请的已公布的文献号
申请公布号 CN 104956320 A

(43)申请公布日 2015.09.30

(30)优先权数据
61/761,841 2013.02.07 US
13/798,767 2013.03.13 US

(85)PCT国际申请进入国家阶段日
2015.07.28

(86)PCT国际申请的申请数据
PCT/US2014/015161 2014.02.06

(87)PCT国际申请的公布数据
WO2014/124176 EN 2014.08.14

(73)专利权人 高通股份有限公司
地址 美国加利福尼亚州

(72)发明人 戴维·保罗·霍夫
特蕾西·A·德拉罗瓦
贾森·P·马茨洛夫

(74)专利代理机构 北京律盟知识产权代理有限
责任公司 11287
代理人 宋献涛

(51)Int. Cl.
G06F 7/74(2006.01)
G11C 15/04(2006.01)
H03K 19/00(2006.01)

(56)对比文件
EP 0440221 A2,1991.08.07,
JP 2001256787 A,2001.09.21,
US 7401180 B1,2008.07.15,
US 7474546 B2,2009.01.06,

审查员 石志昕

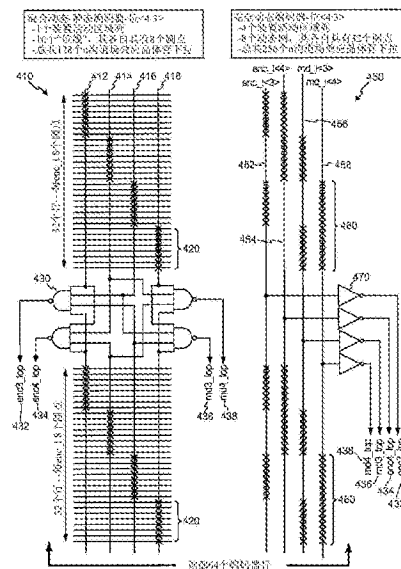
权利要求书4页 说明书16页 附图10页

(54)发明名称

具有命中及多命中检测的混合动态-静态编
码器

(57)摘要

本文所描述的混合动态-静态编码器组合动
态及静态逻辑以在具有等效逻辑延迟的情况
下提供相对于完全动态编码器的区域节省、
电力节省及泄漏节省。举例来说,所述混
合动态-静态编码器包含恒等的顶部半部
及底部半部,所述顶部半部及底部半部经
组合以产生最终经编码索引输出、命中输
出及多命中输出。每一编码器半部将动
态网用于每一索引位,其中与搜索关键字
匹配的行被加圆点。如果行已被加圆点以
指示所述行与所述搜索关键字匹配,那么
与其相关联的所述动态网经评估以反映与
所述行相关联的索引。因此,所述混合动
态-静态编码器具有一组缩减的较小动态
网,其充分利用横越索引动态网、命中动
态网及多命中动态网的冗余下拉结构。



1. 一种混合动态-静态编码器,其包括:

阵列结构,其具有X个行,所述行各自耦合到多个装置活动区域DAA列及相应匹配线,所述相应匹配线经断言以指示所述行对应于所述阵列结构中的与搜索关键字匹配的条目或未经断言以指示对应于所述行的所述条目与所述搜索关键字失配,其中每一DAA列包括容纳以下各者的物理区域:

多个动态网;

X个动态下拉装置,其耦合到所述多个动态网,使得所述阵列结构中的所述X个行各自包含所述X个动态下拉装置中的一者且耦合到所述阵列结构中的与所述搜索关键字匹配的每一行的所述匹配线被断言;及

静态电路,其耦合到所述多个动态网,其中所述静态电路包括多个多输入逻辑门,所述多输入逻辑门经配置以产生至少包含一或多个经编码索引信号及至少一个多命中检测信号的多个信号;及

逻辑电路,其经配置以接收由每一DAA列中的所述静态电路产生的所述多个信号且至少导出指示是否所述阵列结构中的一或多个行与所述搜索关键字匹配的命中信号及指示是否所述阵列结构中的多个行与所述搜索关键字匹配的多命中信号。

2. 根据权利要求1所述的混合动态-静态编码器,其中所述逻辑电路经进一步配置以在所述阵列结构中的所述行中的至少一行对应于与所述搜索关键字匹配的条目的情况下导出多位经编码索引。

3. 根据权利要求2所述的混合动态-静态编码器,其中所述多位经编码索引唯一地识别对应于所述阵列结构中的所述至少一行的地址。

4. 根据权利要求1所述的混合动态-静态编码器,其中每一DAA列中的所述多个动态网包括:

所述混合动态-静态编码器的顶部半部中的第一组动态网,其中所述顶部半部包括X/2个行;及

所述混合动态-静态编码器的底部半部中的第二组动态网,其中所述底部半部包括X/2个行。

5. 根据权利要求4所述的混合动态-静态编码器,其中与每一DAA列相关联的所述静态电路中的所述多个多输入逻辑门包括所述顶部半部中的第一组“与非”门,所述“与非”门经配置以评估所述DAA列的所述顶部半部中的所述第一组动态网以产生所述一或多个经编码索引信号及所述至少一个多命中检测信号的第一组。

6. 根据权利要求5所述的混合动态-静态编码器,其中与每一DAA列相关联的所述静态电路中的所述多个多输入逻辑门进一步包括所述底部半部中的第二组“与非”门,所述“与非”门经配置以评估所述DAA列的所述底部半部中的所述第二组动态网以产生所述一或多个经编码索引信号及所述至少一个多命中检测信号的第二组。

7. 根据权利要求1所述的混合动态-静态编码器,其中每一DAA列中的所述静态电路具有实质上等效于完全动态编码器的门延迟计数。

8. 一种用于检测可搜索阵列结构中的一或多个命中的方法,其包括:

接收搜索关键字;

使用所接收的所述搜索关键字而搜索与混合动态-静态编码器相关联的阵列结构,其

中所述阵列结构具有X个行,所述行各自耦合到多个装置活动区域DAA列及相应匹配线,所述相应匹配线经断言以指示所述行对应于所述阵列结构中的与搜索关键字匹配的条目或未经断言以指示对应于所述行的所述条目与所述搜索关键字失配,其中每一DAA列包括容纳以下各者的物理区域:

多个动态网,

X个动态下拉装置,其耦合到所述多个动态网,使得所述阵列结构中的所述X个行各自包含所述X个动态下拉装置中的一者且耦合到所述阵列结构中的与所述搜索关键字匹配的每一行的所述匹配线被断言,及

静态电路,其耦合到所述多个动态网,其中所述静态电路包括多个多输入逻辑门,所述多输入逻辑门经配置以产生包含至少一或多个经编码索引信号及至少一个多命中检测信号的多个信号;及

根据由每一DAA列中的所述静态电路产生的所述多个信号而至少导出指示是否所述阵列结构中的一或多个行与所述搜索关键字匹配的命中信号及指示是否所述阵列结构中的多个行与所述搜索关键字匹配的多命中信号。

9. 根据权利要求8所述的用于检测可搜索阵列结构中的一或多个命中的方法,其进一步包括:

响应于在所述阵列结构中的所述行中的至少一行对应于与所述搜索关键字匹配的条目而根据所述至少一或多个经编码索引信号导出多位经编码索引。

10. 根据权利要求9所述的用于检测可搜索阵列结构中的一或多个命中的方法,其中所述多位经编码索引唯一地识别对应于所述阵列结构中的所述至少一行的地址。

11. 根据权利要求8所述的用于检测可搜索阵列结构中的一或多个命中的方法,其中所述混合动态-静态编码器具有实质上等效于完全动态编码器的门延迟计数。

12. 一种用于检测可搜索阵列结构中的一或多个命中的方法,其包括:

接收搜索关键字;

使用所接收的所述搜索关键字而搜索与混合动态-静态编码器相关联的阵列结构,其中所述阵列结构具有X个行且所述混合动态-静态编码器包括一或多个第一装置活动区域DAA列及一或多个额外DAA列,所述一或多个第一装置活动区域DAA列各自具有经布置以横越X/32个动态网的X个动态下拉装置,所述X/32个动态网各自跨越X/2个行,所述一或多个额外DAA列各自具有经布置以横越X/16个动态网的X个动态下拉装置,所述X/16个动态网各自跨越X/2个行,且其中所述混合动态-静态编码器进一步包括顶部半部及底部半部,所述顶部半部及底部半部各自具有被分别加圆点到与所述第一DAA列中的至少一者相关联的所述动态网中的一者上以及与每一额外DAA列相关联的所述动态网中的一者上的X/2个行;以及

基于在所述一或多个第一DAA列和所述一或多个额外DAA列中产生的组合式输出信号而导出一或多个经编码索引信号,所述一或多个经编码索引信号指示所述阵列结构中的至少一个行是否与所述搜索关键字匹配。

13. 一种用于检测可搜索阵列结构中的一或多个命中的设备,其包括:

用于接收搜索关键字的装置;

用于使用所接收的所述搜索关键字而搜索与混合动态-静态编码器相关联的阵列结构

的装置,其中所述阵列结构具有X个行,所述行各自耦合到多个装置活动区域DAA列及相应匹配线,所述相应匹配线经断言以指示所述行对应于所述阵列结构中的与搜索关键字匹配的条目或未经断言以指示对应于所述行的所述条目与所述搜索关键字失配,其中每一DAA列包括容纳以下各者的物理区域:

多个动态网,

X个动态下拉装置,其耦合到所述多个动态网,使得所述阵列结构中的所述X个行各自包含所述X个动态下拉装置中的一者且耦合到所述阵列结构中的与所述搜索关键字匹配的每一行的所述匹配线被断言,及

静态电路,其耦合到所述多个动态网,其中所述静态电路包括多个多输入逻辑门,所述多输入逻辑门经配置以产生至少包含一或多个经编码索引信号及至少一个多命中检测信号的多个信号;及

用于根据由每一DAA列中的所述静态电路产生的所述多个信号而至少导出指示是否所述阵列结构中的一或多个行与所述搜索关键字匹配的命中信号及指示是否所述阵列结构中的多个行与所述搜索关键字匹配的多命中信号的装置。

14. 根据权利要求13所述的用于检测可搜索阵列结构中的一或多个命中的设备,其进一步包括:

用于响应于在所述阵列结构中的所述行中的至少一行对应于与所述搜索关键字匹配的条目而根据所述至少一或多个经编码索引信号导出多位经编码索引的装置。

15. 根据权利要求14所述的用于检测可搜索阵列结构中的一或多个命中的设备,其中:所述多位经编码索引唯一地识别对应于所述阵列结构中的所述至少一行的地址。

16. 一种用于检测可搜索阵列结构中的一或多个命中的设备,其包括:

用于接收搜索关键字的装置;

用于使用所接收的所述搜索关键字而搜索与混合动态-静态编码器相关联的阵列结构的装置,其中所述阵列结构具有X个行且所述混合动态-静态编码器包括一或多个第一装置活动区域DAA列及一或多个额外DAA列,所述一或多个第一装置活动区域DAA列各自具有经布置以横越X/32个动态网的X个动态下拉装置,所述X/32个动态网各自跨越X/2个行,所述一或多个额外DAA列各自具有经布置以横越X/16个动态网的X个动态下拉装置,所述X/16个动态网各自跨越X/2个行,且其中所述混合动态-静态编码器进一步包括顶部半部及底部半部,所述顶部半部及底部半部各自具有被分别加圆点到与所述第一DAA列中的至少一者相关联的所述动态网中的一者上以及与每一额外DAA列相关联的所述动态网中的一者上的X/2个行;以及

用于基于在所述一或多个第一DAA列和所述一或多个额外DAA列中产生的组合式输出信号而导出一或多个经编码索引信号的装置,所述一或多个经编码索引信号指示所述阵列结构中的至少一行是否与所述搜索关键字匹配。

17. 一种混合动态-静态编码器,其包括:

具有X个行的阵列结构;

一或多个第一装置活动区域DAA列,每个第一DAA列具有经布置以横越X/32个动态网的X个下拉装置,所述X/32个动态网中的每一者跨越X/2个行;

一或多个额外DAA列,每一个额外DAA列具有经布置以横越X/16个动态网的X个动态下

拉装置,所述X/16个动态网络中的每一者跨越X/2个行;

具有X/2个行的顶部半部,所述顶部半部的X/2个行分别被加圆点到与所述第一DAA列中的至少一者相关联的所述动态网中的一者上以及与每一额外DAA列相关联的所述动态网中的一者上;

具有X/2个行的底部半部,所述底部半部的X/2个行分别被加圆点到与所述第一DAA列中的至少一者相关联的所述动态网中的一者上以及与每一额外DAA列相关联的所述动态网中的一者上;以及

用于基于在所述一或多个第一DAA列和所述一或多个额外DAA列中产生的组合式输出信号而导出一或多个经编码索引信号的装置,所述一或多个经编码索引信号指示所述阵列结构中的一或多个行是否与搜索关键字匹配。

18. 根据权利要求17所述的混合动态-静态编码器,其进一步包括:

用于基于所述组合式输出信号而导出指示所述阵列结构中的至少一个行是否与所述搜索关键字匹配的命中信号的装置。

19. 根据权利要求17所述的混合动态-静态编码器,其进一步包括:

用于基于所述组合式输出信号而导出指示所述阵列结构中的多个行是否与所述搜索关键字匹配的多命中信号的装置。

20. 根据权利要求17所述的混合动态-静态编码器,其中所述经编码索引信号中的至少一者唯一地识别所述阵列结构中与所述搜索关键字匹配的行。

21. 根据权利要求17所述的混合动态-静态编码器,其中所述顶部半部和所述底部半部各自包括经配置以响应于所述阵列结构中的一或多个行与所述搜索关键字匹配而评估与每一DAA列相关联的所述多个动态网的逻辑。

22. 根据权利要求17所述的混合动态-静态编码器,其中所述一或多个第一DAA列及所述一或多个额外DAA列包括物理区域以容纳以下一者或多者:n沟道场效应晶体管NFET装置、p沟道场效应晶体管PFET装置、扩散硅逻辑组件、生成在所述一或多个第一DAA列及所述一或多个额外DAA列中产生的所述输出信号的电路。

23. 一种混合动态-静态编码器,其包括:

阵列结构,其具有X个行,其中X等于128且所述阵列结构具有X个条目,

一个第一装置活动区域DAA列,其具有经布置以横越X/32个动态网的X个动态下拉装置,所述X/32个动态网各自跨越X/2个行,使得所述一个第一DAA列具有经布置以横越4个动态网的128个动态下拉装置,所述4个动态网各自具有32个圆点且跨越32个行;

两个额外DAA列,其各自具有经布置以横越X/16个动态网的X个动态下拉装置,所述X/16个动态网各自跨越X/2个行,使得所述两个额外DAA列各自具有经布置以横越8个动态网的128个动态下拉装置,所述8个动态网各自具有16个圆点且跨越32个行;以及

用于基于在所述第一DAA列和所述两个额外DAA列中产生的组合式输出信号而导出一或多个经编码索引信号的装置,所述一或多个经编码索引信号指示所述阵列结构中的一或多个行是否与搜索关键字匹配。

具有命中及多命中检测的混合动态-静态编码器

[0001] 根据35 U.S.C. §119规定的优先权主张

[0002] 依据35 U.S.C. §119规定,本申请案主张2013年2月7日申请的名为“具有任选命中及/或多命中检测的混合动态-静态编码器 (HYBRID DYNAMIC-STATIC ENCODER WITH OPTIONAL HIT AND/OR MULTI-HIT DETECTION)”的美国临时专利申请案第61/761,841号的优先权,所述临时专利申请案的全文据此以引用方式并入本文中。

技术领域

[0003] 本申请案大体上涉及一种具有任选命中及/或多命中检测的混合动态-静态编码器,且尤其涉及一种具有组合式动态及静态结构及逻辑设计的编码器,其可实质上缩减与其相关联的物理区域、电力消耗及泄漏,其中逻辑延迟实质上相似于或等效于完全动态解决方案。

背景技术

[0004] 在可包含与便携式或移动电子装置相关联的嵌入式应用的各种应用中,处理器通常执行计算任务。与这些电子装置相关联的日益扩展特征集及增强的功能性通常需求计算越来越强大的处理器。举例来说,最现代处理器将近期经执行指令及近期所使用数据存储于使指令执行管道可易于存取以利用与大多数程序或应用程序相关联的空间及时间局部性性质的一或多个高速缓冲存储器中。详细地说,高速缓冲存储器通常是指高速(通常为芯片上)存储器结构,其包括存储数据的随机存取存储器(RAM)及/或存储对应于存储于RAM中的数据的地址的对应内容可寻址存储器(CAM)。

[0005] 一般而言,CAM是指使能够相对快速地完成搜索操作的存储器单元阵列及关联比较电路系统。此能力允许搜索算法的搜索硬件实施方案,其相对于经软件实施搜索算法可提供较大速度。因而,CAM可用于需要较快速地存取更有可能由处理器存取的数据的各种应用程序(例如,高速缓冲存储器)中。举例来说,为了确定高速缓冲存储器是否存储特定数据字,可并行地搜索或以其它方式评估CAM阵列中的所有行以确定所述字的地址是否与存储于CAM中的任何地址匹配。更一般地,在任何合适CAM应用中,可搜索或以其它方式评估CAM阵列中的所有行以确定输入值是否与存储于所述CAM中的任何行中的值匹配。因此,CAM中的每一行可与指示与所述行相关联的搜索结果的相应匹配线相关联,其中与每一行相关联的匹配线可经断言以指示所述行与输入值匹配,或未经断言以指示所述行与输入值失配。

[0006] 当读出对应于可搜索阵列结构(例如,CAM)中的与搜索关键字匹配的条目的索引时,与所述匹配条目相关联的地址通常可被编码,之后从可搜索阵列结构读取所述地址。此外,多命中检测相似地需要编码与匹配条目相关联的地址,之后从可搜索阵列结构读取所述匹配地址以确保效率。然而,现有动态编码器实施方案倾向于需要针对阵列结构中的每一索引位需要单独动态网,此情形可造成编码器占据极大物理区域、消耗相当大电力且遭受归因于横越各种动态网需要许多下拉的相当大泄漏。尽管编码器电路系统可替代地使用静态逻辑予以实施,但静态实施方案倾向于需要额外逻辑深度以编码大数目个行,此情形

可引起延迟损失。

[0007] 因此,可需要一种用以处理与使用完全动态或完全静态解决方案的现有编码器设计相关联的这些及其它问题的改善型编码器设计。

发明内容

[0008] 下文呈现本文所揭示的混合动态-静态编码器的一或多个实施例的简化概述,以便提供对这些实施例的基本理解。因而,此概述不应被认为所有所预期实施例的广泛综述,此概述也不意欲识别本文所描述的所有实施例的关键或决定性元件或描绘任何特定实施例的范围。因此,此概述的唯一目的为以简化形式呈现与关于本文所揭示的具有任选中及/或多命中检测的混合动态-静态编码器的一或多个实施例有关的某些概念,而作为下文所呈现的更详细描述的前言。

[0009] 根据各种实施例,本文所描述的混合动态-静态编码器可组合动态及静态设计结构及关联逻辑以实现实质上缩减的区域、电力消耗及泄漏,其中逻辑延迟大体上等效于完全动态解决方案。更特别地,与倾向于需要用于每一索引位的单独动态网(及用以支持多命中检测的用于每一索引位的额外动态网)的现有动态编码器实施方案或倾向于引入归因于编码大数目个行需要额外逻辑深度的延迟损失的静态编码器实施方案形成对比,本文所描述的混合动态-静态编码器可策略上分割动态网及逻辑以实质上消除编码器结构的冗余且由此缩减与其相关联的大小(或区域)、电力消耗及泄漏,而不会引入任何相当大逻辑延迟。举例来说,在具有经编码索引输出、命中检测输出及多命中检测输出的128条目阵列中,相比于完全动态编码器中的1024个动态下拉,本文所描述的混合动态-静态编码器可具有384个动态下拉(即,在与本文所描述的混合动态-静态编码器相关联的阵列中每条目3个动态下拉相对于完全动态编码器中每条目8个动态下拉)。因此,完全动态编码器可具有16个动态下拉列,而本文所描述的混合动态-静态编码器可具有仅3个动态下拉列。此外,单一行命中在完全动态编码器中将需要评估8个大动态网,而单一行命中在本文所描述的混合动态-静态编码器中仅需要评估3个动态网。

[0010] 根据各种实施例,用于本文所描述的混合动态-静态编码器中的设计方法通常可应用于具有任何合适大小的阵列。然而,为了简化与用于本文所描述的混合动态-静态编码器中的设计方法相关联的描述,将使用128条目阵列以说明及解释与本文所描述的混合动态-静态编码器相关联的各种结构及逻辑特征。举例来说,可将用于具有任选中及/或多命中检测的混合动态-静态编码器中的128条目阵列划分成恒等的顶部半部及底部半部,顶部半部及底部半部可接着经组合以产生最终经编码索引输出、命中输出及多命中输出。详细地说,每一编码器半部可将动态网用于每一索引位,其中适当行被加圆点以指示行何时与搜索关键字匹配,其中每一动态网可需要32个圆点。因而,当阵列中的特定行已被加圆点以指示所述行与搜索关键字匹配时,可评估与所述行相关联的动态网以反映与所述行相关联的7位索引。此外,每一索引位可具有对应多命中动态网,可横越阵列中的各种行将所述多命中动态网加圆点以反映对应索引位的反向。因而,如果发生多命中,那么一或多个索引位将使索引动态网及多命中动态网两者经评估以将所述多命中加旗标。此外,可提供使每一行加圆点的命中动态网,其中所述命中动态网可划分成两个动态网且随后合并以缩减加载。因此,本文所描述的混合动态-静态编码器可有利地充分利用横越各种索引动态网、命

中动态网及多命中动态网的下拉结构的冗余,且使用逻辑以从一组缩减的较小动态网导出相同信息。

[0011] 根据一个实施例,一种具有任选命中检测及/或多命中检测的混合动态-静态编码器可包括:阵列结构,其具有X个行,所述行分别被加圆点到横越一或多个装置活动区域(DAA)列而布置的多个动态网中的一或多个者上。在一个实施例中,每一DAA列可具有横越Y个动态网而布置的X个下拉。所述混合动态-静态编码器可进一步包括合并逻辑,所述合并逻辑经配置以组合产生于所述多个动态网中的输出信号且基于所述组合式输出信号而导出一或多个经编码索引信号,所述一或多个经编码索引信号指示是否所述阵列结构中的一或多个行与搜索关键字匹配。另外,在一个实施例中,所述合并逻辑可经进一步配置以基于所述组合式输出信号而导出命中信号及/或多命中信号,所述命中信号指示是否所述阵列结构中的至少一个行与所述搜索关键字匹配,所述多命中信号指示是否所述阵列结构中的多个行与所述搜索关键字匹配(例如,当至少一个经编码索引信号唯一地识别所述阵列结构中的与所述搜索关键字匹配的至少一个行时)。因此,所述混合动态-静态编码器可实质上消除横越索引动态网、命中动态网及/或多命中动态网的冗余下拉结构,以提供在实质上等效于完全动态编码器的逻辑延迟下的相对于所述完全动态编码器的相当大物理区域节省、电力消耗节省及泄漏电流节省。

[0012] 根据一个实施例,一种用于检测可搜索阵列结构中的一或多个命中的方法可包括:接收搜索关键字;及使用所述所接收搜索关键字而搜索与具有任选命中检测及/或多命中检测的混合动态-静态编码器相关联的阵列结构。在一个实施例中,所述阵列结构可具有X个行,且所述混合动态-静态编码器可包含横越一或多个DAA列而布置的各种动态网,其中每一DAA列可具有横越Y个动态网而布置的X个下拉。在一个实施例中,所述方法可进一步包括:基于产生于所述多个动态网中的组合式输出信号而导出一或多个经编码索引信号,所述一或多个经编码索引信号指示是否所述阵列结构中的一或多个行与所述搜索关键字匹配。另外,在一个实施例中,所述方法可进一步包括:基于所述组合式输出信号而导出命中信号及/或多命中信号,所述命中信号指示是否所述阵列结构中的至少一个行与所述搜索关键字匹配,所述多命中信号指示是否所述阵列结构中的多个行与所述搜索关键字匹配(例如,所述命中信号可在至少一个经编码索引信号唯一地识别所述阵列结构中的与所述搜索关键字匹配的至少一个行时指示至少一个行与所述搜索关键字匹配,且所述多命中信号可相似地在多个经编码索引信号唯一地识别所述阵列结构中的与所述搜索关键字匹配的多个相应行时指示多个行与所述搜索关键字匹配)。

[0013] 根据一个实施例,一种设备可包括:用于接收搜索关键字的装置;及用于使用所述所接收搜索关键字而搜索与具有任选命中检测及/或多命中检测的混合动态-静态编码器相关联的阵列结构的装置。在一个实施例中,所述阵列结构可具有X个行,且所述混合动态-静态编码器可包含横越一或多个DAA列而布置的各种动态网,其中每一DAA列可具有横越Y个动态网而布置的X个下拉。在一个实施例中,所述设备可进一步包括:用于基于产生于所述多个动态网中的组合式输出信号而导出一或多个经编码索引信号的装置,所述一或多个经编码索引信号指示是否所述阵列结构中的一或多个行与所述搜索关键字匹配。另外,在一个实施例中,所述设备可进一步包括:用于基于所述组合式输出信号而导出命中信号及/或多命中信号的装置,所述命中信号指示是否所述阵列结构中的至少一个行与所述搜索关

键字匹配,所述多命中信号指示是否所述阵列结构中的多个行与所述搜索关键字匹配(例如,所述命中信号可在所述经编码索引信号中的至少一者唯一地识别所述阵列结构中的与所述搜索关键字匹配的至少一个行时指示至少一个行与所述搜索关键字匹配,且所述多命中信号可在多个经编码索引信号唯一地识别所述阵列结构中的与所述搜索关键字匹配的多个行时指示多个行与所述搜索关键字匹配)。

[0014] 根据一个实施例,一种计算机可读存储媒体可经记录有计算机可执行指令,其中在一或多个处理器上执行所述计算机可执行指令可致使所述一或多个处理器接收搜索关键字且使用所述所接收搜索关键字而搜索与具有任选命中检测及/或多命中检测的混合动态-静态编码器相关联的阵列结构。在一个实施例中,所述阵列结构可具有X个行,且所述混合动态-静态编码器可包含横越一或多个DAA列而布置的各种动态网,其中每一DAA列可具有横越Y个动态网而布置的X个下拉。在一个实施例中,在一或多个处理器上执行所述计算机可执行指令可进一步致使所述一或多个处理器:基于产生于所述多个动态网中的组合式输出信号而导出一或多个经编码索引信号,所述一或多个经编码索引信号指示是否所述阵列结构中的一或多个行与所述搜索关键字匹配。另外,在一个实施例中,在一或多个处理器上执行所述计算机可执行指令可进一步致使所述一或多个处理器:基于所述组合式输出信号而导出命中信号及/或多命中信号,所述命中信号指示是否所述阵列结构中的至少一个行与所述搜索关键字匹配,所述多命中信号指示是否所述阵列结构中的多个行与所述搜索关键字匹配(例如,当至少一个经编码索引信号唯一地识别所述阵列结构中的与所述搜索关键字匹配的至少一个行时)。

[0015] 根据一个实施例,一种具有任选命中检测及/或多命中检测的混合动态-静态编码器可包括:阵列结构,其具有X个行;一或多个第一DAA列,其具有横越X/8个动态网而布置的X个下拉,每一动态网跨越X/4个行;及一或多个第二DAA列,每一第二DAA列具有横越X/16个动态网而布置的X个下拉,每一动态网跨越X/4个行,其中所述DAA列通常可包括物理区域以容纳n沟道场效应晶体管(NFET)装置、p沟道场效应晶体管(PFET)装置、扩散硅逻辑组件或电路系统中的一或多个者以产生其中产生的输出信号。此外,所述混合动态-静态编码器可包括用于基于产生于所述第一DAA列及所述一或多个第二DAA列中的组合式输出信号而导出一或多个经编码索引信号的装置,所述一或多个经编码索引信号指示是否所述阵列结构中的一或多个行与所述搜索关键字匹配。另外,在一个实施例中,所述混合动态-静态编码器可进一步包括:用于基于所述组合式输出信号而导出命中信号的装置,所述命中信号指示是否所述阵列结构中的至少一个行与所述搜索关键字匹配;及/或用于基于所述组合式输出信号而导出多命中信号的装置,所述多命中信号指示是否所述阵列结构中的多个行与所述搜索关键字匹配(例如,当至少一个经编码索引信号唯一地识别所述阵列结构中的与所述搜索关键字匹配的至少一个行时)。

[0016] 与关于本文所描述的混合动态-静态编码器的实施例相关联的其它目标及优点将对所属领域的技术人员基于附图及具体实施方式而显而易见。

附图说明

[0017] 呈现附图以辅助本文所揭示的实施例的描述,且提供所述附图仅仅以说明与所揭示实施例相关联的示范性特征,而不界定其任何限制。

[0018] 图1说明根据一个示范性实施例的示范性无线通信系统,其包含具有可实施本文所描述的混合动态-静态编码器的存储器体系结构的移动装置。

[0019] 图2说明根据一个示范性实施例的示范性移动装置,其具有可实施本文所描述的混合动态-静态编码器的存储器体系结构。

[0020] 图3说明根据一个示范性实施例的与完全动态编码器结构有关的可用于本文所描述的混合动态-静态编码器中的结构。

[0021] 图4到6说明根据一个示范性实施例的与完全动态编码器有关的可用于本文所描述的混合动态-静态编码器中的示范性可搜索阵列结构及关联比较电路系统。

[0022] 图7说明根据一个示范性实施例的用以将与本文所描述的混合动态-静态编码器相关联的顶部行及底部行合并成各种输出位的逻辑,所述输出位表示可搜索阵列结构是否包含与搜索关键字匹配的一或多个条目。

[0023] 图8说明根据一个示范性实施例的用于使用本文所描述的混合动态-静态编码器以产生指示是否阵列结构中的一或多个条目与搜索关键字匹配的一或多个输出信号的示范性方法。

[0024] 图9说明根据一个示范性实施例的对应于无线通信装置的示范性框图,所述无线通信装置具有可实施本文所描述的混合动态-静态编码器的存储器体系结构。

[0025] 图10说明根据一个示范性实施例的示范性通信系统,其包含具有可实施本文所描述的混合动态-静态编码器的存储器体系结构的一或多个通信装置。

具体实施方式

[0026] 以下描述及相关图式中揭示用以展示与具有任选命中及/或多命中检测的混合动态-静态编码器的各种示范性实施例有关的特定实例的方面。替代实施例将对所属领域的技术人员在阅读本发明后就显而易见,且可在不脱离本发明的范围或精神的情况下构造及实践替代实施例。另外,熟知的元件将未被详细地描述或可被省略,以便不混淆本文所揭示的方面及实施例的相关细节。

[0027] 词语“示范性”在本文中用以意指“充当实例、例子或说明”。本文中被描述为“示范性”的任何实施例未必被认作比其它实施例优选或有利。同样地,术语“实施例”不要求所有实施例皆包含所论述特征、优点或操作模式。

[0028] 本文所使用的术语仅描述特定实施例,且不应被认作限制本文所揭示的任何实施例。除非上下文另有明确指示,否则如本文所使用的单数形式“一”及“所述”意欲也包含复数形式。应进一步理解,术语“包括”、“包含”在用于本文中时指定所陈述特征、整数、步骤、操作、元件及/或组件的存在,但不排除一或多个其它特征、整数、步骤、操作、元件、组件及/或其群的存在或添加。

[0029] 根据一个实施例,图1说明无线通信系统100,其包含一或多个移动装置106,一或多个移动装置106具有可实施本文所描述的具有任选命中及/或多命中检测的混合动态-静态编码器的存储器体系结构。在一个实施例中,无线通信系统100可依据任何合适无线标准而操作。举例来说,无线通信系统100可为可共享可用网络资源以支持多个用户的多址接入网络,其中示范性多址接入网络可包含码分多址接入(CDMA)网络、时分多址接入(TDMA)网络、频分多址接入(FDMA)网络,及正交FDMA(OFDMA)网络。这些多址接入网络可实施各种无

线电技术,其中术语“无线电技术”、“无线电存取技术”(RAT)、“存取技术”及“空中接口”可常常被可互换地使用。CDMA网络可实施无线电技术,诸如,cdma2000(例如,依据IS-2000、IS-856及/或IS-95标准中的一或多个者)、宽带CDMA(W-CDMA),或其它合适无线电技术。CDMA2000 1x网络(或简单地称为“1x网络”)是指实施IS-2000及/或IS-95的无线网络。CDMA2000 1xEV-DO网络(或简单地称为“1xEV-DO网络”)是指实施IS-856的无线网络。通用移动通信系统(UMTS)网络为实施W-CDMA的无线网络。TDMA网络可实施诸如全球移动通信系统(GSM)的无线电技术。在所属领域中知道这些各种无线电技术、标准,及蜂窝网络。W-CDMA、GSM及UMTS在来自名称为“第3代合作伙伴计划”(3GPP)的组织的文档中被描述,而cdma2000在来自名称为“第3代合作伙伴计划2”(3GPP2)的组织的文档中被描述。3GPP及3GPP2文档是公开可得的。

[0030] 在一个实施例中,除了一或多个移动装置106以外,图1所展示的无线通信系统100也可包含与一或多个移动装置106通信的接入点(AP)104,其中AP 104也可包括(经实施为)或被称为NodeB、无线网络控制器(RNC)、eNodeB、基站控制器(BSC)、基地收发器站(BTS)、基站(BS)、收发器功能(TF)、无线电路由器、无线电收发器,或其它合适技术。

[0031] 一般而言,AP 104可用作无线通信系统100的集线器或基站,且一或多个移动装置106可用作无线通信系统100中的用户。举例来说,在一个实施例中,移动装置106可为膝上型计算机、个人数字助理(PDA)、移动电话,或支持无线通信的任何其它合适装置。移动装置106也可包括(经实施为)或被称为移动站(STA)、终端、存取终端(AT)、用户设备(UE)、用户站、用户单元、远程站、远程终端、用户终端、用户代理、用户装置,或其它合适技术。在各种实施例中,移动装置106也可包括蜂窝电话、无线电话、会话起始协议(SIP)电话、无线本地回路(WLL)站、PDA、具有无线连接能力的手持型装置,或连接到无线调制解调器的其它合适处理装置。因此,本文所描述的一或多个实施例可并入到电话(例如,蜂窝电话或智能电话)、计算机(例如,膝上型计算机)、便携式通信装置、耳机、便携式计算装置(例如,个人数据助理)、娱乐装置(例如,音乐装置、视频装置、卫星无线电等等)、游戏装置或系统、全球定位系统装置,或经配置以经由无线媒体而通信的任何其它合适装置中。

[0032] 在一个实施例中,无线通信系统100可包括无线局域网(WLAN),其中移动装置106经由Wi-Fi相容无线链路(例如,IEEE 802.11协议)而连接到AP 104以获得通用因特网连接性或到另一广域网(WAN)的连接性。在一个实施例中,移动装置106也可用作AP 104(例如,依据Wi-Fi直接标准)。移动装置106及AP 104通常可被称作无线通信系统100中的发射或接收节点。在一个实施例中,可使用各种进程及机制以支持无线通信系统100中在移动装置106与AP 104之间的发射。举例来说,在一个实施例中,无线通信系统100中的发射通常可包含根据OFDM/OFDMA技术从AP 104发送信号且在移动装置106处接收信号及从移动装置106发送信号且在AP 104处接收信号,在此状况下,无线通信系统100可被称作OFDM/OFDMA系统。替代地(或另外),可根据CDMA技术从AP 104及移动装置106发送信号及在AP 104及移动装置106处接收信号,在此状况下,无线通信系统100可被称作CDMA系统。

[0033] 在一个实施例中,运载从AP 104到移动装置106中的一或多个者的发射的通信链路可被称作下行链路(DL)108,其中下行链路108也可被称作前向链路或前向信道,且运载从移动装置106中的一或多个者到AP 104的发射的通信链路可被称作上行链路(UL)110,其中上行链路110也可被称作反向链路或反向信道。在一个实施例中,如上文所提及,AP 104通常

可充当基站或集线器以提供基本服务区域 (BSA) 102 中的无线通信覆盖范围。在一个实施例中, AP 104 及使用 AP 104 以用于在 BSA 102 中的无线通信的移动装置 106 可被称作基本服务集 (BSS)。然而, 所属领域的技术人员应了解, 无线通信系统 100 可未必具有中央 AP 104, 而是可用作移动装置 106 之间的对等或自组网络。因此, 本文所描述的 AP 104 的功能可替代地由移动装置 106 中的一或多者实施或以其它方式由移动装置 106 中的一或多者执行 (例如, 依据 Wi-Fi 直接标准)。

[0034] 根据一个实施例, 图 2 说明图 1 所展示的无线通信系统 100 内的移动装置 202, 移动装置 202 具有可实施本文所描述的混合动态-静态编码器的存储器体系结构。在一个实施例中, 移动装置 202 可表示可包含或经配置以实施与本文所描述的混合动态-静态编码器相关联的各种特征的任何合适装置。举例来说, 在某些实施例中, 图 2 所展示的移动装置 202 可包括图 1 所展示的 AP 104、图 1 所展示的移动装置 106 中的一者, 或图 1 所展示的实施或以其它方式执行图 1 所展示的 AP 104 的功能的移动装置 106 中的一者。然而, 所属领域的技术人员应了解, 混合动态-静态编码器可用于或以其它方式实施于可进行如下操作的任何合适电装置、电路或其它组件中: 可接收通常表示搜索关键字的多个电信号且使用混合动态-静态编码器以检测是否与其相关联的阵列结构中的一或多个条目与搜索关键字匹配; 产生二进制命中检测输出以指示是否阵列结构中的至少一个条目与搜索关键字匹配; 产生二进制多命中检测输出以指示是否阵列结构中的至少两个条目与搜索关键字匹配; 及/或产生唯一索引号以识别阵列结构中的与搜索关键字匹配的任何条目。

[0035] 在一个实施例中, 移动装置 202 可包含控制移动装置 202 的操作的处理器 204。处理器 204 也可被称作中央处理单元 (CPU)。另外, 移动装置 202 可包含存储器 206, 存储器 206 可包含 RAM、只读存储器 (ROM)、内容可寻址存储器 (CAM)、DDR 存储器, 或其它合适存储器技术。在一个实施例中, 存储器 206 可存储处理器 204 可执行及/或利用以控制移动装置 202 的操作的指令及数据。在一个实施例中, 存储器 206 可进一步包含非易失性随机存取存储器 (NVRAM)。处理器 204 通常可基于存储于存储器 206 中的指令而执行逻辑及算术运算, 及/或执行存储于存储器 206 中的指令以实施或以其它方式进行各种功能。

[0036] 在一个实施例中, 移动装置 202 可进一步包含外壳 208 及收发器 214, 收发器 214 具有发射器 210 及接收器 212 以允许在移动装置 202 与远程实体 (例如, 基站或 AP、另一移动装置等等) 之间的数据的发射及接收。在一个实施例中, 可经由天线 216 而将数据发射到远程实体及从远程实体接收数据, 天线 216 可附接到外壳 208 且电耦合到收发器 214。此外, 所属领域的技术人员应了解, 移动装置 202 可合适地包含多个发射器、多个接收器、多个收发器, 及/或多个天线。

[0037] 在一个实施例中, 移动装置 202 可进一步包含信号检测器 218, 信号检测器 218 可用以检测及量化经由收发器 214 而发射及接收的信号的水平。信号检测器 218 可检测诸如总能量、每符号每副载波的能量、功率谱密度的信号, 及其它合适信号。移动装置 202 也可包含数字信号处理器 (DSP) 220 以用于处理经由收发器 214 而发射及接收的信号。举例来说, 在一个实施例中, DSP 220 可经配置以产生供经由发射器 210 而发射的数据单元。在各种实施例中, 数据单元可包括物理层协议数据单元 (PPDU), 其也可被称作分组或消息, 如将显而易见。

[0038] 在一个实施例中, 移动装置 202 可进一步包含用户接口 222, 用户接口 222 可包括小键盘、麦克风、扬声器、显示器, 及/或可将信息输送到移动装置 202 的用户及/或从所述用户

接收输入的其它合适元件或组件。此外,在一个实施例中,移动装置202的各种组件可经由总线系统226而耦合在一起。举例来说,总线系统226可包含互连结构、数据总线、电源总线、控制信号总线、状态信号总线,或可将移动装置202的各种组件彼此互连或以其它方式耦合的任何其它合适组件。然而,所属领域的技术人员应了解,移动装置202的组件可使用其它合适机制而耦合,或接受或提供到彼此的输入。

[0039] 此外,尽管图2将移动装置202说明为具有各种单独组件,但所属领域的技术人员应认识到,所述组件中的一或多者可被合适地组合或被共同地实施。举例来说,处理器204可实施上文关于其所描述的功能性,加上上文关于信号检测器218及/或DSP 220所描述的功能性。另外,所属领域的技术人员应认识到,图2所说明的任何特定组件可使用多个单独元件而实施(例如,发射器210可包含多个发射器210,接收器212可包含多个接收器212,等等)。

[0040] 根据一个示范性实施例,图3说明与完全动态编码器结构350有关的根据本文所描述的各种方面及实施例的示范性混合动态-静态编码器310,其中图3所展示的混合动态-静态编码器结构310及完全动态编码器结构350可各自包含相应可搜索阵列结构320、360及关联逻辑340、380,以编码对应于与搜索关键字匹配的一或多个条目的地址,之后从可搜索阵列结构320、360读出与匹配条目相关联的索引。然而,其中所展示的完全动态编码器结构350需要用于每一索引位382的单独动态网且进一步需要用于每一索引位的第二动态网以支持多命中检测位386。因此,完全动态编码器结构350可占据极大物理区域、消耗相当大电力,且遭受归因于横越许多动态网所需要的许多下拉的相当大泄漏。详细地说,图3所展示的完全动态编码器结构350可具有16个装置活动区域(DAA)列370,其通常是指各种物理装置在编码器结构350内所占据的物理区域。举例来说,完全动态编码器结构350通常需要16个DAA列370以容纳各种n沟道场效应晶体管(NFET)装置、p沟道场效应晶体管(PFET)装置、扩散硅逻辑组件及/或其它适当电路系统,以产生由逻辑380组合以产生索引位382的7个经编码索引输出372、由逻辑380组合以产生多命中检测位386的7个多命中检测输出376,及由逻辑380组合以产生命中检测位384的2个命中检测输出374,其中每一DAA列370具有X/2个动态下拉,其中X是指包含于可搜索阵列结构360中的行的数目。此外,因为横越一或多个动态网而将下拉加圆点以指示一或多个行何时与搜索关键字匹配(例如,通过断言与一或多个行相关联的相应匹配线),所以图3所展示的完全动态编码器结构350具有8X个总动态下拉。

[0041] 相比之下,其中所展示的混合动态-静态编码器结构310可具有组合式动态及静态结构及关联逻辑设计以实现实质上缩减的区域、电力消耗及泄漏,其中逻辑延迟大体上等效于图3进一步所展示的完全动态编码器结构350。更特别地,如下文参看图4到6将进一步详细地描述,混合动态-静态编码器结构310可策略上分割动态网及逻辑以实质上消除编码器结构310中的冗余且由此实质上缩减与其相关联的大小(或区域)、电力消耗及泄漏,而不会引入任何相当大逻辑延迟。举例来说,在具有X个行的可搜索阵列结构320中,混合动态-静态编码器结构310可具有3个DAA列330以容纳产生索引位342、命中检测位344及多命中检测位346(即,与完全动态编码器结构350相同的输出)所需要的物理NFET装置、PFET装置、扩散硅逻辑组件及/或其它适当电路系统,其具有与完全动态编码器结构350实质上等效的逻辑延迟。特别地,在图3所展示的示范性混合动态-静态编码器结构310中,列<2>、列<1>及列

<0>分别对应于图4到6所展示的混合动态-静态编码器列410、510及610,而图4到5所展示的完全动态编码器部分450及550各自包含4个DAA列(即,2个经编码索引列372,及与其对应的2个多命中列376),且图6所展示的完全动态编码器部分650包含8个DAA列(即,3个经编码索引列372、与其对应的3个多命中列376,及2个命中检测列374)。因此,如图4到6所展示及下文更充分地所描述,混合动态-静态编码器310中的列<0:2>330可一起用以产生多命中检测输出346及经编码索引输出342,其中列<0:2>330可各自具有X个下拉,使得混合动态-静态编码器结构310具有3X个总动态下拉。此外,在一个实施例中,可从列<0:2>330中的单一列导出命中检测输出344。因而,单一行命中将需要完全动态编码器结构350评估8个大动态网,而混合动态-静态编码器结构310需要响应于单一行命中而仅评估3个动态网。因此,归因于混合动态-静态编码器结构310中相对于完全动态编码器结构350中的DAA列370的数目实质上较少的DAA列330,混合动态-静态编码器结构310可相对于完全动态编码器结构350实现530%的区域节省(即,16个DAA列370除以3个DAA列330),相对于完全动态编码器结构310实现267%的泄漏节省(即,8X总动态下拉除以3X总动态下拉),及实现实施方案特定动态节省(例如,取决于可搜索阵列结构320、360中的行或条目的数目)。

[0042] 根据一个示范性实施例,图4到6说明与完全动态编码器有关的可用于本文所描述的混合动态-静态编码器的示范性可搜索阵列结构及关联比较电路系统。尽管所属领域的技术人员应了解,用于本文所描述的混合动态-静态编码器中的设计方法可应用于具有任何合适大小的可搜索阵列结构,但可将128条目阵列大小用于图4到6所展示的混合动态-静态编码器及完全动态编码器中且在本文中对其进一步详细地描述以简化描述且解释与其相关联的各种结构及逻辑特征。举例来说,如将在本文中进一步详细地予以描述,用于具有经编码索引输出、命中检测输出及多命中检测输出的128条目阵列的动态下拉的数目可从完全动态编码器中的1024个动态下拉缩减到混合动态-静态编码器中的384个动态下拉,容纳动态下拉的列的数目可从完全动态编码器中的16个缩减到混合动态-静态编码器中的3个,且评估单一行命中所需要的动态网的数目可从完全动态编码器中的8个较大网缩减到混合动态-静态编码器中的3个较小网。此外,对所属领域的技术人员将显而易见,图4到6表示其中所说明的混合动态-静态编码器及完全动态编码器电路系统的逻辑描绘,其中字符“x”在图4到6中用以表示其中NFET晶体管、PFET晶体管或其它合适下拉装置位于DAA列内的逻辑位置,而DAA列是指其中定位这些下拉装置的物理布局。

[0043] 举例来说,现在参看图4,用于混合动态-静态编码器410及完全动态编码器450中的128条目阵列可划分成恒等的顶部半部及底部半部(即,顶部半部及底部半部中有64个相应行),顶部半部及底部半部随后可经组合以产生最终经编码索引输出、命中输出及多命中输出。在完全动态编码器450中,每一编码器半部可将具有32个圆点460的动态网用于每一索引位,其中适当行被加圆点以指示行何时与搜索关键字匹配(例如,通过断言与行相关联的匹配线)。因而,当与完全动态编码器450相关联的阵列中的特定行已被加圆点以指示所述行与搜索关键字匹配时,可评估与所述加圆点行相关联的动态网以反映与其相关联的7位索引。此外,每一索引位可具有对应多命中动态网,可横越阵列中的各种行将所述多命中动态网加圆点以反映对应索引位的反向。举例来说,在完全动态编码器450中,多命中动态网md_1<3>456反映用于索引位enc_1<3>的动态网452的反向,且多命中动态网md_1<4>458反映用于索引位enc_1<4>的动态网454的反向。因而,如果发生多命中,那么一或多个索引

位将使与其相关联的索引动态网452及/或454以及对应多命中动态网456及/或458两者经评估以将所述多命中加旗标。此外,如图6所展示,完全动态编码器650可具有(未命中)命中动态网(其中每一行被加圆点),其中所述命中动态网可划分成两个相应动态网657、658,两个相应动态网657、658随后经合并以缩减加载。因此,再次参看图4,完全动态编码器450可具有:用于位<4:3>的4个DAA列(即,用于与索引位 $enc_1<4:3>$ 相关联的相应动态网452、454的2个DAA列及用于对应多命中动态网456、458的2个DAA列);8个动态网,其各自具有32个圆点460(即,在图4所展示的顶部64个行中对应于4个DAA列的4个动态网452、454、456、458及在底部64个行中对应于4个DAA列的4个动态网(未展示));及256个总动态NFET下拉(即,在每一动态网中每圆点一个动态下拉)。

[0044] 相比之下,图4到6所展示的混合动态-静态编码器可有利地充分利用横越与完全动态编码器相关联的各种索引、命中及多命中动态网的下拉结构的冗余且使用适当逻辑以从一组缩减的较小动态网导出与完全动态编码器相同的信息。举例来说,图4所展示的完全动态编码器450具有4个动态网452、454、456、458,动态网452、454、456、458在顶部编码器半部及底部编码器半部中的每一者中具有32个下拉460(即,在顶部编码器半部与底部编码器半部之间有256个总NFET下拉460),而混合动态-静态编码器410具有4个较小动态网412、414、416、418,动态网412、414、416、418在顶部编码器半部及底部编码器半部中的每一者中具有仅16个下拉420(即,顶部编码器半部中的动态网412、414、416、418各自包含各自具有8个圆点的2个“位线”,且底部半部(未展示)同样地具有各自包含具有8个圆点的2个“位线”的4个动态网,借此,图4所展示的混合动态-静态编码器列在顶部半部与底部半部之间包含总共8个动态网及128个总NFET下拉420)。因此,混合动态-静态编码器410可提供相当大泄漏节省,这是因为动态下拉装置420的总数目相对于完全动态编码器450可被削减一半,此情形可进一步提供相当大动态电力缩减。举例来说,驱动动态下拉装置420的信号仅需要在单一行匹配时驱动一个下拉门而非两个下拉门,且因此使少一个的动态网拉低且随后在下一阶段预充电,借此,混合动态-静态编码器410可实质上缩减动态电力消耗,这是因为驱动动态下拉装置420的信号具有较小门罩。此外,混合动态-静态编码器410可相对于完全动态编码器450具有缩减的电线罩,这是因为每一动态网412、414、416、418包含仅跨越32个行而非64个行的2个位线;且混合动态-静态编码器410可相对于完全动态编码器450进一步具有缩减的扩散罩,这是因为每一动态网412、414、416、418每位线仅具有8个圆点而非32个圆点,借此,混合动态-静态编码器410可相对于完全动态编码器450提供相当大动态电力节省。更进一步地,因为每一行在混合动态-静态编码器中具有仅一个圆点420,所以横越所展示的各种动态网412、414、416、418的所有动态下拉420可交错到混合动态-静态布局中的一个DAA列中而非完全动态编码器450中所需要的4个DAA列452、454、456、458中,这是归因于每一行具有多个动态下拉装置460。因此,混合动态-静态编码器410可归因于每行指派一个下拉装置420的布置而相对于完全动态编码器450提供相当大物理区域节省,使得与动态网412、414、416、418相关联的下拉装置(例如,NFET下拉晶体管)420可在垂直方向或水平方向上对准。

[0045] 因此,如图4所展示,混合动态-静态编码器410可从公共动态网 $enc_1<4:3>$ 及 $md_1<4:3>$ 导出经编码索引位 $enc<4:3>$ 及多命中检测位 $md<4:3>$ 。详细地说,混合动态-静态编码器410中的第一(最左侧)动态网412及第三动态网416通常可从完全动态编码器450中的动

态网enc_{1<3>}452导出。相似地,混合动态-静态编码器410中的第一动态网412及第二动态网414可从完全动态编码器450中的动态网enc_{1<4>}454导出,混合动态-静态编码器410中的第二动态网414及第四(最右侧)动态网418可从完全动态编码器450中的动态网md_{1<3>}456导出,且混合动态-静态编码器410中的第三动态网416及第四动态网418可从完全动态编码器450中的动态网md_{1<4>}458导出。因此,相同数据可在混合动态-静态编码器410中用相对于完全动态编码器450的实质上较少圆点420及缩减的冗余来表示,同时具有实质上等效门延迟计数。详细地说,完全动态编码器450可具有4个门(即,4个静态反相器)470以产生输出enc_{3_top} 432、enc_{4_top} 434、md_{3_top} 436及md_{4_top} 438,且混合动态-静态编码器410可包含也具有4个门(即,4个“与非”门)以产生相同输出的静态电路430,其中可将来自顶部64个编码器行的输出及来自底部64个编码器行的对应输出(未展示)提供到适当逻辑门以获得全128行结果(即,如图7所展示)。

[0046] 现在参看图5,混合动态-静态编码器510可具有与图4所展示且在上文进一步详细地描述的用以导出经编码索引位<4:3>及多命中检测位md<4:3>的结构相似的结构,以导出经编码索引位<2:1>及多命中检测位md<2:1>。更特别地,如图5所展示,混合动态-静态编码器510中的第一动态网512及第三动态网516可从完全动态编码器550中的动态网enc_{1<1>}552导出,混合动态-静态编码器510中的第一动态网512及第二动态网514可从完全动态编码器550中的动态网enc_{1<2>}554导出,混合动态-静态编码器510中的第二动态网514及第四动态网518可从完全动态编码器550中的动态网md_{1<1>}556导出,且混合动态-静态编码器510中的第三动态网516及第四动态网518可从完全动态编码器550中的动态网md_{1<2>}558导出。因此,产生enc_{1_top} 532、enc_{2_top} 534、md_{1_top} 536及md_{2_top} 538所需要的相同数据可在混合动态-静态编码器510中用相对于完全动态编码器550的实质上较少圆点520及缩减的冗余来表示,同时具有实质上等效门延迟计数(即,混合动态-静态编码器510使用具有4个“与非”门的静态电路530而产生信号532到538,且完全动态编码器550使用4个静态反相器570而产生相同信号532到538)。在混合动态-静态编码器510中,可将来自顶部64个编码器行的输出及来自底部64个编码器行的对应输出(未展示)提供到适当逻辑门以获得对应于输出位enc_{1_top} 532、enc_{2_top} 534、md_{1_top} 536及md_{2_top} 538的全128行结果(即,如图7所展示)。此外,图5所展示的混合动态-静态编码器510部分可相对于完全动态编码器550提供相似物理区域、电力消耗及泄漏电流节省。

[0047] 现在参看图6,用于混合动态-静态编码器中以产生经编码索引位<6,5,0>、多命中检测位<6,5,0>及未命中(或命中)位的结构610可全部组合成一个DAA列610,DAA列610具有各自具有2个位线的4个动态网(即,图6所展示的顶部半部中的2个动态网612、614及底部半部中的2个动态网(未展示)),所述2个位线具有16个下拉(或圆点)。相比之下,为了产生相同经编码索引位<6,5,0>、多命中检测位<6,5,0>及未命中(或命中)位,完全动态编码器610的顶部半部具有8个DAA列651到658,DAA列651到658具有各自具有32个下拉(或圆点)的7个较大动态网652到658及具有64个下拉(或圆点)的一个较大动态网651,而完全动态编码器610的底部半部(未展示)具有相似结构(即,顶部半部md_{1<6>}654不具有下拉,底部半部md_{1<6>}具有64个下拉,顶部半部enc_{1<6>}651具有64个下拉,且底部半部enc_{1<6>}不具有下拉)。因此,相对于完全动态编码器650的顶部半部与底部半部之间的512个总下拉,混合动态-静态编码器610在顶部半部与底部半部之间具有128个总下拉。此外,如上文所提及,混

合动态-静态编码器610仅需要在单一行匹配时评估一个动态网而非在完全动态编码器650中评估4个动态网,这可相对于完全动态编码器650提供相当大电力节省,这是因为每一动态网每enc_1仅跨越32个行而非64个行(即,缩减电线罩)且因为每一动态网每enc_1具有仅16个圆点而非32个圆点(即,缩减扩散罩)。相似地,用以经由静态电路630而产生经编码索引位 $\langle 6,5,0 \rangle$ 、多命中检测位 $\langle 6,5,0 \rangle$ 及未命中(命中)位的128个下拉可全部交错到混合动态-静态编码器610中的一个DAA列中而非完全动态编码器650中所需要的8个DAA列651到658中,由此提供相当大区域节省。此外,如图7所展示,可将来自图6所展示的顶部64个编码器行的输出632、634、636、638、639及来自底部64个编码器行的对应输出(未展示)提供到适当逻辑门以获得对应于经编码索引位 $\langle 6,5,0 \rangle$ 、多命中检测位 $\langle 6,5,0 \rangle$ 及未命中(命中)位的全128行结果。举例来说,经编码索引位enc $\langle 6 \rangle$ 可对应于enc6_top 632,多命中检测位md $\langle 6 \rangle$ 可对应于enc6_bot(未展示),且enc6_top 632及enc6_bot可经组合以获得未命中(命中)位,其中命中 = (enc6_top || enc6_bot)。尽管用以产生未命中(命中)位的路径可在混合动态-静态编码器610中具有附加门(及反相),但总延迟可与完全动态编码器650中的延迟相当。

[0048] 根据一个示范性实施例,图7说明用以合并与混合动态-静态编码器中的顶部半部及底部半部相关联的行以导出最终经编码索引输出位712、714、716、718、720、722、724、命中输出位726及多命中输出位728的逻辑700,命中输出位726表示可搜索阵列结构是否包含与搜索关键字匹配的一或多个条目,多命中输出位728表示可搜索阵列结构是否包含与搜索关键字匹配的多个条目。举例来说,如其中所展示,可将enc_top $\langle 0 \rangle$ 及enc_bot $\langle 0 \rangle$ 提供到“或非”门740以产生enc_1 $\langle 0 \rangle$,接着可将enc_1 $\langle 0 \rangle$ 提供到反相器742以产生index $\langle 0 \rangle$ 712,其中index $\langle 1:5 \rangle$ 714、716、718、720、722可用相似合并逻辑而产生。此外,可将enc_top $\langle 6 \rangle$ 提供到第一反相器744以产生enc_1 $\langle 6 \rangle$,接着可将enc_1 $\langle 6 \rangle$ 提供到第二反相器746以产生index $\langle 6 \rangle$ 724,而可将enc_top $\langle 6 \rangle$ 及enc_bot $\langle 6 \rangle$ 提供到“或非”门748以产生(未命中)hit_1,接着可将(未命中)hit_1提供到反相器750以产生命中输出位726。关于multi_hit输出位728,可将enc_top $\langle 6 \rangle$ 及enc_bot $\langle 6 \rangle$ 提供到第一“与非”门752,可将md_top $\langle 0:5 \rangle$ 及enc_top $\langle 0:5 \rangle$ 提供到如754处所展示的第一群6个相应“与非”门,且可相似地将md_bot $\langle 0:5 \rangle$ 及enc_bot $\langle 0:5 \rangle$ 提供到如756处所展示的第二群6个相应“与非”门。在一个实施例中,如754处进一步所展示,接着可将来自第一群“与非”门的输出提供到第三群3个额外“与非”门,且可相似地将来自第二群“与非”门的输出提供到如756处进一步所展示的第四群3个额外“与非”门,其中可将来自第三群“与非”门的输出提供到第一“或非”门758且可将来自第四群“与非”门的输出提供到第二“或非”门760。因而,为了产生最终multi_hit输出位728,可将来自第一“与非”门752的输出、来自第一“或非”门758的输出及来自第二“或非”门760的输出提供到“与”门762,“与”门762可输出最终multi_hit输出位728。

[0049] 根据一个实施例,图8说明用于使用上文进一步详细地描述的混合动态-静态编码器以产生指示是否阵列结构中的一或多个条目与搜索关键字匹配的一或多个输出信号的方法800。出于描述的简洁性及简易性起见,本文中可在相同或相似细节已经在上文被提供的程度上省略关于与可用于图8所展示的方法800中的混合动态-静态编码器相关联的某些组件、功能性或其它方面的各种细节。

[0050] 在一个实施例中,用于检测可搜索阵列结构中的一或多个命中的方法800最初可

包括在框810处接收搜索关键字,接着可在框820处使用搜索关键字以搜索与混合动态-静态编码器结构相关联的阵列结构。混合动态-静态编码器结构接着可产生一或多个输出信号,一或多个输出信号指示是否分别被加圆点到横越一或多个DAA列而布置的多个动态网中的一者上的一或多个行与搜索关键字匹配,其中可在框830处组合输出信号。在一个实施例中,可在框840处分析产生于多个动态网中的组合式输出信号以确定是否阵列结构中的一或多个行与搜索关键字匹配。因而,如果阵列结构中的行与搜索关键字匹配,那么可在框850处产生唯一地识别匹配行的经编索引输出信号(例如,与匹配行相关联的对应于可搜索阵列结构中的条目的地址)。此外,在一个实施例中,经编索引输出信号可仅对仅一个行与搜索关键字匹配时表示可搜索阵列结构中的条目有效。在一个实施例中,可在框860处任选地产生命中检测输出信号及/或多命中检测输出信号。举例来说,如果阵列结构中的多个行与搜索关键字匹配,那么命中检测输出信号及多命中检测输出信号可被断言(例如,到逻辑高)。在另一实例中,如果阵列结构中的仅一个行与搜索关键字匹配,那么命中检测输出信号可被断言(例如,到逻辑高)且多命中检测输出信号可未被断言(例如,到逻辑低)。在又一实例中,如果阵列结构不具有与搜索关键字匹配的任何行,那么命中检测输出信号及多命中检测输出信号可未被断言(例如,到逻辑低)。

[0051] 根据一个实施例,图9说明可对应于无线通信装置900的示范性框图,无线通信装置900具有可实施本文所描述的具有任选命中及/或多命中检测的混合动态-静态编码器的存储器体系结构。在发射路径上,编码器922接收待由无线通信装置900发送到基站、节点B或接入点的数据及信令。编码器922可根据合适译码方案来处理(例如,格式化、编码及交错)数据及信令。调制器(Mod)924可进一步处理(例如,调制及加扰)经译码数据及信令且产生输出码片。一般而言,由编码器922及调制器924进行的处理可通过用于数据将被发送到的无线网络的无线电技术(例如,IEEE 802.11、1x、1xEV-DO、UMTS,或GSM)予以确定。在一个实施例中,发射器(TMTR)932可调节(例如,转换成模拟、滤波、放大及增频转换)输出码片且产生射频(RF)信号,射频(RF)信号可经由天线934而在无线网络上发射到基站、节点B或接入点。

[0052] 在一个实施例中,在接收路径上,天线934可接收由基站、节点B及/或接入点发射的RF信号。接收器(RCVR)936可调节(例如,滤波、放大、降频转换及数字化)从天线934接收的RF信号且提供样本。解调器(Demod)926可处理(例如,解扰及解调)样本且提供符号估计。解码器928可处理(例如,解交错及解码)符号估计且提供经解码数据及信令。一般而言,由解调器926及解码器928进行的处理可与在基站、节点B及/或接入点处由调制器及编码器执行的处理互补。此外,在一个实施例中,编码器922、调制器924、解调器926及解码器928可实施于调制解调器处理器920中。尽管图9出于简单性起见而展示每一处理单元的一个例子,但一般而言,可存在用于由无线通信装置900支持的不同无线电技术的一或多个调制解调器处理器、发射器、接收器、控制器及存储器。

[0053] 在一个实施例中,控制器/处理器940可指导无线通信装置900处的各种处理单元的操作。举例来说,在一个实施例中,控制器/处理器940及/或无线通信装置900内的其它处理单元可实施各种特征以利用上文参看图3到8所描述的具有任选命中及/或多命中检测的混合动态-静态编码器。控制器/处理器940也可实施或指导本文所描述的任何其它合适进程或特征。在一个实施例中,存储器942可存储用于无线通信装置900的程序代码及数据。存

存储器942也可存储一或多个可搜索阵列结构、编码器电路系统、虚拟到物理存储器地址映射,或可支持与本文所描述的混合动态-静态编码器相关联的特征及功能、与无线通信装置900相关联的应用程序,及/或用于无线通信装置900上的无线电技术的任何其它合适数据或信息。

[0054] 尽管上文描述具有可实施本文所描述的混合动态-静态编码器的存储器体系结构的无线通信装置900,但所属领域的技术人员应了解,混合动态-静态编码器可用于或以其它方式实施于与无线通信装置900相关联的任何合适组件中,或可进行如下操作的任何其它合适电装置、电路或其它组件中:可接收通常表示搜索关键字的多个电信号且使用混合动态-静态编码器以检测是否与其相关联的阵列结构中的一或多个条目与搜索关键字匹配;产生二进制命中检测输出以指示是否阵列结构中的至少一个条目与搜索关键字匹配;产生二进制多命中检测输出以指示是否阵列结构中的至少两个条目与搜索关键字匹配;及/或产生唯一索引号以识别阵列结构中的与搜索关键字匹配的任何条目。

[0055] 根据一个实施例,图10说明示范性通信系统1000,其包含具有可实施本文所描述的混合动态-静态编码器的存储器体系结构的一或多个通信装置。出于说明的目的,图10展示3个通信装置1020、1030及1050以及两个基站1040。所属领域的技术人员应认识到,根据本文所描述的示范性实施例的其它无线通信系统可在不脱离本文所描述的示范性实施例的范围或精神的情况下具有更多或更少通信装置及/或基站。在一个实施例中,通信装置1020、1030及1050可包含相应半导体装置1025、1035及1055,其中通信装置1020、1030及1050及/或分别与其相关联的半导体装置1025、1035及1055可包含可供实施本文所描述的混合动态-静态编码器的装置。在一个实施例中,如图10所展示,可使用一或多个前向链路信号1080以将数据从基站1040传达到通信装置1020、1030及1050,且可使用一或多个反向链路信号1090以将数据从通信装置1020、1030及1050传达到基站1040。

[0056] 在图10所展示的示范性实施例中,通信装置1020可包括移动电话,通信装置1030可包括便携式计算机,且通信装置1050可包括无线本地回路系统中的固定位置远程单元(例如,仪表读取设备)。然而,在各种实施例中,通信装置1020、1030及1050可包含移动电话、手持型个人通信系统单元、便携式数据单元、个人数据助理、导航装置(例如,启用GPS的或位置感知的装置)、机顶盒、音乐播放器、视频播放器、娱乐单元、固定位置数据单元,或可合适地存储、检索、传达或以其它方式处理数据及/或计算机可执行指令的任何其它装置或装置组合。尽管图10根据本发明的教导而说明通信装置1020、1030及1050,但所属领域的技术人员应了解,本发明应不限于这些示范性所说明通信装置1020、1030及1050。因此,各种实施例可合适地用于或以其它方式实施于具有包含供测试及特性化的存储器及芯片上电路系统的有源集成电路系统的任何合适装置中。

[0057] 所属领域的技术人员应了解,可使用多种不同技术中的任一者来表示信息及信号。举例来说,可由电压、电流、电磁波、磁场或磁性粒子、光场或光学粒子或其任何合适组合来表示可贯穿以上描述而参考的数据、指令、命令、信息、信号、位、符号及码片。

[0058] 另外,可关于逻辑块、模块、电路、算法、步骤及动作序列来描述许多实施例,所述逻辑块、模块、电路、算法、步骤及动作序列可用经设计以执行或以其它方式控制本文所描述的功能的如下各者予以执行或以其它方式控制:通用处理器、DSP、专用集成电路(ASIC)、现场可编程门阵列、可编程逻辑装置、离散门、晶体管逻辑、离散硬件组件、与计算装置相关

联的元件,或其任何合适组合。通用处理器可为微处理器,但在替代方案中,处理器可为任何习知处理器、控制器、微控制器或状态机。处理器也可被实施为计算装置的组合,例如,DSP与微处理器的组合、多个微处理器、结合DSP核心的一或多个微处理器,或任何其它此类配置。

[0059] 另外,所属领域的技术人员应了解,结合本文所揭示的实施例而描述的各种说明性逻辑块、模块、电路、算法及步骤可被实施为电子硬件、计算机软件或其任何合适组合。为了清楚地说明硬件与软件的此可互换性,各种说明性组件、块、模块、电路、算法及步骤已在上文大体上按其功能性予以描述。此功能性是以硬件还是软件予以实施取决于特定应用及设计约束,且所属领域的技术人员可以各种方式实施所描述的功能性以适合于每一特定应用,但这些实施决策不应被解释为造成脱离本发明的范围或精神。另外,可认为本文所描述的各种逻辑块、模块、电路、算法、步骤及动作序列完全地体现于任何形式的计算机可读存储媒体内,所述计算机可读存储媒体中存储有在执行后就致使关联处理器执行本文所描述的功能性的对应计算机指令集。因此,本文所揭示的各种方面及实施例可以数个不同形式予以体现,所有所述形式已被预期为皆在所主张主题的范围或精神内。另外,对于本文所描述的实施例中的每一者,任何这些实施例的对应形式可在本文中被描述为例如“经配置以执行所描述动作的逻辑”。

[0060] 结合本文所揭示的实施例而描述的方法、序列及/或算法可直接以硬件、以由处理器执行的软件模块或以其任何合适组合予以体现。软件模块可驻留于存储器控制器、DDR存储器、RAM、闪速存储器、ROM、电可编程ROM存储器 (EPROM)、电擦除可编程ROM (EEPROM)、寄存器、硬盘、可移动磁盘、CD-ROM,或所属领域中所知的任何其它存储媒体或可在未来开发的存储媒体中。示范性存储媒体耦合到处理器,使得处理器可从存储媒体读取信息及将信息写入到存储媒体。在替代方案中,存储媒体可与处理器成整体。处理器及存储媒体可驻留于ASIC中。ASIC可驻留于用户终端或其它计算装置中。在替代方案中,处理器及存储媒体可作为离散组件而驻留于用户终端或其它计算装置中。

[0061] 在一或多个示范性实施例中,可以硬件、软件、固件或其任何组合来实施所描述的控制功能。如果以软件予以实施,那么功能可作为一或多个指令或代码而存储于计算机可读媒体上或经由计算机可读媒体而发射。计算机可读媒体包含存储媒体及通信媒体两者,通信媒体包含促进将计算机程序从一处传送到另一处的任何媒体。存储媒体可为可由计算机存取的任何可用媒体。作为实例而非限制,这些计算机可读媒体可包括RAM、ROM、EEPROM、CD-ROM或其它光盘存储装置、磁盘存储装置或其它磁性存储装置,或可用以运载或存储呈指令或数据结构形式的所要程序代码且可由计算机存取的媒体。而且,任何连接被适当地称为计算机可读媒体。举例来说,如果使用同轴电缆、光纤电缆、双绞线、数字用户线 (DSL) 或诸如红外线、无线电及微波的无线技术而从网站、服务器或其它远程源发射软件,那么同轴电缆、光纤电缆、双绞线、DSL或诸如红外线、无线电及微波的无线技术包含于媒体的定义中。如本文所使用的磁盘及光盘包含压缩光盘 (CD)、激光光盘、光学光盘、数字多功能光盘 (DVD)、软盘及蓝光光盘,其中磁盘通常以磁性方式重现数据,而光盘用激光以光学方式重现数据。以上各者的组合也应包含于计算机可读媒体的范围内。

[0062] 虽然上述揭示内容展示本文所揭示的具有任选命中及/或多命中检测的混合动态-静态编码器的说明性实施例,但所属领域的技术人员应了解,可在不脱离如由所附权利

要求书所界定的本发明的范围或精神的情况下在本文中作出各种改变及修改。举例来说，所属领域的技术人员应了解，本文所描述的混合动态-静态编码器可用于或以其它方式实施于可进行如下操作的任何合适电装置、电路或其它组件中：可接收通常表示搜索关键字的多个电信号且使用混合动态-静态编码器以检测是否与其相关联的阵列结构中的一或多个条目与搜索关键字匹配；产生二进制命中检测输出以指示是否阵列结构中的至少一个条目与搜索关键字匹配；产生二进制多命中检测输出以指示是否阵列结构中的至少两个条目与搜索关键字匹配；及/或产生唯一索引号以识别阵列结构中的与搜索关键字匹配的任何条目。此外，根据本文所揭示的实施例的方法权利要求的功能、步骤、操作及/或动作无需以任何特定次序而执行，且尽管本文所揭示的方面及实施例的元件可以单数形式被描述或主张，但除非明确地陈述对单数形式的限制，否则预期复数形式。

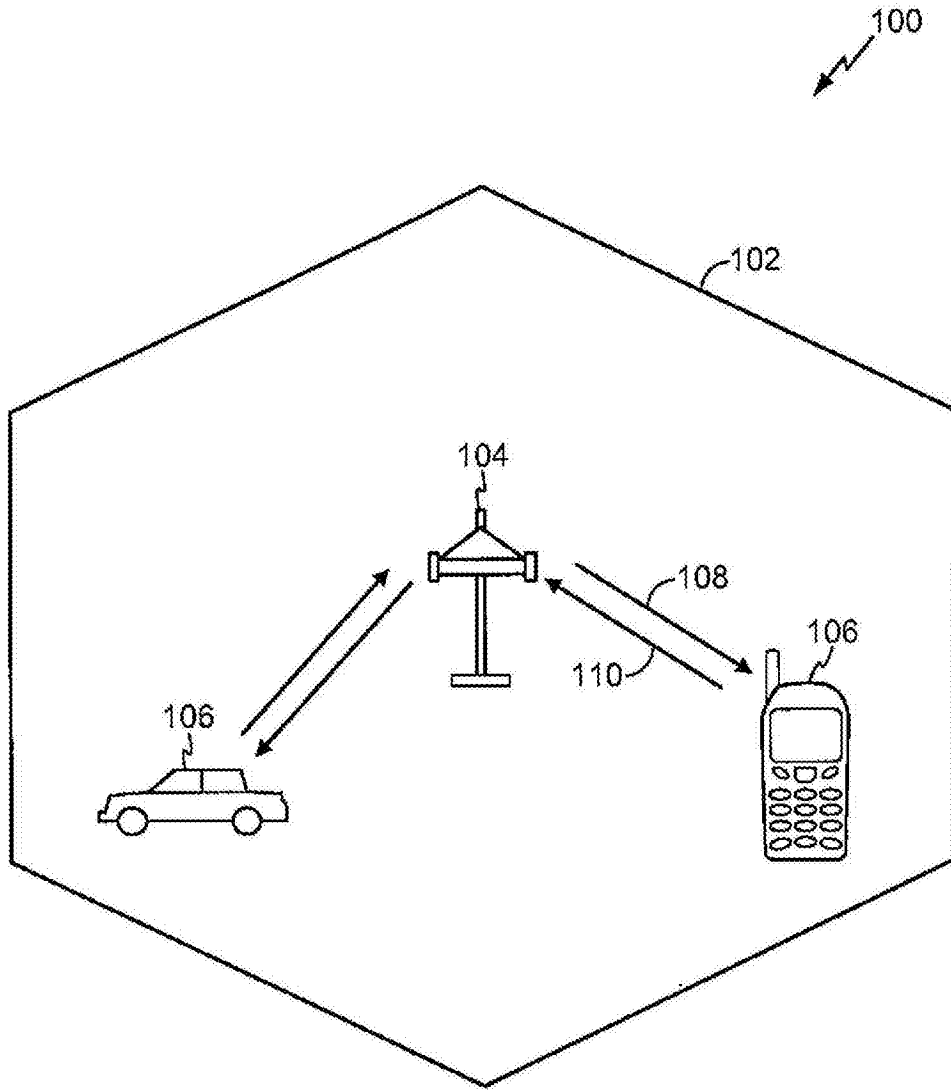


图1

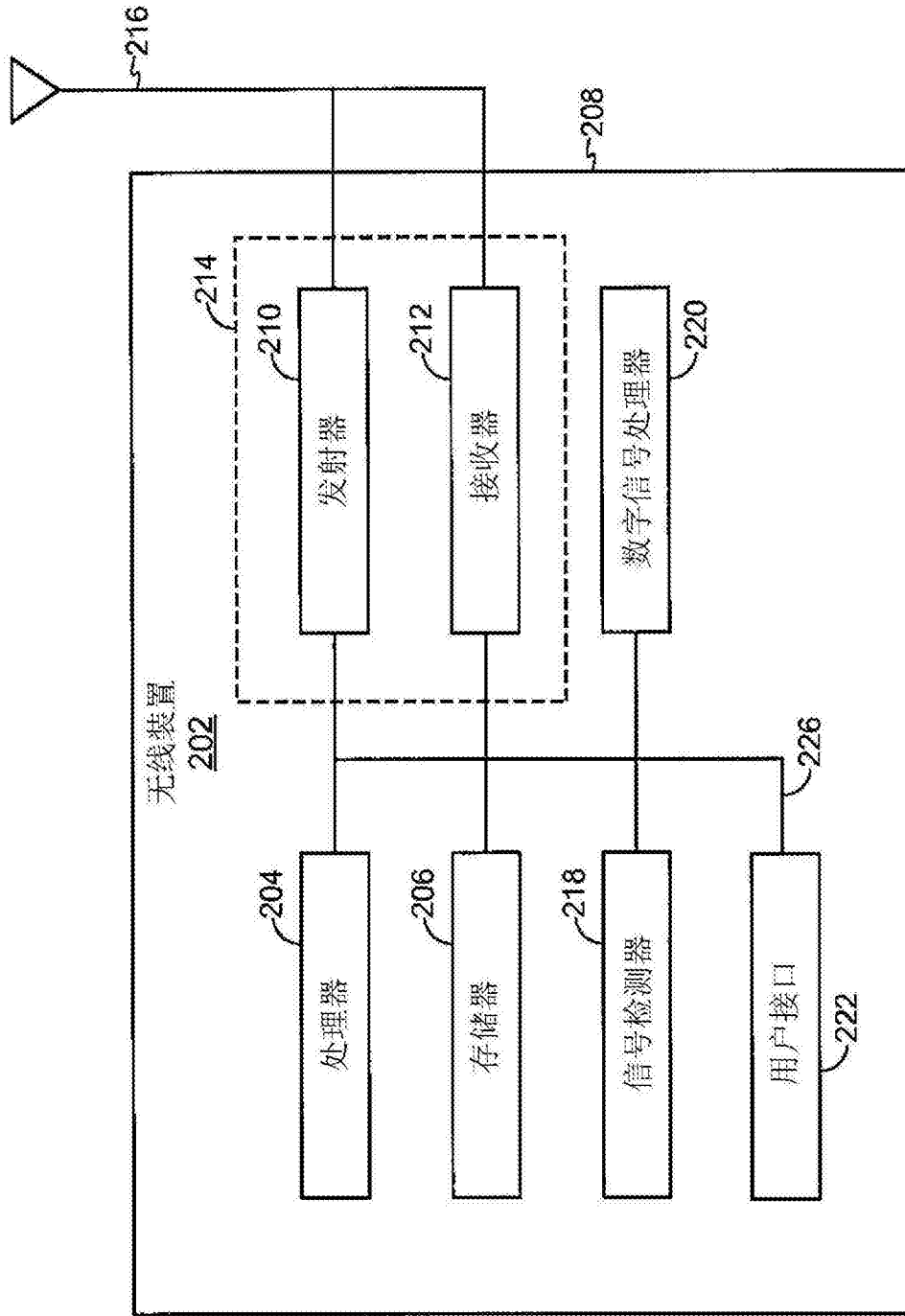
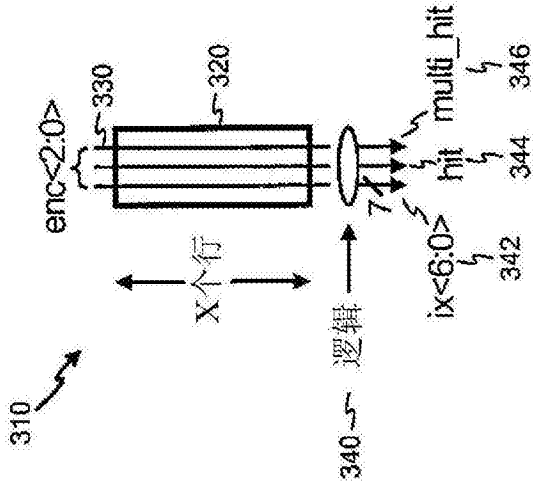
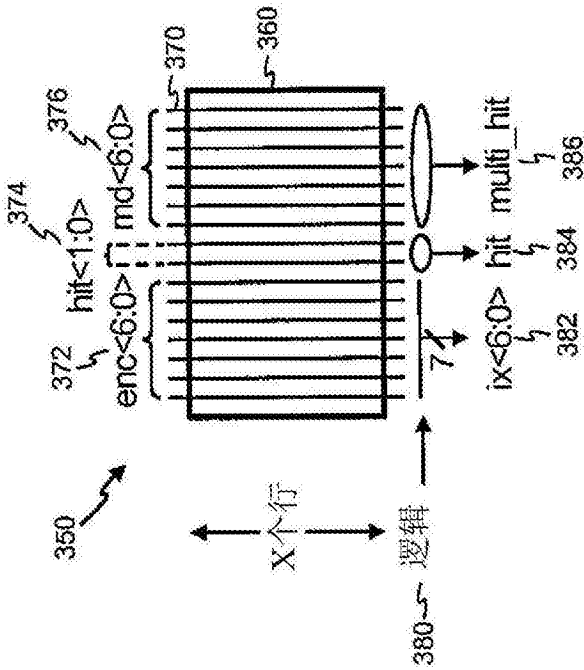


图2

混合动态-静态编码器结构



完全动态编码器结构



- 16个装置活动区域列(7个经编码、7个多命中检测、2个命中)
- 每一装置活动区域列具有X/2个动态下拉
- 下拉横越一或多个动态网被加圆点。
- 8×X个总动态下拉

- 3个装置活动区域列
- 列<0>具有横越4个动态网的X个下拉。
- 列<2:1>具有横越8个动态网的X个下拉。
- 3×X个总动态下拉
- 区域节省=530%
- 泄漏节省=267%
- 动态节省=实施方案特定

图3

混合动态-静态编码器-位<4:3>
 -1个装置活动区域列
 -16个“位线”，其各自具有8个圆点
 -总共128个n沟道场效应晶体管下拉

完全动态编码器-位<4:3>
 -4个装置活动区域列
 -8个动态网，其各自具有32个圆点
 -总共256个n沟道场效应晶体管下拉

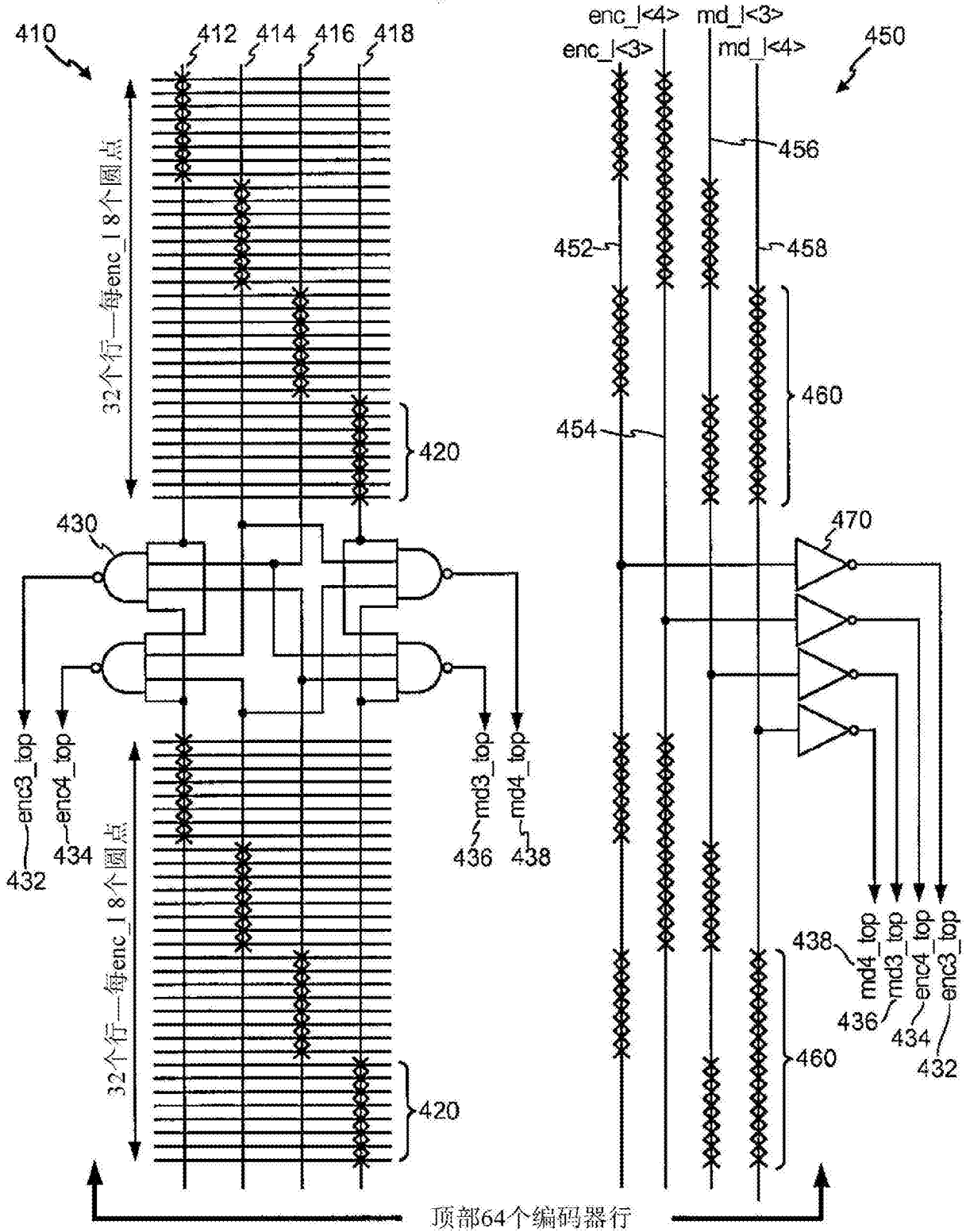


图4

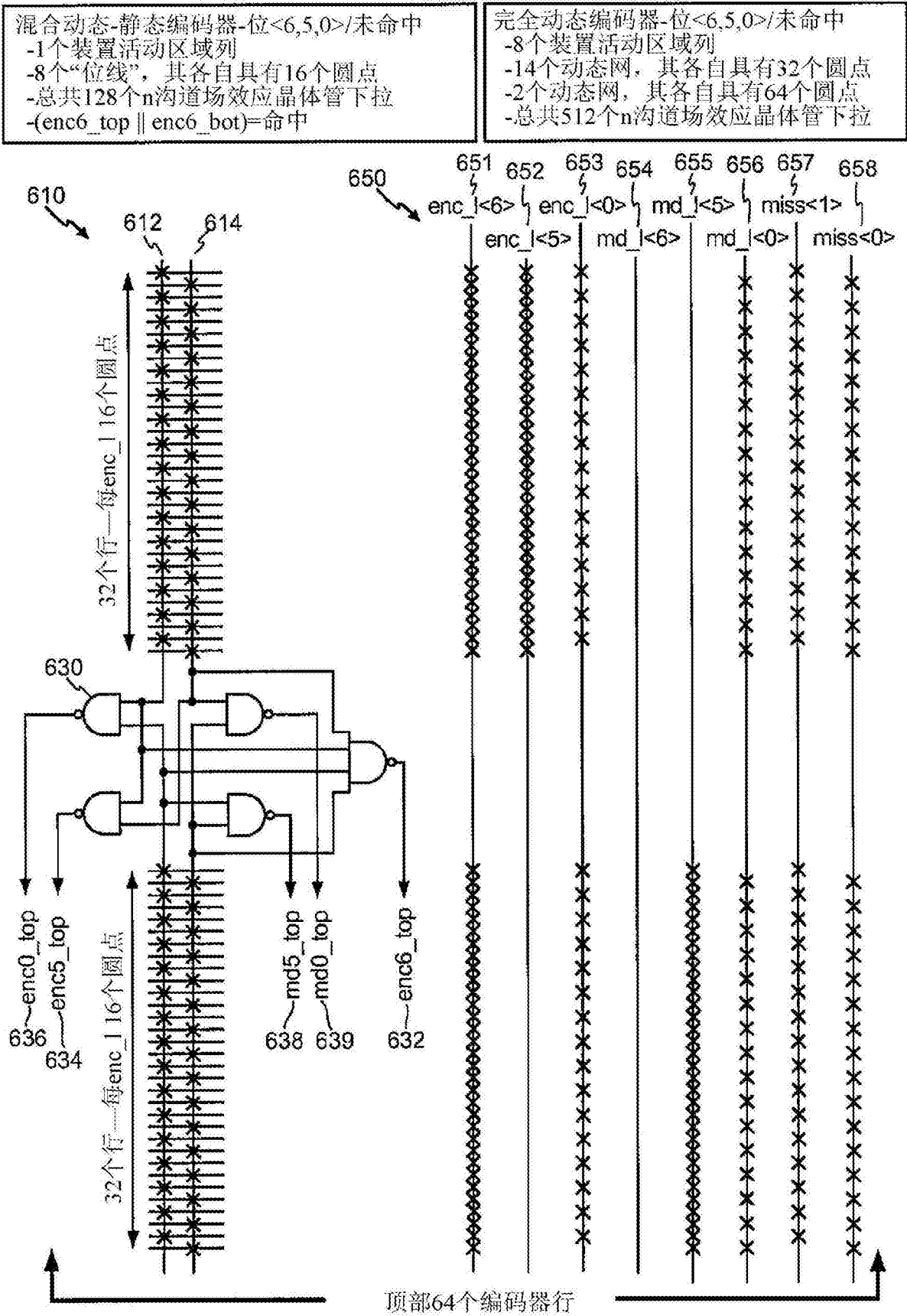


图6

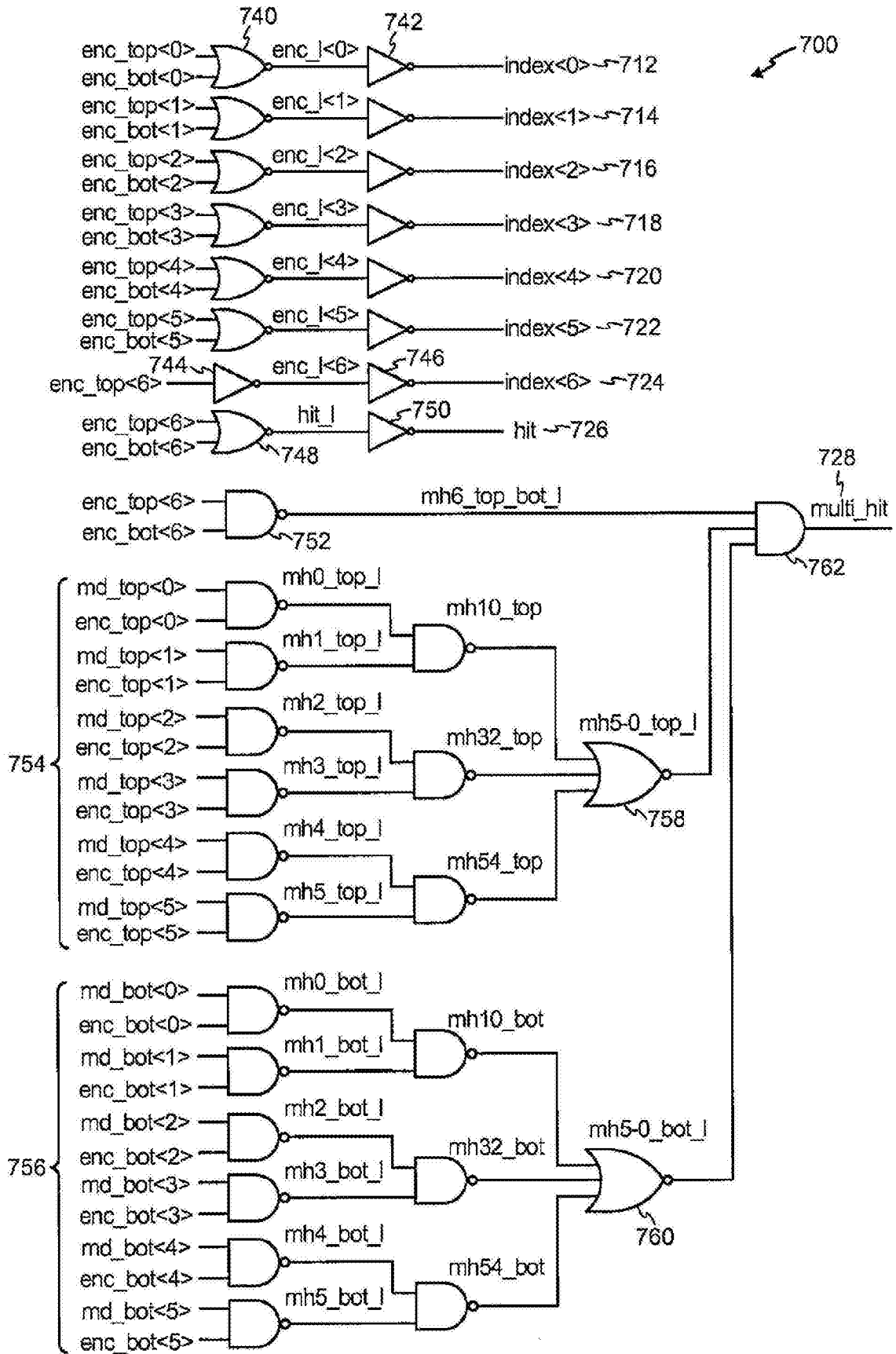


图7

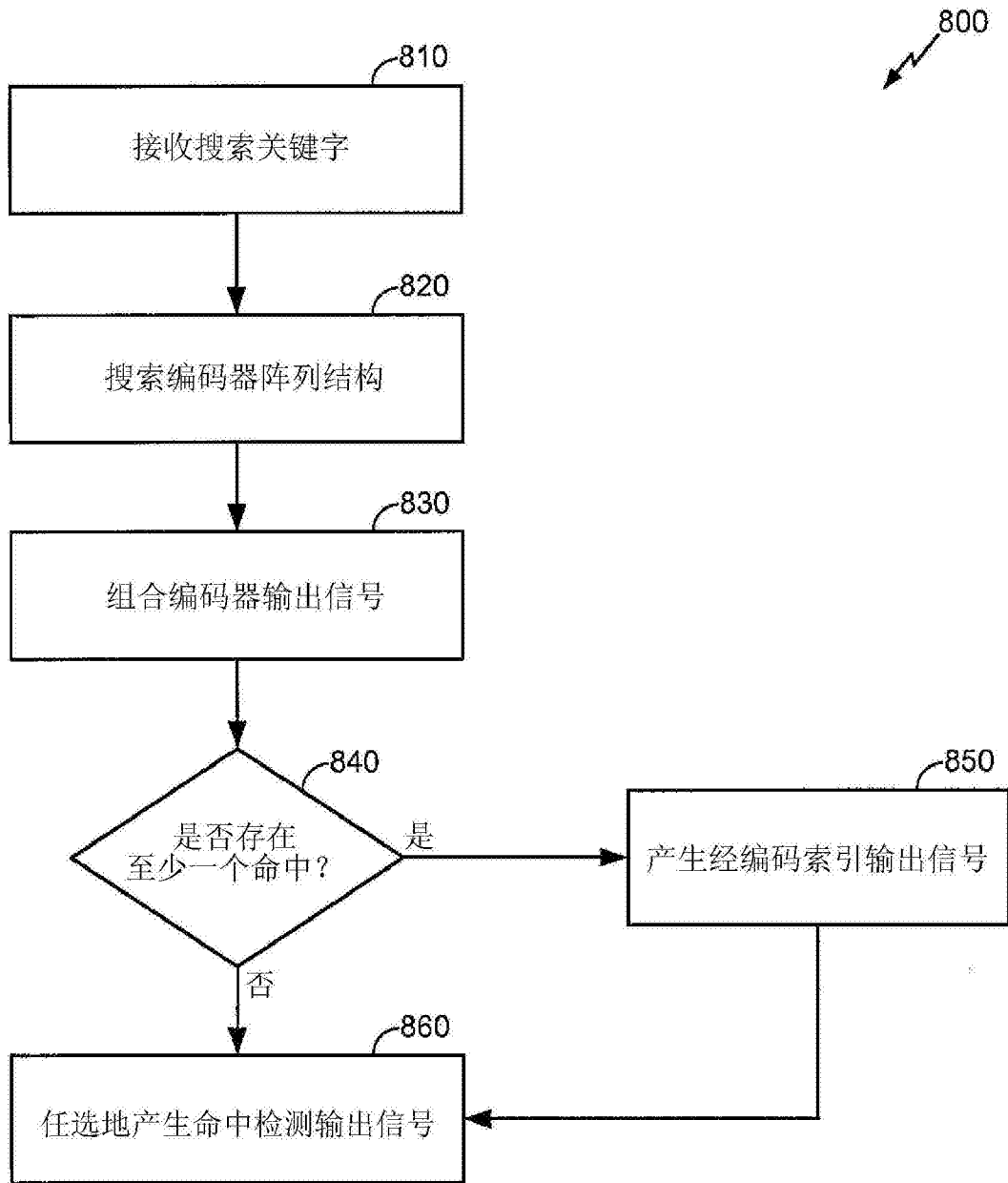


图8

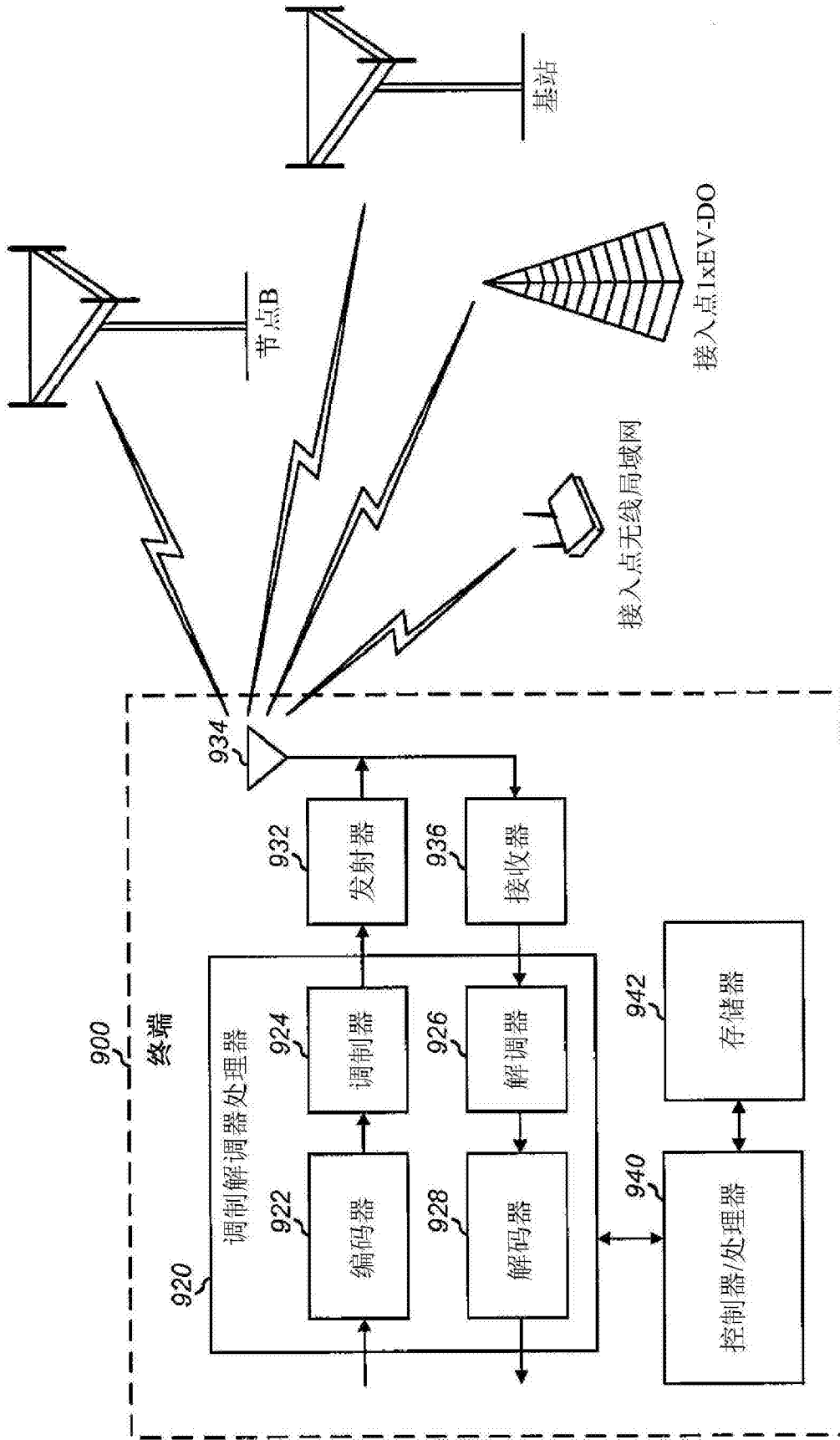


图9

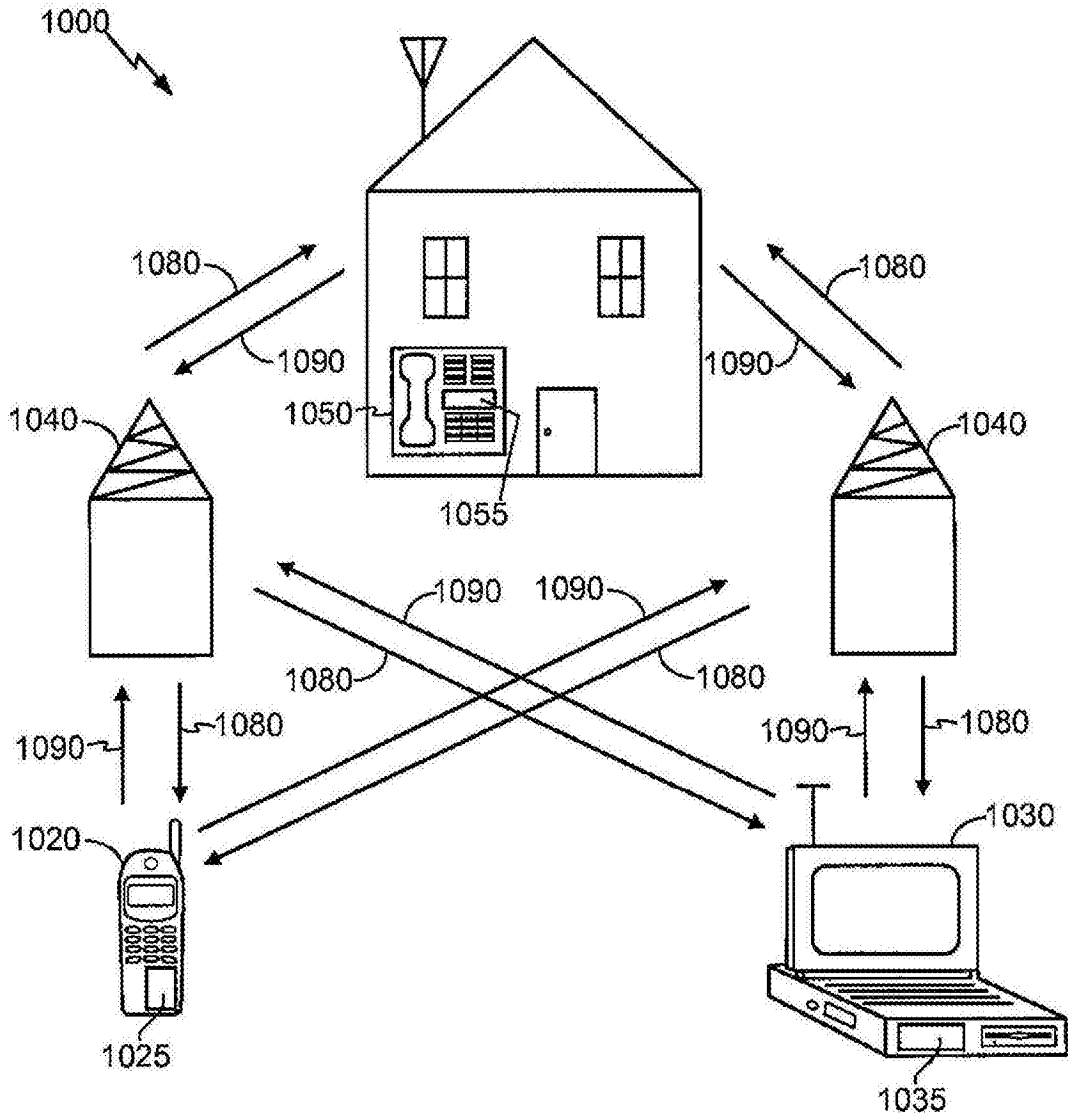


图10