



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년07월28일
(11) 등록번호 10-2426781
(24) 등록일자 2022년07월25일

(51) 국제특허분류(Int. Cl.)
H01L 33/38 (2010.01) H01L 33/40 (2010.01)
H01L 33/48 (2010.01) H01L 33/52 (2010.01)
(52) CPC특허분류
H01L 33/38 (2013.01)
H01L 33/26 (2013.01)
(21) 출원번호 10-2016-0002126
(22) 출원일자 2016년01월07일
심사청구일자 2020년12월28일
(65) 공개번호 10-2017-0082857
(43) 공개일자 2017년07월17일
(56) 선행기술조사문헌
JP2015002293 A*
JP2005260101 A*
JP2013231149 A
JP2010183026 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
쑤저우 레킨 세미컨덕터 컴퍼니 리미티드
중국 쑤저우 타이창 시티 168 창성 노스 로드
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
정명훈
서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)
김지현
서울특별시 강남구 언주로 332, 104동 604호 (역삼동, 역삼푸르지오아파트)
오수연
부산광역시 해운대구 해운대로383번가길 49-3, 701호 (우동, 예전하이아트)
(74) 대리인
특허법인다나, 허용록

전체 청구항 수 : 총 5 항

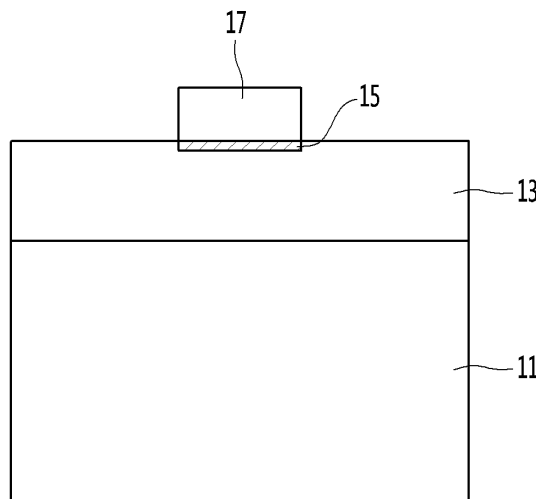
심사관 : 배성주

(54) 발명의 명칭 반도체 소자 및 이를 구비한 발광 모듈

(57) 요약

실시 예에 개시된 발광소자는, 산화갈륨 기반의 반도체층; 상기 반도체층 상에 금속 전극; 및 상기 반도체층 내에 배치되며 상기 금속 전극에 접촉된 오믹 접촉층을 포함하며, 상기 오믹 접촉층은 상기 금속 전극을 이루는 원소를 갖는 산화 조성물을 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 33/40 (2013.01)

H01L 33/483 (2013.01)

H01L 33/52 (2013.01)

H01L 2924/12041 (2013.01)

명세서

청구범위

청구항 1

산화갈륨 기반의 반도체층;

상기 반도체층 상에 배치된 금속 전극; 및

상기 반도체층 내에 배치되며 상기 금속 전극에 접촉된 오믹 접촉층을 포함하며,

상기 오믹 접촉층의 상면은 상기 반도체층의 상면과 동일 수평면 상에 배치되고,

상기 오믹 접촉층은 상기 금속 전극을 이루는 원소를 갖는 산화 조성물을 포함하며,

상기 산화갈륨 기반의 반도체층은 β -Ga₂O₃를 포함하는 반도체 소자.

청구항 2

제1항에 있어서,

상기 금속 전극은 주석(Sn), 티타늄(Ti), 크롬(Cr), 인듐(In) 중 적어도 하나를 포함하며,

상기 오믹 접촉층은 주석(Sn), 티타늄(Ti), 크롬(Cr), 인듐(In) 중 적어도 하나와 산소의 조성물을 포함하며,

상기 오믹 접촉층은 상기 금속 전극에 수직하게 오버랩되게 배치되는 반도체 소자.

청구항 3

제2항에 있어서,

상기 산화갈륨 기반의 반도체층은 n형 도펀트를 포함하는 반도체 소자.

청구항 4

제2항 또는 제3항에 있어서,

상기 금속 전극은 하나 또는 복수의 암 패턴을 가지며,

상기 산화갈륨 기반의 반도체층은 자외선, 청색, 녹색 또는 적색 중 적어도 하나의 광을 방출하는 반도체 소자.

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 산화갈륨 기반의 반도체층 아래에 절연성 또는 전도성의 기판; 및

상기 산화갈륨 기반의 반도체층과 상기 기판 사이에 질화물 반도체층을 갖는 발광 구조물을 포함하는 반도체 소자.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

발명의 설명

기술 분야

- [0001] 실시 예는 산화갈륨 기반의 반도체 소자에 관한 것이다.
- [0002] 실시 예는 산화갈륨 기반의 반도체 소자를 갖는 발광 모듈에 관한 것이다.

배경 기술

- [0003] 발광소자의 하나로서 발광 다이오드(LED: Light Emitting Diode)가 많이 사용되고 있다. 발광 다이오드는 화합물 반도체의 특성을 이용해 전기 신호를 적외선, 가시광선, 자외선과 같은 빛의 형태로 변환한다. 발광소자의 광 효율이 증가됨에 따라 표시장치, 차량용 램프, 각종 조명기기를 비롯한 다양한 분야에 발광소자가 적용되고 있다.
- [0004] 한편, 투명 전극은 LED, 광소자, 전력 소자, 태양전지, 의료용 자외선 소독기, 수산업 등 다양한 분야에서 이용되고 있고, 점점 그 응용분야와 그 수요가 증대되는 추세에 있다. 특히, 투명 전극은 LED 분야에서 많이 이용되고 있고, LED에 적용되는 현재의 투명 전극 기술은 가시광 영역(400nm~800nm)과 자외선 영역(10nm~400nm) 중 일부 영역(365nm~400nm)까지 적용될 수 있는 ITO(Indium Tin Oxide) 기반의 기술이 주를 이루고 있다. 최근에는, 자외선 영역의 빛을 발생시키는 UV LED에 대한 수요가 급속히 증가하고 있으나, 자외선 영역에서 고전도성과 고투과도를 나타내는 투명 전극이 현재까지 개발되지 못하여, 자외선 LED는 상용화되기 어려운 실정이다. 예컨대, 현재 가장 많이 이용되고 있는 ITO 투명 전극이 형성된 UV LED의 경우에, 활성층에서 생성된 단파장의 자외선 영역(10nm~320nm)의 빛은 대부분 ITO에서 흡수되어, ITO를 투과하여 외부로 추출되는 빛이 1%정도에 불과하다. 이러한 문제점을 해결하기 위한 반도체층 위에 투명 전극을 형성하지 않고, 금속 전극 패드를 직접 형성하였으나, 금속과 반도체층 사이의 일함수의 차이가 너무 커서 Ohmic Contact이 이루어지지 않을 뿐 만 아니라, 전류가 금속 전극 패드에 집중되고 활성층 전체로 공급되지 않아 활성층에서 발생하는 빛이 양이 현저하게 감소하는 문제점이 발생한다.

발명의 내용

해결하려는 과제

- [0006] 실시 예는 산화갈륨 기반의 반도체층과 금속 전극 사이에 오믹 접촉층을 배치한 반도체 소자를 제공한다.
- [0007] 실시 예는 산화갈륨 기반의 반도체층과 금속 전극 사이의 접촉 저항을 줄일 수 있는 반도체 소자를 제공한다.
- [0008] 실시 예는 산화갈륨 기반의 반도체층 및 금속 전극 사이에 상기 금속 전극을 갖는 투명 전극을 포함하는 반도체 소자를 제공한다.
- [0009] 실시 예는 산화갈륨 기반의 반도체층과 금속 전극을 형성한 다음, 열 처리하여 상기 금속 전극을 갖는 투명 전극을 형성한 반도체 소자 제조방법을 제공한다.
- [0010] 실시 예에 따른 반도체 소자를 갖는 발광 모듈을 제공한다.

과제의 해결 수단

[0011] 실시 예에 따른 반도체 소자는, 산화갈륨 기반의 반도체층; 상기 반도체층 상에 금속 전극; 및 상기 반도체층 내에 배치되며 상기 금속 전극에 접촉된 오믹 접촉층을 포함하며, 상기 오믹 접촉층은 상기 금속 전극을 이루는 원소를 갖는 산화 조성물을 포함한다.

발명의 효과

[0012] 실시 예에 따른 산화갈륨 기반의 반도체층을 갖는 반도체 소자의 오믹 접촉 저항을 낮추어 줄 수 있다.

[0013] 실시 예는 산화갈륨 기반의 반도체층을 갖는 발광 소자의 오믹 접촉 저항을 낮추어 줄 수 있다.

[0014] 실시 예는 반도체 소자의 산화갈륨 기반의 반도체층의 막질 저하를 방지할 수 있다.

[0015] 실시 예에 따른 반도체 소자, 또는 발광소자 및 이를 갖는 발광모듈의 신뢰성을 개선시켜 줄 수 있다.

도면의 간단한 설명

[0016] 도 1은 제1실시 예에 따른 산화갈륨 기반의 반도체층을 갖는 반도체 소자를 나타낸 측 단면도이다.

도 2는 도 1의 금속 전극의 상세 구성도를 나타낸 도면이다.

도 3 및 도 4는 도 1의 금속 전극의 패턴 예를 나타낸 도면이다.

도 5는 도 1의 반도체 소자의 제조 과정을 설명하기 위한 도면이다.

도 6은 제2실시 예에 따른 반도체 소자를 나타낸 측 단면도이다.

도 7은 도 6의 반도체 소자를 변형한 예이다.

도 8은 실시 예에 따른 산화갈륨 기반의 반도체 소자의 예로서, MESFET를 나타낸 도면이다.

도 9는 실시 예에 따른 반도체 소자의 열 처리 공정에 따른 전압/전류 그래프이다.

도 10 및 도 11은 실시 예에 따른 반도체 소자의 열 처리 전 및 후의 X-선회절 분석법(X-ray Diffraction Spectroscopy: XRD) 분석 결과를 비교한 도면이다.

도 12는 실시 예에 따른 도 6의 반도체 소자를 갖는 패키지를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0017] 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상/위(on)"에 또는 "하/아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on)"와 "하/아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 상/위 또는 하/아래에 대한 기준은 도면을 기준으로 설명한다.

[0018] 이하, 첨부된 도면을 참조하여 실시 예들에 따른 발광 소자에 대해 상세히 설명하도록 한다.

[0020] 도 1은 제1실시 예에 따른 산화갈륨 기반의 반도체층을 갖는 반도체 소자를 나타낸 측 단면도이며, 도 2는 도 1의 금속 전극의 상세 구성도를 나타낸 도면이고, 도 3 및 도 4는 도 1의 금속 전극의 패턴 예를 나타낸 도면이다.

[0021] 도 1 내지 도 4를 참조하면, 반도체 소자는 기판(11), 상기 기판(11) 상에 산화갈륨 기반의 반도체층(13), 상기 반도체층(13) 상에 금속 전극(17), 상기 반도체층(13)과 상기 금속 전극(17) 사이에 오믹 접촉층(15)을 포함한다.

[0022] 상기 기판(11)은 예를 들어, 투광성, 전도성 기판 또는 절연성 기판일 수 있다. 예를 들어, 상기 기판(11)은 사파이어(Al_2O_3), SiC, Si, GaAs, GaN, ZnO, GaP, InP, Ge, and Ga_2O_3 중 적어도 하나를 포함할 수 있다. 상기 기판(11)의 상면 및/또는 하면에는 복수의 돌출부(미도시)가 형성될 수 있으며, 상기 복수의 돌출부 각각은 측 단면이, 반구형 형상, 다각형 형상, 타원 형상 중 적어도 하나를 포함하며, 스트라이프 형태 또는 매트릭스 형태로 배열될 수 있다. 상기 돌출부는 광 추출 효율을 개선시켜 줄 수 있다. 상기 기판(11) 위에는 복수의 화합물 반도체층이 배치될 수 있다. 상기 기판(11)은 산화갈륨 기반의 반도체층(13)과 동일한 산화갈륨 반도체 예컨대,

β -Ga₂O₃를 포함할 수 있다.

- [0023] 상기 산화갈륨 기반의 반도체층(13)은 기판(11) 위에 배치되며 β -Ga₂O₃를 포함하며, 도펀트가 첨가될 수 있다. 상기 산화갈륨 기반의 반도체층(13)은 n형 도펀트 또는 p형 도펀트 중 적어도 하나를 포함할 수 있으며, 단층 또는 다층 구조를 포함할 수 있다. 상기 산화갈륨 기반의 반도체층(13)은 n형 도펀트가 첨가되면 n형 반도체층일 수 있고, p형 도펀트가 첨가되면 p형 반도체층일 수 있다. 다층 구조의 산화갈륨 기반의 반도체층(13)은 II족 내지 VI족의 화합물 반도체층과 적층될 수 있으며, n형 반도체층, 활성층 및 p형 반도체층을 포함할 수 있다. 상기 n형 반도체층, 활성층 및 p형 반도체층 중 적어도 하나 또는 2개는 GaN, AlN, AlGa_xN, InGa_xN, InN, InAlGa_xN, AlInN, AlGaAs, GaP, GaAs, GaAsP, 또는 AlGaInP 중에서 선택될 수 있다. 상기 반도체층(13)은 n-p 접합 구조, p-n 접합 구조, n-p-n 접합 구조, p-n-p 접합 구조 중 어느 한 구조로 구현할 수 있다.
- [0025] 실시 예에 따른 산화갈륨 기반의 반도체층(13)은 전도성 반도체층 또는 전도성 기판일 수 있다. 산화갈륨 기반의 반도체층(13)이 전도성 기판인 경우, 상기 기판(11)은 제거될 수 있다. 이러한 산화갈륨 기반의 반도체층(13)은 4.6~4.7eV 이상의 넓은 밴드 갭을 가지며, 직접 천이형 반도체 물질로서, 열 전도성이 높고, 화학적으로 안정되며, 자외선 내지 가시광선 영역에서 80% 이상의 투명성을 가지게 된다. 그러나 넓은 밴드 갭을 갖는 산화갈륨 기반의 반도체층(13)은 금속 전극(17)과의 오믹 접촉을 형성하는 데 어려움이 있으며, ITO와 같은 투명 전극을 사용할 경우, 자외선 영역에서 광 효율이 저하되는 문제가 있다. 또한 오믹 접촉을 위해 저항을 낮추는 방법으로서, 이온 주입법을 사용할 수 있으나, 이는 공정 단가가 높고 공정이 복잡하며 결함으로 인해 생성된 막질을 저하될 수 있다.
- [0026] 실시 예는 상기한 문제를 해결하기 위해, 산화갈륨 기반의 반도체층(13)의 표면에 금속 전극(17)으로 사용되는 원소를 확산시켜 오믹 접촉층(15)을 형성할 수 있다. 상기 오믹 접촉층(15)은 상기 금속 전극(17)을 이루는 원소와 산소의 산화 조성물로 형성될 수 있으며, 상기 금속 전극(17)을 이루는 원소는 주석(Sn), 티타늄(Ti), 크롬(Cr), 인듐(In) 중 적어도 하나를 포함할 수 있다. 상기 오믹 접촉층(15)은 SnO_x (0<x≤2), TiO, CrO, InO 중 적어도 하나를 포함할 수 있다.
- [0027] 이러한 산화갈륨 기반의 반도체층(13)은 n형 도펀트 예컨대, 주석(Sn), 티타늄(Ti), 크롬(Cr), 인듐(In) 중 적어도 하나를 포함할 수 있다. 또한 상기 금속 전극(17)은 주석(Sn), 티타늄(Ti), 크롬(Cr), 인듐(In) 중 적어도 하나를 포함할 수 있으며, 예컨대 상기 반도체층(13)에 첨가된 n형 도펀트와 동일한 금속을 포함할 수 있다. 여기서, 상기 반도체층(13)의 n형 도펀트의 농도는 $1 \times 10^{17} \sim 9 \times 10^{18} \text{ cm}^{-3}$ 예컨대, $2 \times 10^{18} \sim 9 \times 10^{18} \text{ cm}^{-3}$ 의 범위일 수 있다. 상기 n형 도펀트의 농도가 상기 범위보다 낮은 경우 전도성 특성이 저하될 수 있고, 상기 범위보다 높을 경우 상기 도펀트에 의해 결함이 더 발생될 수 있다.
- [0028] 상기 오믹 접촉층(15)은 n형 도펀트를 갖는 반도체층(13)에 상기 금속 전극(17)의 원소가 확산됨으로써, 전자 밀도가 증가될 수 있다. 이에 따라 오믹 접촉층(15)의 접촉 저항은 낮아질 수 있으며, 예컨대 $5 \times 10^{-6} \sim 1 \times 10^{-4} \Omega \cdot \text{cm}^2$ 의 범위를 가질 수 있다. 또한 상기 오믹 접촉층(15)은 자외선 영역에 대해 광 효율의 저하를 방지할 수 있다.
- [0030] 상기 금속 전극(17) 및 상기 오믹 접촉층(15)은 서로 수직 방향으로 오버랩되게 배치될 수 있으며, 하나 또는 복수의 암 패턴, 또는/및 곡선형 패턴일 수 있다. 도 3과 같이, 금속 전극(17)이 예컨대, 복수의 암(Arm) 패턴(P0, P1, P2, P3)이 연결된 형태이거나, 도 4와 같이 매트릭스 형상의 패턴(P4)으로 형성된 경우, 상기 오믹 접촉층(15)은 상기 금속 전극(17)의 패턴과 동일한 패턴으로 형성될 수 있다.
- [0031] 상기 오믹 접촉층(15)은 상기 금속 전극(17)의 하면 면적보다 더 넓은 면적을 가질 수 있다. 이는 오믹 접촉층(15) 상의 금속 전극(17)을 부분 예칭으로 제거함으로써, 금속 전극(17)과의 면적 차이를 줄 수 있다. 상기 오믹 접촉층(15)의 표면적이 더 넓게 제공될 경우, 광 추출 효율이 개선될 수 있다. 상기 오믹 접촉층(15)의 상면은 상기 반도체층(13)의 상면과 동일 수평 면 상에 배치될 수 있다. 상기 오믹 접촉층(15)은 상기 반도체층(13)의 상면보다 위로 돌출되지 않고 상기 반도체층(13) 내에 배치됨으로써, 별도의 구성물에 의한 저항이 증가되는 것을 방지할 수 있다.
- [0032] 상기 금속 전극(17)은 도 2와 같이, 복수의 층 구조를 포함하며, 예컨대 상기 오믹 접촉층(15)에 접촉된 제1층(17A), 상기 제1층(17A) 상에 제2층(17B), 상기 제2층(17B) 상에 제3층(17C)을 포함할 수 있다. 상기 제1층(17A)은 주석(Sn), 티타늄(Ti), 크롬(Cr), 인듐(In) 중 적어도 하나를 포함하며 상기 반도체층(13) 내의 도펀트와 동일한 금속 원소일 수 있다. 상기 제2층(17B)은 제1층(17A)과 제3층(17C) 사이의 계면에서 확산을 방지하기

위한 베리어 금속으로서, Ni, Rh, Pd, Ir, Ru, Mg, Zn 중 적어도 하나로 형성될 수 있다. 상기 제3층(17C)은 본딩 금속으로서, 와이어가 본딩될 수 있으며, Au, Ag, Al, Cu 중 적어도 하나를 포함할 수 있다. 상기 제1층(17A)은 15nm 내지 25nm 범위 예컨대, 18nm 내지 22nm 범위를 포함하며, 상기 제2층(17B)은 15nm 내지 25nm의 범위 예컨대, 18nm 내지 22nm의 범위를 포함하며, 상기 제3층(17C)은 80nm 내지 120nm의 범위 예컨대, 90nm 내지 110nm의 범위를 포함할 수 있으며, 상기 제1층(17A)의 두께는 상기 두께 범위보다 얇을 경우 열 처리시 제2층(17B)에 영향을 줄 수 있으며, 상기 두께보다 두꺼울 경우 전기적인 특성이 저하될 수 있다.

- [0033] 실시 예는 상기 오믹 접촉층(15)이 n형 도펀트에 의한 산화 조성물의 예로 설명하였으나, p형 도펀트에 의한 산화 조성물로 구현될 수 있으며, 이에 대해 한정하지는 않는다.
- [0035] 도 5를 참조하면, 반도체 소자의 제조 과정을 보면, 기판(11) 상에 산화갈륨 기반의 반도체층(13)을 성장하게 되며, 이때의 성장 방법은 전자빔 증착기, PVD(physical vapor deposition), CVD(chemical vapor deposition), PLD(plasma laser deposition), 이중형의 열증착기(dual-type thermal evaporator) 스퍼터링(sputtering), MOCVD(metal organic chemical vapor deposition) 등에 의해 성장될 수 있다. 또는 상기 산화갈륨 기반의 반도체층(13)은 예를 들어, CZ법(Czochralski법)이나 FZ(Floating Zone Technique)법에 의해 β -Ga₂O₃ 벌크계 단결정 층을 성장할 수 있으며, 이에 대해 한정하지는 않는다.
- [0036] 이러한 산화갈륨 기반의 반도체층(13) 내에는 n형 도펀트가 첨가될 수 있으며, 상기 n형 도펀트는 주석(Sn), 티타늄(Ti), 크롬(Cr), 인듐(In) 중 적어도 하나를 포함할 수 있다.
- [0037] 상기 산화갈륨 기반의 반도체층(13) 상에 금속 전극(17)을 증착하며, 상기 금속 전극(17)은 도 2와 같이 다층 구조(17A, 17B, 17C)로 적층될 수 있다. 예컨대, 상기 금속 전극(17)은 포토리소그래피 과정으로 패턴을 형성할 수 있으며, E-beam 증착법을 이용하여 증착될 수 있다. 상기 금속 전극(17)의 다층 구조 중 상기 산화갈륨 기반의 반도체층(13)에 접촉된 제1층(도 2의 17A)은 주석(Sn), 티타늄(Ti), 크롬(Cr), 인듐(In) 중 적어도 하나로 형성될 수 있다.
- [0038] 이후, 열 처리를 수행하여, 상기 산화갈륨 기반의 반도체층(13)과 상기 금속전극(17) 사이에 오믹 접촉층(15)을 형성시켜 줄 수 있다. 상기 오믹 접촉층(15)은 상기 산화갈륨계 반도체층(13) 내에서 상기 금속 전극(17)의 원소가 확산되어, 상기 금속 전극(17)에 접촉되는 영역이 상기 금속 전극(17)을 이루는 원소와 산소의 조성물로 형성될 수 있다. 상기 열 처리 과정은 퍼니스(furnace)를 이용하여 소정 온도 예컨대, 500도 이상의 온도, 소정의 압력 예컨대, 8.0torr 이상의 압력, 분위기 가스 예컨대, 아르곤(Ar)를 공급하여 소정 시간 진행할 수 있다. 이러한 열 처리 공정에 의해 n형 도펀트(예: Sn)를 갖는 산화갈륨 기반의 반도체층(13) 내에 상기 금속 전극(17) 예컨대, Sn이 확산되어 Sn과 산화갈륨이 반응하여 얇은 오믹 접촉층(15)으로 형성될 수 있다. 이러한 오믹 접촉층(15)은 금속 전극(17)과 상기 산화갈륨 기반의 반도체층(13) 사이의 접촉 저항을 줄여줄 수 있다. 또한 열에 의한 이온의 확산으로 오믹 접촉층(15)을 형성함으로써, 산화갈륨 반도체층(13)의 격자에 결함이 발생하는 것을 억제할 수 있다.
- [0039] 도 9는 RTP(Rapid thermal process)의 어닐링 방법과 퍼니스의 어닐링에 따른 바이어스 전압-전류 관계를 나타낸 그래프로서, 퍼니스의 어닐링 처리 후 바이어스 전압과 전류가 개선됨을 알 수 있다.
- [0040] 도 10은 반도체 소자의 열 처리 전의 X선회절 분석법(XRD) 분석 결과이며, 도 11은 반도체 소자의 열 처리 후의 XRD 분석 결과를 나타낸 것이다. 도 11은 도 11과 다르게, 열 처리 후 SnO₂ (111) 또는 SnO(213)가 나타남을 알 수 있다. 이러한 오믹 접촉층(15)은 투명 전극으로 활용될 수 있고, 자외선 영역에 대해 높은 투과율을 제공할 수 있다.
- [0042] 도 6은 실시 예에 따른 산화갈륨 기반의 반도체층을 갖는 반도체 소자로서 발광 소자의 일 예를 나타낸 도면이다.
- [0043] 도 6을 참조하면, 반도체 소자인 발광 소자는 제1도전형 반도체층(41)과, 상기 제1도전형 반도체층(41) 상에 배치된 활성층(50)과, 상기 활성층(50) 상에 배치된 전자 차단층(71)과, 상기 전자 차단층(71) 상에 배치된 제2도전형 반도체층(75)을 포함할 수 있다.
- [0044] 상기 발광 소자는 제1도전형 반도체층(41) 아래에 버퍼층(31) 및 기판(21) 중 하나 이상 또는 모두를 포함할 수 있다. 상기 발광 소자는 상기 제1도전형 반도체층(41)과 활성층(50) 사이에 제1클래드층(43) 및 상기 활성층(50)과 제2도전형 반도체층(75) 사이에 제2클래드층(미도시) 중 적어도 하나 또는 모두를 포함할 수 있다.
- [0045] 상기 기판(21)은 예를 들어, 투광성, 전도성 기판 또는 절연성 기판일 수 있다. 예를 들어, 상기 기판(21)은 사

파이어(Al_2O_3), SiC, Si, GaAs, GaN, ZnO, GaP, InP, Ge, and Ga_2O_3 중 적어도 하나를 포함할 수 있다. 상기 기관(21)의 상면 및/또는 하면에는 복수의 돌출부(미도시)가 형성될 수 있으며, 상기 복수의 돌출부 각각은 측 단면이, 반구형 형상, 다각형 형상, 타원 형상 중 적어도 하나를 포함하며, 스트라이프 형태 또는 매트릭스 형태로 배열될 수 있다. 상기 돌출부는 광 추출 효율을 개선시켜 줄 수 있다. 상기 기관(21) 위에는 복수의 화합물 반도체층이 배치될 수 있으며, 상기 복수의 화합물 반도체층의 성장 장비는 전자빔 증착기, PVD(physical vapor deposition), CVD(chemical vapor deposition), PLD(plasma laser deposition), 이중형의 열증착기(dual-type thermal evaporator) 스퍼터링(sputtering), MOCVD(metal organic chemical vapor deposition) 등에 의해 형성할 수 있으며, 이에 대해 한정하지는 않는다.

[0046] 상기 버퍼층(31)은 기관(21)과 상기 제1도전형 반도체층(41) 사이에 배치될 수 있다. 상기 버퍼층(31)은 II족 내지 VI족 화합물 반도체를 이용하여 적어도 한 층으로 형성될 수 있다. 상기 버퍼층(31)은 III족-V족 화합물 반도체를 이용한 반도체층을 포함하며, 예컨대, $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 구현될 수 있다. 상기 버퍼층(31)은 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP, ZnO, Ga_2O_3 와 같은 재료 중 적어도 하나를 포함하여 단층 또는 다층으로 형성될 수 있다. 상기 버퍼층(31)은 서로 다른 반도체층을 교대로 배치한 초격자(super lattice) 구조를 포함할 수 있다. 상기 버퍼층(31)은 상기 기관(21)과 질화물 계열의 반도체층과의 격자상수의 차이를 완화시켜 주기 위해 형성될 수 있으며, 결합 제어층으로 정의될 수 있다. 상기 버퍼층(31)의 격자 상수는 상기 기관(21)과 질화물 계열의 반도체층 사이의 격자상수 사이의 값을 가질 수 있다. 상기 버퍼층(31)은 언도프드 반도체층을 포함할 수 있으며, 상기 언도프드 반도체층은 제1도전형 반도체층(41) 보다 낮은 전기 전도성을 가질 수 있다. 상기 언도프드 반도체층은 의도적으로 도전형 도펀트를 도핑하지 않더라도 제1도전형 특성을 가지게 된다. 상기 버퍼층(31)은 단층 또는 다층으로 형성될 수 있다.

[0047] 상기 제1도전형 반도체층(41)은 상기 기관(21) 및 상기 버퍼층(31) 중 적어도 하나와 상기 활성층(50) 사이에 배치될 수 있다. 상기 제1도전형 반도체층(41)은 제1도전형의 도펀트가 도핑된 III족-V족 및 II족-VI족의 화합물 반도체 중 적어도 하나로 구현될 수 있다. 상기 제1도전형 반도체층(41)은 예컨대, $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 형성될 수 있다. 상기 제1도전형 반도체층(41)은 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP, ZnO, Ga_2O_3 , 중에서 적어도 하나를 포함할 수 있다. 상기 제1도전형 반도체층(41)은 Si, Ge, Sn, Se, Te, Sn, Ti, Cr, In 등의 n형 도펀트가 도핑된 n형 반도체층이 될 수 있다. 상기 제1도전형 반도체층(41)은 단층 또는 다층으로 배치될 수 있다. 상기 제1도전형 반도체층(41)은 서로 다른 적어도 두 층이 교대로 배치된 초격자 구조로 형성될 수 있다. 상기 제1도전형 반도체층(41)은 전극 접촉층이 될 수 있다.

[0048] 상기 제1클래드층(43)은 II족-VI족 및 III족-V족 화합물 반도체 중에서 적어도 하나를 포함할 수 있다. 상기 제1클래드층(43)은 제1도전형의 도펀트 예컨대, n형 도펀트를 갖는 n형 반도체층일 수 있다. 상기 제1클래드층(43)은 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 중에서 적어도 하나를 포함할 수 있으며, n형 도펀트가 도핑된 n형 반도체층이 될 수 있다. 상기 제1클래드층(43)은 단층 또는 다층으로 형성될 수 있다.

[0049] 상기 활성층(50)은 단일 우물, 단일 양자우물, 다중 우물, 다중 양자우물 구조(MQW: Multi Quantum Well), 양자선(Quantum-Wire) 구조, 또는 양자 점(Quantum Dot) 구조 중 적어도 하나로 형성될 수 있다. 상기 활성층(50)은 상기 제1도전형 반도체층(41)을 통해서 주입되는 전자(또는 정공)와 상기 제2도전형 반도체층(75)을 통해서 주입되는 정공(또는 전자)이 서로 만나서, 상기 활성층(50)의 형성 물질에 따른 에너지 밴드(Energy Band)의 밴드 갭(Band Gap) 차이에 의해서 빛을 방출하는 층이다. 상기 활성층(50)은 화합물 반도체로 구현될 수 있다. 상기 활성층(50)은 예로서 II족-VI족 및 III족-V족 화합물 반도체 중에서 적어도 하나로 구현될 수 있다.

[0050] 상기 활성층(50)이 다중 우물 구조로 구현된 경우, 상기 활성층(50)은 교대로 배치된 복수의 우물층과 복수의 장벽층을 포함하며, 우물층/장벽층의 페어는 2~30주기로 형성될 수 있다. 상기 우물층/장벽층의 주기는 예를 들어, InGaIn/GaN, GaN/AlGaIn, AlGaIn/AlGaIn, InGaIn/AlGaIn, InGaIn/InGaIn, AlGaAs/GaAs, InGaAs/GaAs, InGaP/GaP, AlInGaP/InGaP, 또는 InP/GaAs의 페어 중 적어도 하나를 포함한다. 상기 우물층은 예컨대, $In_xAl_yGa_{1-x-y}N$ ($0 < x \leq 1, 0 \leq y \leq 1, 0 \leq x+y < 1$)의 조성식을 갖는 반도체 재료로 배치될 수 있다. 상기 장벽층은 예컨대, $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y < 1$)의 조성식을 갖는 반도체 재료로 형성될 수 있다. 상기 활성층(50)은 자외선, 청색, 녹색, 적색 파장 중 적어도 하나의 피크 파장을 방출할 수 있다. 예컨대, 상기 활성층(50)은 인듐 조성이나

알루미늄의 조성에 따라 각 발광 칩의 피크 파장을 상이하게 제공할 수 있다.

- [0051] 상기 전자 차단층(71)은 활성층(50) 위에 배치된다. 상기 전자 차단층(71)은 AlGaIn계 반도체를 포함할 수 있다. 상기 전자 차단층(71)은 제2도전형의 도펀트 예컨대, p형 도펀트를 갖는 p형 반도체층일 수 있다. 상기 전자 차단층(71)은 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, 또는 AlGaInP 중에서 적어도 하나를 포함할 수 있으며, Mg, Zn, Ca, Sr, Ba와 같은 p형 도펀트를 포함할 수 있다.
- [0052] 상기 전자 차단층(71) 위에 제2도전형 반도체층(75)이 배치될 수 있다. 상기 제2도전형 반도체층(75)은 예컨대, $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 형성될 수 있다. 상기 제2도전형 반도체층(75)은 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, 또는 AlGaInP 중에서 적어도 하나를 포함할 수 있으며, p형 도펀트가 도핑된 p형 반도체층이 될 수 있다. 상기 제2도전형 반도체층(75)은 단층 또는 다층으로 배치될 수 있다. 상기 제2도전형 반도체층(75)은 서로 다른 적어도 두 층이 교대로 배치된 초격자 구조로 형성될 수 있다. 상기 제2도전형 반도체층(75)은 전극 접촉층이 될 수 있다.
- [0053] 상기 제2도전형 반도체층(75)과 상기 제2전극(95) 사이에는 산화갈륨 기반의 반도체층(93)이 배치될 수 있다. 상기 산화갈륨 기반의 반도체층(93)은 실시 예에 개시된 n형 도펀트가 첨가된 n형 반도체층으로 구현될 수 있다. 상기 산화갈륨 기반의 반도체층에 첨가되는 n형 도펀트는 예컨대, 주석(Sn), 티타늄(Ti), 크롬(Cr), 인듐(In) 중 적어도 하나를 포함할 수 있다.
- [0054] 발광 구조물은 제1도전형 반도체층(41)부터 제2도전형 반도체층(75)까지를 포함할 수 있다. 다른 예로서, 발광 구조물은 제1도전형 반도체층(41) 및 제1클래드층(43)이 p형 반도체층, 상기 제2클래드층(73) 및 제2도전형 반도체층(75)은 n형 반도체층으로 구현될 수 있다. 이러한 발광 구조물은 n-p 접합 구조, p-n 접합 구조 중 어느 한 구조로 구현할 수 있다. 이러한 발광 구조물 상에 산화갈륨 기반의 반도체층(93)이 n형 반도체층 또는 p형 반도체층으로 적층될 수 있다.
- [0056] 발광 소자는 제1전극(91) 및 제2전극(95)을 포함한다. 상기 제1도전형 반도체층(41)에 제1전극(91)이 전기적으로 연결되며, 상기 산화갈륨 기반의 반도체층(93)에 제2전극(95)이 전기적으로 연결될 수 있다. 상기 제1전극(91)은 상기 제1도전형 반도체층(41) 위에 배치될 수 있으며, 상기 제2전극(95)은 산화갈륨 기반의 반도체층(93) 위에 배치될 수 있다. 상기 제1전극(91) 및 상기 제2전극(95)은 암(arm) 구조 또는 핑거(finger) 구조의 전류 확산 패턴이 더 형성될 수 있다.
- [0057] 상기 제1전극(91)과 상기 제1도전형 반도체층(41) 사이에 제1오믹 접촉층(15A)이 배치될 수 있으며, 상기 제1오믹 접촉층(15A)은 실시 예에 개시된 오믹 접촉층일 수 있으며, 상기 제1도전형 반도체층(41)이 산화갈륨 기반의 반도체인 경우, 실시 예에 따른 제1전극(91)을 이루는 원소의 확산에 의해 상기 제1도전형 반도체층(41)에 형성될 수 있다. 이에 따라 상기 제1오믹 접촉층(15A)은 제1도전형 반도체층(41)과 제1전극(91) 사이의 접촉 저항을 낮추어 줄 수 있다. 상기 제1오믹 접촉층(15A)은 형성하지 않을 수 있으며, 이에 대해 한정하지는 않는다. 또한 상기 기판(21) 및 버퍼층(31)이 산화갈륨 기반의 반도체인 경우, 상기 제1전극(91) 및 제1오믹 접촉층(15A)은 제거될 수 있다.
- [0058] 상기 제2전극(95)과 상기 산화갈륨 기반의 반도체층(93) 사이에는 제2오믹 접촉층(15B)이 형성될 수 있으며, 상기 제2오믹 접촉층(15B)은 실시 예에 개시된 오믹 접촉층일 수 있다. 다른 예로서, 상기 제2도전형 반도체층(75)이 산화갈륨 기반의 반도체인 경우, 제2전극(95)을 이루는 원소의 확산에 의해 상기 제2도전형 반도체층(75)에 상기 제2오믹 접촉층(15B)이 형성될 수 있다. 이에 따라 상기 제2오믹 접촉층(15B)은 산화갈륨 기반의 반도체층(93)과 제2전극(95) 사이의 접촉 저항을 낮추어 줄 수 있다. 상기 제1전극(91) 및 제2전극(95)은 도 3과 같은 구조로 형성되거나, Sn, Ti, Cr, Ru, Rh, Ir, Mg, Zn, Al, In, Ta, Pd, Co, Ni, Si, Ge, Ag 및 Au 중 적어도 하나 또는 이들의 선택적인 합금 중에서 선택될 수 있다.
- [0059] 상기 반도체층(41, 43, 50, 71, 75)의 표면에는 절연층(81)이 배치될 수 있다. 상기 절연층(81)은 상기 제2도전형 반도체층(75)의 상면과 반도체층(41, 43, 50, 71, 75)의 측면에 배치될 수 있으며, 제1, 2전극(91, 95)과 선택적으로 접촉될 수 있다. 상기 절연층(81)은 Al, Cr, Si, Ti, Zn, Zr 중 적어도 하나를 갖는 산화물, 질화물, 불화물, 및 황화물 중 적어도 하나로 형성된 절연물질 또는 절연성 수지를 포함한다. 상기 절연층(81)은 예컨대, SiO_2 , Si_3N_4 , Al_2O_3 , TiO_2 중에서 선택적으로 형성될 수 있다. 상기 절연층(81)은 단층 또는 다층으로 형성되거나 제거될 수 있다.
- [0061] 도 7은 도 6의 발광 소자를 이용한 수직형 발광 칩의 예를 나타낸 도면이다. 도 7을 설명함에 있어서, 도 6에

개시된 구성과 동일한 부분은 상기에 개시된 실시 예의 설명을 참조하기로 한다.

- [0062] 도 7를 참조하면, 발광 소자는 제1도전형 반도체층(41) 위에 제1전극(91) 및 제2도전형 반도체층(75) 아래에 복수의 전도층(96,97,98,99)을 갖는 제2전극을 포함한다.
- [0063] 상기 제2전극은 상기 제2도전형 반도체층(75) 아래에 배치되며, 접촉층(96), 반사층(97), 본딩층(98) 및 지지부재(99)를 포함한다. 상기 접촉층(96)은 반도체층 예컨대, 제2도전형 반도체층(75)과 접촉된다. 상기 접촉층(96)은 Sn, Ti, Cr, In 중 적어도 하나를 포함할 수 있다.
- [0064] 여기서, 상기 접촉층(96)과 상기 제2도전형 반도체층(75) 사이에는 산화갈륨 기반의 반도체층(93)이 배치되며, 상기 산화갈륨 기반의 반도체층(93)에는 제2오믹 접촉층(15D)이 배치될 수 있다. 상기 제2오믹 접촉층(15D)은 산화갈륨 기반의 반도체층(93)에 형성되거나, 상기 제2도전형 반도체층(75)이 산화갈륨 기반의 반도체인 경우 상기 층(93)이 제거되고 제2도전형 반도체층(75)에 형성될 수 있다. 상기 제2오믹 접촉층(15D)은 산화갈륨 기반의 반도체층(93) 내에 형성될 수 있으며, 주석(Sn), 티타늄(Ti), 크롬(Cr), 인듐(In) 중 적어도 하나와 산소의 조성물을 포함할 수 있다. 상기 제2오믹 접촉층(15D)은 형성하지 않을 수 있다.
- [0066] 상기 접촉층(96) 아래에 반사층(97)이 배치되며, 상기 반사층(97)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 및 그 조합으로 구성된 그룹으로부터 선택된 물질로 이루어진 적어도 하나의 층을 포함하는 구조로 형성될 수 있다. 상기 반사층(97)은 상기 제2도전형 반도체층(75) 아래에 접촉될 수 있으며, 이에 대해 한정하지는 않는다. 상기 반사층(97) 아래에는 본딩층(98)이 배치되며, 상기 본딩층(98)은 베리어 금속 또는 본딩 금속으로 사용될 수 있으며, 그 물질은 예를 들어, Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag 및 Ta와 선택적인 합금 중에서 적어도 하나를 포함할 수 있다.
- [0067] 상기 제2도전형 반도체층(75)과 제2전극 사이에 보호층(83) 및 전류 블록킹층(85)이 배치된다. 상기 보호층(83)은 상기 제2도전형 반도체층(75)의 하면 에지를 따라 형성되며, 링 형상, 루프 형상 또는 프레임 형상으로 형성될 수 있다. 상기 보호층(83)은 투명한 전도성 물질 또는 절연성 물질을 포함하며, 예컨대 SiO₂, SiO_x, SiO_xN_y, Si₃N₄, Al₂O₃, TiO₂ 중 적어도 하나를 포함할 수 있다. 상기 보호층(83)은 형성하지 않을 수 있다. 상기 보호층(83)의 내측부는 상기 제2도전형 반도체층(75) 아래에 배치되고, 외측부는 상기 발광 구조물의 측면보다 더 외측에 배치된다. 상기 전류 블록킹층(85)은 제2도전형 반도체층(75)과 접촉층(96) 또는 반사층(97) 사이에 배치될 수 있다. 상기 전류 블록킹층(85)은 절연물질을 포함하며, 예컨대 SiO₂, SiO_x, SiO_xN_y, Si₃N₄, Al₂O₃, TiO₂ 중에서 적어도 하나를 포함할 수 있다. 다른 예로서, 상기 전류 블록킹층(85)은 쇼트키 접촉을 위한 금속으로도 형성될 수 있다.
- [0068] 상기 전류 블록킹층(85)은 상기 발광 구조물 위에 배치된 제1전극(91)과 상기 발광 구조물의 두께 방향으로 대응되게 배치된다. 상기 전류 블록킹층(85)은 상기 제2전극으로부터 공급되는 전류를 차단하여, 다른 경로로 확산시켜 줄 수 있다. 상기 전류 블록킹층(85)은 하나 또는 복수로 배치될 수 있으며, 제1전극(91)과 수직 방향으로 적어도 일부 또는 전 영역이 오버랩될 수 있다.
- [0069] 상기 본딩층(98) 아래에는 지지 부재(99)가 형성되며, 상기 지지 부재(99)는 전도성 부재로 형성될 수 있으며, 그 물질은 구리(Cu-copper), 금(Au-gold), 니켈(Ni-nickel), 몰리브덴(Mo), 구리-텅스텐(Cu-W), 캐리어 웨이퍼(예: Si, Ge, GaAs, ZnO, SiC 등)와 같은 전도성 물질로 형성될 수 있다. 상기 지지부재(99)는 다른 예로서, 전도성 시트로 구현될 수 있다.
- [0070] 여기서, 상기 도 6의 기판은 제거할 수 있다. 상기 기판의 제거 방법은 물리적 방법(예: Laser lift off) 또는/및 화학적 방법(습식 에칭 등)으로 제거할 수 있으며, 상기 제1도전형 반도체층(41)을 노출시켜 준다. 상기 기판이 제거된 방향을 통해 아이솔레이션 에칭을 수행하여, 상기 제1도전형 반도체층(41) 상에 제1전극(91)을 형성하게 된다. 상기 제1도전형 반도체층(41)의 상면에는 러프니스와 같은 광 추출 구조(미도시)로 형성될 수 있다. 상기 반도체층의 표면에는 절연층(미도시)이 더 배치될 수 있으며, 이에 대해 한정하지는 않는다. 이에 따라 발광 구조물 위에 제1전극(91) 및 아래에 지지 부재(99)를 갖는 수직형 전극 구조를 갖는 발광 칩이 제조될 수 있다.
- [0071] 상기 제1도전형 반도체층(41)이 산화갈륨 기반의 반도체인 경우, 상기 제1전극(91)과 상기 제1도전형 반도체층(41) 사이에 실시 예에 따른 제1오믹 접촉층(15C)이 배치될 수 있다. 상기 오믹 접촉층은 주석(Sn), 티타늄(Ti), 크롬(Cr), 인듐(In) 중 적어도 하나와 산소의 조성물을 포함할 수 있다.
- [0072] 실시 예에 따른 산화갈륨 기반의 반도체 소자는 산화갈륨 기반의 반도체층/오믹접촉층/전극의 적층 구조를 갖는

소자로서, 상기와 같은 LED 이외에 전계효과트랜지스터(FET: field effect transistor), 쇼트키(schottky) 다이오드와 같은 소자에 적용될 수 있다. 상기 접합형 전계효과 트랜지스터(JFET), 금속-반도체 구조의 쇼트키 접착을 이용한 쇼트키 장벽 전계효과 트랜지스터(MESFET), 금속-절연체-반도체의 구조를 갖는 MIS 전계효과 트랜지스터(MISFET 또는 MOSFET)와 같은 소자에 적용될 수 있다.

- [0074] 도 8은 실시 예에 따른 산화갈륨 기반의 반도체층을 갖는 FET 예컨대, MESFET의 예이다.
- [0075] 도 8을 참조하면, FET 반도체 소자는 기판(211), 상기 기판(211) 상에 반도체층(213), 상기 반도체층(213) 상에 게이트(gate) 전극(215), 소스(source) 전극(217), 드레인(drain) 전극(219)이 형성될 수 있다. 상기 기판(211)은 산화갈륨 기반의 반도체일 수 있으며, p형 도펀트가 도핑될 수 있다.
- [0076] 상기 반도체층(213)은 실시 예에 개시된 산화갈륨 기반의 반도체로 형성될 수 있으며, n형 도펀트가 첨가될 수 있다. 상기 반도체층(213)에는 상기 게이트 전극(215), 소스 전극(217), 드레인 전극(219) 아래에 실시 예에 개시된 오믹 접촉층(221,223,225)이 형성될 수 있다. 상기 오믹 접촉층(221,223,225)은 각 전극(215,217,219)과 반도체층(213) 사이의 접촉 저항을 낮추어 줄 수 있다.
- [0078] <발광소자 패키지>
- [0079] 도 12는 도 6의 발광소자를 갖는 발광소자 패키지를 나타낸 도면이다.
- [0080] 도 12를 참조하면, 발광소자 패키지는 지지부재(110), 상기 지지 부재(110) 위에 캐비티(112)를 갖는 반사부재(111), 상기 지지부재(110)의 위 및 상기 캐비티(112) 내에 실시 예에 따른 발광 소자(101), 및 상기 캐비티(112) 상에 투명 윈도우(115)를 포함한다.
- [0081] 상기 지지부재(110)는 수지 계열의 인쇄회로기판(PCB), 실리콘(silicon) 또는 실리콘 카바이드(silicon carbide: SiC)와 같은 실리콘 계열, 질화 알루미늄(aluminum nitride: AlN)과 같은 세라믹 계열, 폴리프탈아마이드(polyphthalamide: PPA)와 같은 수지 계열, 고분자액정(Liquid Crystal Polymer), 바닥에 금속층을 갖는 PCB(MCPCB: Metal core PCB) 중에서 적어도 하나로 형성될 수 있으며, 이러한 재료로 한정하지는 않는다.
- [0082] 상기 지지부재(110)는 제1금속층(131), 제2금속층(133), 제1연결 부재(138), 제2연결 부재(139), 제1전극층(135) 및 제2전극층(137)를 포함한다. 상기 제1금속층(131) 및 제2금속층(132)은 상기 지지부재(110)의 바닥에서 이격되게 배치된다. 상기 제1전극층(135) 및 제2전극층(137)은 상기 지지부재(110)의 상면에 서로 이격되게 배치된다. 상기 제1연결 부재(138)는 상기 지지부재(110)의 내부 또는 제1측면에 배치될 수 있으며, 상기 제1금속층(131)과 상기 제1전극층(135)을 서로 연결해 준다. 상기 제2연결 부재(139)는 상기 지지부재(110)의 내부 또는 제2측면에 배치될 수 있으며, 상기 제2금속층(133) 및 상기 제2전극층(137)을 서로 연결해 준다.
- [0083] 상기 제1금속층(131), 제2금속층(133), 제1전극층(135) 및 제2전극층(137)은 금속 재질, 예를 들어, 티타늄(Ti), 구리(Cu), 니켈(Ni), 금(Au), 크롬(Cr), 탄탈륨(Ta), 백금(Pt), 주석(Sn), 은(Ag), 인(P) 중 적어도 하나 또는 이들의 선택적 합금으로 형성될 수 있으며, 단일 금속층 또는 다층 금속층으로 형성될 수 있다.
- [0084] 상기 제1연결 부재(138) 및 상기 제2연결 부재(139)는 비아, 비아 홀, 쓰루 홀 중 적어도 하나를 포함한다.
- [0085] 상기 반사 부재(111)는 상기 지지부재(110) 상에서 상기 캐비티(112)의 둘레에 배치되며, 상기 발광 소자(101)로부터 방출된 자외선 광을 반사시켜 줄 수 있다.
- [0086] 상기 반사부재(111)는 수지 계열의 인쇄회로기판(PCB), 실리콘(silicon) 또는 실리콘 카바이드(silicon carbide: SiC)과 같은 실리콘 계열, AlN(aluminum nitride; AlN)과 같은 세라믹 계열, 폴리프탈아마이드(polyphthalamide: PPA)와 같은 수지 계열, 고분자액정(Liquid Crystal Polymer) 중에서 적어도 하나로 형성될 수 있으며, 이러한 재료로 한정하지는 않는다. 상기 지지부재(110) 및 반사부재(111)는 세라믹 계열의 재질을 포함할 수 있으며, 이러한 세라믹 계열의 재질은 방열 효율이 수지 재질보다 높은 특징이 있다.
- [0087] 상기 발광 소자(101)는 상기 제2전극층(137) 상에 배치되거나 상기 지지 부재(110) 상에 배치될 수 있으며, 상기 제1전극층(135)과 상기 제2전극층(137)과 전기적으로 연결된다. 상기 발광 소자(101)는 와이어(121)로 연결될 수 있다. 다른 예로서, 상기 발광 소자(101)는 플립 칩 방식으로 본딩될 수 있다.
- [0088] 상기 발광 소자(101)는 자외선 파장을 발광하거나, 상기 발광 소자(101) 상에 형광체층이 배치된 경우 다른 파장의 광을 발광할 수 있다.
- [0089] 상기 투명 윈도우(115)는 상기 캐비티(112) 상에 배치되며, 상기 발광 소자(101)로부터 방출된 피크 파장을 방

출하게 된다. 이러한 투명 윈도우(115)는 유리 재질, 세라믹 재질, 또는 투광성 수지 재질을 포함할 수 있다.

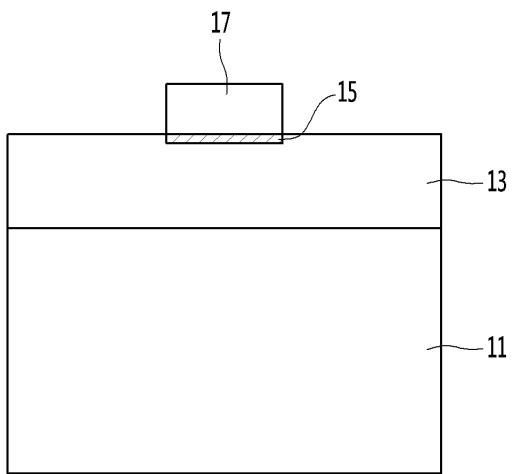
- [0090] 또한 상기 캐비티(112) 상에는 광학 렌즈, 또는 형광체층이 더 배치될 수 있으며, 이에 대해 한정하지는 않는다.
- [0091] 실시 예에 따른 반도체 소자, 발광 소자 또는 발광 소자 패키지는, 라이트 유닛에 적용될 수 있다. 상기 라이트 유닛은 하나 또는 복수의 발광소자 또는 발광소자 패키지를 갖는 어셈블리로서, 자외선 램프를 포함될 수 있다.
- [0093] 실시 예에 따른 반도체 소자 또는 발광 소자 상에는 광학 부재인 렌즈, 도광관, 프리즘 시트, 확산 시트 등이 배치될 수 있다. 상기 라이트 유닛은 탑뷰 또는 사이드 뷰 타입으로 구현되어, 휴대 단말기 및 노트북 컴퓨터 등의 표시 장치에 제공되거나, 조명장치 및 지시 장치 등에 다양하게 적용될 수 있다. 또 다른 실시 예는 상술한 실시 예들에 기재된 발광소자를 포함하는 조명 장치로 구현될 수 있다. 예를 들어, 조명 장치는 램프, 가로 등, 전광판, 전조등을 포함할 수 있다.
- [0095] 이상에서 실시 예들에 설명된 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시 예에 포함되며, 반드시 하나의 실시 예에만 한정되는 것은 아니다. 나아가, 각 실시 예에서 예시된 특징, 구조, 효과 등은 실시 예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시 예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.
- [0096] 또한, 이상에서 실시 예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시 예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시 예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

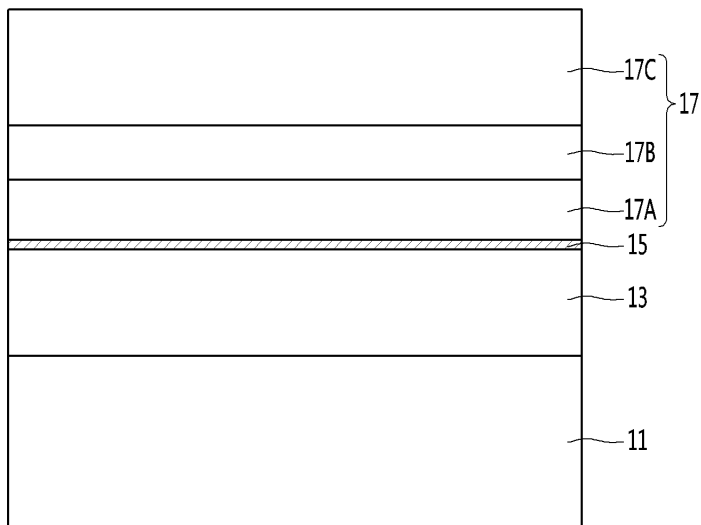
- [0097] 11,21: 기판
- 13,93: 산화갈륨 기반 반도체층
- 15, 15A, 15B, 15C, 15D: 오믹 접촉층
- 17: 금속 전극
- 17A: 제1층
- 17B: 제2층
- 17C: 제3층
- 41: 제1도전형 반도체층
- 43: 제1클래드층
- 50: 활성층
- 71: 전자 차단층
- 75: 제2도전형 반도체층

도면

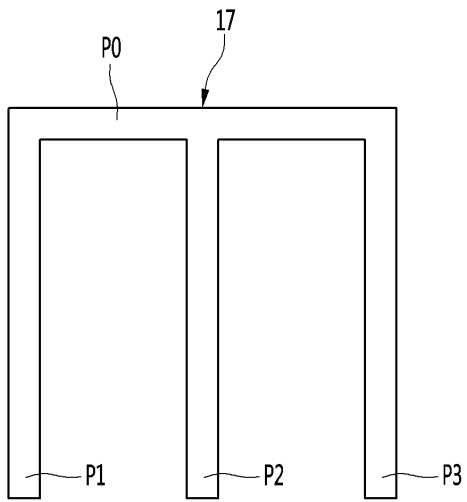
도면1



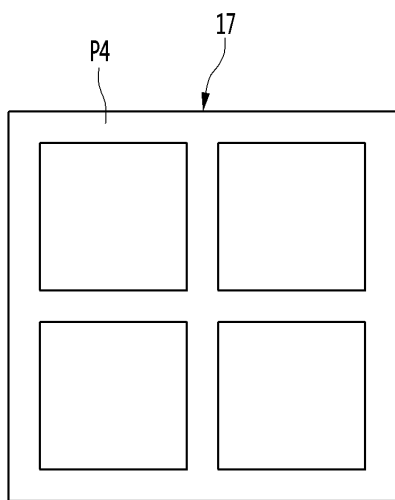
도면2



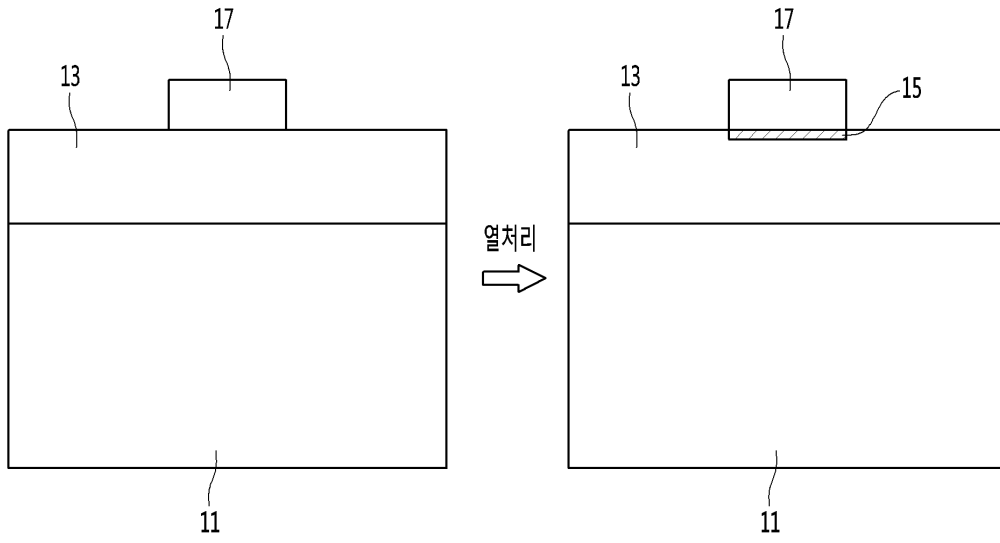
도면3



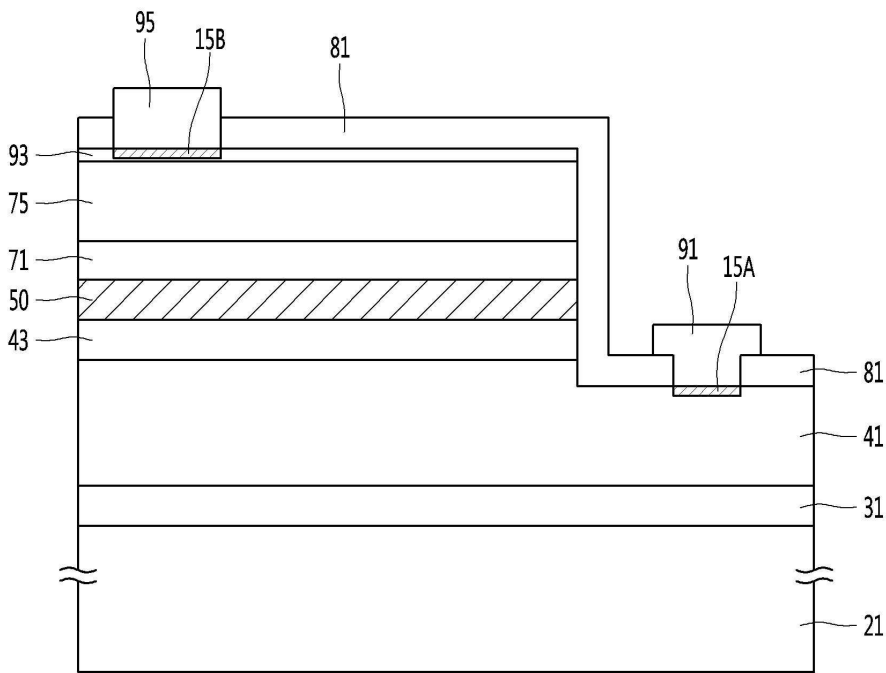
도면4



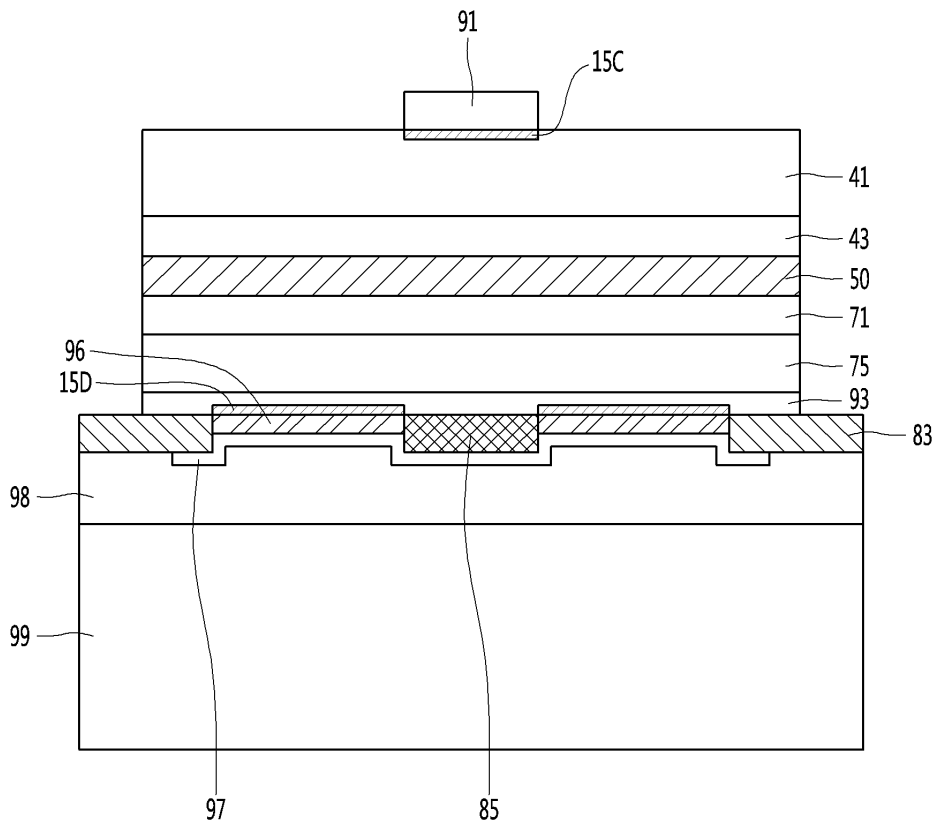
도면5



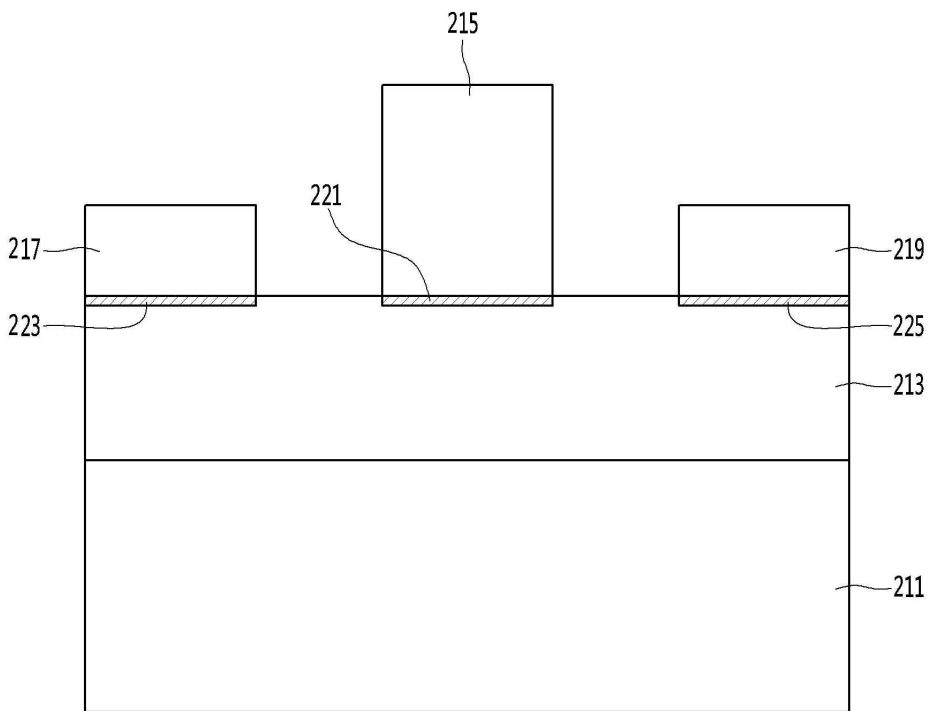
도면6



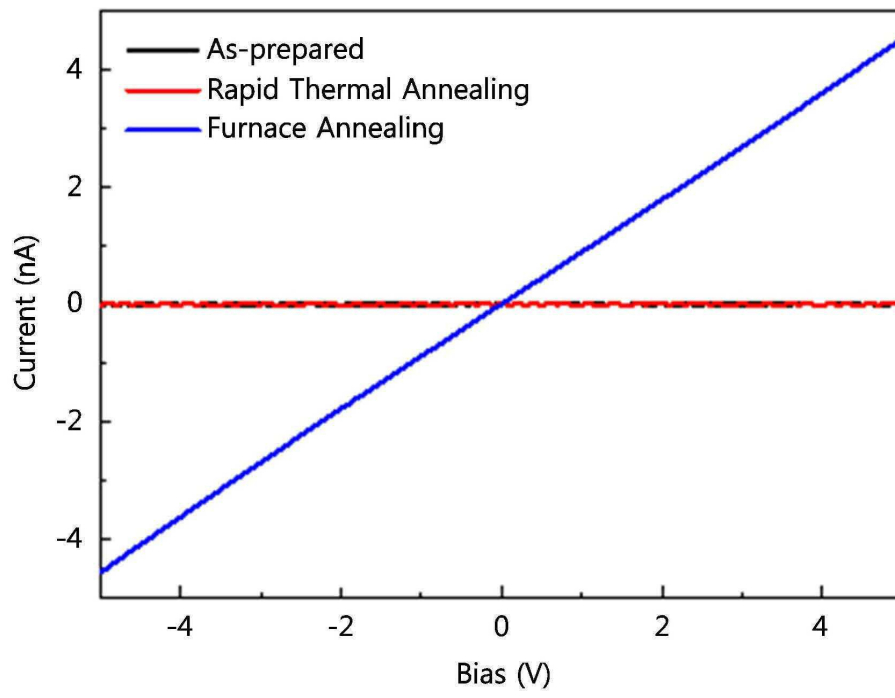
도면7



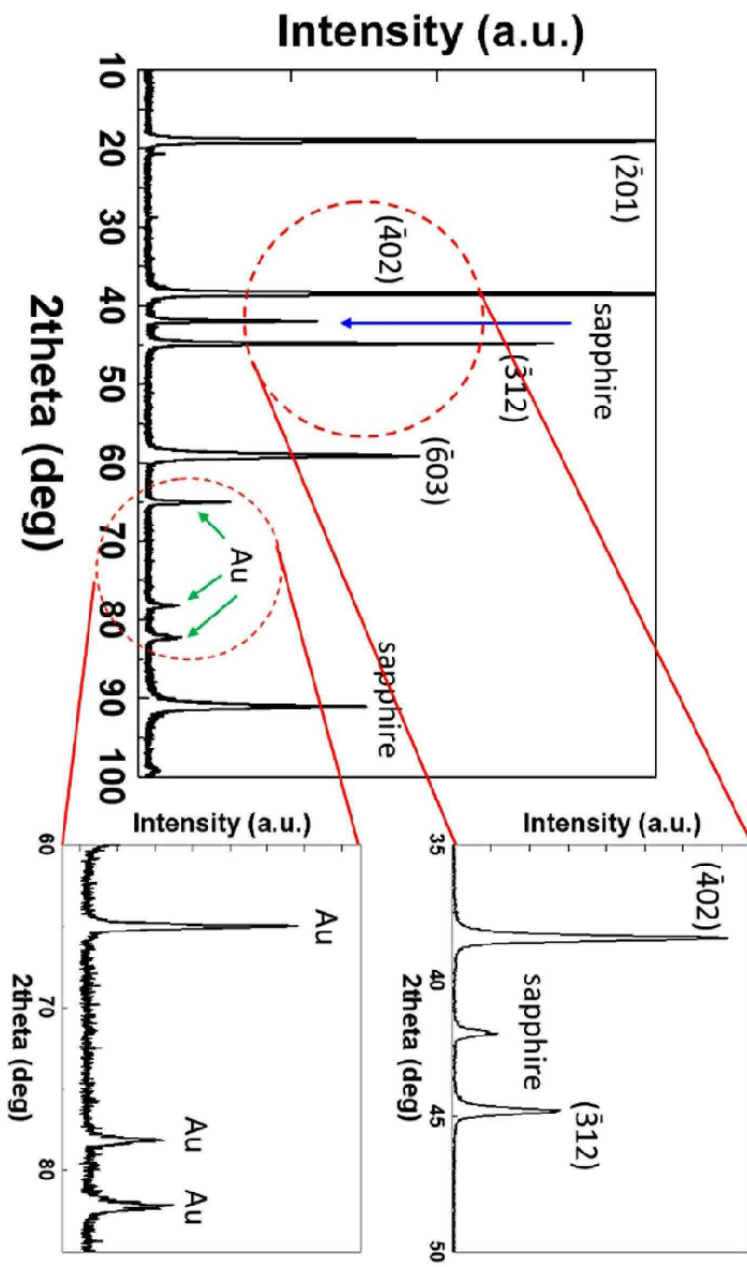
도면8



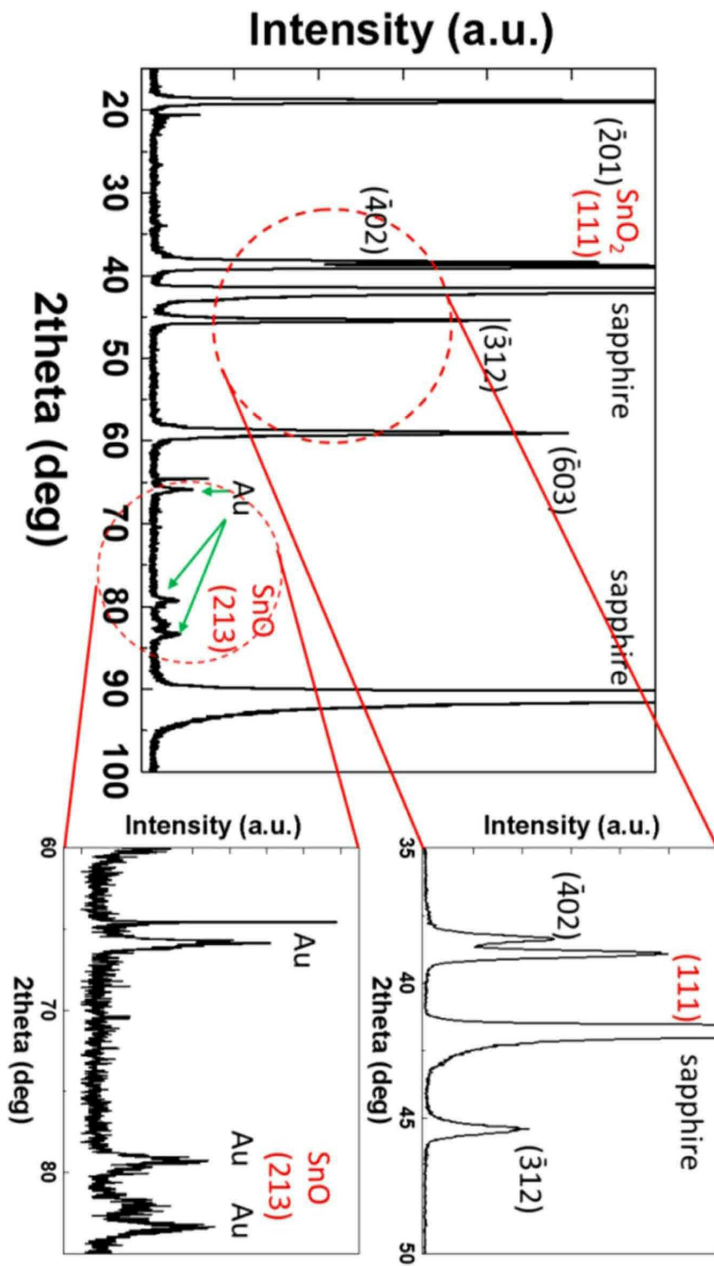
도면9



도면10



도면11



도면12

