

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G11C 11/401

(45) 공고일자 1999년02월01일
(11) 등록번호 특0164793
(24) 등록일자 1998년09월14일

(21) 출원번호	특1995-054739	(65) 공개번호	특1997-051175
(22) 출원일자	1995년12월22일	(43) 공개일자	1997년07월29일

(73) 특허권자 삼성전자주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 이철규
경기도 수원시 팔달구 지동 123-31 26통 5반
(74) 대리인 이건주

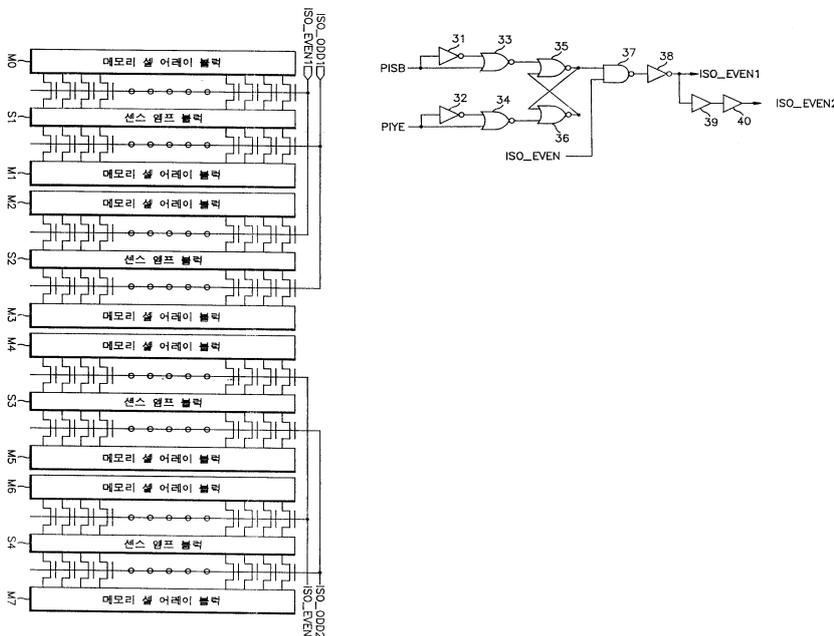
심사관 : 박형식

(54) 반도체 메모리장치의 메모리셀 어레이 블록 활성화 제어방법 및 그 회로

요약

메모리셀 어레이 블록들이 비트라인 분리게이트를 통해 인접하는 센스앰프를 상호 공유하는 반도체 메모리 장치에서 메모리셀 어레이 블록을 효율적으로 활성화시키는 제어방법 및 그 회로에 관한 것이다. 상기의 제어방법은 다수개의 비트라인들을 가지는 메모리셀 어레이 블록들과, 상기 메모리셀 어레이 블록들중 적어도 두개의 메모리셀 어레이 블록에 공유되는 센스앰프블록들을 상기 메모리셀 어레이 블록에 연결하는 분리게이트들을 가지는 반도체 메모리 장치의 분리게이트의 제어를 i) 선택된 메모리셀 어레이 블록내의 워드라인이 활성화되어 해당 메모리셀의 전위가 해당 비트라인과의 차아지 세어링 후 오프하며, ii) 상기 비트라인에 차아지 세어링된 전압을 감지증폭하고, iii) 상기 차아지 세어링된 전압을 감지증폭완료시에 상기 오프된 분리게이트를 온 제어하여 메모리셀에 리스토아 전압을 공급하도록 동작된다.

대표도



명세서

[발명의 명칭]

반도체 메모리 장치의 메모리셀 어레이 블록 활성화 제어 방법 및 그 회로

[도면의 간단한 설명]

제1도는 일반적인 반도체 메모리 장치의 주요부분에 대한 블록도.

제2도는 제1도에 도시된 메모리셀 어레이 블록들간의 비트라인과 센스앰프와의 연결부분을 나타내는 주변

회로도.

제3도는 종래의 반도체 메모리 장치의 메모리셀 어레이 블럭 활성화 제어회로도.

제4도는 종래의 비트라인 센싱 제어 타이밍도.

제5도는 본 발명에 따른 반도체 메모리 장치의 메모리셀 어레이 블럭간의 연결관계를 도시하는 도면.

제6도는 본 발명에 따른 반도체 메모리 장치의 메모리셀 어레이 블럭 활성화 제어회로도.

제7도는 본 발명에 따른 비트라인 센싱 제어 타이밍도.

제8a도 및 제8b도는 종래의 활성화 제어회로와 본 발명에 따른 활성화 제어회로 제어에 따른 전류 특성 파형도.

[발명의 상세한 설명]

본 발명은 반도체 메모리 장치의 제어회로에 관한 것으로, 특히 메모리셀 어레이 블럭들이 비트라인 분리 게이트(Isolation Gate)를 통해 인접하는 센스앰프를 상호 공유하는 반도체 메모리 장치에서 메모리셀 어레이 블럭을 효율적으로 활성화시키는 제어 방법 및 그 회로에 관한 것이다.

통상적으로 고집적화되는 반도체 메모리 장치, 특히, 다이내믹 랜덤 액세스 메모리 디바이스(Dynamic Random Access Memory device)는 고집적화를 보다 효율적으로 하기 위하여 하나의 센스앰프블럭을 이웃하는 메모리셀 어레이 블럭들이 서로 공유하여 사용토록 되어 있다. 예를들면, 다수의 메모리셀 어레이 블럭 짝수(Even)번째 메모리셀 어레이 블럭이 활성화되면 짝수번째 메모리셀 어레이 블럭과 홀수(Odd)번째 메모리셀 어레이 블럭의 사이에 위치한 센스앰프블럭을 상기 활성화된 짝수번째 메모리셀 어레이 블럭에 접속하고, 홀수(Odd)번째 메모리셀 어레이 블럭으로부터 상기 센스앰프블럭을 분리(Isolation)하도록 하는 구조로 되어 있다. 이와 반대로, 홀수번째 메모리셀 어레이 블럭이 활성화되면 메모리셀 어레이 블럭들의 사이에 위치한 센스앰프블럭을 상기 홀수번째 메모리셀 어레이 블럭에 접속하고, 이웃하는 메모리셀 어레이 블럭, 즉, 짝수번째 메모리셀 어레이 블럭을 분리하도록 동작된다. 이와 같은 반도체 메모리 장치의 구조를 살펴보면 하기 제1도와 같다.

제1도는 일반적인 반도체 메모리 장치의 주요부분에 대한 구성을 도시한 블럭 구성도를 나타낸다. 제1도에서, 도면의 참조부호 M0~M7들은 메모리셀 어레이 블럭(Memory Cell Array Block)들이며, 상기 메모리셀 어레이 블럭 M0~M7들의 사이에 위치한 참조부호 S1~S4들은 센스앰프블럭(Sense Amplifier block)들이다. 상기 메모리셀 어레이 블럭 M0~M7들 각각은 여러개의 워드라인(Word Line)과 비트라인(Bit Line)들이 서로 교차하는 구조이고, 그 교차점들에는 원-트랜지스터, 원-캐패시터의 구성을 갖는 메모리셀(Memory Cell)들이 존재한다. 상기 워드라인(Word Line)과 비트라인(Bit Line)의 갯수는 메모리의 집적도(Density)에 따라 결정된다.

칩외부로부터 입력되는 로우 어드레스(Row Address)에 의해 각 메모리셀 어레이 블럭 M0~M7중 하나의 메모리셀 어레이 블럭내에 위치한 여러개의 워드라인중 하나의 워드라인이 선택된다. 그리고, 외부로부터 칩내부로 입력되는 컬럼어드레스(Column Address)에 의해서 각각의 메모리셀 어레이 블럭 M0~M7의 컬럼 방향에 형성된 여러개의 비트라인(Bit Line)중 하나의 비트라인이 선택된다. 즉, 메모리셀 어레이 블럭 및 그 선택된 메모리셀 어레이 블럭내의 다수의 메모리셀중 적어도 하나는 로우 어드레스와 컬럼 어드레스의 입력에 의해 개별적으로 선택되는 것이다.

상기와 같은 메모리셀의 선택에 의해 외부로부터 입력되는 데이터는 메모리셀내의 스토리지 캐패시터에 저장되며, 상기 메모리셀내의 스토리지 캐패시터에 저장된 데이터는 워드라인의 선택에 의해 해당 비트라인으로 전달된다. 이때, 메모리셀 어레이 블럭내의 하나의 비트라인에는 다수의 메모리셀이 접속된다. 따라서, 메모리셀내의 스토리지 캐패시터에 비하여 상당히 큰 기생용량(Parastic Capacitance)이 비트라인에 존재하게 된다. 이러한 기생용량 성분 때문에 워드라인으로 전달되는 스토리지 캐패시터의 전위는 상기 기생용량과 전위분배(charge sharing)되어 비트라인상에는 소량의 전압만이 존재하게 되므로, 상기 비트라인의 전위를 감지증폭하기 위한 센스앰프가 필요로 하게 된다. 이러한, 기술적인 내용은 이 기술분야에 종사하는 자들에게 있어서는 매우 자명한 것이다.

제1도에 도시된 센스앰프블럭 S1~S4들은 메모리셀 어레이 블럭 M0~M7들 내의 비트라인의 전위를 감지증폭하는 센스앰프들을 다수개 가지는 회로들이다. 일반적으로 DRAM은 집적도에 따라 칩상에는 상기한 메모리셀 어레이 블럭 및 센스앰프블럭을 다수개 형성된다. 그리고, 칩의 사이즈(Chip Size)의 감소를 위해 상기 센스앰프블럭은 제1도에 도시된 것처럼 인접하는 2개의 메모리셀 어레이 블럭을 공유하는 구조가 일반적으로 상용된다. 제1도에 도시된 바와 같이 하나의 센스앰프블럭을 2개의 메모리셀 어레이 블럭에 공유하는 구조를 갖는 반도체 메모리 장치는 상기 공유된 센스앰프블럭을 이웃하는 메모리셀 어레이 블럭으로부터 연결/분리하는 분리수단이 필요로 하게 된다.

제1도에서, 메모리셀 어레이 블럭과 센스앰프블럭의 사이에 접속된 다수의 엔모오스 트랜지스터들이 센스 앰프블럭과 메모리셀 어레이 블럭을 연결 및 분리하는 센스앰프 분리게이트(혹은 분리 트랜지스터)(Isolation Gate)들이다. 이와 같은 분리게이트들은 공유된 메모리셀 어레이 블럭중 동작하는 메모리셀 어레이 블럭 M_i (여기서 i 는 0을 포함하는 자연수)와 센스앰프블럭 S_i 이 연결되도록 제어되며, 상기 분리 게이트를 제어하는 신호들은 제1도에서 ISO_EVEN, ISO_ODD로 표기되어 있다. 상기 우수 분리게이트 제어신호 혹은 기수 분리게이트 제어신호들 각각은 동시에 동작하는 모든 메모리셀 어레이 블럭 M_i 와 센스 앰프블럭 S_i 들의 사이에 접속된 모든 분리게이트들의 게이트단자들에 모두 연결되어 있음에 주의하여야 한다.

제2도는 제1도에 도시된 메모리셀 어레이 블럭들간의 비트라인과 센스앰프와의 연결부분을 나타내는 주변 회로도를 도시한 것이다. 즉, 제1도에 도시된 메모리셀 어레이 블럭 M0, M1과 센스앰프블럭 S1 및 이들 사이에 접속된 분리게이트들중 2개의 워드라인 WL1, WL2와 하나의 비트라인쌍 BL/BLB의 주변회로에 대하여 상세히 도시한 것이다.

상기 제2도에서, N10, CS1 및 N20, CS2들 각각은 메모리셀을 구성하는 액세스 트랜지스터와 스토리지 캐패시터를 나타내며, CBL1, CBL2, CBLB1, CBLB2는 비트라인쌍 BL/BLB의 기생 캐패시턴스이다. 그리고 E11~E13, E21~E23는 메모리 동작의 대기(Stand-by) 상태시 비트라인쌍 BL/BLB를 $\frac{1}{2} \cdot V_{cc}$ 의 레벨로 설정된 비트라인 프리차이지 전압 VBL의 레벨로 프리차이지하고, 등화(Equalize)하기 위한 프리차이지 및 등화용 메모스 트랜지스터들이다. 또한 제2도에 도시된 참조부호 PS1, PS2, NS1, NS2, D1, D2들은 비트라인쌍 BL/BLB의 전압을 증폭하기 위한 센스앰프를 구성하는 트랜지스터들로서, 상기 PS1, PS2는 피센스앰프, NS1, NS2는 엔센스앰프, D1, D2는 상기 피센스앰프와 엔센스앰프들을 각각 구동하기 위한 피센스앰프 드라이버 및 엔센스앰프 드라이버들이다. 상기 비트라인쌍 BL/BLB 및 입출력라인쌍 IO/IOB의 사이에 각각의 채널이 접속된 I1, I2는 컬럼선택라인 CSL의 활성화에 의해 상기 증폭된 비트라인쌍 BL/BLB의 전위를 입출력라인쌍 IO/IOB로 전달하는 컬럼선택트랜지스터들이다. 상기의 컬럼선택라인 CSL은 이미 잘 알려진 바와 같이 컬럼 어드레스의 입력에 의해 활성화된다. 끝으로, N11과 N12는 메모리셀 어레이 블록 M0의 비트라인쌍 BL/BLB와 센스앰프블럭 S0내 센싱비트라인쌍 SBL/SBLB를 연결시키는 분리게이트들이며, N21과 N22는 메모리셀 어레이 블록 M1과 센스앰프블럭 S0내의 센싱비트라인쌍 SBL/SBLB를 연결하는 분리게이트들이다. 이때, 상기 분리게이트 N11, N12들은 우수 분리게이트 제어신호 ISO_EVEN에 의해 제어되며, 분리게이트 N21, N22들은 기수 분리게이트 제어신호 ISO_ODD에 의해 제어된다.

상기 제2도와 같이 구성된 회로의 일반적인 동작은 이 기술분야에 종사하는 자들에게 있어서는 상기의 설명의 내용 만으로도 이해 가능한 것이므로, 본 발명에서는 메모리셀 어레이 블록의 활성화에 관계된 내용만이 상세히 언급될 것이다.

제3도는 제1도에 도시한 반도체 메모리 장치의 메모리셀 어레이 블록 활성화 제어회로로서, 이는 메모리 액세스 활성화 제어신호, 즉, 로우 어드레스 스트로브 신호 RASB의 활성화에 응답하여 엔센스앰프 인에이블 신호 PIS와 피센스앰프 인에이블신호 PISB를 발생하는 센스앰프제어회로와, 상기 로우 어드레스 스트로브 신호 RASB의 활성화에 의해 인에이블되며 최상위 로우 어드레스 RAdd_MSB의 상태에 따라 우수 분리게이트 제어신호 ISO_EVEN 및 기수 분리게이트 제어신호 ISO_ODD를 선택적으로 활성화 시키는 분리게이트 제어신호 발생회로로 구성된다.

제4도는 반도체 메모리 장치의 센싱동작을 나타내는 타이밍차트이다.

상기 제1도에 도시된 메모리셀 어레이 블록들 M0~M7과 센스앰프블럭들 S0~S4 및 다수의 분리게이트들의 동작을 제3도 및 제4도의 도면을 참조하여 상세히 설명한다.

지금, 제4도에 도시된 바와 같이 초기 로우 어드레스 스트로브 신호 RASB가 하이로 프리차이지 싸이클의 모드로 입력되면 인버터 I1는 이를 반전하여 로우로 천이되는 프리차이지 신호 PIR를 비반전 버퍼(Noninverted Buffer) 12의 입력노드 및 낸드게이트 22,23의 일측노드로 공급한다.

이때, 상기 인버터 I1의 출력노드에 직렬 접속된 비반전 버퍼 12, 13, 인버터 14 및 또다른 비반전 버퍼 15, 16들은 각각 로우, 하이, 하이로 천이되는 엔센스앰프 구동신호 PIS, 피센스앰프 구동신호 PISB 및 컬럼인에이블신호 PIYE를 발생한다. 여기서, 상기 비반전 버퍼들은 입력되는 신호를 지연하는 지연소자로 사용된다. 상기와 같이 발생된 엔센스앰프 구동신호 PIS, 피센스앰프 구동신호 PISB들은 제2도에 도시된 엔센스앰프 드라이버 D2의 게이트와 피센스앰프 드라이버 D1의 게이트로 공급된다. 따라서, 로우 어드레스 스트로브 신호 RASB가 하이로 입력되면 메모스 트랜지스터와 피모스 트랜지스터로 구성된 엔센스앰프 드라이버 D2 및 피센스앰프 드라이버 D1가 각각 턴오프됨으로써 센스앰프블럭 S0는 동작하지 않는다.

한편, 상기 인버터 I1로부터 로우의 상태로 출력되는 프리차이지 신호 PIR를 일측노드로 입력하는 낸드게이트 22, 23들은 각각 하이의 신호를 각각의 출력노드를 통해 출력한다. 따라서, 상기 낸드게이트 22, 23들의 출력노드에 각각 직렬 접속된 인버터 24, 26 및 25, 29들은 우수 분리게이트 제어신호 ISO_ODD와 기수 분리게이트 제어신호 ISO_EVEN를 각각 논리 하이의 상태로 출력한다. 따라서, 로우 어드레스 스트로브 신호 RASB가 프리차이지 싸이클(Precharge Cycle) 즉, 하이인 구간에서는 우수 분리게이트 제어신호 ISO_ODD와 기수 분리게이트 제어신호 ISO_EVEN들 모두가 하이의 상태로 출력되어 기수 및 우수번째의 위치에 있는 메모리셀 어레이 블록 M_i들과 모든 센스앰프블럭들 S_i이 연결되도록 동작됨을 알 수 있다.

만약, 로우 어드레스 스트로브 신호 RASB가 로우로 활성화되면 낸드게이트 22, 23들의 일측노드로 하이의 신호가 공급되어 인에이블된다. 상기와 같은 상태에서 낸드게이트 22, 23들은 최상위 로우 어드레스 신호 RAdd_MSB에 따라 출력노드로 논리 로우 혹은 하이의 신호를 출력한다. 예를들어, 최상위 로우 어드레스 RAdd_MSB가 로우로 입력되면, 선택된 메모리셀 어레이 블록 M0의 우수 분리게이트 제어신호 ISO_EVEN를 하이로 유지하고, 선택되지 않은 기수 분리게이트 제어신호 ISO_ODD를 로우로 출력하여 센스앰프블럭 S0과 메모리셀 어레이 블록 M1의 비트라인을 격리시킨다. 이때, 상기 최상위 로우 어드레스 신호 RAdd_MSB는 로우 어드레스의 최상위비트(MSB)로서 일반적으로 메모리에서 인접하는 두 메모리셀 어레이 블록이 1개의 센스앰프블럭을 공유하도록 할때 블록코딩(Block Coding), 예를들면, 다수의 메모리셀 어레이 블록 중에서 동작 블럭과 동작하지 않는 블럭을 위해서 사용되는 신호이다.

한편, 상기와 같이 로우 어드레스 스트로브 신호 RASB가 로우로 되어 인버터 I1의 출력이 하이로 되면, 프리차이지 신호 PIR은 디스에이블되며, 상기 인버터 I1의 출력에 연속하여 직렬 접속된 지연용 버퍼 13, 인버터 14 및 버퍼 16의 출력노드로부터 출력되는 엔센스앰프 구동신호 PIS, 피센스앰프 구동신호 PISB 및 컬럼인에이블신호 PIYE들은 각각 하이, 로우, 로우의 상태로 활성화된다. 상기와 같은 상태에서 메모리셀 어레이 블록 M0의 워드라인 WL10이 하이로 인에이블되며 메모리셀의 데이터가 비트라인쌍 BL/BLB으로 전달되면서 메모리셀의 스토리지 캐패시터와 비트라인쌍 BL/BLB의 기생 캐패시턴스와의 전위분배(Charge Sharing) 동작이 일어난다. 상기의 비트라인쌍 BL/BLB의 전위분배는 로우 어드레스 스트로브 신호 RASB가 활성화된 후 소정후에 상기와 같이 인에이블되는 엔센스앰프 인에이블신호 PIS 및 피센스앰프 인에이블신호 PISB에 의해 센스앰프내에서 전원전압 VDD와 접전전압 GND의 레벨로 디벨로프되어진다.

이때, 엔센스앰프 인에이블신호 PIS 및 피센스앰프 인에이블신호 PISB에 의해 활성화되는 센스앰프블럭 S0이 비트라인쌍 BL/BLB의 전압을 증폭할때 다수개의 메모리셀 어레이 블록 M0~M7이 동시에 다수개의 비

트라인쌍 BL/BLB에 기생하는 큰 기생용량을 차아지 및 디스차아지 하여야 하므로, 다이내믹 전류(Dynamic Current)가 발생한다. 또한 센스앰프블럭 S0내에서 피센스앰프를 구성하는 피모오스 트랜지스터 PS1, PS2 및 엔센스앰프를 구성하는 엔모오스 트랜지스터 NS1, NS2들이 모두 턴온상태가 되므로 단락전류(Short Current)가 발생하게 된다. 상기 단락전류는 센스앰프블럭내 트랜지스터들 PS1, PS2, NS1, NS2의 크기(Size)에 관련있지만, 비트라인쌍 BL/BLB의 큰 기생캐패시터의 영향으로 단락전류가 발생하는 시간이 길어지게 된다.

상기한 설명에서 알 수 있듯이 비트라인 센싱 동작시 다수개의 메모리셀 어레이 블럭이 동시에 동작하고, 비트라인쌍 BL/BLB의 각각의 비트라인에 존재하는 큰 기생용량에 의해서 동적전류(Dynamic Current)와 단락전류가 크게 발생되게 된다. 특히 이러한 동적전류와 단락전류는 비트라인쌍 BL/BLB의 전위를 센싱하는 초기에 집중되는 결과를 가져와 전력소모가 극대화되고 이에 의해 전원전압 VDD 및 접지전압 Vss의 잡음이 집중적으로 발생되어 다이내믹 랜덤 액세스 메모리의 성능(Performance)를 저하시키고, 불량을 유발하게 되는 문제를 야기시킨다. 또한, 상기와 같은 문제는 제1도와 같은 구성에 의하여 블럭코딩이 이루어지는 메모리셀 어레이 블럭이 증가할 수록 더욱 심화된다.

따라서, 본 발명의 목적은 다수개의 메모리셀 어레이 블럭을 가지는 반도체 메모리 장치에 있어서, 메모리셀 어레이 블럭의 효율적인 활성화 제어를 통하여 메모리셀 어레이 블럭내 비트라인쌍의 큰 기생 캐패시터에 의한 전류의 집중과 전력소모의 극대화를 방지하는 제어방법 및 회로를 제공함에 있다.

본 발명의 다른 목적은 하나의 센스앰프블럭을 적어도 두개의 메모리셀 어레이 블럭이 공유하는 구조에서 상기 메모리셀 어레이 블럭을 효율적으로 제어하여 하나의 워드라인에 의해 활성화되는 메모리셀의 비트라인의 기생 캐패시턴스에 의한 전류소모를 방지하는 제어 방법 및 회로를 제공함에 있다.

본 발명의 또다른 목적은 상기 메모리셀 어레이 블럭과 상기 센스앰프블럭을 접속하는 다수의 분리게이트의 제어를 소정의 시간차를 두고 메모리셀 어레이 블럭 단위로 스위칭함으로써 반도체 메모리 장치의 동적전류와 비트라인쌍의 단락전류를 최소화하는 메모리셀 어레이 블럭 활성화 제어방법 및 회로를 제공함에 있다.

상기의 목적을 달성하기 위한 본 발명은 메모리셀 어레이 블럭과 센스앰프블럭을 연결하는 분리게이트의 제어를 소정의 시간차를 두고 온/오프시킴으로써 달성된다.

본 발명의 원리에 따른 반도체 메모리 장치는 워드라인의 활성화에 응답하여 스토리지 캐패시터의 전위를 해당 비트라인으로 전위분배하는 메모리셀을 다수개 가지는 메모리셀 어레이 블럭들과, 상기 메모리셀 어레이 블럭중 인접하는 두 메모리셀 어레이 블럭에 공유되며 센싱인에이블신호의 활성화에 응답하여 상기 비트라인의 전위를 감지증폭하는 센스앰프들을 다수개 포함하는 센스앰프블럭들과, 상기 메모리셀 어레이 블럭과 센스앰프블럭의 사이에 각각 접속되며 분리제어신호의 입력에 의해 스위칭 제어되는 다수의 분리게이트들과, 로우 어드레스 스트로브 신호의 활성화에 응답하여 상기 센싱인에이블신호 및 컬럼 인에이블신호를 순차적으로 발생함과 동시에 블럭코딩된 로우 어드레스에 대응하여 상기 센스앰프블럭들의 우수 혹은 기수번째에 위치한 메모리셀 어레이와 상기 센스앰프블럭의 사이에 위치한 분리게이트를 활성화 시키기 위한 스위칭신호를 발생하는 메모리셀 어레이 블럭 선택회로와, 상기 센싱인에이블신호의 입력에 응답하여 상기 활성화된 스위칭제어신호를 상기 우수번째 혹은 기수번째 메모리셀 어레이 블럭과 상기 센스앰프블럭의 사이에 위치한 분리게이트를 턴온시키고 상기 컬럼인에이블신호의 활성화에 응답하여 상기 분리게이트를 턴오프시키는 메모리셀 어레이 블럭 활성화 제어회로를 구비함을 특징으로 한다.

이하 본 발명에 따른 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명한다. 본 발명의 실시예에 관한 도면에서 전술한 도면상의 구성요소와 실질적으로 동일한 구성과 기능을 가진 것들에는 그것들과 동일한 참조부호를 사용할 것이다.

제5도는 본 발명에 따른 반도체 메모리 장치의 메모리셀 어레이 블럭간의 연결 관계를 도시하는 도면으로서, 메모리셀 어레이 블럭 M0~M7들이 제1우수, 제2기수 분리게이트 제어신호 ISO_EVEN1, ISO_ODD1 및 제2우수, 제2기수 분리게이트 제어신호 ISO_EVEN2, ISO_ODD2에 의해 선택적으로 활성화되도록 구성되어 있다.

예를들면, 메모리셀 어레이 블럭 M0, M2과 센스앰프블럭 S1, S2의 사이에 접속된 분리게이트들과 메모리셀 어레이 블럭 M4, M6과 센스앰프블럭 S3, S4의 사이에 접속된 분리게이트들 각각은 제1, 제2우수 분리게이트 제어신호 ISO_EVEN1, ISO_EVEN2의 활성화에 응답하여 턴온되어 상기 메모리셀 어레이 블럭 M0, M2, M4, M6들을 활성화시킨다. 그리고, 메모리셀 어레이 블럭 M1, M3과 센스앰프블럭 S1, S2의 사이에 접속된 분리게이트들과 메모리셀 어레이 블럭 M4, M7과 센스앰프블럭 S3, S4의 사이에 접속된 분리게이트들 각각은 제1, 제2기수 분리게이트 제어신호 ISO_ODD1, ISO_ODD2의 활성화에 응답하여 턴온되어 상기 메모리셀 어레이 블럭 M1, M3, M5, M7들을 활성화시킨다. 이때, 본 발명에 따라 발생하는 기수 혹은 우수에 따른 제1, 제2분리게이트 제어신호들은 제1분리게이트 제어신호가 먼저 활성화된 후 제2분리 게이트 제어신호가 활성화되어져 전류의 소모를 분산하도록 동작되며, 이는 후술하는 설명에 의해 자명하게 이해될 것이다.

제6도는 본 발명에 따른 반도체 메모리 장치의 메모리셀 어레이 블럭 활성화 제어회로도로서, 하나의 분리게이트 제어신호 ISO_X(여기서, X는 EVEN 혹은 ODD를 의미함)을 입력하여 제1, 제2분리게이트 제어신호 ISO_X1, ISO_X2를 발생하는 회로의 구성을 나타낸 것이다. 본 발명의 설명에서는 설명의 간편화를 위해 제5도에 도시된 제1, 제2우수 분리게이트 제어신호 ISO_EVEN1, ISO_EVEN2가 발생하는 관계의 구성만을 설명할 것이며, 제1, 제2기수 분리게이트 제어신호 ISO_ODD1, ISO_ODD2가 발생하는 회로의 구성도 동일한 방법으로 구현될 것임에 유의 바란다.

제6도에 도시된 인버터 31, 노아게이트 33 및 인버터 32, 노아게이트 34들로 각각 구성된 회로들은 피센스앰프 인에이블신호 PISB 및 컬럼인에이블신호 PIYE의 하강에지에 각각 응답하여 하이펄스를 발생하는 펄스 발생기들이다. 노아게이트 35, 36들은 S-R 래치로서 피센스앰프 인에이블 신호의 하강에지에 따른 펄스에 응답하여 세트되고, 컬럼 인에이블신호 PIYE의 하강에지에서 발생하는 하이펄스에 응답하여 리셋된다. 그리고, 우수 분리게이트 제어신호 ISO_EVEN는 전술한 제3도의 구성에 의해 발생하는 제어신호

다. 따라서, 상기 래치회로의 출력노드와 상기 우수 분리게이트 제어신호 ISO_EVEN에 두 입력노드가 접속된 낸드게이트 37 및 이의 출력노드에 접속된 인버터 38는 상기 래치회로가 세트되고 상기 우수 분리게이트 제어신호 ISO_EVEN가 활성화되었을 때 제1우수 분리게이트 제어신호 ISO_EVEN1을 활성화 시킨다. 그리고, 상기 인버터 38의 출력노드에 입력노드가 접속된 버퍼 39, 40은 상기 제1우수 분리게이트 제어신호 ISO_EVEN1를 소정 지연하여 제2우수 분리게이트 제어신호 ISO_EVEN2를 활성화시킨다.

제7도는 본 발명에 따른 비트라인 센싱 제어 타이밍도로서, 이는 메모리셀 어레이 블록과 센스앰프블럭의 사이에 접속된 분리게이트가 순차적으로 온/오프 제어되어 전류의 소모를 줄이는 과정을 도시한 것이다. 즉, 로우 어드레스 스트로브 신호 RASB가 활성화되었을 때 블럭코딩정보에 의해 제1, 제2우수 분리게이트 제어신호 ISO_EVEN1, ISO_EVEN2들이 활성화되어 우수번째 메모리셀 어레이 블록과 센스앰프블럭의 사이에 접속된 분리게이트가 턴온되며, 피센스앰프 인에이블신호 PISB의 활성화에 의해 상기 분리게이트를 오프하여 센싱동작이 이루어지게 한 것이다.

이하, 본 발명에 따른 바람직한 실시예의 동작을 제2도, 제3도 및 제7도에 도시된 타이밍 차트를 참조하여 본 발명의 동작을 상세히 설명하기 위하여, 제6도에 도시된 R-S래치회로 35, 36은 로우 어드레스 스트로브 신호 RASB가 활성화 되었을 때 최종적으로 로우의 상태로 출력되는 컬럼인에이블신호 PIYE에 의해 리세트되어 논리 하이로 출력하는 상태라 가정하여 설명한다.

지금, 제7도에 도시한 바와 같이 로우 어드레스 스트로브 신호 RASB가 로우로 활성화되면 제3도에 설명한 바와 같이 블럭코딩정보(최상위 로우 어드레스 정보 RAdd_MSB)에 따라 우수 분리게이트 제어신호 ISO_EVEN 혹은 기수 분리게이트 제어신호 ISO_ODD중 하나의 신호가 논리 하이의 상태로 활성화된다. 예를 들어, 우수 분리게이트 제어신호 ISO_EVEN가 논리 하이의 상태로 활성화되었다면 낸드게이트 37는 래치회로의 리세트신호에 의해 논리 로우의 신호를 인버터 38로 출력한다. 따라서, 제3도와 같은 구성에 의해 우수 분리게이트 제어신호 ISO_EVEN가 활성화된 경우, 인버터 38에 의해 제1우수 분리게이트 제어신호 ISO_EVEN1가 제7도와 같이 하이로 활성화되며, 소정시간 지연 후에는 버퍼 40의 출력노드로부터 출력되는 제2우수 분리게이트 제어신호 ISO_EVEN2도 제7도와 같이 하이의 상태로 활성화된다. 따라서, 제5도의 구성에서, 메모리셀 어레이 블록 M0, M2와 센스앰프블럭 S1, S2의 사이에 접속된 엔모오스 트랜지스터들, 즉 다수의 분리게이트들과 메모리셀 어레이 블록 M4, M6과 센스앰프블럭 S3, S4의 사이에 접속된 분리게이트들이 모두 턴온되어 메모리셀 어레이 블록 M0, M1과 M4, M6들이 순차적으로 센스앰프블럭 S1, S2 및 S3, S4들에 순차적으로 접속된다.

상기와 같은 상태에서 로우 어드레스 신호의 입력에 의해 선택된 메모리셀 어레이 블록 Mi내의 워드라인 WL1이 하이로 활성화되면 해당 메모리셀내의 스토리지 캐패시터의 전위는 비트라인쌍 BL/BLB의 기생캐패시터와 전위분배(charge Sharing)의 동작이 발생되어 해당 비트라인쌍 BL/BLB의 전위는 제7도와 같이 된다. 이때, 상기 비트라인쌍 BL/BLB으로 전위분배된 전위는 해당 분리게이트의 채널을 통하여 센스앰프블럭내의 센싱비트라인 SBL/SBLB상으로 전달된다. 상기와 같이 해당 메모리셀의 스토리지 캐패시터에 저장된 전위와 비트라인쌍 BL/BLB간의 전위분배 동작이 일어난 후, 전술한 제3도의 회로의 회로에 의해 엔센스앰프 인에이블 신호 PIS와 피센스앰프 인에이블 신호 PISB가 하이와 로우의 상태로 각각 활성화되면 센스앰프블럭 S1내의 엔센스앰프와 피센스앰프가 활성화되어 비트라인쌍 BL/BLB, 즉, 센싱비트라인쌍 SBL/SBLB으로 전달된 전위분배전압(Charge sharing voltage)을 감지증폭하게 된다.

이때, 제6도에 도시된 인버터 31와 노아게이트 33은 상기 센스앰프블럭 Si내 피센스앰프를 인에이블시키는 피센스 인에이블신호 PISB의 하강에지를 검출하여 노아게이트 35, 36으로 구성된 래치회로를 세트하여 그 출력을 로우로 한다. 상기 래치회로의 출력이 로우로 세트되면 노아게이트 37의 출력이 하이로 천이되어 짐으로써 제1, 제2우수 분리게이트 제어신호 ISO_EVEN1, ISO_EVEN2들은 제7도에 도시된 바와 같이 순차적으로 로우로 되어 메모리셀 어레이 블록 M0, M2와 센스앰프블럭 S1, S2사이의 분리게이트와 메모리셀 어레이 블록 M4, M6와 센스앰프블럭 S3, S4사이의 분리게이트들을 턴오프시키며 활성화된 메모리셀 어레이 블록 Mi들의 비트라인쌍 BL/BLB들과 센스앰프블럭 Si를 격리시킨다.

상기의 동작은 센스앰프S1가 비트라인의 기생캐패시터를 차아지 및 디스차아지 할 필요가 없게 되므로 센싱 초기의 동전류(Dynamic Current)가 없게 되고, 센싱앰프 S1의 쇼트 전류만 존재하게 되고, 상기 쇼트 전류 또한 센스앰프의 감지시간이 짧아져 상당히 줄어들게 된다. 상기 동작에 따르면 비트라인쌍 BL/BLB는 전위분배전압만을 유지하고, 센싱앰프블럭 S1의 센싱비트라인쌍 SBL/SBLB는 센싱앰프의 증폭동작에 의해 전원전압 VDD와 접지전압 VSS의 레벨이 되므로 감지증폭된 데이터를 메모리셀로 리스토어(Restore)할 필요가 있게 된다. 따라서 상기 제1, 제2우수 분리게이트 제어신호 ISO_EVEN1, ISO_EVEN2들은 일정 시간 후에 다시 하이로 활성화되어야 한다. 이와 같은 동작은 제3도의 회로로부터 발생하는 컬럼 인에이블 신호 PIYE의 로우 활성화에 의해 래치회로가 리세트됨으로써 실행된다. 이때에는 다시 비트라인쌍 BL/BLB의 기생용량에 차아지/디스차아지를 위한 동전류가 발생하게 된다. 이러한, 동적전류는 제1, 제2우수 분리게이트 제어신호 ISO_EVEN1, ISO_EVEN2의 하이로 천이되는 시점을 순차적으로 천이시킴으로서 분산된다. 즉, 제7도에 도시된 바와 같이 제1우수 분리게이트 제어신호 ISO_EVEN1이 하이로 된 후 일정 지연후에 제2우수 분리게이트 제어신호 ISO_EVEN2가 하이로 되면 전체 메모리셀 어레이 블록이 시간차를 두고 동작하게 되므로 동전류가 분산되는 것이다. 이러한 동작은 제6도에 도시된 인버터 38 및 지연소자용 버퍼 39, 40의 동작에 의해 이루어진다.

따라서, 제5도 및 제6도와 같이 구성되는 본 발명의 구성에 의해 메모리셀의 데이터를 센싱시, 비트라인의 기생 캐패시터와의 로딩에 의한 차아지 및 디스차아지에 따른 피이크 전류를 최소화할 수 있어 전원의 효율 및 데이터 액세스시의 에러를 최소화할 수 있게 된다.

제8a도 및 제8b도는 본 발명과 종래의 기술에 의한 메모리셀 어레이 블록 센싱시의 전류 분포를 보여주는 시뮬레이션(Simulation) 결과이다. 제8a도, 제8b도에 의하면, 본 발명에 따른 전류 피이크 레벨 및 분포가 종래에 비하여 50% 가량 줄어들고, 전류가 분산되어져 있음을 알 수 있다. 상기의 시뮬레이션 결과는 제한된 수의 메모리셀 어레이만 모델링한 것으로, 전체 메모리 블록에 적용시 더 나은 개선효과를 얻을 수 있다. 또, 상기의 설명은 분리게이트 제어신호를 2개로 분리하여 제어하였지만 메모리셀 어레이 블록에 따라 여러개로 분리할 경우 보다 큰 개선효과가 나타남을 쉽게 알 수 있다.

상술한 바와 같이 본 발명은 메모리셀 어레이 블럭과 센스앰프블럭을 연결하는 분리게이트 제어를 통해 전류 소모의 감소와 전류 분산 전원노이즈 감소를 꾀할 수 있는 이점이 있게 된다.

(57) 청구의 범위

청구항 1

워드라인의 활성화에 응답하여 스토리지 캐패시터의 전위를 해당 비트라인으로 전위분배하는 메모리셀을 다수개 가지는 다수의 메모리셀 어레이 블럭들과, 상기 다수의 메모리셀 어레이 블럭중 인접하는 두 메모리셀 어레이 블럭에 공유되며 센싱인에이블신호의 활성화에 응답하여 상기 비트라인의 전위를 감지증폭하는 센스앰프들을 다수개 포함하는 센스앰프블럭들과, 다수의 메모리셀 어레이 블럭과 다수의 센스앰프블럭의 사이에 각각 접속되며 분리제어신호의 입력에 의해 스위칭 제어되는 다수의 분리 게이트들을 가지는 반도체 메모리 장치의 메모리셀 어레이 블럭 활성화 제어 방법에 있어서, 메모리 액세스 활성화 제어신호의 입력에 응답하여 상기 다수의 메모리셀 어레이 블럭들중 우수번째 혹은 기수번째의 메모리셀 어레이 블럭과 인접하는 센스앰프에 접속된 분리게이트들을 인에이블하는 분리게이트선택과정과, 메모리 액세스 활성화 제어신호의 입력에 응답하여 워드라인을 활성화하여 해당 워드라인에 접속된 메모리셀과 해당 비트라인과의 차이지 세어링을 시행함과 동시에 상기 선택된 분리게이트를 디스에이블하는 분리게이트 디스에이블과정과, 상기 선택된 메모리셀 어레이 블럭에 대응하는 센스앰프블럭을 인에이블시켜 상기 차이지 세어링된 전압을 감지증폭하는 비트라인 센싱과정으로 이루어짐을 특징으로 하는 반도체 메모리 장치의 메모리셀 어레이 블럭 활성화 제어방법.

청구항 2

제1항에 있어서, 상기 센싱인에이블 신호 보다 더 지연되어 활성화되는 컬럼 인에이블신호에 응답하여 상기 디스에이블된 분리게이트를 인에이블하여 상기 감지증폭된 전압을 상기 선택된 메모리셀의 리스토아 전압으로 공급하는 리스토아 전압 공급과정을 더 포함함을 특징으로 하는 반도체 메모리 장치의 메모리셀 어레이 블럭 활성화 제어방법.

청구항 3

제1항 또는 제2항에 있어서, 상기 우수번째 혹은 기수번째의 메모리셀 어레이 블럭과 인접하는 센스앰프에 접속된 분리게이트들을 순차적으로 인에이블되고 디스에이블함을 특징으로 하는 반도체 메모리 장치의 메모리셀 어레이 블럭 활성화 제어방법.

청구항 4

반도체 메모리 장치에 있어서, 워드라인의 활성화에 응답하여 스토리지 캐패시터의 전위를 해당 비트라인으로 전위분배하는 메모리셀을 다수개 가지는 메모리셀 어레이 블럭들과, 상기 메모리셀 어레이 블럭중 인접하는 두 메모리셀 어레이 블럭에 공유되며 센싱인에이블신호의 활성화에 응답하여 상기 비트라인의 전위를 감지증폭하는 센스앰프들을 다수개 포함하는 센스앰프블럭들과, 상기 메모리셀 어레이 블럭과 센스앰프블럭의 사이에 각각 접속되며 분리제어신호의 입력에 의해 스위칭 제어되는 다수의 분리 게이트들과, 로우 어드레스 스트로브 신호의 활성화에 응답하여 상기 센싱인에이블신호 및 컬럼 인에이블신호를 순차적으로 발생함과 동시에 블럭코딩된 로우 어드레스에 대응하여 상기 센스앰프블럭들의 우수 혹은 기수번째에 위치한 메모리셀 어레이와 상기 센스앰프블럭의 사이에 위치한 분리게이트를 활성화시키기 위한 스위칭신호를 발생하는 메모리셀 어레이 블럭 선택회로와, 상기 센싱인에이블신호의 입력에 응답하여 상기 활성화된 스위칭제어신호를 상기 우수번째 혹은 기수번째의 메모리셀 어레이 블럭과 상기 센스앰프블럭의 사이에 위치한 분리게이트를 턴온시키고 상기 컬럼인에이블신호의 활성화에 응답하여 상기 분리게이트를 턴오프시키는 메모리셀 어레이 블럭 활성화 제어회로를 구비함을 특징으로 하는 반도체 메모리 장치의 메모리셀 어레이 블럭 활성화 제어회로.

청구항 5

제4항에 있어서, 상기 다수의 메모리셀 어레이 블럭들과 다수의 센스앰프블럭들 사이에 각각 접속된 다수의 분리게이트들 각각은 적어도 제1, 제2우수 분리게이트 제어신호 및 제1, 제2기수 분리게이트 제어신호의 활성화에 각각 응답하여 인에이블되는 분리게이트들로 구별됨을 특징으로 하는 반도체 메모리 장치의 메모리셀 어레이 블럭 활성화 제어회로.

청구항 6

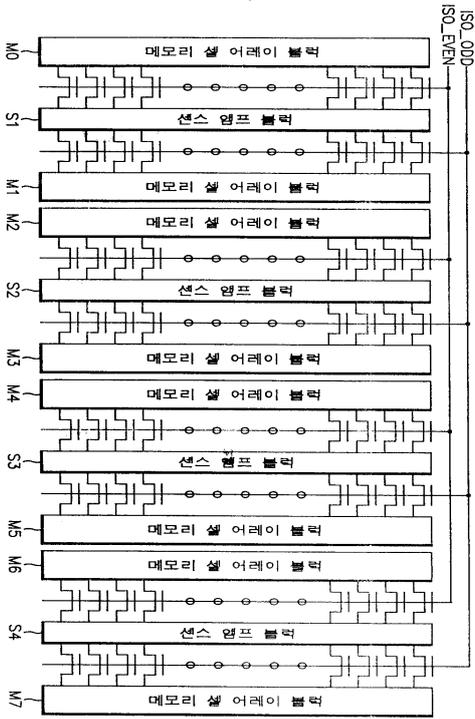
제4항에 있어서, 상기 메모리셀 어레이 블럭 선택회로는, 메모리 액세스 활성화 제어신호에 응답하여 센스앰프 인에이블신호와 컬럼인에이블 신호를 순차적으로 발생하는 센스앰프제어회로와, 상기 메모리 액세스 활성화 제어신호에 의해 인에이블되며 최상위 로우 어드레스의 상태에 따라 우수 분리게이트 제어신호 및 기수 분리게이트 제어신호를 선택적으로 활성화시키는 분리게이트 제어신호 발생회로로 구성함을 특징으로 하는 반도체 메모리 장치의 메모리셀 어레이 블럭 활성화 제어회로.

청구항 7

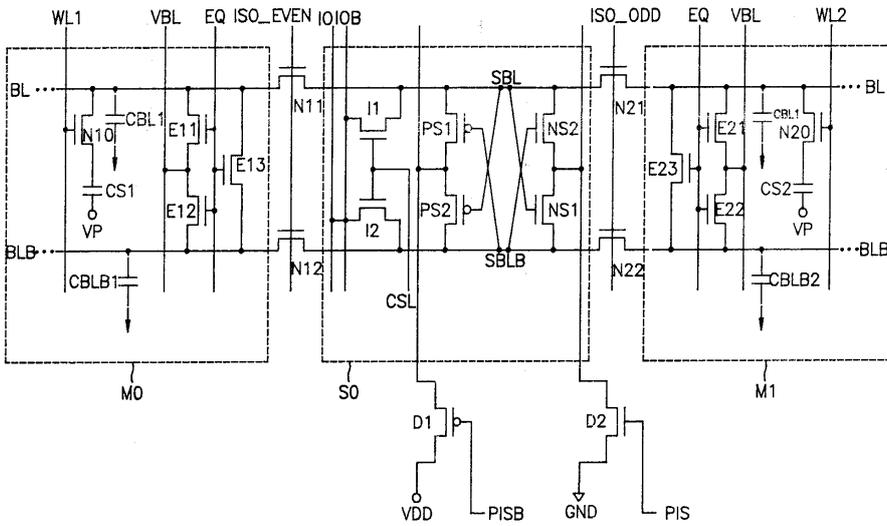
제5항 또는 제6항에 있어서, 상기 메모리셀 어레이 블럭 활성화 제어회로는, 상기 센싱인에이블신호의 입력에 응답하여 세트되고, 상기 컬럼 인에이블 신호의 입력에 응답하여 리세트되는 래치회로와, 상기 리세트신호의 입력에 의해 인에이블되어 상기 우수 및 기수 분리게이트 제어신호의 활성화에 대응하는 제1, 제2우수 및 제1, 제2기수 분리게이트를 각각 발생하고 상기 세트에 응답하여 상기 발생된 분리게이트 제어신호를 디스에이블하는 제2게이트 제어신호 발생회로로 구성함을 특징으로 하는 반도체 메모리 장치의 메모리셀 어레이 블럭 활성화 제어회로.

도면

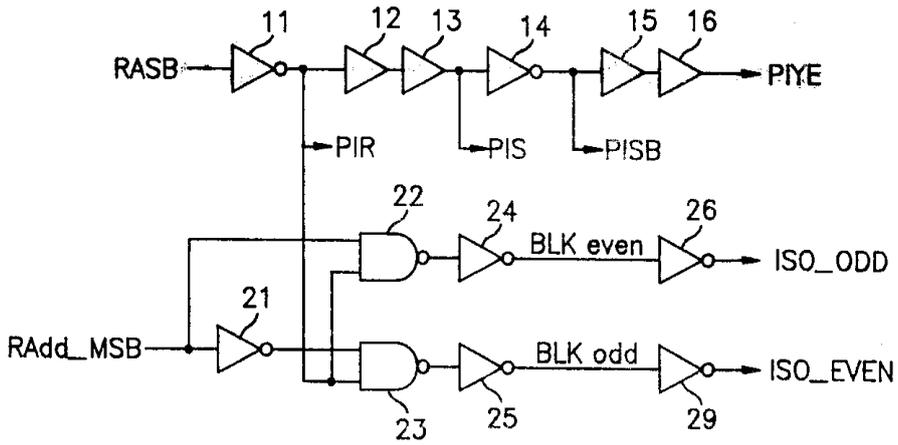
도면1



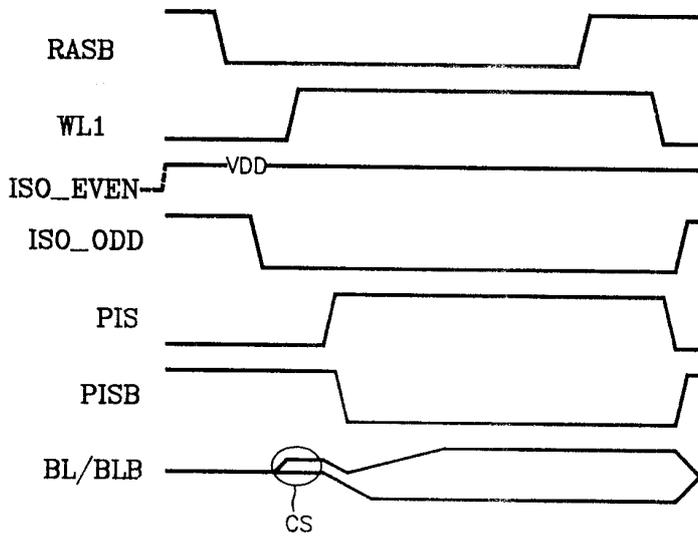
도면2



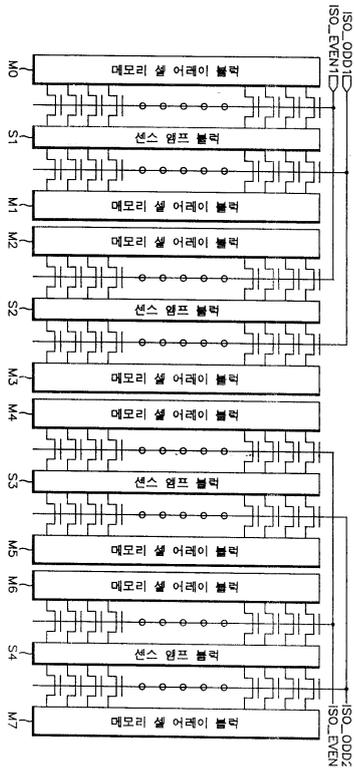
도면3



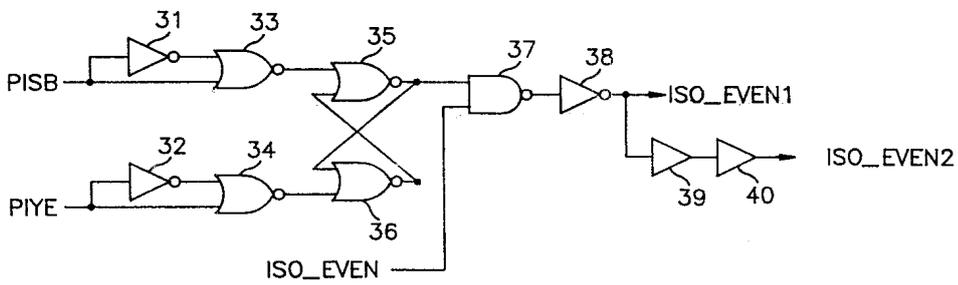
도면4



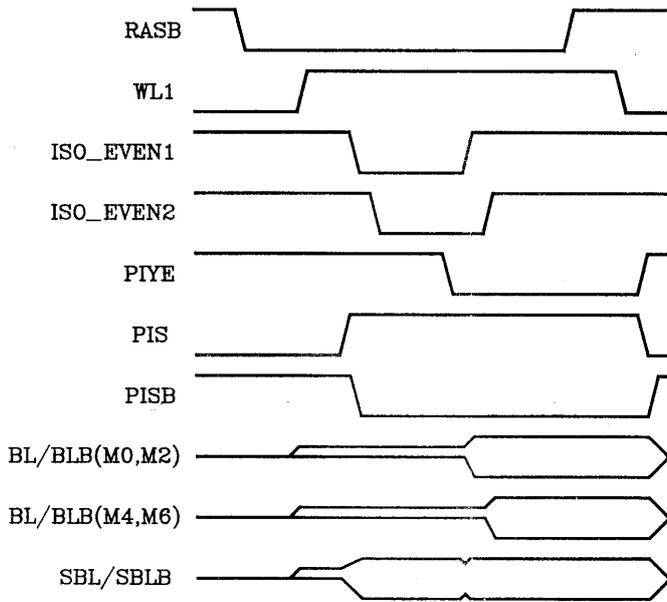
도면5



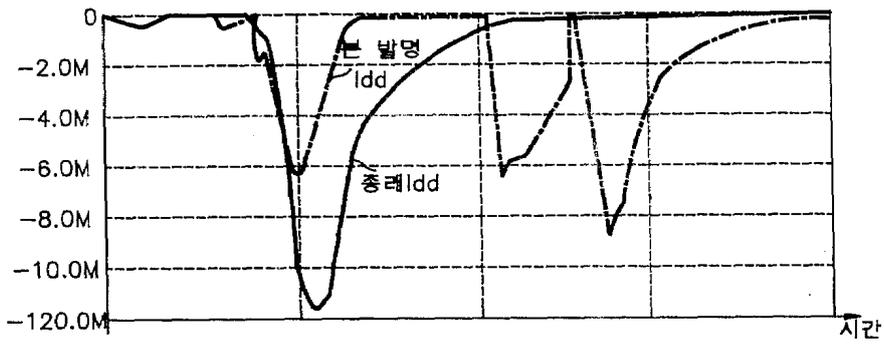
도면6



도면7



도면8a



도면8b

