



(12)发明专利

(10)授权公告号 CN 103928333 B

(45)授权公告日 2019.03.12

(21)申请号 201310013932.5

(22)申请日 2013.01.15

(65)同一申请的已公布的文献号  
申请公布号 CN 103928333 A

(43)申请公布日 2014.07.16

(73)专利权人 中国科学院微电子研究所  
地址 100083 北京市朝阳区北土城西路3号

(72)发明人 朱慧珑

(74)专利代理机构 中科专利商标代理有限责任  
公司 11021

代理人 倪斌

(51) Int. Cl.

H01L 21/336(2006.01)

H01L 29/78(2006.01)

H01L 29/10(2006.01)

(56)对比文件

US 2006/0244051 A1, 2006.11.02,

CN 102157554 A, 2011.08.17,

US 2009/0267155 A1, 2009.10.29,

审查员 郑钰

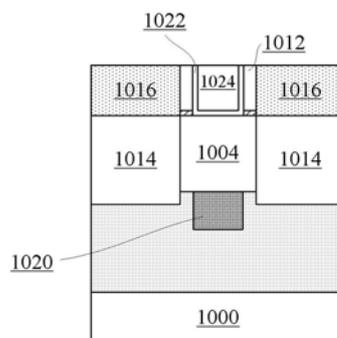
权利要求书2页 说明书6页 附图9页

(54)发明名称

半导体器件及其制造方法

(57)摘要

本申请公开了一种半导体器件及其制造方法。一示例器件可以包括：在衬底上形成的鳍状结构；在衬底上形成的隔离层，该隔离层露出鳍状结构的一部分，鳍状结构的露出部分用作该半导体器件的鳍；以及在隔离层上形成的与鳍相交的栅堆叠，其中，仅在鳍与栅堆叠相交的部分下方的区域中形成有穿透阻挡部。



1. 一种制造半导体器件的方法,包括:
  - 在衬底上形成鳍状结构;
  - 在衬底上形成隔离层,隔离层露出鳍状结构的一部分,鳍状结构的露出部分用作该半导体器件的鳍;
  - 在隔离层上形成牺牲栅导体层,所述牺牲栅导体层经由牺牲栅介质层与鳍状结构相交;
  - 在牺牲栅导体层的侧壁上形成栅侧墙;
  - 在隔离层上形成电介质层,并对电介质层进行平坦化,以露出牺牲栅导体层;
  - 选择性地去除牺牲栅导体层,从而在栅侧墙内侧形成栅槽;
  - 经由栅槽,在鳍下方的区域中形成穿通阻挡部;以及
  - 在栅槽中形成栅导体。
2. 根据权利要求1所述的方法,其中,形成穿通阻挡部包括:
  - 对于n型器件,经由栅槽注入p型掺杂剂;和/或
  - 对于p型器件,经由栅槽注入n型掺杂剂。
3. 根据权利要求1所述的方法,其中,形成隔离层包括:
  - 在衬底上淀积电介质材料;
  - 通过溅射对电介质材料进行平坦化;以及
  - 对电介质材料进行回蚀,以露出鳍状结构的一部分。
4. 根据权利要求1所述的方法,其中,在形成栅侧墙之后且在形成电介质层之前,该方法还包括:
  - 以栅侧墙和牺牲栅导体层为掩模,对鳍状结构进行选择刻蚀;以及
  - 外延生长半导体层,用以形成源、漏区。
5. 根据权利要求4所述的方法,还包括:在外延生长半导体层同时,对该半导体层进行原位掺杂。
6. 根据权利要求4所述的方法,其中,对于p型器件,半导体层带压应力;而对于n型器件,半导体层带拉应力。
7. 根据权利要求1所述的方法,其中,
  - 在形成穿通阻挡部之后,该方法还包括:选择性去除牺牲栅介质层,以及
  - 在形成栅导体之前,该方法还包括:在栅槽中形成栅介质层。
8. 一种半导体器件,包括:
  - 在衬底上形成的鳍状结构;
  - 在衬底上形成的隔离层,该隔离层露出鳍状结构的一部分,鳍状结构的露出部分用作该半导体器件的鳍;以及
  - 在隔离层上形成的与鳍相交的栅堆叠,
  - 其中,仅在鳍与栅堆叠相交的部分下方的区域中形成有与栅堆叠自对准的穿通阻挡部,所述穿通阻挡部经由替代栅技术形成的替代栅槽进行离子注入来形成。
9. 根据权利要求8所述的半导体器件,还包括:在鳍的相对侧面上形成的半导体层,在该半导体层中形成半导体器件的源/漏区。
10. 根据权利要求9所述的半导体器件,其中,对于p型器件,半导体层带压应力;而对于

n型器件,半导体层带拉应力。

11. 根据权利要求10所述的半导体器件,其中,衬底包括Si,鳍与衬底一体,半导体层包括SiGe或Si:C。

12. 根据权利要求8所述的半导体器件,其中,衬底中包括阱区,并且穿通阻挡部的掺杂类型与所述阱区的掺杂类型相同,并且掺杂浓度高于阱区的掺杂浓度。

## 半导体器件及其制造方法

### 技术领域

[0001] 本公开涉及半导体领域,更具体地,涉及一种半导体器件及其制造方法。

### 背景技术

[0002] 随着平面型半导体器件的尺寸越来越小,短沟道效应愈加明显。为此,提出了立体型半导体器件如FinFET(鳍式场效应晶体管)。一般而言,FinFET包括在衬底上竖直形成的鳍以及与鳍相交的栅堆叠。另外,衬底上形成有隔离层,以隔离栅堆叠与衬底。因此,鳍的底部被隔离层所包围,从而栅难以有效控制鳍的底部。结果,易于出现源和漏之间经由鳍底部的漏电流。

[0003] 通常,可以采用穿通阻挡部(PTS)来减小这种漏电流。但是,这种PTS的引入增大了带间泄漏(band-to-band leakage)和结泄漏。

### 发明内容

[0004] 本公开的目的至少部分地在于提供一种半导体器件及其制造方法。

[0005] 根据本公开的一个方面,提供了一种制造半导体器件的方法,包括:在衬底上形成鳍状结构;在衬底上形成隔离层,隔离层露出鳍状结构的一部分,鳍状结构的露出部分用作该半导体器件的鳍;在隔离层上形成牺牲栅导体层,所述牺牲栅导体层经由牺牲栅介质层与鳍状结构相交;在牺牲栅导体层的侧壁上形成栅侧墙;在隔离层上形成电介质层,并对电介质层进行平坦化,以露出牺牲栅导体层;选择性地去除牺牲栅导体层,从而在栅侧墙内侧形成栅槽;经由栅槽,在鳍下方的区域中形成穿通阻挡部;以及在栅槽中形成栅导体。

[0006] 根据本公开的另一方面,提供了一种半导体器件,包括:在衬底上形成的鳍状结构;在衬底上形成的隔离层,该隔离层露出鳍状结构的一部分,鳍状结构的露出部分用作该半导体器件的鳍;以及在隔离层上形成的与鳍相交的栅堆叠,其中,仅在鳍与栅堆叠相交的部分下方的区域中形成有穿通阻挡部。

[0007] 根据本发明的示例性实施例,所形成的PTS自对准于沟道区下方,从而可以有效降低源和漏之间的漏电流。另外,由于在源、漏区下方并不形成这种PTS,从而可以有效降低带间泄漏和结泄漏。

### 附图说明

[0008] 通过以下参照附图对本公开实施例的描述,本公开的上述以及其他目的、特征和优点将更为清楚,在附图中:

[0009] 图1-14是示出了根据本公开实施例的制造半导体器件流程的示意图。

### 具体实施方式

[0010] 以下,将参照附图来描述本公开的实施例。但是应该理解,这些描述只是示例性的,而并非要限制本公开的范围。此外,在以下说明中,省略了对公知结构和技术的描述,以

避免不必要地混淆本公开的概念。

[0011] 在附图中示出了根据本公开实施例的各种结构示意图。这些图并非是按比例绘制的,其中为了清楚表达的目的,放大了某些细节,并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的,实际中可能由于制造公差或技术限制而有所偏差,并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

[0012] 在本公开的上下文中,当将一层/元件称作位于另一层/元件“上”时,该层/元件可以直接位于该另一层/元件上,或者它们之间可以存在居中层/元件。另外,如果在一种朝向中一层/元件位于另一层/元件“上”,那么当调转朝向时,该层/元件可以位于该另一层/元件“下”。

[0013] 根据本公开的实施例,提供了一种半导体器件,该半导体器件可以包括衬底、在衬底上形成的鳍状结构以及与鳍状结构相交的栅堆叠。栅堆叠可以通过隔离层与衬底相隔离。隔离层可以露出鳍状结构的一部分,鳍状结构的该露出部分可以用作该半导体器件的真正鳍。

[0014] 为防止源漏区之间经由鳍底部的泄漏,并同时降低源/漏区与衬底之间的结电容和结泄漏,该半导体器件可以包括仅在沟道区下方形成的穿通阻挡部(PTS)。这种PTS例如可以通过本文所述的自对准技术来形成。

[0015] 根据本公开的实施例,这种自对准技术可以通过结合替代栅技术来实现。例如,这种PTS可以经由根据替代栅技术形成的替代栅槽(或孔),进行离子注入来形成。这样,所形成的PTS位于替代栅槽(在其中随后形成真正的栅堆叠)下方,并因此自对准于沟道区(在包括鳍的器件中,鳍与栅堆叠相交的区域)下方。

[0016] 具体地,可以在衬底上(例如,通过对衬底进行构图)形成鳍状结构。然后,可以根据替代栅技术,形成牺牲栅堆叠。例如,可以在衬底上形成隔离层,隔离层包围鳍状结构的底部,并露出鳍状结构的剩余部分(鳍状结构的露出部分用作最终器件的真正鳍)。在隔离层上形成牺牲栅堆叠。该牺牲栅堆叠例如可以包括牺牲栅介质层和牺牲栅导体层。在牺牲栅堆叠的侧壁上形成栅侧墙。然后,在隔离层上形成电介质层,并对其进行平坦化例如化学机械抛光(CMP),以露出牺牲栅堆叠。之后,可以选择性去除牺牲栅导体层,从而在栅侧墙内侧形成栅槽(或孔)。可以经由该栅槽(或孔),例如通过离子注入来形成PTS。由于电介质层的存在,离子基本上仅注入到位于栅槽(或孔)下方的区域中。

[0017] 根据本公开的实施例,隔离层可以通过在衬底上淀积电介质材料然后回蚀来形成。在回蚀之前,可以通过溅射(sputtering),例如Ar或N等离子体溅射,对电介质材料进行平坦化处理。通过这种溅射平坦化处理,而非常规的CMP平坦化处理,可以实现更加平坦的表面。

[0018] 根据本公开的实施例,还可以应用应变源/漏技术。例如,在形成牺牲栅堆叠之后,可以牺牲栅堆叠为掩模,对鳍状结构进行选择刻蚀。然后,可以通过外延生长形成一半导体层,用以形成源、漏区。这种源、漏区可以向沟道区施加应力(例如,对于p型器件,施加压应力;而对于n型器件,施加拉应力),以增强器件性能。

[0019] 本公开可以各种形式呈现,以下将描述其中一些示例。

[0020] 如图1所示,提供衬底1000。该衬底1000可以是各种形式的衬底,例如但不限于体

半导体材料衬底如体Si衬底、绝缘体上半导体(SOI)衬底、SiGe衬底等。在以下的描述中,为方便说明,以体Si衬底为例进行描述。

[0021] 根据本公开的一些示例,可以在衬底1000中形成阱区1000-1。例如,对于p型器件,可以形成n型阱区;而对于n型器件,可以形成p型阱区。例如,n型阱区可以通过在衬底1000中注入n型杂质如P或As来形成,p型阱区可以通过在衬底1000中注入p型杂质如B来形成。如果需要,在注入之后还可以进行退火。本领域技术人员能够想到多种方式来形成n型阱、p型阱,在此不再赘述。

[0022] 接下来,可以对衬底1000进行构图,以形成鳍状结构。例如,这可以如下进行。具体地,在衬底1000上按设计形成构图的光刻胶1002。通常,光刻胶1002被构图为一系列平行的等间距线条。然后,如图2所示,以构图的光刻胶1002为掩模,对衬底1000进行刻蚀例如反应离子刻蚀(RIE),从而形成鳍状结构1004。在此,对衬底1000的刻蚀可以进行到阱区1000-1中。之后,可以去除光刻胶1002。

[0023] 这里需要指出的是,通过刻蚀所形成的(鳍状结构1004之间的)沟槽的形状不一定是图2中所示的规则矩形形状,可以是例如从上到下逐渐变小的锥台形。另外,所形成的鳍状结构的位置和数目不限于图2所示的示例。

[0024] 另外,鳍状结构不限于通过直接对衬底进行构图来形成。例如,可以在衬底上外延生长另外的半导体层,对该另外的半导体层进行构图来形成鳍状结构。如果该另外的半导体层与衬底之间具有足够的刻蚀选择性,则在对鳍状结构进行构图时,可以使构图基本上停止于衬底,从而实现了对鳍状结构高度的较精确控制。

[0025] 因此,在本公开中,表述“在衬底上形成鳍状结构”包括以任何适当的方式在衬底上形成鳍状结构。

[0026] 在通过上述处理形成鳍状结构之后,可以按照替代栅工艺,形成与鳍状结构相交的牺牲栅堆叠。

[0027] 为了隔离栅堆叠和衬底,在衬底上首先形成隔离层。具体地,如图3所示,可以在衬底上例如通过淀积形成电介质层1006,以覆盖形成的鳍状结构1004。例如,电介质层1006可以包括氧化物(如氧化硅)。

[0028] 然后,如图4所示,可以对电介质层1006进行溅射,来对电介质层1006进行平坦化处理。例如,溅射可以使用等离子体,如Ar或N等离子体。在此,例如可以根据等离子体溅射对电介质层1006的切削速度,控制溅射参数例如溅射功率和气压等,来确定进行等离子体溅射的时间,使得等离子体溅射能够执行一定的时间段以充分平滑电介质层1006的表面。另一方面,在图4所示的示例中,等离子体溅射可以在到达鳍状结构1004的顶面之前结束,以避免对鳍状结构1004造成过多的损伤。

[0029] 尽管在图4中示出了微观上的起伏,但是事实上电介质层1006的顶面具有充分的平坦度,其起伏可以控制在例如几个纳米之内。

[0030] 根据本公开的另一实施例,还可以根据需要,对通过溅射平坦化后的电介质层1006进行少许CMP。

[0031] 在电介质层1006的表面通过等离子体溅射而变得充分平滑之后,如图5所示,可以对电介质层1006进行回蚀(例如,RIE),以露出鳍状结构1004的一部分,该露出的部分随后可以用作最终器件的鳍。剩余的电介质层1006构成隔离层。由于回蚀之前电介质层1006的

表面通过溅射而变得平滑,所以回蚀之后隔离层1006的表面在衬底上基本上保持一致。在衬底1000中形成阱区1000-1的情况下,隔离层1006优选稍稍露出阱区。即,隔离层1006的顶面略低于阱区1000-1的顶面(附图中没有示出它们之间的高度差)。

[0032] 随后,可以在隔离层1006上形成与鳍相交的牺牲栅堆叠。例如,这可以如下进行。

[0033] 具体地,如图6所示,例如通过淀积,形成牺牲栅介质层1008。例如,牺牲栅介质层1008可以包括氧化物,厚度为约0.8-1.5nm。在图6所示的示例中,仅示出了“II”形的牺牲栅介质层1008。但是,牺牲栅介质层1008也可以包括在隔离层1006的顶面上延伸的部分。然后,例如通过淀积,形成牺牲栅导体层1010。例如,牺牲栅导体层1010可以包括多晶硅。牺牲栅导体层1010可以填充鳍之间的间隙,并可以进行平坦化处理例如化学机械抛光(CMP)。

[0034] 之后,如图7(图7(b)示出了沿图7(a)中BB'线的截面图)所示,对牺牲栅导体层1010进行构图,以限定牺牲栅堆叠。在图7的示例中,牺牲栅导体层1010被构图为与鳍状结构相交的条形。根据另一实施例,还可以构图后的牺牲栅导体层1010为掩模,进一步对牺牲栅介质层1008进行构图。

[0035] 接下来,如图8所示(图8(b)示出了沿图8(a)中CC'线的截面图),可以在牺牲栅导体层1010的侧壁上形成栅侧墙1012。例如,可以通过淀积形成厚度约为5-20nm的氮化物(如氮化硅),然后对氮化物进行RIE,来形成栅侧墙1012。本领域技术人员知道多种方式来形成这种栅侧墙,在此不再赘述。在鳍状结构之间的沟槽为从上到下逐渐变小的锥台形时(由于刻蚀的特性,通常为这样的情况),侧墙1012基本上不会形成于鳍状结构的侧壁上。

[0036] 为改善器件的性能,根据本公开的一示例,可以利用应变源/漏技术。具体地,如图9所示,首先选择性去除(例如,RIE)暴露在外的牺牲栅介质层1008。在牺牲栅介质层1008和隔离层1006均包括氧化物的情况下,由于牺牲栅介质层1008较薄,因此对牺牲栅介质层1008的RIE基本上不会影响隔离层1006。在以上形成牺牲栅堆叠的过程中,以牺牲栅导体为掩模进一步构图牺牲栅介质层的情况下,不再需要该操作。

[0037] 然后,可以选择性去除(例如,RIE)由于牺牲栅介质层1008的去除而露出的鳍状结构1004的部分。对鳍状结构1004该部分的刻蚀可以进行至到达阱区1000-1。由于牺牲栅堆叠(牺牲栅介质层、牺牲栅导体)和栅侧墙的存在,鳍状结构1004可以留于牺牲栅堆叠下方。这里需要指出的是,尽管在图9中将刻蚀后鳍状结构1004的边缘示出为与栅侧墙1012的边缘完全对准,但是本公开不限于此。例如,由于刻蚀的横向作用(可能很小),从而刻蚀后鳍状结构1004的边缘相对于栅侧墙1012的边缘向里缩进。

[0038] 接下来,如图10所示,例如可以通过外延,在露出的鳍状结构部分上形成半导体层1014。随后可以在该半导体层1014中形成源/漏区。根据本公开的一实施例,可以在生长半导体层1014的同时,对其进行原位掺杂。例如,对于n型器件,可以进行n型原位掺杂;而对于p型器件,可以进行p型原位掺杂。另外,为了进一步提升性能,半导体层1014可以包括不同于鳍状结构1004的材料,以便能够向鳍1004(其中将形成器件的沟道区)施加应力。例如,在鳍状结构1004包括Si的情况下,对于n型器件,半导体层1014可以包括Si:C(C的原子百分比例如为约0.2-2%),以施加拉应力;对于p型器件,半导体层1014可以包括SiGe(例如,Ge的原子百分比为约15-75%),以施加压应力。

[0039] 尽管在附图中将半导体层1014示出为与鳍状结构1004相对应的鳍状(例如,图11(a)、12(a)、14(a)中的虚线所示部位),但是本公开不限于此。例如,为了方便制造与源/漏

区的接触,可以将半导体层1014生长为在横向上展宽一定程度。

[0040] 在牺牲栅导体层1010包括多晶硅的情况下,半导体层1014的生长可能也会发生在牺牲栅导体层1010的顶面上。这在附图中并未示出。

[0041] 这里需要指出的是,尽管以上描述了应变源/漏技术,但是本公开不限于此。例如,可以不进行图9-10的操作,而是保留鳍状结构1004。在这种情况下,可以牺牲栅堆叠和栅侧墙为掩模,进行源/漏注入,来形成源/漏区。

[0042] 接下来,如图11(图11(b)示出了沿图11(a)中CC'线的截面图)所示,例如通过沉积,形成电介质层1016。该电介质层1016例如可以包括氧化物。随后,对该电介质层1016进行平坦化处理例如CMP。该CMP可以停止于栅侧墙1012,从而露出牺牲栅导体层1010。

[0043] 随后,如图12(图12(b)示出了沿图12(a)中BB'线的截面图,图12(c)示出了沿图12(a)中CC'线的截面图)所示,例如通过TMAH溶液,选择性去除牺牲栅导体1010,从而在栅侧墙1012内侧形成了栅槽1018。这里,优选地可以保留牺牲栅介质层1008,以在随后的离子注入过程中减小对鳍状结构1004的损伤。

[0044] 然后,如图13(图13(a)示出了与图12(b)的截面图相对应的截面图,图13(b)示出了与图12(c)中的截面图相对应的截面图)所示,可以经由栅槽1018,通过注入来形成穿透阻挡部(PTS) 1020。例如,对于n型器件而言,可以注入p型掺杂剂,如B、BF<sub>2</sub>或In;对于p型器件,可以注入n型掺杂剂,如As或P。离子注入可以垂直于衬底表面。控制离子注入的参数,使得PTS形成于鳍状结构1004位于隔离层1006表面之下的部分中,并且具有期望的掺杂浓度。应当注意,由于鳍状结构1004的形状因子(细长形),一部分掺杂剂(离子或元素)可能从鳍状结构的露出部分散射出去,从而有利于在深度方向上形成陡峭的掺杂分布。可以进行退火如尖峰退火、激光退火和/或快速退火,以激活注入的掺杂剂。这种PTS有助于减小源漏泄漏。如图13(b)所示,由于电介质层1016的存在,PTS 1020自对准于栅槽1018下方,而在用以形成源、漏区的半导体层1014下方的区域中并没有形成PTS。

[0045] 然后,如图14(图14(b)示出了沿图14(a)中CC'线的截面图)所示,可以在栅槽1018中形成栅导体层1024,形成最终的栅堆叠。优选地,还可以去除牺牲栅介质层1008,并在栅槽1018中依次形成栅介质层1022和栅导体层1024。栅介质层1022可以包括高K栅介质例如HfO<sub>2</sub>,厚度为约1-5nm。栅导体层1024可以包括金属栅导体。优选地,在栅介质层1022和栅导体层1024之间还可以形成功函数调节层(未示出)。

[0046] 这样,就得到了根据本公开实施例的半导体器件。如图14所示,该半导体器件可以包括在衬底1000上形成的鳍状结构1004。该半导体器件还可以包括在衬底1000上形成的隔离层1006,该隔离层1006露出鳍状结构1004的一部分。鳍状结构1004的该露出部分可以用作该半导体器件的鳍。另外,该半导体器件还可以包括在隔离层1006上形成的与鳍1004相交的栅堆叠(包括栅介质层1022和栅导体层1024)。另外,该半导体器件还包括自对准于沟道区(对应于鳍1004与栅堆叠相交的部分)下方的PTS 1020。

[0047] 另外,在应用应变源漏技术的情况下,鳍状结构1004被隔离层1006露出的部分(上述“鳍”)留于栅堆叠和栅侧墙下方,且在鳍的相对侧面上形成有半导体层1014,用以形成源/漏区。半导体层1014可以形成为鳍状。

[0048] 衬底1000中可以形成有阱区1000-1。PTS 1020可以包括与阱区1000-1相同的掺杂类型,并且掺杂浓度大于阱区1000-1的杂质浓度。

[0049] 在以上的描述中,对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解,可以通过各种技术手段,来形成所需形状的层、区域等。另外,为了形成同一结构,本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。另外,尽管在以上分别描述了各实施例,但是这并不意味着各个实施例中的措施不能有利地结合使用。

[0050] 以上对本公开的实施例进行了描述。但是,这些实施例仅仅是为了说明的目的,而并非为了限制本公开的范围。本公开的范围由所附权利要求及其等价物限定。不脱离本公开的范围,本领域技术人员可以做出多种替代和修改,这些替代和修改都应落在本公开的范围之内。

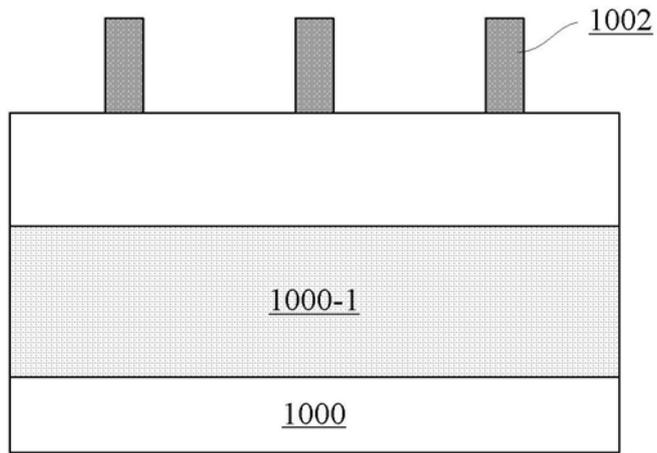


图1

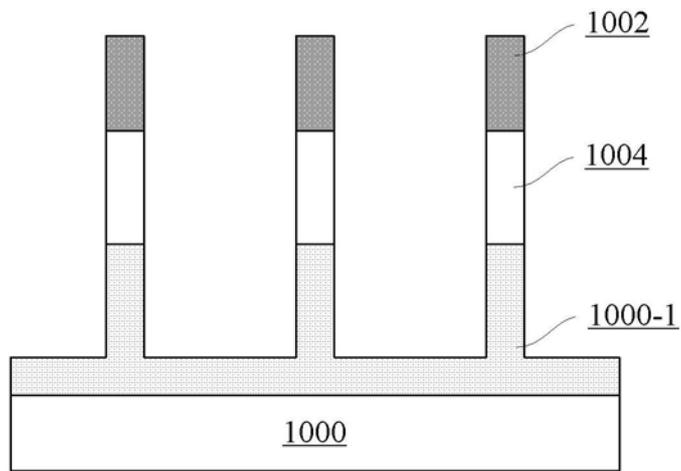


图2

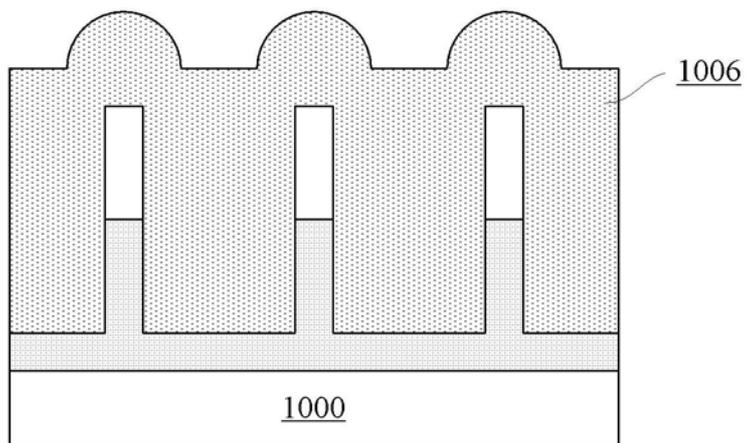


图3

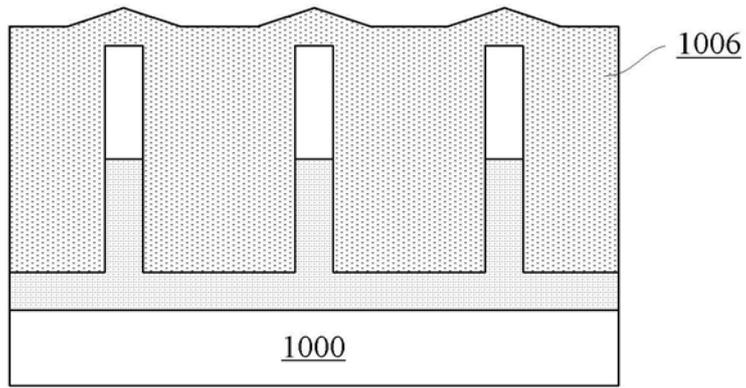


图4

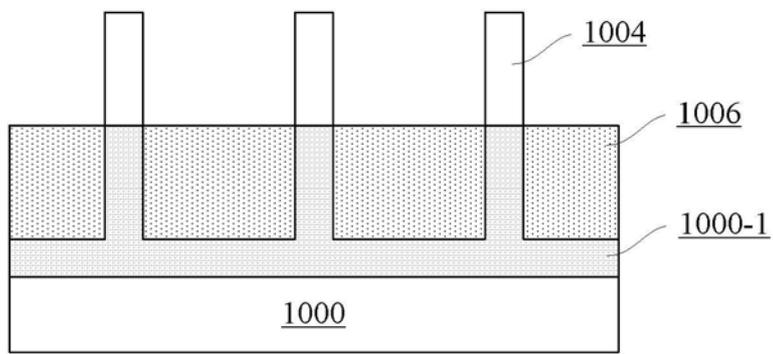


图5

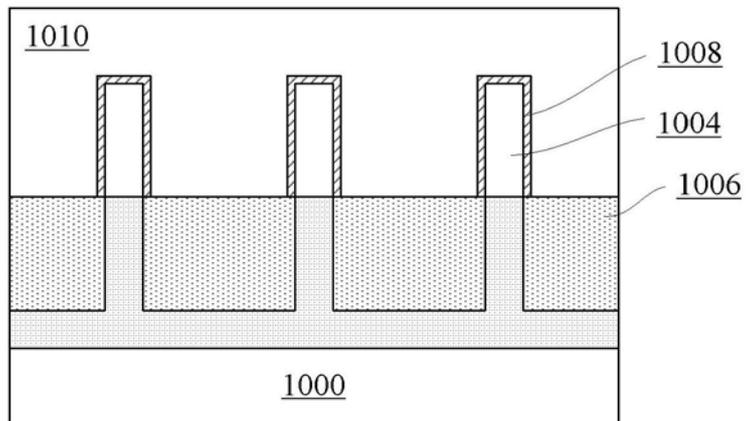
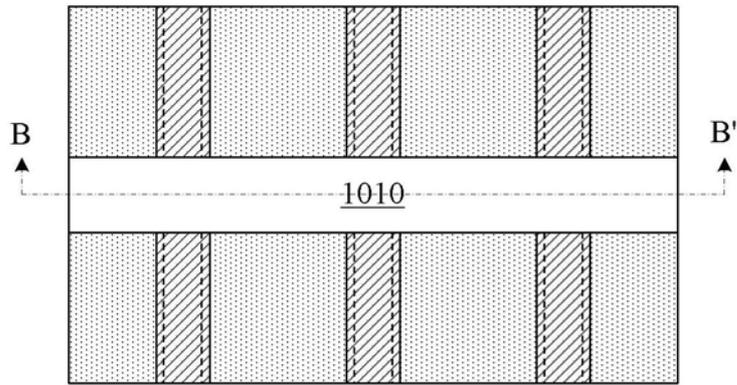


图6

(a)



(b)

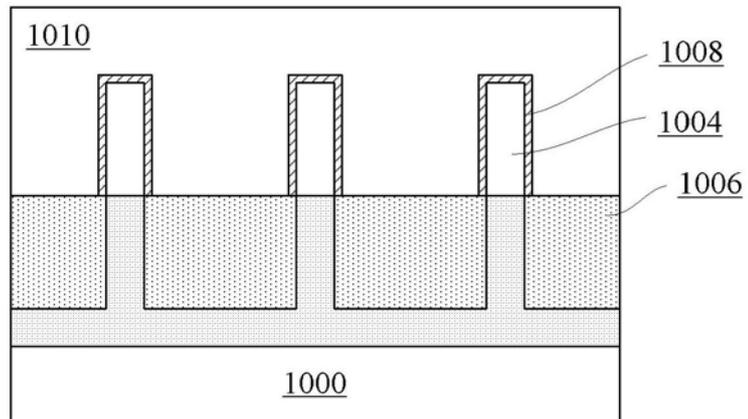


图7

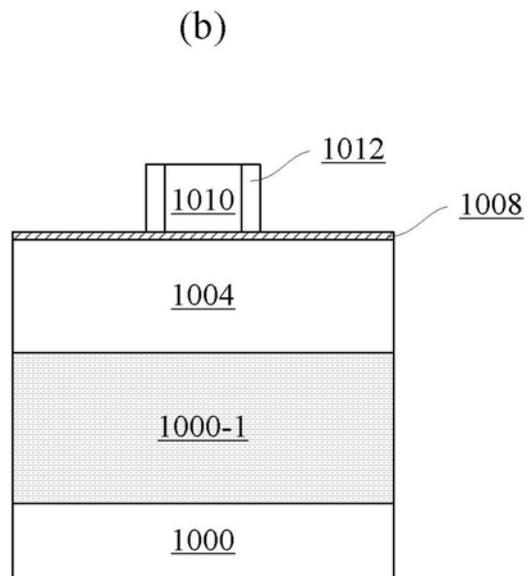
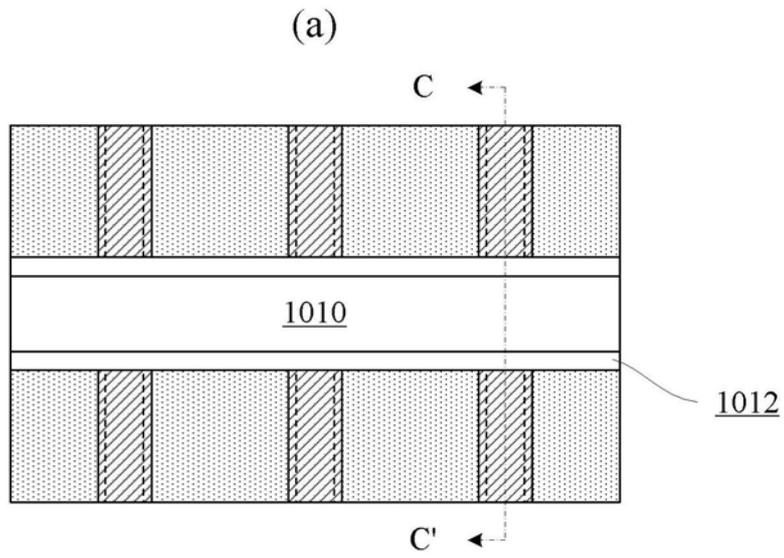


图8

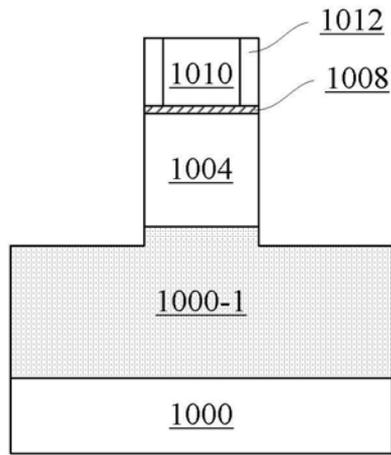


图9

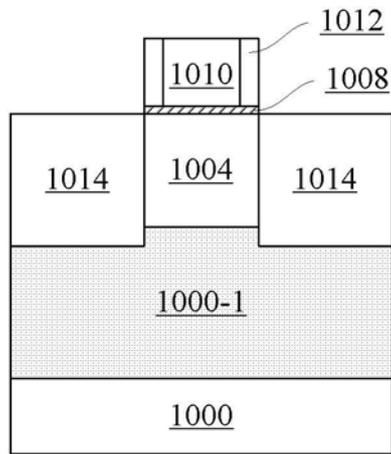


图10

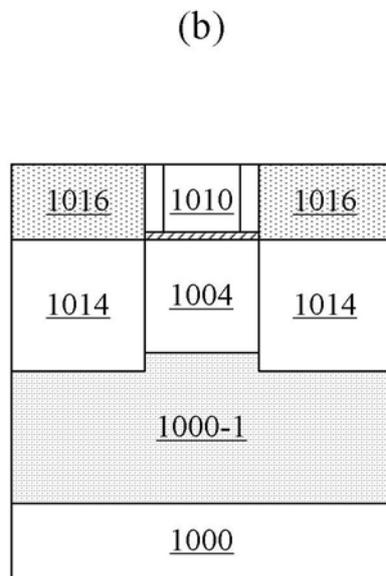
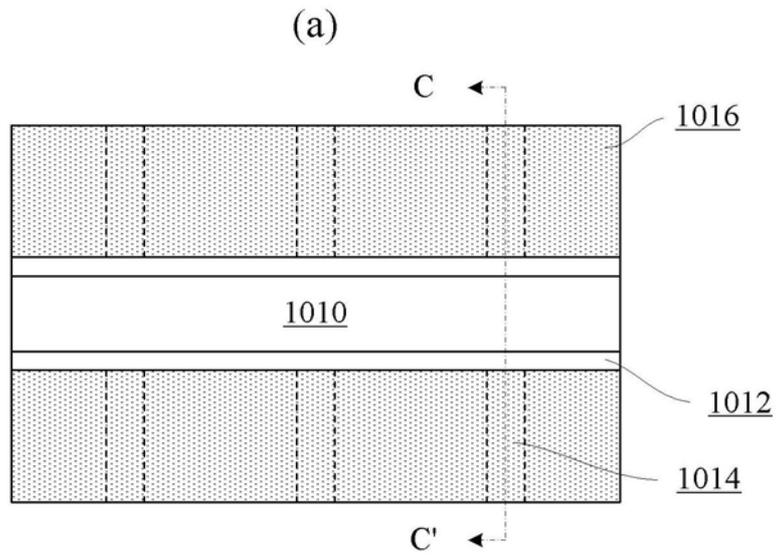


图11

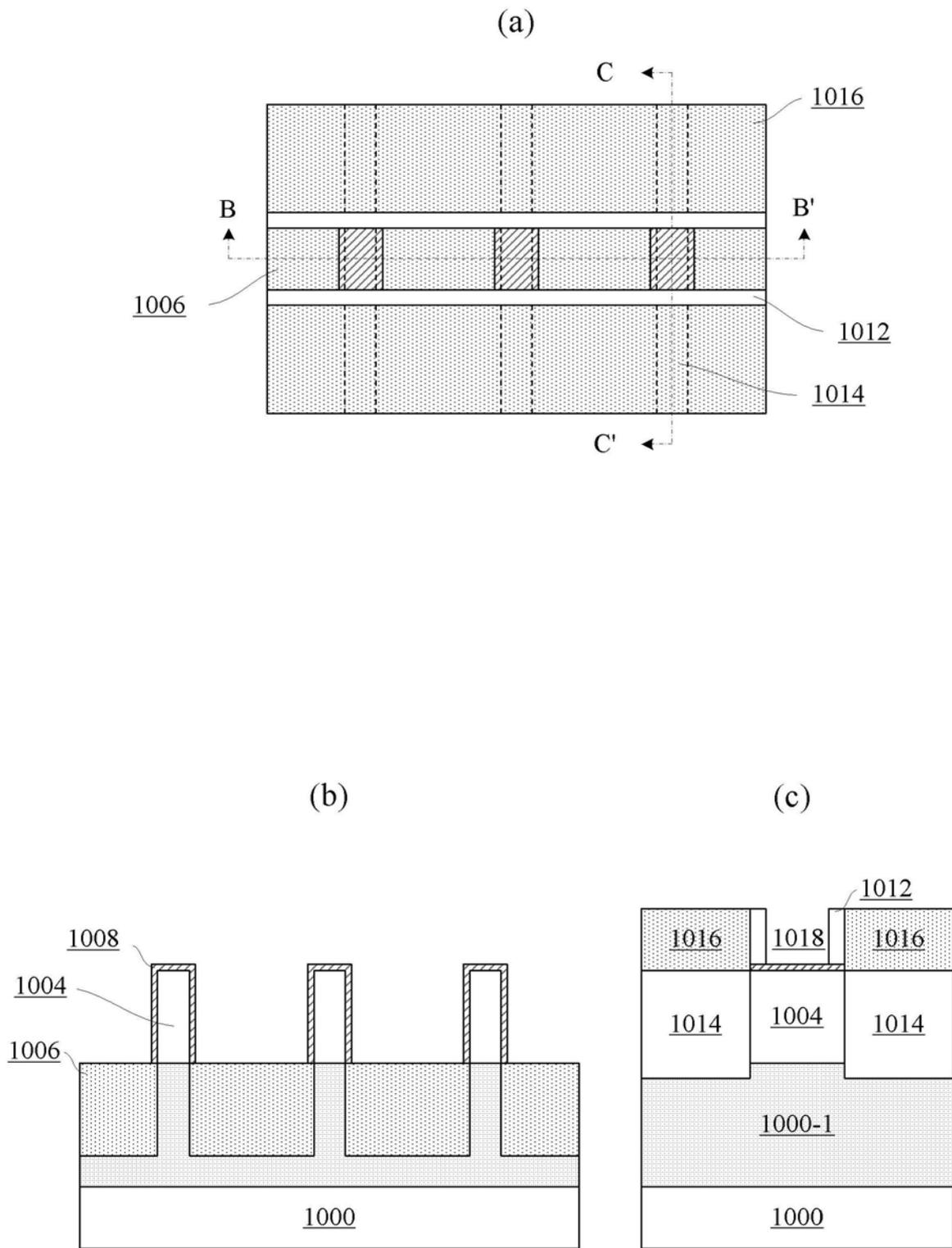


图12

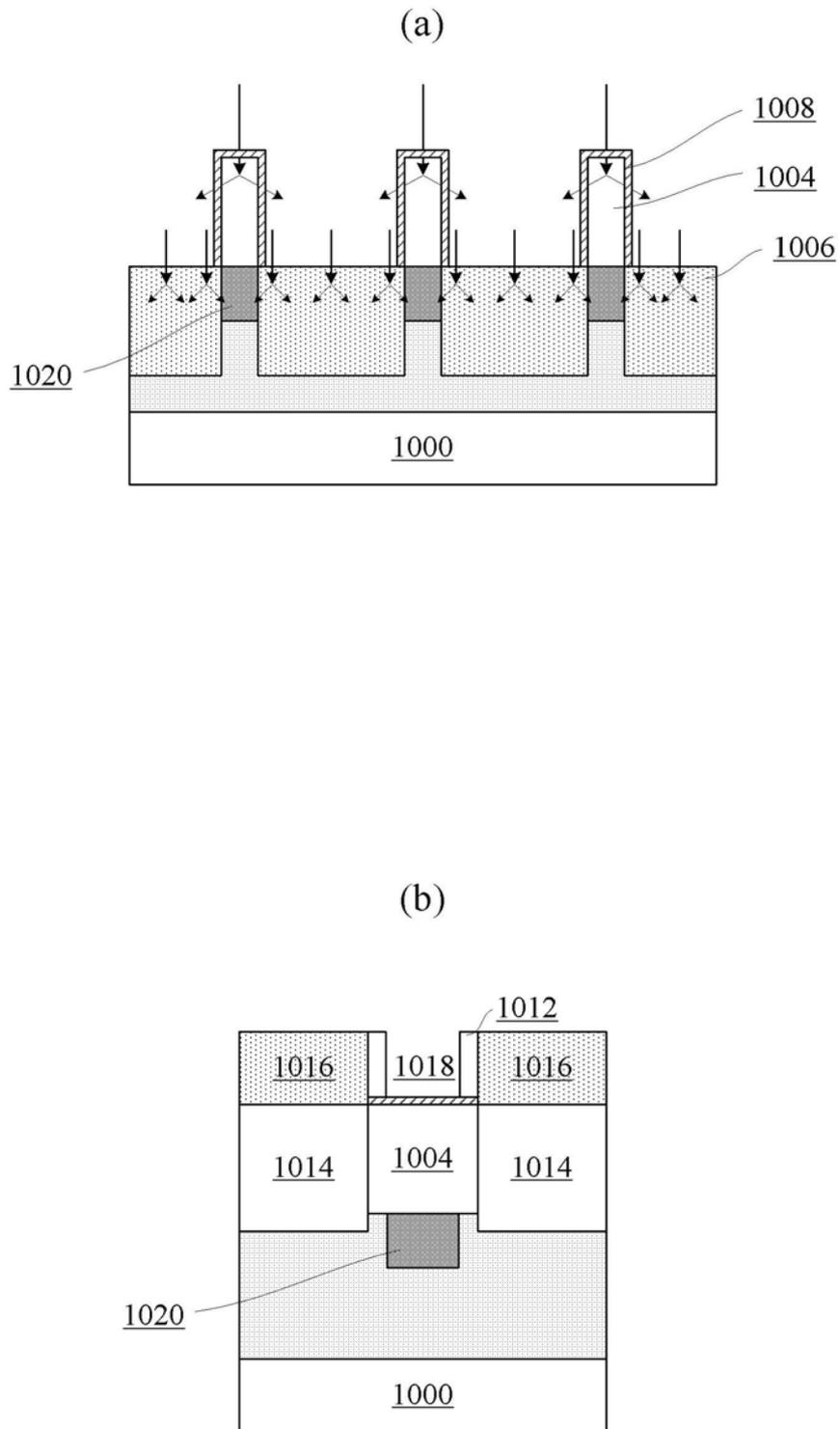


图13

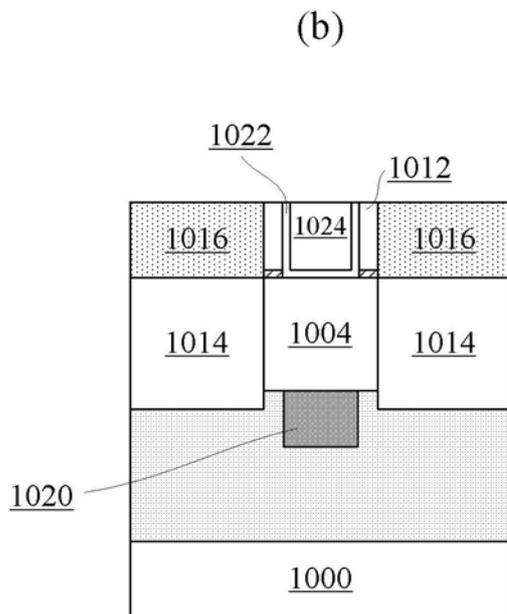
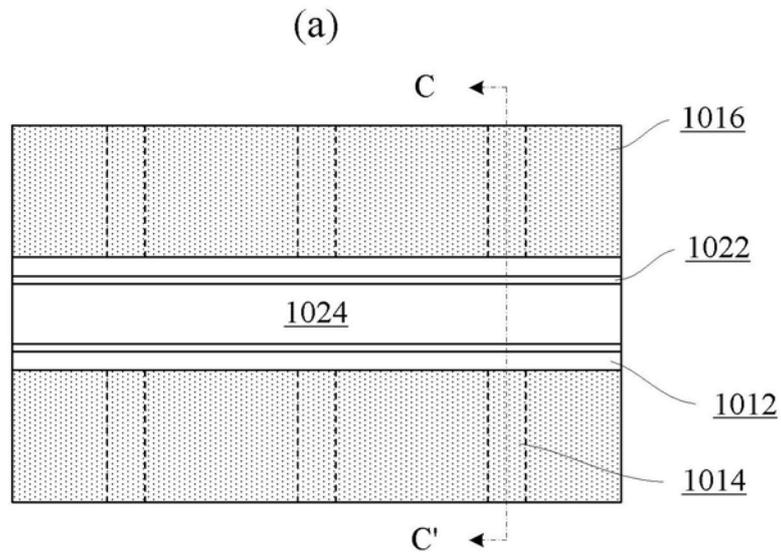


图14