



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년09월14일
(11) 등록번호 10-2577887
(24) 등록일자 2023년09월08일

(51) 국제특허분류(Int. Cl.)
H01L 33/38 (2010.01) H01L 33/48 (2010.01)
H01L 33/62 (2010.01) H01L 33/64 (2010.01)
(52) CPC특허분류
H01L 33/38 (2013.01)
H01L 33/486 (2013.01)
(21) 출원번호 10-2018-0149969
(22) 출원일자 2018년11월28일
심사청구일자 2021년11월05일
(65) 공개번호 10-2020-0063806
(43) 공개일자 2020년06월05일
(56) 선행기술조사문헌
KR1020110137836 A*
KR1020160094755 A*
US20120085986 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
쑤저우 레킨 세미컨덕터 컴퍼니 리미티드
중국 쑤저우 타이창 시티 168 창성 노스 로드
(72) 발명자
이교은
서울특별시 중구 후암로 98 (남대문로5가)
(74) 대리인
특허법인다나

전체 청구항 수 : 총 13 항

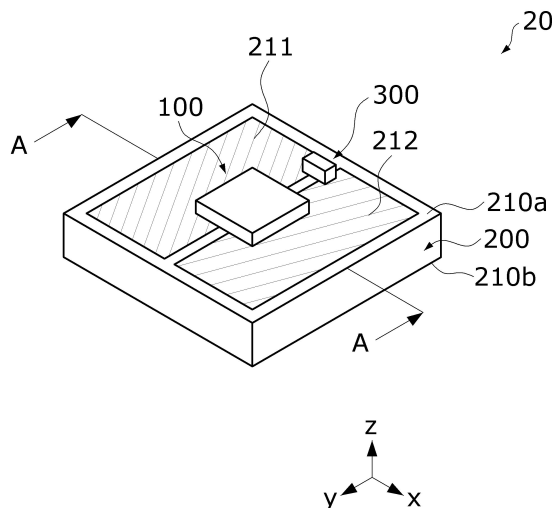
심사관 : 배성주

(54) 발명의 명칭 발광소자 패키지

(57) 요약

실시 예는, 기관; 및 상기 기관 상에 배치되는 발광소자를 포함하고, 상기 기관은 일면에 제1 방향으로 배치되는 제1 패드와 제2 패드, 타면에 배치되는 제3 패드, 제4 패드 및 상기 제3 패드와 제4 패드 사이에 배치되는 제5 패드, 및 상기 제1 패드와 상기 제3 패드를 연결하는 제1 관통전극 및 상기 제2 패드와 상기 제4 패드를 연결하는 제2 관통전극을 포함하고, 상기 발광소자는 상기 제1 패드 상에 배치되는 제1 본딩 전극 및 상기 제2 패드 상에 배치되는 제2 본딩 전극을 포함하고, 상기 발광소자의 제1 방향 폭은 상기 제5 패드의 제1 방향 폭보다 크거나 동일한 발광소자 패키지를 개시한다.

대표도 - 도1



(52) CPC특허분류

H01L 33/62 (2013.01)

H01L 33/642 (2013.01)

명세서

청구범위

청구항 1

기관; 및

상기 기관 상에 배치되는 발광소자를 포함하고,

상기 기관은

일면에 제1 방향으로 배치되는 제1 패드와 제2 패드,

타면에 배치되는 제3 패드, 제4 패드 및 상기 제3 패드와 제4 패드 사이에 배치되는 제5 패드,

상기 제1 패드와 상기 제3 패드를 연결하는 제1 관통전극 및 상기 제2 패드와 상기 제4 패드를 연결하는 제2 관통전극; 및

상기 제1 관통전극이 배치되는 제1 관통홀 및 상기 제2 관통전극이 배치되는 제2 관통홀을 포함하고,

상기 발광소자는,

제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층 사이에 배치되는 활성층을 포함하는 발광 구조물;

상기 제1 도전형 반도체층과 전기적으로 연결되는 제1 커버 전극;

상기 제2 도전형 반도체층과 전기적으로 연결되는 제2 커버 전극;

상기 제1 커버 전극과 상기 제2 커버 전극 상에 배치되는 절연층; 및

상기 제1 패드 상에 배치되는 제1 본딩 전극 및 상기 제2 패드 상에 배치되는 제2 본딩 전극을 포함하고,

상기 절연층은 상기 제1 커버 전극과 상기 제1 본딩 전극 사이에 배치되는 제1 개구부 및 상기 제2 커버 전극과 상기 제2 패드 사이에 배치되는 복수 개의 제2 개구부를 포함하고,

상기 제1 개구부와 상기 제1 관통홀의 합은 상기 복수 개의 제2 개구부와 상기 제2 관통홀의 합보다 작으며,

상기 발광소자의 제1 방향 폭은 상기 제5 패드의 제1 방향 폭보다 크거나 동일한 발광소자 패키지.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 제5 패드의 면적은 상기 제3 패드의 면적과 상기 제4 패드의 면적의 합보다 큰 발광소자 패키지.

청구항 4

제3항에 있어서,

상기 제1 패드 또는 상기 제2 패드의 면적은 상기 제5 패드의 면적보다 큰 발광소자 패키지.

청구항 5

제1항에 있어서,

상기 제5 패드는 상기 발광소자와 수직 방향으로 중첩되는 발광소자 패키지.

청구항 6

제1항에 있어서,

상기 제1 및 제2 본딩 전극과 상기 제1 및 제2 패드는 유테틱 본딩에 의해 전기적으로 연결되는 발광소자 패키지.

청구항 7

제1항에 있어서,

상기 제1 패드 및 상기 제2 패드와 전기적으로 연결되는 보호소자를 발광소자 패키지.

청구항 8

제1항에 있어서,

상기 제1 패드와 상기 제2 패드는 상기 발광소자의 모서리에 인접 배치되는 얼라인 홈을 포함하고,
상기 얼라인 홈은 상기 기관의 상면을 일부 노출시키는 발광소자 패키지.

청구항 9

제1항에 있어서,

상기 제1 패드와 상기 제2 패드 사이의 거리는 상기 제3 패드와 상기 제5 패드 사이보다 작거나 동일한 발광소자 패키지.

청구항 10

제1항에 있어서,

상기 발광소자는 자외선 파장대에서 메인 피크를 갖는 발광소자 패키지.

청구항 11

삭제

청구항 12

제1항에 있어서,

상기 제1 커버 전극은 일 방향으로 연장된 복수 개의 제1 가지 전극 및 상기 복수 개의 제1 가지 전극의 끝단을 연결하는 제1 연결 전극을 포함하고,

상기 제2 커버 전극은 상기 복수 개의 제1 가지전극 사이에 배치되는 복수 개의 제2 가지 전극 및 상기 복수 개의 제2 가지 전극의 끝단을 연결하는 제2 연결전극을 포함하는 발광소자 패키지.

청구항 13

제12항에 있어서,
 상기 제1 커버 전극은 상기 제2 커버 전극의 외측을 둘러싸도록 배치되는 발광소자 패키지.

청구항 14

제12항에 있어서,
 상기 제2 커버 전극은 상기 제1 커버 전극보다 외측에 배치되는 발광소자 패키지.

청구항 15

회로기관;
 상기 회로기관 상에 배치되는 발광소자 패키지를 포함하고,
 상기 발광소자 패키지는,
 기관; 및
 상기 기관 상에 배치되는 발광소자를 포함하고,
 상기 기관은
 일면에 제1 방향으로 배치되는 제1 패드와 제2 패드,
 타면에 배치되는 제3 패드, 제4 패드 및 상기 제3 패드와 제4 패드 사이에 배치되는 제5 패드, 및
 상기 제1 패드와 상기 제3 패드를 연결하는 제1 관통전극 및 상기 제2 패드와 상기 제4 패드를 연결하는 제2 관
 통전극, 및
 상기 제1 관통전극이 배치되는 제1 관통홀 및 상기 제2 관통전극이 배치되는 제2 관통홀을 포함하고,
 상기 발광소자는,
 제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층 사이에
 배치되는 활성층을 포함하는 발광 구조물;
 상기 제1 도전형 반도체층과 전기적으로 연결되는 제1 커버 전극;
 상기 제2 도전형 반도체층과 전기적으로 연결되는 제2 커버 전극;
 상기 제1 커버 전극과 상기 제2 커버 전극 상에 배치되는 절연층; 및
 상기 제1 패드 상에 배치되는 제1 본딩 전극 및 상기 제2 패드 상에 배치되는 제2 본딩 전극을 포함하고,
 상기 절연층은 상기 제1 커버 전극과 상기 제1 본딩 전극 사이에 배치되는 제1 개구부 및 상기 제2 커버 전극과
 상기 제2 패드 사이에 배치되는 복수 개의 제2 개구부를 포함하고,
 상기 제1 개구부와 상기 제1 관통홀의 합은 상기 복수 개의 제2 개구부와 상기 제2 관통홀의 합보다 작으며,
 상기 발광소자의 제1 방향 폭은 상기 제5 패드의 제1 방향 폭보다 크거나 동일한 조명 장치.

발명의 설명

기술 분야

실시 예는 발광소자 패키지 및 이를 포함하는 조명장치에 관한 것이다.

배경 기술

[0001]

- [0002] GaN, AlGaN 등의 화합물을 포함하는 발광 소자는 넓고 조정이 용이한 밴드 갭 에너지를 가지는 등의 많은 장점을 가져서 발광 소자, 수광 소자 및 각종 다이오드 등으로 다양하게 사용될 수 있다.
- [0003] 특히, 반도체의 3-5족 또는 2-6족 화합물 반도체 물질을 이용한 발광 다이오드(Light Emitting Diode)나 레이저 다이오드(Laser Diode)와 같은 발광 소자는 박막 성장 기술 및 소자 재료의 개발로 적색, 녹색, 청색, 자외선 등 다양한 색을 구현할 수 있으며, 형광 물질을 이용하거나 색을 조합함으로써 효율이 좋은 백색 광선도 구현이 가능하며, 형광등, 백열등 등 기존의 광원에 비해 저소비전력, 반영구적인 수명, 빠른 응답속도, 안전성 및 환경 친화성의 장점을 가진다.
- [0004] 또한, 광검출기나 태양 전지와 같은 수광 소자도 반도체의 3-5족 또는 2-6족 화합물 반도체 물질을 이용하여 제작하는 경우 소자 재료의 개발로 다양한 파장 영역의 빛을 흡수하여 광 전류를 생성함으로써 감마선부터 라디오 파장 영역까지 다양한 파장 영역의 빛을 이용할 수 있다. 또한, 빠른 응답속도, 안전성, 환경 친화성 및 소자 재료의 용이한 조절의 장점을 가져 전력 제어 또는 초고주파 회로나 통신용 모듈에도 용이하게 이용할 수 있다.
- [0005] 따라서, 발광 소자는 광 통신 수단의 송신 모듈, LCD(Liquid Crystal Display) 표시 장치의 백라이트를 구성하는 냉음극관(CCFL: Cold Cathode Fluorescence Lamp)을 대체하는 발광 다이오드 백라이트, 형광등이나 백열 전구를 대체할 수 있는 백색 발광 다이오드 조명 장치, 자동차 헤드 라이트, 신호등, 가스나 화재를 감지하는 센서 등에까지 응용 분야가 확대되고 있다. 또한, 발광 소자는 고주파 응용 회로나 기타 전력 제어 장치, 통신용 모듈에까지 응용 분야가 확대될 수 있다.
- [0006] 특히, 자외선 파장대의 광을 방출하는 발광 소자는 경화작용이나 살균 작용을 하여 경화용, 의료용 및 살균용으로 사용될 수 있다.
- [0007] 그러나, 대부분의 발광소자 패키지는 패키지 몸체를 가공하여 캐비티를 형성하고 내부에 발광소자를 배치하고 글라스로 덮은 구조이다. 그러나, 글라스를 포함한 기존 패키지 구조는 광 출력이 상대적으로 약해지며, 패키지의 단가가 높아지는 문제가 있다.

발명의 내용

해결하려는 과제

- [0008] 실시 예는 광 출력을 향상시킬 수 있는 발광소자 패키지를 제공할 수 있다.
- [0009] 또한, 패키지 제조 단가를 낮출 수 있는 발광소자 패키지를 제공할 수 있다.
- [0010] 또한, 방열 성능을 개선한 발광소자 패키지를 제공할 수 있다.
- [0011] 실시 예에서 해결하고자 하는 과제는 이에 한정되는 것은 아니며, 아래에서 설명하는 과제의 해결수단이나 실시 형태로부터 파악될 수 있는 목적이나 효과도 포함된다고 할 것이다.

과제의 해결 수단

- [0012] 본 발명의 일 특징에 따른 발광소자 패키지는, 기판; 및 상기 기판 상에 배치되는 발광소자를 포함하고, 상기 기판은 일면에 제1 방향으로 배치되는 제1 패드와 제2 패드, 타면에 배치되는 제3 패드, 제4 패드 및 상기 제3 패드와 제4 패드 사이에 배치되는 제5 패드, 및 상기 제1 패드와 상기 제3 패드를 연결하는 제1 관통전극 및 상기 제2 패드와 상기 제4 패드를 연결하는 제2 관통전극을 포함하고, 상기 발광소자는 상기 제1 패드 상에 배치되는 제1 본딩 전극 및 상기 제2 패드 상에 배치되는 제2 본딩 전극을 포함하고, 상기 발광소자의 제1 방향 폭은 상기 제5 패드의 제1 방향 폭보다 크거나 동일하다.

발명의 효과

- [0013] 실시 예에 따르면, 서브 마운트 상에 발광소자를 배치하므로 광 출력을 향상시킬 수 있다.
- [0014] 또한, 글라스 등의 광학 부품을 생략할 수 있어 패키지 제조 단가를 낮출 수 있다.
- [0015] 또한, 방열 패드 등을 통해 발광소자의 열을 신속히 방출할 수 있다.
- [0016] 본 발명의 다양하면서도 유익한 장점과 효과는 상술한 내용에 한정되지 않으며, 본 발명의 구체적인 실시형태를 설명하는 과정에서 보다 쉽게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0017] 도 1은 본 발명의 일 실시 예에 따른 발광소자 패키지의 사시도이고,
- 도 2는 도 1의 A-A 방향 단면도이고,
- 도 3은 도 1의 평면도이고,
- 도 4는 도 1의 저면도이고,
- 도 5는 본 발명의 일 실시 예에 따른 조명장치의 개념도이고,
- 도 6은 도 5의 단면도이고,
- 도 7은 회로기판에 직접 칩을 부착한 개념도이고,
- 도 8은 도 7의 구조에서 전류 주입시 발광소자의 온도 분포를 시뮬레이션한 결과이고,
- 도 9는 실시 예에 따른 발광소자에 전류 주입시 온도 분포를 시뮬레이션한 결과이고,
- 도 10은 본 발명의 일 실시 예에 따른 발광소자의 단면도이고,
- 도 11은 도 10의 일부 확대도이고,
- 도 12는 본 발명의 일 실시 예에 따른 발광소자의 평면도이고,
- 도 13은 실시 예에 따른 제1 오믹전극과 제2 오믹전극의 배치를 보여주는 도면이고,
- 도 14는 도 13의 B-B 방향 단면도이고,
- 도 15는 도 13의 제1 변형예이고,
- 도 16은 도 15의 C-C 방향 단면도이고,
- 도 17은 도 13의 제2 변형예이고,
- 도 18은 본 발명의 다른 실시 예에 따른 발광소자의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.
- [0019] 다만, 본 발명의 기술 사상은 설명되는 일부 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있고, 본 발명의 기술 사상 범위 내에서라면, 실시 예들간 그 구성 요소들 중 하나 이상을 선택적으로 결합, 치환하여 사용할 수 있다.
- [0020] 또한, 본 발명의 실시 예에서 사용되는 용어(기술 및 과학적 용어를 포함)는, 명백하게 특별히 정의되어 기술되지 않는 한, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 일반적으로 이해될 수 있는 의미로 해석될 수 있으며, 사전에 정의된 용어와 같이 일반적으로 사용되는 용어들은 관련 기술의 문맥상의 의미를 고려하여 그 의미를 해석할 수 있을 것이다.
- [0021] 또한, 본 발명의 실시 예에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다.
- [0022] 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함할 수 있고, "A 및(와) B, C 중 적어도 하나(또는 한 개 이상)"로 기재되는 경우 A, B, C로 조합할 수 있는 모든 조합 중 하나 이상을 포함할 수 있다.
- [0023] 또한, 본 발명의 실시 예의 구성 요소를 설명하는 데 있어서, 제1, 제2, A, B, (a), (b) 등의 용어를 사용할 수 있다.
- [0024] 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질이나 차례 또는 순서 등으로 한정되지 않는다.
- [0025] 그리고, 어떤 구성 요소가 다른 구성요소에 '연결', '결합' 또는 '접속'된다고 기재된 경우, 그 구성 요소는 그 다른 구성 요소에 직접적으로 연결, 결합 또는 접속되는 경우뿐만 아니라, 그 구성 요소와 그 다른 구성 요소

사이에 있는 또 다른 구성 요소로 인해 '연결', '결합' 또는 '접속' 되는 경우도 포함할 수 있다.

- [0026] 또한, 각 구성 요소의 "상(위) 또는 하(아래)"에 형성 또는 배치되는 것으로 기재되는 경우, 상(위) 또는 하(아래)는 두 개의 구성 요소들이 서로 직접 접촉되는 경우뿐만 아니라, 하나 이상의 또 다른 구성 요소가 두 개의 구성 요소들 사이에 형성 또는 배치되는 경우도 포함한다. 또한, "상(위) 또는 하(아래)"로 표현되는 경우 하나의 구성 요소를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.
- [0027] 도 1은 본 발명의 일 실시 예에 따른 발광소자 패키지의 사시도이고, 도 2는 도 1의 A-A 방향 단면도이고, 도 3은 도 1의 평면도이고, 도 4는 도 1의 저면도이다.
- [0028] 도 1 내지 도 4를 참조하면, 실시 예에 따른 발광소자 패키지는 기관(200), 및 기관(200) 상에 배치되는 발광소자(100)를 포함한다. 기관(200)은 발광소자(100)를 지지하며, 발광소자(100)와 회로기관의 전기적 연결이 가능하도록 복수 개의 패드(211, 212, 213, 214, 215)가 배치될 수 있다. 기관(200)은 AlN, Al₂O₃, Si₃N₄과 같은 절연성 재질일 수 있으나 반드시 이에 한정하지 않는다.
- [0029] 기관(200)은 일면(210a)에 배치되는 제1 패드(211)와 제2 패드(212), 및 타면(210b)에 배치되는 제3 패드(213), 제4 패드(214), 제5 패드(215)를 포함할 수 있다. 제1 패드 내지 제5 패드(211, 212, 213, 214, 215)는 동일한 두께를 가질 수 있다. 예시적으로 제1 패드(211) 내지 제5 패드(215)의 두께는 0.01mm 내지 0.1mm일 수 있으나 반드시 이에 한정하지 않는다.
- [0030] 기관(200)은 제1 패드(211)와 제3 패드(213)를 연결하는 제1 관통전극(216) 및 제2 패드(212)와 제4 패드(214)를 연결하는 제2 관통전극(217)을 포함할 수 있다. 따라서, 기관(200)의 제1 패드(211)와 제2 패드(212)는 발광소자(100)와 전기적으로 연결되고, 기관(200)의 제3 패드(213) 및 제4 패드(214)는 회로기관과 전기적으로 연결될 수 있다. 기관(200)은 서브 마운트일 수 있으나 반드시 이에 한정하지 않는다.
- [0031] 기관(200)은 제1 관통전극(216)이 배치되는 제1 관통홀(H1) 및 제2 관통전극(217)이 배치되는 제2 관통홀(H2)을 포함할 수 있다. 제1 관통홀(H1)과 제2 관통홀(H2)은 복수 개일 수 있다. 예시적으로 제1 관통홀(H1)과 제2 관통홀(H2)이 2개씩 배치될 수 있으나 관통홀의 개수는 특별히 한정하지 않는다.
- [0032] 제1 패드(211)와 제2 패드(212)는 기관(200)의 일면 상에 배치될 수 있다. 제1 패드(211)와 제2 패드(212)는 발열 면적을 넓히기 위해 넓게 형성될 수 있다. 제1 패드(211)와 제2 패드(212)는 제1 방향(X축 방향)으로 이격될 수 있다.
- [0033] 제3 패드 내지 제5 패드(213, 214, 215)는 기관(200)의 타면(210b)에 배치될 수 있다. 제5 패드(215)는 제3 패드(213)와 제4 패드(214) 사이에 배치될 수 있다. 제3 패드(213)는 제1 패드(211)와 전기적으로 연결되고 제4 패드(214)는 제2 패드(212)와 전기적으로 연결될 수 있다. 그러나, 제5 패드(215)는 제1 패드(211) 및/또는 제2 패드(212)와 전기적으로 절연될 수 있다. 제5 패드(215)는 발광소자(100)에서 방출되는 열을 외부로 방출하는 히트 싱크 역할을 수행할 수 있다.
- [0034] 제5 패드(215)의 면적은 제3 패드(213) 및 제4 패드(214)의 면적의 합보다 클 수 있다. 따라서, 발광소자(100)에서 방출된 열을 신속히 외부로 방출할 수 있다. 또한, 제1 패드(211) 또는 제2 패드(212)의 면적은 제5 패드(215)의 면적보다 클 수 있다. 제1 패드(211)와 제2 패드(212)의 면적이 상대적으로 크므로 발광소자(100)에서 방출된 열을 신속히 외부로 방출할 수 있다. 즉, 방열 효율을 높이기 위해 제1 패드(211), 제2 패드(212) 및 제5 패드(215)의 면적을 상대적으로 크게 형성할 수 있다.
- [0035] 발광소자(100)는 자외선 파장대의 광을 출력할 수 있다. 예시적으로 발광소자(100)는 근자외선 파장대의 광(UV-A)을 출력할 수도 있고, 원자외선 파장대의 광(UV-B)을 출력할 수도 있고, 심자외선 파장대의 광(UV-C)을 출력할 수 있다. 파장범위는 발광 구조물의 Al의 조성비에 의해 결정될 수 있다. 또한, 발광소자(100)는 광의 세기가 서로 다른 다양한 파장의 광을 출력할 수 있고, 발광하는 광의 파장 중 다른 파장의 세기에 비해 상대적으로 가장 강한 세기를 갖는 광의 피크 파장이 근자외선, 원자외선, 또는 심자외선일 수 있다.
- [0036] 예시적으로, 근자외선 파장대의 광(UV-A)은 320nm 내지 420nm 범위에서 메인 피크를 가질 수 있고, 원자외선 파장대의 광(UV-B)은 280nm 내지 320nm 범위에서 메인 피크를 가질 수 있으며, 심자외선 파장대의 광(UV-C)은 100nm 내지 280nm 범위에서 메인 피크를 가질 수 있다. 발광 구조물은 100nm 내지 420nm의 파장에서 최대 피크 파장을 갖는 자외선 광을 생성할 수 있다.
- [0037] 발광소자(100)의 제1 방향 폭(W4)은 제5 패드(215)의 제1 방향 폭(W3)보다 크거나 동일할 수 있다. 제1 방향은

제1 패드(211)에서 제2 패드(212)를 향하는 방향일 수 있다. 발광소자(100)의 제1 방향 폭(W4)과 제5 패드(215)의 제1 방향 폭(W3)의 비는 1:0.8 내지 1:1일 수 있다. 발광소자(100)에 비해 패키지의 크기를 지나치게 크게 제작하여 발생하는 단가를 낮추기 위해 제5 패드의 제1 방향 폭(W3)을 발광소자(100)의 제1 방향 폭(W4)보다 다소 작게 제작할 수 있고, 이 때 발광소자(100)의 제1 방향 폭(W4)과 제5 패드(215)의 제1 방향 폭(W3)의 비는 1:0.8 내지 1:1일 수 있다. 1:0.8보다 작아지는 경우 제5 패드(215)의 면적이 줄어들어 방열 성능이 저하될 수 있기 때문에 제5 패드의 제1 방향의 폭(W3)은 발광소자(100)의 제1 방향의 폭(W4)의 80% 이상은 확보해야 하며, 발광소자(100)의 크기에 대한 패키지 크기를 작게 제작하기 위해 상기 비율은 1:1일 수 있다.

[0038] 그러나 반드시 이에 한정하는 것은 아니고 제5 패드(215)의 제1 방향 폭(W3)은 발광소자(100)의 제1 방향 폭(W4) 이상일 수도 있다. 즉, 발광소자(100)에서 방출되는 열을 외부로 신속하게 방출하기 위해 발광소자(100)의 제1 방향 폭(W4)과 제5 패드(215)의 제1 방향 폭(W3)의 비는 1:1 내지 1:1.2의 비를 가질 수 있다. 발광 소자의 제1 방향 폭(W4)보다 1.2 배 이상 클 경우, 패키지의 크기가 불필요하게 커지거나, 또는 제3 패드(213) 및 제4 패드(214)가 배치될 공간이 너무 적어지기 때문에 발광소자 패키지의 전류 주입 특성이 저하될 수 있다.

[0039] 제1 패드(211)와 제2 패드(212) 사이의 제1 간격(W1)은 제3 패드(213)와 제5 패드(215) 사이의 제2 간격(W2)과 동일하거나 작을 수 있다. 제1 간격(W1)과 제2 간격(W2)의 비(W1:W2)는 1:3 내지 1:7일 수 있다. 비가 1:3 보다 작은 경우 제1 간격(W1)이 너무 넓어져 플립칩 실장이 어려울 수 있다. 특히 보호소자(300)의 사이즈는 발광소자(100)보다 작으므로 전기적 신뢰성이 악화될 수 있다. 또한, 간격이 1:7 보다 커지는 경우 제2 간격(W2)이 넓어져 제5 패드(215)의 폭이 상대적으로 좁아지므로 방열 성능이 저하될 수 있다.

[0040] 제5 패드(215)의 제1 방향 폭(W3)과 제4 패드(214)의 제1 방향 폭(W5)의 비(W3:W5)는 1:0.1 내지 1:0.5일 수 있다. 폭의 비가 1:0.1 보다 작아지는 경우 제4 패드(214)의 폭이 작아져 저항이 증가하고 안정적인 전류 주입이 어려워질 수 있다. 또한, 폭의 비가 1:0.5 보다 큰 경우에는 상대적으로 제5 패드(215)의 면적이 작아져 방열 성능이 저하될 수 있다.

[0041] 제1 간격(W1)과 제5 패드(215)의 폭(W3)의 비(W1:W3)는 1:10 내지 1:15일 수 있다. 비가 1:10보다 작아지는 경우 제5 패드(215)의 면적이 줄어들어 방열 성능이 저하될 수 있으며, 비가 1:15보다 커지는 경우 제1 간격(W1)이 줄어들어 발광소자와 전기적 연결시 쇼트가 발생할 수 있다.

[0042] 실시 예에 따른 발광소자 패키지는 기판(200) 상에 별도의 캐비티를 형성하지 않고 발광소자(100)를 직접 실장하는 COS(Chip on substrate) 타입이므로 발광소자(100)의 크기에 제약이 없을 수 있다. 따라서, 출력이 큰 자외선 발광소자(100)를 동일한 사이즈의 기판(200)에 다양하게 실장할 수 있는 장점이 있다. 예시적으로 발광소자(100)의 제1 방향 폭은 1000 μ m 내지 1500 μ m일 수 있으나 반드시 이에 한정하지 않는다.

[0043] 발광소자(100)는 제1 패드(211) 상에 배치되는 제1 본딩전극(153) 및 제2 패드(212) 상에 배치되는 제2 본딩전극(163)을 포함할 수 있다. 실시 예에 따른 발광소자(100)는 플립칩 타입일 수 있으나 반드시 이에 한정하지 않는다. 예시적으로 수평형(lateral) 타입의 발광소자를 뒤집어 플립칩 타입으로 실장할 수도 있다.

[0044] 발광소자(100)와 기판(200)은 본딩부(17)에 의해 전기적으로 연결될 수 있다. 본딩부(17)는 유태틱 본딩일 수 있고, 또는 도전성 접착제를 이용한 본딩부(17)일 수 있다. 예시적으로, 제1 본딩전극(153)과 제3 패드(213) 사이 및 제2 본딩전극(163)과 제4 패드(214) 사이에 각각 유태틱 금속을 배치한 후 열을 인가하여 유태틱 본딩을 구성함으로써, 발광소자(100)와 제1 및 제2 패드(211,212)가 접합할 수 있다. 유태틱 금속은 AuSn, AgIn 을 포함할 수 있으나 반드시 이에 한정하지 않는다. 또한, 본딩부(17)는 도전성 접착제일 수 있다. 도전성 접착제일 경우 Sn, Ag, Cu 중 어느 하나를 포함할 수 있다. 예시적으로 SAC(Sn, Ag, Cu)를 포함하는 솔더일 수 있고, Ag를 포함하는 Paste 물질일 수 있다. 본딩부(17)는 발광소자(100)와 제1 및 제2 패드(211,212)의 결합을 위해 한정되지 않지만, 발광 소자(100)가 방출하는 열이 높을 경우, 패키지의 신뢰성을 안정적으로 확보하기 위해 유태틱 본딩을 통한 결합이 적용될 수 있다. 도 2에는 본딩부(17)가 발광소자(100)의 제1 및 제2 본딩전극(153,163)보다 제1 방향의 폭이 더 크게 도시되었으나, 유태틱 본딩을 적용하는 경우 본딩부(17)의 제1 방향의 폭과 발광소자(100)의 제1 및 제2 본딩전극(153,163)보다 제1 방향의 폭은 같을 수 있다.

[0045] 보호소자(300)는 제1 패드(211)와 제2 패드(212) 상에 배치되어 전기적으로 연결될 수 있다. 보호소자(300)는 제너 다이오드일 수 있으나 반드시 이에 한정하지 않는다.

[0046] 도 3을 참조하면, 제1 패드(211)와 제2 패드(212)는 발광소자(100)가 배치되는 영역을 지시하는 얼라인 홈(221, 222)을 포함할 수 있다. 얼라인 홈(221, 222)에 의해 기판(200)의 일면이 노출될 수 있다. 얼라인 홈(221, 222)은 발광소자(100)의 모서리를 둘러싸도록 절곡된 형상을 가질 수 있으나 반드시 이에 한정하지 않는다. 또한,

제1 패드(211)에는 패턴 마크(223)가 배치될 수 있다. 따라서, 제1 패드(211)와 제2 패드(212)의 극성을 판별할 수 있다. 그러나, 패턴 마크의 위치 및 형상은 특별히 한정하지 않는다.

- [0047] 도 4를 참조하면, 제3 패드(213)와 제4 패드(214)의 형상 및 면적은 동일할 수 있다. 제5 패드(215)는 제4 패드(214)와 마주보는 측면에 홈(215a)이 형성될 수 있다. 따라서, 제3 패드(213)와 제4 패드(214)의 극성을 판별할 수 있다. 그러나, 제5 패드(215)의 홈(215a)의 위치 및 형상은 특별히 한정하지 않는다.
- [0048] 도 5는 본 발명의 일 실시 예에 따른 조명장치의 개념도이고, 도 6은 도 5의 단면도이고, 도 7은 회로기판에 직접 칩을 부착한 개념도이고, 도 8은 도 7의 구조에서 전류 주입시 발광소자의 온도 분포를 시뮬레이션한 결과이고, 도 9는 실시 예에 따른 발광소자에 전류 주입시 온도 분포를 시뮬레이션한 결과이다.
- [0049] 도 5 및 도 6을 참조하면, 실시 예에 따른 조명장치는 회로기판(10) 상에 배치되는 발광소자 패키지(20)를 포함할 수 있다. 발광소자 패키지(20)는 전술한 구성이 모두 포함할 수 있다.
- [0050] 회로기판(10)은 제1 회로패턴(11), 제2 회로패턴(12) 및 상기 제1 회로패턴(11)과 제2 회로패턴(12) 사이에 배치되는 제3 회로패턴(13)을 포함할 수 있다. 기판(200)의 제3 패드(213)는 제1 회로패턴(11)과 전기적으로 연결되고, 제4 패드(214)는 제2 회로패턴(12)과 전기적으로 연결되고 제5 패드(215)는 제3 회로패턴(13)과 전기적으로 연결될 수 있다. 이때, 제3 회로패턴(13)은 더미전극일 수 있다. 실시 예에 따르면, 제5 패드(215) 역시 회로기판(10)에 전기적으로 연결되어 열을 신속하게 방출할 수 있는 장점이 있다. 따라서, 제5 패드(215)에 의해 제1 본딩전극(153)과 제2 본딩전극(163) 사이에서 방출된 열을 신속히 외부로 방출할 수 있다.
- [0051] 도 7 및 도 8을 참조하면, 회로기판(10)에 직접 발광소자(100) 칩을 실장한 경우 전류 주입시 발광소자(100)의 온도가 더 높은 것을 알 수 있다. 특히, 제1 회로패턴(11)과 제2 회로패턴(12)이 이격된 영역에서 발광소자(100)의 온도가 높은 것을 알 수 있다.
- [0052] 이에 반해, 도 9와 같이 본원발명은 전체적으로 발광소자(100)의 온도가 낮은 것을 확인할 수 있으며, 특히 제1 패드와 제2 패드 사이(W1)에서 발광소자(100)의 온도가 낮아졌음을 확인할 수 있다. 이는 AlN 계열의 기판(200)의 열 전도율이 170W/m 내지 180W/m으로 매우 좋고, 제5 패드(215)를 통해 발광소자(100)의 열이 신속히 방출될 수 있기 때문으로 판단된다.
- [0053] 도 10은 본 발명의 일 실시 예에 따른 발광소자의 단면도이고, 도 11은 도 10의 일부 확대도이고, 도 12는 본 발명의 일 실시 예에 따른 발광소자의 평면도이고, 도 13은 실시 예에 따른 제1 오믹전극과 제2 오믹전극의 배치를 보여주는 도면이고, 도 14는 도 13의 B-B 방향 단면도이다.
- [0054] 도 10을 참조하면, 본 발명의 일 실시 예에 따른 발광소자는, 발광 구조물(120), 발광 구조물(120) 상에 배치되는 제1 절연층(171), 제1 도전형 반도체층(121) 상에 배치되는 제1 오믹전극(151), 제2 도전형 반도체층(123) 상에 배치되는 제2 오믹전극(161), 제1 오믹전극(151) 상에 배치되는 제1 커버전극(152), 제2 오믹전극(161) 상에 배치되는 제2 커버전극(162), 및 제1 커버전극(152) 및 제2 커버전극(162) 상에 배치되는 제2 절연층(172)을 포함할 수 있다.
- [0055] 본 발명의 실시 예에 따른 발광 구조물(120)은 자외선 파장대의 광을 출력할 수 있다. 예시적으로 발광 구조물(120)은 근자외선 파장대의 광(UV-A)을 출력할 수도 있고, 원자외선 파장대의 광(UV-B)을 출력할 수도 있고, 심자외선 파장대의 광(UV-C)을 출력할 수 있다. 파장범위는 발광 구조물(120)의 Al의 조성비에 의해 결정될 수 있다.
- [0056] 예시적으로, 근자외선 파장대의 광(UV-A)은 320nm 내지 420nm 범위의 파장을 가질 수 있고, 원자외선 파장대의 광(UV-B)은 280nm 내지 320nm 범위의 파장을 가질 수 있으며, 심자외선 파장대의 광(UV-C)은 100nm 내지 280nm 범위의 파장을 가질 수 있다.
- [0057] 발광 구조물(120)이 자외선 파장대의 광을 발광할 때, 발광 구조물(120)의 각 반도체층은 알루미늄을 포함하는 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 < y \leq 1$, $0 \leq x+y \leq 1$) 물질을 포함할 수 있다. 여기서, Al의 조성은 In 원자량과 Ga 원자량 및 Al 원자량을 포함하는 전체 원자량과 Al 원자량의 비율로 나타낼 수 있다. 예를 들어, Al 조성은 40%인 경우 Ga의 조성은 60%인 $Al_{40}Ga_{60}N$ 일 수 있다.
- [0058] 또한 실시 예의 설명에 있어서 조성이 낮거나 높다라는 의미는 각 반도체층의 조성 %의 차이(및/또는 % 포인트)로 이해될 수 있다. 예를 들면, 제1 반도체층의 알루미늄 조성은 30%이고 제2 반도체층의 알루미늄 조성은 60%인 경우, 제2 반도체층의 알루미늄 조성은 제1 반도체층의 알루미늄 조성보다 30% 더 높다고 표현할 수

있다.

- [0059] 기판(110)은 사파이어(Al_2O_3), SiC, GaAs, GaN, ZnO, Si, GaP, InP 및 Ge 중 선택된 물질로 형성될 수 있으며, 이에 대해 한정하지는 않는다. 기판(110)은 자외선 파장대의 광이 투과할 수 있는 투광기판일 수 있다.
- [0060] 버퍼층(111)은 기판(110)과 반도체층들 사이의 격자 부정합을 완화할 수 있다. 버퍼층(111)은 III족과 V족 원소가 결합된 형태이거나 GaN, InN, AlN, InGaN, AlGaIn, InAlGaIn, AlInN 중에서 어느 하나를 포함할 수 있다. 본 실시 예는 버퍼층(111)은 AlN일 수 있으나 이에 한정하지 않는다. 버퍼층(111)은 도펀트를 포함할 수도 있으나 이에 한정하지 않는다.
- [0061] 제1 도전형 반도체층(121)은 III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있으며, 제1도펀트가 도핑될 수 있다. 제1 도전형 반도체층(121)은 $In_{x1}Al_{y1}Ga_{1-x1-y1}N$ ($0 \leq x1 \leq 1$, $0 < y1 \leq 1$, $0 \leq x1+y1 \leq 1$)의 조성식을 갖는 반도체 재료, 예를 들어 AlGaIn, AlN, InAlGaIn 등에서 선택될 수 있다. 그리고, 제1도펀트는 Si, Ge, Sn, Se, Te와 같은 n형 도펀트일 수 있다. 제1도펀트가 n형 도펀트인 경우, 제1도펀트가 도핑된 제1 도전형 반도체층(121)은 n형 반도체층일 수 있다.
- [0062] 활성층(122)은 제1 도전형 반도체층(121)과 제2 도전형 반도체층(123) 사이에 배치될 수 있다. 활성층(122)은 제1 도전형 반도체층(121)을 통해서 주입되는 전자(또는 정공)와 제2 도전형 반도체층(123)을 통해서 주입되는 정공(또는 전자)이 만나는 층이다. 활성층(122)은 전자와 정공이 재결합함에 따라 낮은 에너지 준위로 천이하며, 자외선 파장을 가지는 빛을 생성할 수 있다.
- [0063] 활성층(122)은 단일 우물 구조, 다중 우물 구조, 단일 양자 우물 구조, 다중 양자 우물(Multi Quantum Well; MQW) 구조, 양자점 구조 또는 양자선 구조 중 어느 하나의 구조를 가질 수 있으며, 활성층(122)의 구조는 이에 한정하지 않는다.
- [0064] 활성층(122)은 복수 개의 우물층(미도시)과 장벽층(미도시)을 포함할 수 있다. 우물층과 장벽층은 $In_{x2}Al_{y2}Ga_{1-x2-y2}N$ ($0 \leq x2 \leq 1$, $0 < y2 \leq 1$, $0 \leq x2+y2 \leq 1$)의 조성식을 가질 수 있다. 우물층은 발광하는 파장에 따라 알루미늄 조성 이 달라질 수 있다.
- [0065] 제2 도전형 반도체층(123)은 활성층(122) 상에 형성되며, III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있으며, 제2 도전형 반도체층(123)에 제2도펀트가 도핑될 수 있다.
- [0066] 제2 도전형 반도체층(123)은 $In_{x5}Al_{y2}Ga_{1-x5-y2}N$ ($0 \leq x5 \leq 1$, $0 < y2 \leq 1$, $0 \leq x5+y2 \leq 1$)의 조성식을 갖는 반도체 물질 또는 AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 중 선택된 물질로 형성될 수 있다.
- [0067] 제2도펀트가 Mg, Zn, Ca, Sr, Ba 등과 같은 p형 도펀트인 경우, 제2도펀트가 도핑된 제2 도전형 반도체층(123)은 p형 반도체층일 수 있다.
- [0068] 제1 절연층(171)은 제1 오믹전극(151)과 제2 오믹전극(161) 사이에 배치될 수 있다. 구체적으로 제1 절연층(171)은 제1 오믹전극(151)이 배치되는 제1홀(171a) 및 제2 오믹전극(161)이 배치되는 제2홀(171b)을 포함할 수 있다.
- [0069] 제1 오믹전극(151)은 제1 도전형 반도체층(121) 상에 배치되고, 제2 오믹전극(161)은 제2 도전형 반도체층(123) 상에 배치될 수 있다.
- [0070] 제1 오믹전극(151)과 제2 오믹전극(161)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrOx, RuOx, NiO, RuOx/ITO, Ni/IrOx/Au, 또는 Ni/IrOx/Au/ITO, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Sn, In, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으나, 이러한 재료에 한정되는 않는다. 예시적으로, 제1 오믹전극(151)은 복수의 금속층(예: Cr/Al/Ni)을 갖고, 제2 오믹전극(161)은 ITO일 수 있다.
- [0071] 도 11을 참조하면, 제1 오믹전극(151)은 일면에 배치된 제1 홀(151a)을 포함할 수 있다. 일반 가시광 발광소자와 달리 자외선 발광소자의 경우 오믹을 위해 전극을 고온에서 열처리할 필요가 있다. 예시적으로 제1 오믹전극(151) 및/또는 제2 오믹전극(161)은 약 600도 내지 900도에서 열처리할 수 있고, 이 과정에서 제1 오믹전극(151)의 표면에는 산화막(미도시)이 형성될 수 있다. 그러나, 산화막은 저항층으로 작용할 수 있으므로 동작 전

압이 상승할 수 있다.

- [0072] 따라서, 실시 예에 따른 제1 오믹전극(151)은 일면에 제1 홈(151a)을 형성하여 산화막을 제거할 수 있다. 이 과정에서 제1 홈(151a)을 둘러싸는 돌기부(151b)가 형성될 수 있다.
- [0073] 제1 오믹전극(151)을 전체적으로 에칭하는 경우 제1 오믹전극(151) 주변의 제1 절연층(171)까지 식각되어 쇼트가 발생하는 문제가 있다. 따라서, 실시 예는 제1 오믹전극(151)의 일부 영역에만 에칭을 수행하여 제1 절연층(171)이 식각되는 것을 방지할 수 있다. 따라서, 실시 예에 따른 제1 오믹전극(151)은 테두리 영역이 잔존하여 돌기부(151b)를 형성할 수 있다.
- [0074] 필요에 따라서는 마스크의 두께를 조절하여 제1 오믹전극(151)의 돌기부(151b)에도 상대적으로 약하게 에칭을 할 수도 있다. 이 경우, 제1 오믹전극(151)의 돌기부(151b) 및 측면에 잔존하는 산화막을 일부 제거할 수도 있다.
- [0075] 제1 커버전극(152)은 제1 오믹전극(151)상에 배치될 수 있다. 제1 전극은 제1 홈의 내부에 배치되는 제1요철부(152c)를 포함할 수 있다. 제1 커버전극(152)은 제1 오믹전극(151)의 측면을 덮을 수 있다. 이 경우, 제1 커버전극(152)과 제1 오믹전극(151)의 접촉 면적이 넓어지므로 동작 전압은 더 낮아질 수 있다.
- [0076] 제1 커버전극(152)은 제1 절연층(171)과 제1 오믹전극(151) 사이의 이격 영역(d2)에 배치되는 제2요철부(152b)를 포함할 수 있다. 제2요철부(152b)는 제1 도전형 반도체층(121)과 직접 접촉할 수 있다. 따라서, 전류 주입 효율이 향상될 수 있다. 이격 영역(d2)의 폭은 약 1um 내지 10um일 수 있으나 반드시 이에 한정하지 않는다.
- [0077] 제1 커버전극(152)은 제1 절연층(171)의 상부로 연장될 수 있다. 따라서, 제1 커버전극(152)의 전체 면적이 증가하여 동작 전압이 낮아질 수 있다.
- [0078] 다시 도 10을 참조하면, 제2 커버전극(162)은 제2 오믹전극(161)상에 배치될 수 있다. 제2 커버전극(162)은 제2 오믹전극(161)의 측면까지 커버할 수 있으나 반드시 이에 한정하지 않는다. 예시적으로 제2 커버전극(162)은 제2 오믹전극(161)의 상부에만 배치될 수도 있다.
- [0079] 제1 커버전극(152)과 제2 커버전극(162)은 Ni/Al/Au, 또는 Ni/IrOx/Au, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Sn, In, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으나 특별히 한정하지 않는다. 다만, 제1 커버전극(152)과 제2 커버전극(162)은 외부로 노출되는 최외곽층이 금(Au)을 포함할 수 있다. 금(Au)은 전극의 부식을 방지하며 전기 전도성을 향상시켜 패드와의 전기적 연결을 원활하게 할 수 있다.
- [0080] 제2 절연층(172)은 제1 커버전극(152), 제2 커버전극(162), 및 제1 절연층(171) 상에 배치될 수 있다. 제2 절연층(172)은 제1 커버전극(152)을 노출시키는 제1 개구부(152a) 및 제2 커버전극(162)을 노출시키는 제2 개구부(162a)를 포함할 수 있다.
- [0081] 제1 절연층(171)과 제2 절연층(172)은 SiO₂, SixOy, Si₃N₄, SixNy, SiOxNy, Al₂O₃, TiO₂, AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다. 제2 절연층(172)이 형성되는 과정에서 부분적으로 제1 절연층(171)과 제2 절연층(172)은 경계가 소멸할 수도 있다.
- [0082] 제1 커버전극(152) 상에는 제1 본딩전극(153)이 배치되고, 제2 커버전극(162) 상에는 제2 본딩전극(163)이 배치될 수 있다. 제1 본딩전극(153)과 제2 본딩전극(163)은 유테틱 본딩(eutectic bonding) 될 수 있으나 반드시 이에 한정하지 않는다.
- [0083] 도 12 및 도 13을 참조하면, 발광 구조물(120)은 식각에 의해 돌출된 발광부(M1)를 포함할 수 있다. 발광부(M1)는 활성층(122) 및 제2 도전형 반도체층(123)을 포함할 수 있다. 발광부(M1) 이외의 영역은 제1 도전형 반도체층이 노출된 비발광부(M2)일 수 있다.
- [0084] 이때, 발광부(M1)의 최대 둘레(P11)와 발광부의 최대 면적(P12)의 비(P11/P12)는 0.02 [1/um] 이상 0.05 [1/um]이하일 수 있다. 여기서 발광부(M1)의 최대 둘레 및 최대 면적은 제2 도전형 반도체층(또는 활성층)의 최대 둘레 및 면적일 수 있다.
- [0085] 상기 비(P11/P12)가 0.02 이상인 경우 면적 대비 발광부의 둘레가 길어져 광 출력이 향상될 수 있다. 예시적으로, 측면에서 광이 출사될 수 있는 확률이 높아져 광 출력이 향상될 수 있다. 또한, 비(P11/P12)가 0.05 이하인 경우 면적 대비 발광부의 둘레가 너무 길어져 오히려 광 출력이 저하되는 문제를 방지할 수 있다. 예시적으로 동일 면적 내에서 발광부 둘레가 과도하게 길어지는 경우 매우 얇은 발광부가 연속 배치될 수 있다. 그러나, 이 경우 발광부 위에 배치되는 전극 역시 매우 얇아져 저항이 높아질 수 있다. 따라서, 동작 전압이 상승할 수 있

다.

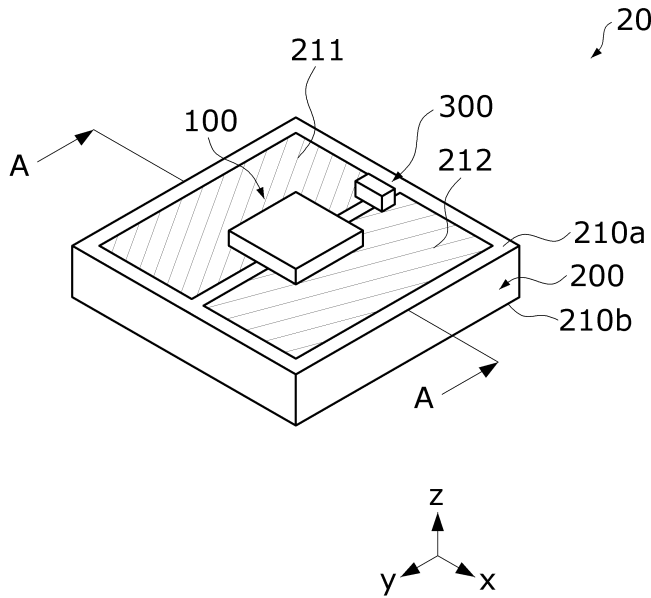
- [0086] 발광부(M1)는 적정 둘레와 면적의 비를 갖기 위해 복수 개의 발광부가 제2 방향으로 이격된 복수 개의 제1 발광부(M11), 및 제2 방향으로 연장되어 복수 개의 제1발광부의 끝단을 연결한 제2 발광부(M12)를 포함할 수 있다.
- [0087] 제2 커버전극(162)은 발광부(M1)의 형상과 대응되는 형상을 가질 수 있다. 또한, 제1 전극은 제2 전극을 둘러싸는 형태로 배치될 수 있다.
- [0088] 제1 본딩전극(153)과 제2 본딩전극(163)은 평면상에서 제1 방향으로 이격 배치될 수 있다. 제1 방향은 X 방향이고 제2 방향은 Y방향일 수 있다. 제1 방향과 제2 방향은 서로 수직할 수 있으나 반드시 이에 한정하지 않는다.
- [0089] 제1 본딩전극(153)은 제2 절연층의 제1 개구부(152a)를 통해 제1 커버전극(152)과 전기적으로 연결되고, 제2 본딩전극(163)은 제2 절연층의 제2 개구부(162a)를 통해 제2 커버전극(162)과 전기적으로 연결될 수 있다. 제1 개구부(152a)는 제1 커버전극(152)의 형상을 따라 형성된 하나의 홀일 수 있고, 제2 개구부(162a)는 복수 개일 수 있다. 실시 예에 따르면, 도 3과 도 12를 참조하면, 기관(200)의 제1 패드(211)와 연결된 제1 관통홀(H1)의 개수와 제2 패드(212)와 연결된 제2 관통홀(H2)의 개수는 동일한 반면, 제2 개구부(162a)의 개수는 제1 개구부(152a)보다 많을 수 있다. 따라서, 제1 개구부(152a)와 제1 관통홀(H1) 합은 복수 개의 제2 개구부(162a)와 제2 관통홀(H2)의 합보다 작을 수 있다.
- [0090] 도 13을 참조하면, 제2 커버전극(162)은 제2 도전형 반도체층(123)과 제2 본딩전극(163) 사이에서 제2 방향(Y 방향)으로 연장되는 제2 연결전극(162-2), 및 제2 연결전극(162-2)에서 제1 본딩전극(153)을 향하여 제1 방향(X 방향)으로 연장되는 복수 개의 제2 가지전극(162-1)을 포함할 수 있다.
- [0091] 제1 커버전극(152)은 제1 도전형 반도체층(121)과 제1 본딩전극(153) 사이에서 제2 방향으로 연장되는 제1 연결전극(152-2), 및 제1 연결전극(152-2)에서 제2 본딩전극(163)을 향하여 연장되는 복수 개의 제1 가지전극(152-1)을 포함할 수 있다.
- [0092] 제1 연결전극(152-2)은 발광 구조물(120)의 테두리를 따라 연장되어 제2 커버전극(162)을 둘러싸도록 배치될 수 있다. 따라서, 전류 주입시 제1 도전형 반도체층(121)에 전류가 균일하게 분산될 수 있다.
- [0093] 제1 연결전극(152-2)의 제1 방향의 폭(Q3)은 제2 연결전극(162-2)의 제1 방향의 폭(Q4)보다 작을 수 있다. 제1 연결전극(152-2)의 제1 방향의 폭과 제2 연결전극(162-2)의 제1 방향의 폭의 비(Q3:Q4)는 1: 1.1 내지 1: 1.5 일 수 있다. 폭의 비(Q3:Q4)가 1:1.1 이상인 경우 제2 커버전극(162)의 면적이 커져 정공 주입 효율이 개선될 수 있으며, 폭의 비가 1:1.5 이하인 경우 제1 연결전극(152-2)의 면적이 확보되어 전자 주입 효율이 개선될 수 있다.
- [0094] 제1 가지전극(152-1)은 이웃한 제2 가지전극(162-1) 사이에 배치될 수 있다. 이때, 제1 가지전극(152-1)의 제2 방향의 폭(Q2)은 제2 가지전극(162-1)의 제2 방향의 폭(Q1)보다 작을 수 있다. 제1 가지전극(152-1)의 제2 방향의 폭(Q2)과 제2 가지전극(162-1)의 제2 방향의 폭(Q1)의 비(Q2:Q1)는 1:2 내지 1:4일 수 있다. 폭의 비(Q2:Q1)가 1:2 이상인 경우 제2 커버전극(162)의 면적이 증가하여 정공 주입 효율이 개선될 수 있다. 또한, 폭의 비가 1:4 이하인 경우 제1 커버전극(152)의 면적을 확보할 수 있어 전자 주입 효율이 개선될 수 있다.
- [0095] 제2 커버전극(162)의 면적은 제1 커버전극(152)의 면적보다 클 수 있다. 제2 커버전극(162)의 전체 면적(R1)은 제1 커버전극(152)의 전체 면적(R2)의 비(R1:R2)는 1:0.5 내지 1:0.7일 수 있다. 면적비가 1:0.5 이상인 경우 제1 커버전극(152)의 면적이 확보되어 전자 주입 효율이 개선될 수 있으며, 제1 커버전극(152)의 제2 커버전극(162)을 둘러싸도록 배치될 수 있다. 따라서, 전류 분산 효율도 개선될 수 있다.
- [0096] 면적비가 1:0.7이하인 경우 제2 커버전극(162)의 면적이 확보되어 정공 주입 효율이 개선될 수 있으며, 광 출력이 향상될 수 있다.
- [0097] 제1 가지전극(152-1)의 끝단은 제2 본딩전극(163)과 제1 도전형 반도체층(121) 사이에 배치되고, 제2 가지전극(162-1)의 끝단은 제1 본딩전극(153)과 제2 도전형 반도체층(123) 사이에 배치될 수 있다. 즉, 제1 가지전극(152-1)은 제1 도전형 반도체층(121)의 두께 방향으로 제2 본딩전극(163)과 중첩되고, 제2 가지전극(162-1)은 제1 도전형 반도체층(121)의 두께 방향으로 제1 본딩전극(153)과 중첩될 수 있다.
- [0098] 제1 본딩전극(153)은 제2 방향으로 평행한 제1 측면(153b) 및 제2 측면(153a)을 포함하고, 제2 본딩전극(163)은 제2 방향과 평행하고 제2 측면(153a)에 가까운 제3 측면(163a), 및 제3 측면(163a)과 평행한 제4 측면(163b)을 포함할 수 있다.

- [0099] 이때, 제1 가지전극(152-1)의 끝단에서 제2 본딩전극(163)의 제4 측면(163b)까지 제1 방향의 거리(L1)는 제2 가지전극(162-1)의 끝단에서 제1 본딩전극(153)의 제1 측면(153b)까지 제1 방향의 거리(L2)보다 길 수 있다. 제2 가지전극(162-1)과 제1 본딩전극(153)의 중첩 면적은 제1 가지전극(152-1)과 제2 본딩전극(163)의 중첩 면적보다 클 수 있다.
- [0100] 도 13 및 14를 참조하면, 제1 커버전극(152)은 발광부(M1)를 전체적으로 둘러싸도록 배치될 수 있다. 즉, 최외곽에는 제1 가지전극(152-1)이 배치되므로 제2 도전형 반도체층 및/또는 제2 본딩전극에서 발생한 열이 신속히 외측으로 방출되기 어려울 수 있다.
- [0101] 도 15 및 도 16을 참조하면, 실시 예에 따른 제2 도전형 반도체층을 포함하는 발광부(M1)가 외측에 배치되므로 P 패드층에서 발생한 열이 신속하게 외부로 배출될 수 있다. 즉, 최외측에는 제1 도전형 반도체층의 상면(121-1)이 노출되어 발광부(M1)가 제1 커버전극에 둘러싸이지 않으므로 P 패드층의 열이 신속하게 외부로 배출될 수 있다.
- [0102] 또한, 도 17과 같이 발광부(M1)와 비발광부(M2)가 교대로 배치되면 전류 스프레이딩이 개선되는 동시에 발광부(M1)의 측면이 외측으로 노출되어 방열 효과도 개선될 수 있다. 제1 본딩 전극(153)과 제2 본딩 전극(163)은 각각 관통전극(H31, H32)에 의해 발광 구조물과 각각 전기적으로 연결될 수 있다.
- [0103] 도 18을 참조하면, 후 제2 본딩전극(163)에 접합된 본딩부(17)에서 유테틱 금속이 돌출되어 제1 도전형 반도체층(121)과 접촉하여 쇼트가 발생할 수 있다. 따라서, 제1 절연층(171) 및 제2 절연층(172)은 최외측에 배치되어 발광부(M1)를 둘러싸는 제1 도전형 반도체층(121)의 끝단(E1)을 커버할 수 있다. 따라서, 실시 예에 따르면 제1 도전형 반도체층(121)의 끝단(E1)은 제1 절연층(171) 및 제2 절연층(172)에 커버되어 외부로 노출되지 않을 수 있다. 따라서, 유테틱 금속이 돌출되어도 쇼트를 방지할 수 있다.
- [0104] 발광소자 패키지는 다양한 종류의 광원 장치에 적용될 수 있다. 예시적으로 광원장치는 살균 장치, 경화 장치, 조명 장치, 및 표시 장치 및 차량용 램프 등을 포함하는 개념일 수 있다. 즉, 반도체 소자는 케이스에 배치되어 광을 제공하는 다양한 전자 디바이스에 적용될 수 있다.
- [0105] 살균 장치는 실시 예에 따른 반도체 소자를 구비하여 원하는 영역을 살균할 수 있다. 살균 장치는 정수기, 에어컨, 냉장고 등의 생활 가전에 적용될 수 있으나 반드시 이에 한정하지 않는다. 즉, 살균 장치는 살균이 필요한 다양한 제품(예: 의료 기기)에 모두 적용될 수 있다.
- [0106] 예시적으로 정수기는 순환하는 물을 살균하기 위해 실시 예에 따른 살균 장치를 구비할 수 있다. 살균 장치는 물이 순환하는 노즐 또는 토출구에 배치되어 자외선을 조사할 수 있다. 이때, 살균 장치는 방수 구조를 포함할 수 있다.
- [0107] 경화 장치는 실시 예에 따른 반도체 소자를 구비하여 다양한 종류의 액체를 경화시킬 수 있다. 액체는 자외선이 조사되면 경화되는 다양한 물질을 모두 포함하는 최광의 개념일 수 있다. 예시적으로 경화장치는 다양한 종류의 레진을 경화시킬 수 있다. 또는 경화장치는 매니큐어와 같은 미용 제품을 경화시키는 데 적용될 수도 있다.
- [0108] 조명 장치는 기관과 실시 예의 반도체 소자를 포함하는 광원 모듈, 광원 모듈의 열을 발산시키는 방열부 및 외부로부터 제공받은 전기적 신호를 처리 또는 변환하여 광원 모듈로 제공하는 전원 제공부를 포함할 수 있다. 또한, 조명 장치는, 램프, 헤드 램프, 또는 가로등 등을 포함할 수 있다.
- [0109] 표시 장치는 바텀 커버, 반사판, 발광 모듈, 도광판, 광학 시트, 디스플레이 패널, 화상 신호 출력 회로 및 컬러 필터를 포함할 수 있다. 바텀 커버, 반사판, 발광 모듈, 도광판 및 광학 시트는 백라이트 유닛(Backlight Unit)을 구성할 수 있다.
- [0110] 반사판은 바텀 커버 상에 배치되고, 발광 모듈은 광을 방출할 수 있다. 도광판은 반사판의 전방에 배치되어 발광 모듈에서 발산되는 빛을 전방으로 안내하고, 광학 시트는 프리즘 시트 등을 포함하여 이루어져 도광판의 전방에 배치될 수 있다. 디스플레이 패널은 광학 시트 전방에 배치되고, 화상 신호 출력 회로는 디스플레이 패널에 화상 신호를 공급하며, 컬러 필터는 디스플레이 패널의 전방에 배치될 수 있다.
- [0111] 발광소자 패키지는 표시장치의 백라이트 유닛으로 사용될 때 예지 타입의 백라이트 유닛으로 사용되거나 직하 타입의 백라이트 유닛으로 사용될 수 있다.
- [0112] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지

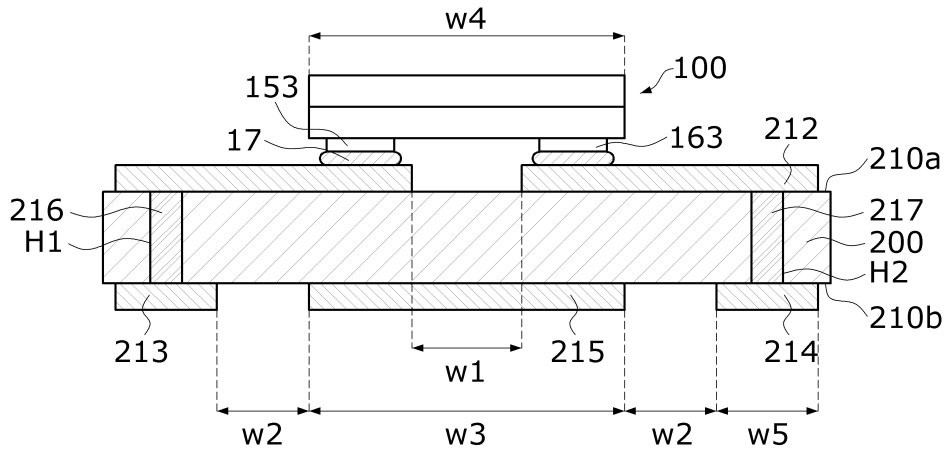
많은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

도면

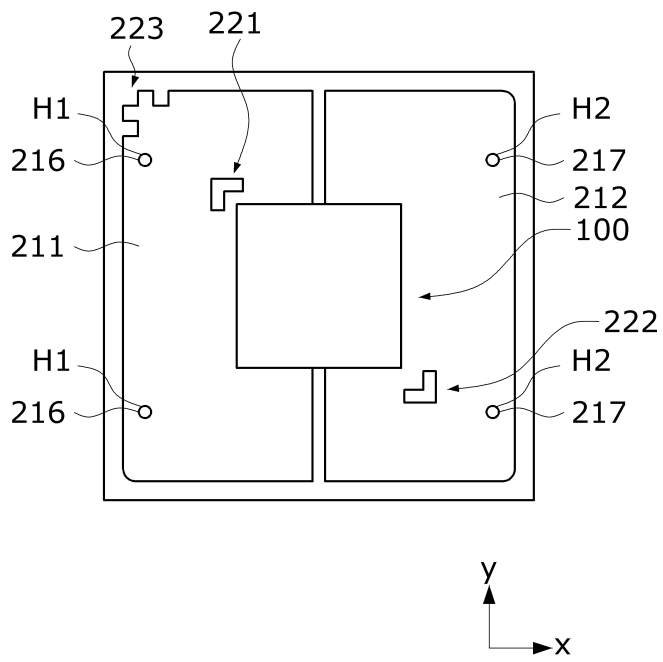
도면1



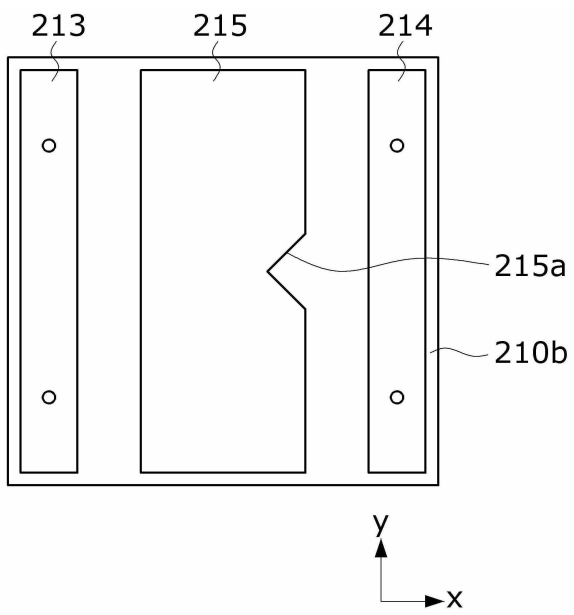
도면2



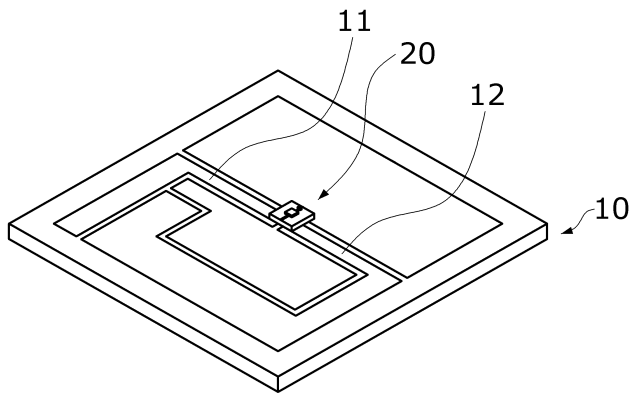
도면3



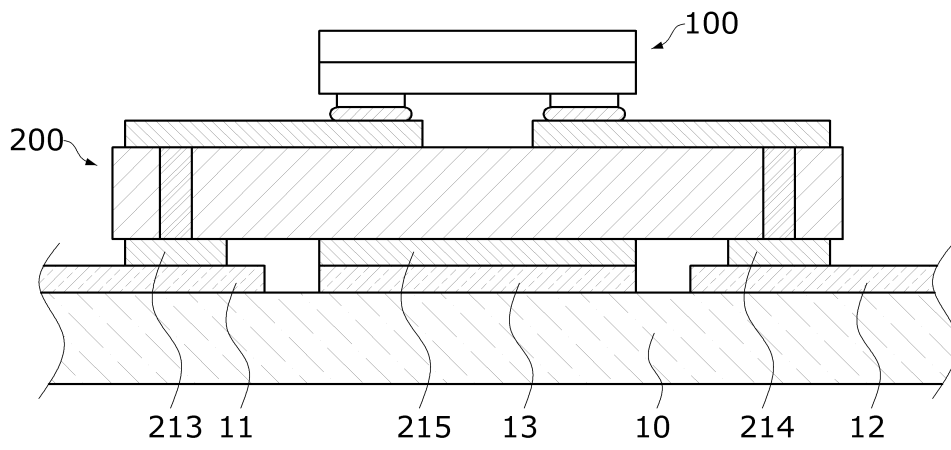
도면4



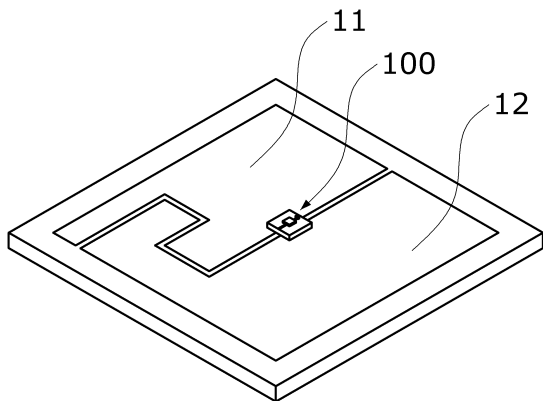
도면5



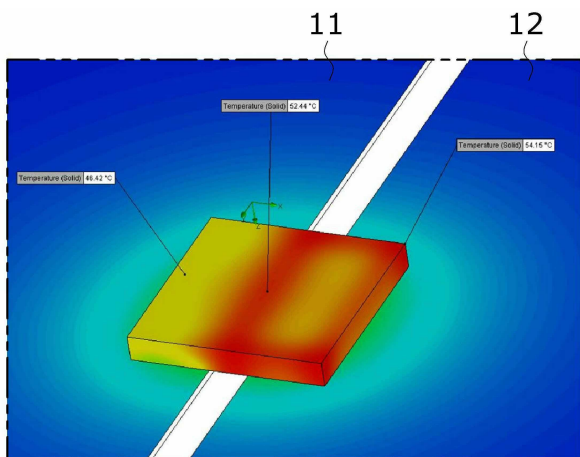
도면6



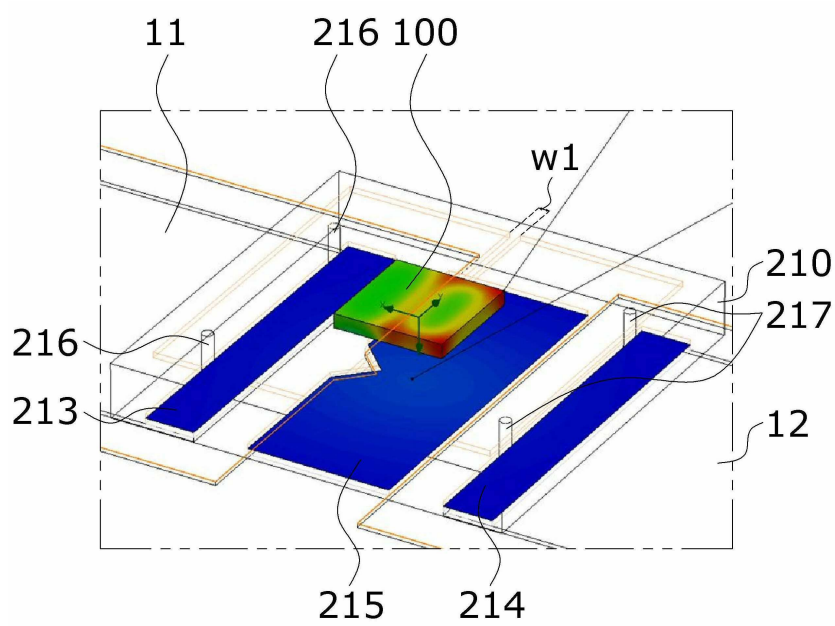
도면7



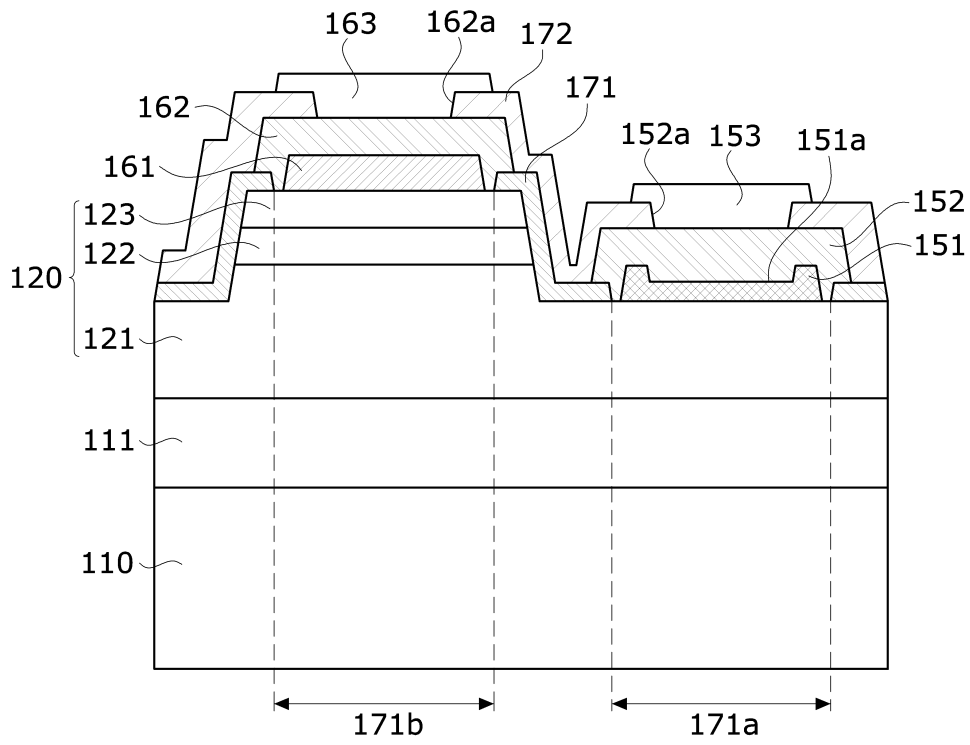
도면8



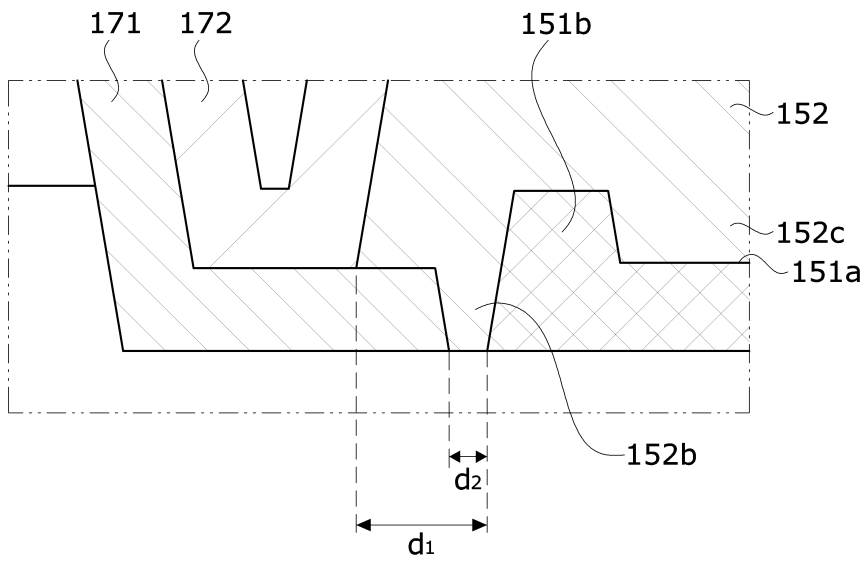
도면9



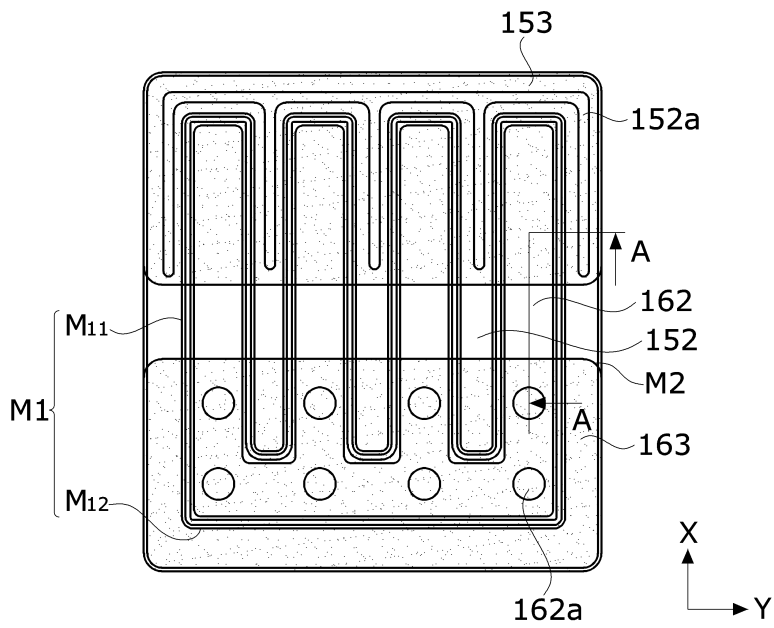
도면10



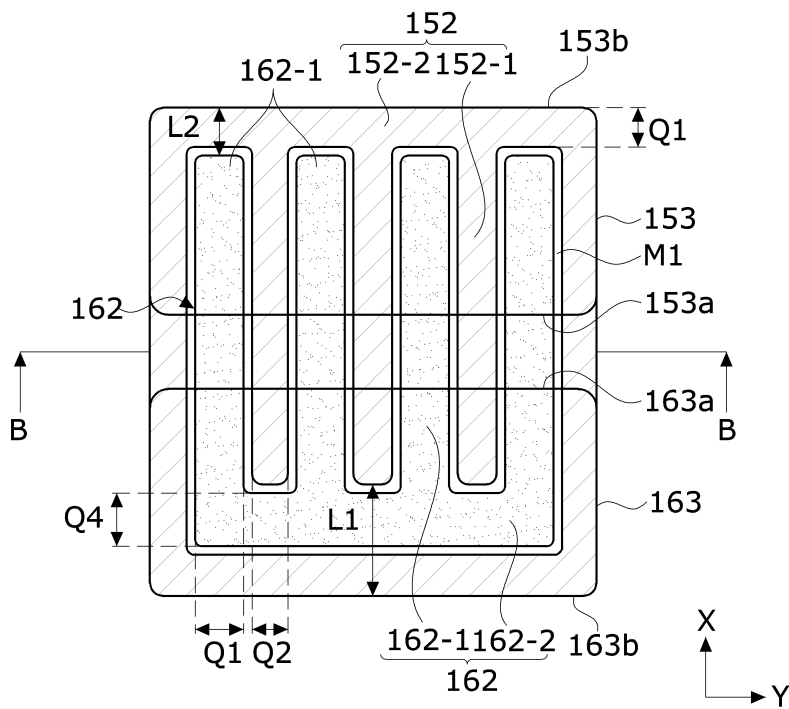
도면11



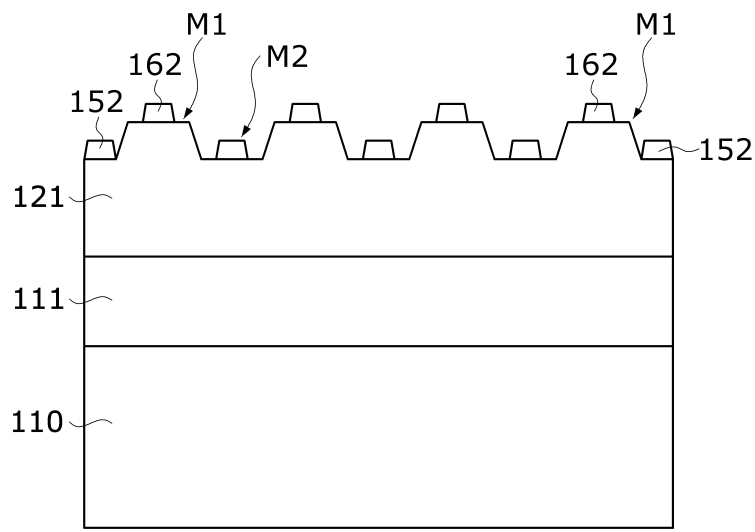
도면12



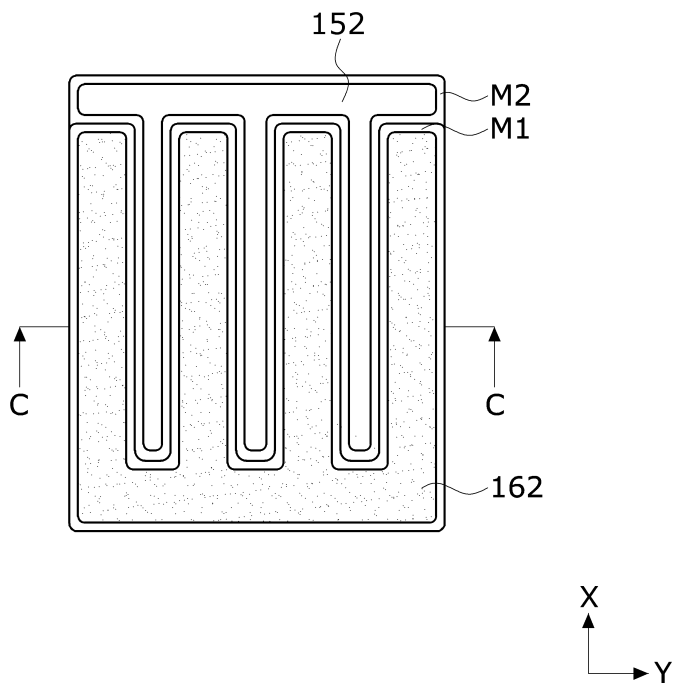
도면13



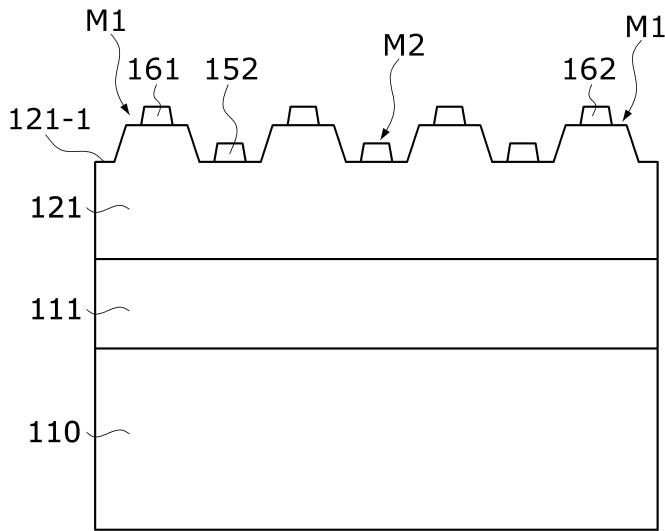
도면14



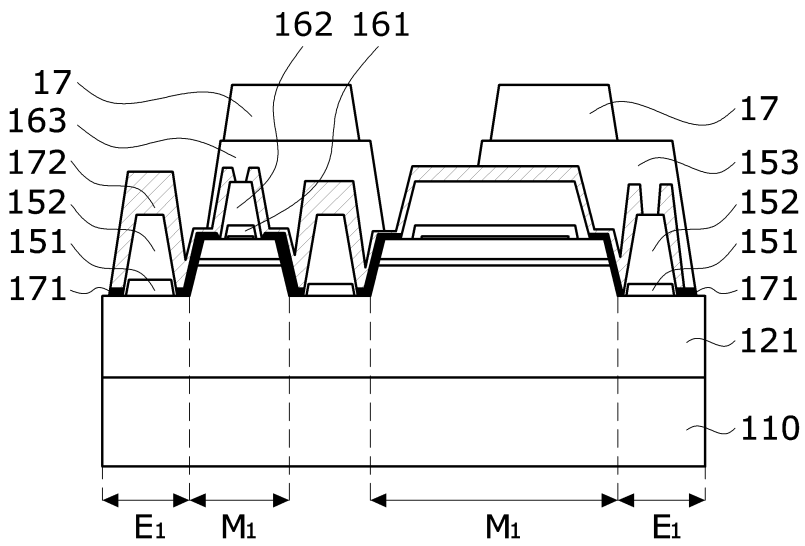
도면15



도면16



도면17



도면18

