

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-26028
(P2007-26028A)

(43) 公開日 平成19年2月1日(2007.2.1)

(51) Int. Cl.		F I		テーマコード (参考)
G06F 1/04	(2006.01)	G06F 1/04	302Z	2G132
G06F 11/30	(2006.01)	G06F 11/30	320D	5B042
G01R 31/28	(2006.01)	G01R 31/28	V	

審査請求 未請求 請求項の数 11 O L (全 12 頁)

(21) 出願番号	特願2005-206466 (P2005-206466)	(71) 出願人	000237592 富士通テン株式会社 兵庫県神戸市兵庫区御所通1丁目2番28号
(22) 出願日	平成17年7月15日 (2005.7.15)	(74) 代理人	100107478 弁理士 橋本 薫
		(72) 発明者	假家 裕子 兵庫県神戸市兵庫区御所通1丁目2番28号 富士通テン株式会社内
		Fターム(参考)	2G132 AA03 AB20 AK07 AL11 AL31 5B042 GA38 GB08 JJ25 JJ29 JJ31 LA14 MC23 MC31

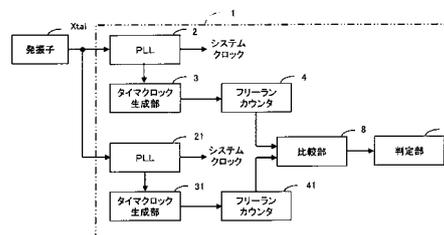
(54) 【発明の名称】 マイクロコンピュータの異常検出装置

(57) 【要約】

【課題】 機器に対する制御タイミングや制御量に重大な影響を与えるマイクロコンピュータのタイマクロック生成部やフリーランカウンタ等の異常を正確に検出できるマイクロコンピュータの異常検出装置を提供する。

【解決手段】 外部発振子からの入力クロックに基づいてシステムクロックを生成するPLL 2、21と、PLLからの出力クロックを分周してタイマクロックを生成するタイマクロック生成部3、31と、タイマクロック生成部からのタイマクロックに基づいてカウントするフリーランカウンタ4、41を重複して備え、フリーランカウンタ4と第二のフリーランカウンタ41の値を比較する比較部8と、比較部により双方のフリーランカウンタの値が不一致であるときにフリーランカウンタ4が異常であると判定する判定部9を備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

システムクロックに基づいてタイマクロックを生成するタイマクロック生成部と、前記タイマクロック生成部からのタイマクロックに基づいてカウントするフリーランカウンタを備えてなるマイクロコンピュータの異常検出装置であって、

システムクロックに基づいて前記タイマクロック生成部と同一周期のタイマクロックを生成する第二のタイマクロック生成部と、前記第二のタイマクロック生成部からのタイマクロックに基づいてカウントする第二のフリーランカウンタと、前記フリーランカウンタと前記第二のフリーランカウンタの値を比較する比較部を備え、前記比較部により双方のフリーランカウンタの値が不一致であるときに前記フリーランカウンタが異常であると判定する判定部を備えているマイクロコンピュータの異常検出装置。 10

【請求項 2】

前記第二のタイマクロック生成部が前記システムクロックに基づいて作動するタイマ割込み部で構成され、前記第二のフリーランカウンタが所定間隔のタイマ割込み処理で計数するソフトウェアカウンタで構成される請求項 1 記載のマイクロコンピュータの異常検出装置。

【請求項 3】

システムクロックに基づいてタイマクロックを生成するタイマクロック生成部と、前記タイマクロック生成部からのタイマクロックに基づいてカウントするフリーランカウンタを備えてなるマイクロコンピュータの異常検出装置であって、 20

外部基準クロック信号に基づいて作動する割込み部と、前記割込み部の作動時に前記フリーランカウンタの値を取り込むキャプチャレジスタを備え、一定周期の外部基準クロック信号に基づく割込み処理で前記キャプチャレジスタと前記フリーランカウンタの値を比較する比較部を備え、前記比較部により前記キャプチャレジスタの値と前記フリーランカウンタの値が所定範囲から逸脱しているときに前記キャプチャレジスタが異常であると判定する判定部を備えているマイクロコンピュータの異常検出装置。

【請求項 4】

システムクロックに基づいてタイマクロックを生成するタイマクロック生成部と、前記タイマクロック生成部からのタイマクロックに基づいてカウントするフリーランカウンタを備えてなるマイクロコンピュータの異常検出装置であって、 30

外部基準クロック信号に基づいて作動する割込み部と、一定周期の外部基準クロック信号に基づく割込み処理で前記フリーランカウンタの値と前記外部クロックの周期とを比較する比較部を備え、前記比較部により前記フリーランカウンタの値が所定範囲から逸脱しているときに前記フリーランカウンタが異常であると判定する判定部を備えているマイクロコンピュータの異常検出装置。

【請求項 5】

システムクロックに基づいてタイマクロックを生成するタイマクロック生成部と、前記タイマクロック生成部からのタイマクロックに基づいてカウントするフリーランカウンタを備えてなるマイクロコンピュータの異常検出装置であって、

外部基準クロック信号に基づいて作動する割込み部と、前記割込み部の作動時に前記フリーランカウンタの値を取り込むキャプチャレジスタを備え、一定周期の外部基準クロック信号に基づく割込み処理で前記キャプチャレジスタの値と前記外部クロックの周期とを比較する比較部を備え、前記比較部により前記キャプチャレジスタの値が所定範囲から逸脱しているときに前記キャプチャレジスタが異常であると判定する判定部を備えているマイクロコンピュータの異常検出装置。 40

【請求項 6】

システムクロックに基づいてタイマクロックを生成するタイマクロック生成部と、前記タイマクロック生成部からのタイマクロックに基づいてカウントするフリーランカウンタを備えてなるマイクロコンピュータの異常検出装置であって、

外部基準クロック信号に基づいて作動する割込み部と、前記割込み部の作動時に前記フ 50

リーランカウンタの値を取り込むキャプチャレジスタと、一定周期の外部基準クロック信号に基づく割り込み処理でキャプチャレジスタの値から所定時間後に外部割り込み信号を出力する信号出力部と、前記信号出力部からの出力信号に基づいて割り込み処理を実行する第二のマイクロコンピュータを備え、前記第二のマイクロコンピュータによる割り込み処理で当該割り込み間隔が所定範囲から逸脱しているときに前記キャプチャレジスタが異常であると判定する判定部を備えているマイクロコンピュータの異常検出装置。

【請求項 7】

システムクロックに基づいてタイマクロックを生成するタイマクロック生成部と、前記タイマクロック生成部からのタイマクロックに基づいてカウントするフリーランカウンタを備えてなるマイクロコンピュータの異常検出装置であって、

10

前記フリーランカウンタに基づいて一定周期で作動するインタバル割り込み部と、インタバル割り込み処理で外部割り込み信号を出力する信号出力部と、前記信号出力部からの出力信号に基づいて割り込み処理を実行する第二のマイクロコンピュータを備え、前記第二のマイクロコンピュータによる割り込み処理で求められる当該割り込み間隔が所定範囲から逸脱しているときに前記フリーランカウンタまたは前記インタバル割り込み部が異常であると判定する判定部を備えているマイクロコンピュータの異常検出装置。

【請求項 8】

前記判定部は、異常と判定された回数をカウントする異常カウンタを備え、前記異常カウンタの値が所定値を超えたときに異常と判定する請求項 1 から 9 の何れかに記載のマイクロコンピュータの異常検出装置。

20

【請求項 9】

前記判定部は、異常と判定したときに異常状態及び対応する異常の発生回数を不揮発性メモリに記憶する請求項 8 記載のマイクロコンピュータの異常検出装置。

【請求項 10】

前記判定部は、異常と判定したときに当該異常状態を他のマイクロコンピュータに出力する請求項 8 または 9 記載のマイクロコンピュータの異常検出装置。

【請求項 11】

エンジンを電子制御する複数のマイクロコンピュータを備えた電子制御システムに搭載される請求項 1 から 10 の何れかに記載のマイクロコンピュータの異常検出装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マイクロコンピュータの異常検出装置に関し、特にエンジンを電子制御する複数のマイクロコンピュータを備えた電子制御システムに搭載されるマイクロコンピュータの異常検出装置に関する。

【背景技術】

【0002】

従来、ソフトウェアの暴走を検出するべく、プログラムにより一定周期毎にリセットされるウォッチドッグタイマ回路を設けて、当該ウォッチドッグタイマ回路のカウントアップによりマイクロコンピュータをリセットするマイクロコンピュータの異常検出装置が提案されている。また、割り込み信号発生回路等の故障を検出するものとして、クロックパルスをカウントし、割り込み信号発生回路から発生された割り込み信号に基づいてリセットされるカウンタによるカウント値に基づいて前記割り込み信号発生回路が異常であることを検出する異常検出装置が提案されていた。

40

【特許文献 1】特開昭 63 - 49855 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

上述した従来ウォッチドッグタイマ回路はマイクロコンピュータで実行されるプログラムの暴走を検出するものであり、マイクロコンピュータそのものの異常を検出するもの

50

ではなく、後者の異常検出回路でも割込み信号発生回路の異常を検出するもので、同様にマイクロコンピュータそのものの異常を検出するものではなかった。

【0004】

ところで、自動車のエンジン等を制御するマイクロコンピュータでは、外部発振子からの入力クロックに基づいてシステムクロックを生成するPLLと、前記PLLからの出力クロックを分周してタイマクロックを生成するタイマクロック生成部と、前記タイマクロック生成部からのタイマクロックに基づいてカウントするフリーランカウンタ（一般に、ジェネラルタイマレジスタ（GTM）と称される。）を備えて構成され、システムクロックに同期して命令コードが逐次実行されるとともに、フリーランカウンタの値に基づいて燃料噴射タイミングや噴射量等の制御タイミングや制御量が調整されているため、プログラムが正常に実行される場合であっても、タイマクロック生成部及びフリーランカウンタに何らかの故障が生じるとエンジンの制御タイミングや制御量が変動して適切に制御できなくなるといった問題があった。

10

【0005】

本発明の目的は、上述の従来の問題点に鑑み、機器に対する制御タイミングや制御量に重大な影響を与えるマイクロコンピュータのタイマクロック生成部やフリーランカウンタ等の異常を正確に検出できるマイクロコンピュータの異常検出装置を提供する点にある。

【課題を解決するための手段】

【0006】

上述の目的を達成するため、本発明によるマイクロコンピュータの異常検出装置の第一の特徴構成は、システムクロックに基づいてタイマクロックを生成するタイマクロック生成部と、前記タイマクロック生成部からのタイマクロックに基づいてカウントするフリーランカウンタを備えてなるマイクロコンピュータの異常検出装置であって、システムクロックに基づいて前記タイマクロック生成部と同一周期のタイマクロックを生成する第二のタイマクロック生成部と、前記第二のタイマクロック生成部からのタイマクロックに基づいてカウントする第二のフリーランカウンタと、前記フリーランカウンタと前記第二のフリーランカウンタの値を比較する比較部を備え、前記比較部により双方のフリーランカウンタの値が不一致であるときに前記フリーランカウンタが異常であると判定する判定部を備えている点にある。

20

【0007】

上述の構成によれば、タイマクロック生成部及びフリーランカウンタを重複して構成し、機器の制御に使用される一方のフリーランカウンタの値と、異常検出用の第二のフリーランカウンタの値とを比較部で比較し、その結果に基づいて判定部が異常か否かを判定することにより、マイクロコンピュータが機器に対する制御動作中であっても、確実に異常を検出することができ、信頼性を向上させることができるようになる。

30

【0008】

同第二の特徴構成は、上述の第一特徴構成に加えて、前記第二のタイマクロック生成部が前記システムクロックに基づいて作動するタイマ割込み部で構成され、前記第二のフリーランカウンタが所定間隔のタイマ割込み処理で計数するソフトウェアカウンタで構成される点にある。

40

【0009】

上述の構成によれば、マイクロコンピュータに別途のハードウェアを追加構成することなく、ソフトウェアによって同様の異常検出を行なうことができるようになる。

【0010】

同第三の特徴構成は、システムクロックに基づいてタイマクロックを生成するタイマクロック生成部と、前記タイマクロック生成部からのタイマクロックに基づいてカウントするフリーランカウンタを備えてなるマイクロコンピュータの異常検出装置であって、外部基準クロック信号に基づいて作動する割込み部と、前記割込み部の作動時に前記フリーランカウンタの値を取り込むキャプチャレジスタを備え、一定周期の外部基準クロック信号に基づく割込み処理で前記キャプチャレジスタと前記フリーランカウンタの値を比較する

50

比較部を備え、前記比較部により前記キャプチャレジスタの値と前記フリーランカウンタの値が所定範囲から逸脱しているときに前記キャプチャレジスタが異常であると判定する判定部を備えている点にある。

【0011】

上述の構成によれば、割込み処理時にフリーランカウンタの値がキャプチャレジスタに取り込まれるのであるが、このとき、キャプチャレジスタの値とフリーランカウンタの値が比較部で処理されるのに要する時間である所定範囲を逸脱するときに、キャプチャレジスタが異常であると検出することができる。

【0012】

同第四の特徴構成は、システムクロックに基づいてタイマクロックを生成するタイマクロック生成部と、前記タイマクロック生成部からのタイマクロックに基づいてカウントするフリーランカウンタを備えてなるマイクロコンピュータの異常検出装置であって、外部基準クロック信号に基づいて作動する割込み部と、一定周期の外部基準クロック信号に基づく割込み処理で前記フリーランカウンタの値と前記外部クロックの周期とを比較する比較部を備え、前記比較部により前記フリーランカウンタの値が所定範囲から逸脱しているときに前記フリーランカウンタが異常であると判定する判定部を備えている点にある。

10

【0013】

上述の構成によれば、フリーランカウンタの値に基づいて一定の周期で割込み部が起動されているか否を判断することにより、フリーランカウンタの異常を検出することができる。

20

【0014】

同第五の特徴構成は、システムクロックに基づいてタイマクロックを生成するタイマクロック生成部と、前記タイマクロック生成部からのタイマクロックに基づいてカウントするフリーランカウンタを備えてなるマイクロコンピュータの異常検出装置であって、外部基準クロック信号に基づいて作動する割込み部と、前記割込み部の作動時に前記フリーランカウンタの値を取り込むキャプチャレジスタを備え、一定周期の外部基準クロック信号に基づく割込み処理で前記キャプチャレジスタの値と前記外部クロックの周期とを比較する比較部を備え、前記比較部により前記キャプチャレジスタの値が所定範囲から逸脱しているときに前記キャプチャレジスタが異常であると判定する判定部を備えている点にある。

30

【0015】

上述の構成によれば、フリーランカウンタの値がキャプチャレジスタに取り込まれるのであるが、その値から外部クロックの周期を演算することができ、その値が本来の外部クロックの周期を示す値と所定範囲以上異なるときにキャプチャレジスタの異常を検出することができる。

【0016】

同第六の特徴構成は、システムクロックに基づいてタイマクロックを生成するタイマクロック生成部と、前記タイマクロック生成部からのタイマクロックに基づいてカウントするフリーランカウンタを備えてなるマイクロコンピュータの異常検出装置であって、外部基準クロック信号に基づいて作動する割込み部と、前記割込み部の作動時に前記フリーランカウンタの値を取り込むキャプチャレジスタと、一定周期の外部基準クロック信号に基づく割込み処理でキャプチャレジスタの値から所定時間後に外部割込み信号を出力する信号出力部と、前記信号出力部からの出力信号に基づいて割込み処理を実行する第二のマイクロコンピュータを備え、前記第二のマイクロコンピュータによる割込み処理で当該割込み間隔が所定範囲から逸脱しているときに前記キャプチャレジスタが異常であると判定する判定部を備えている点にある。

40

【0017】

上述の構成によれば、マイクロコンピュータに割込み信号として入力される外部基準クロック信号の周期を、割込み時に取り込まれるキャプチャレジスタの値を基準として第二のマイクロコンピュータに対する割込み信号として再生出力するものであり、第二のマイ

50

クロコンピュータにより求められる割込み周期が所定範囲を逸脱するときにキャプチャレジスタの異常と検出することができる。

【0018】

同七の特徴構成は、システムクロックに基づいてタイマクロックを生成するタイマクロック生成部と、前記タイマクロック生成部からのタイマクロックに基づいてカウントするフリーランカウンタを備えてなるマイクロコンピュータの異常検出装置であって、前記フリーランカウンタに基づいて一定周期で作動するインタバル割込み部と、インタバル割込み処理で外部割込み信号を出力する信号出力部と、前記信号出力部からの出力信号に基づいて割込み処理を実行する第二のマイクロコンピュータを備え、前記第二のマイクロコンピュータによる割込み処理で求められる当該割込み間隔が所定範囲から逸脱しているときに前記フリーランカウンタまたは前記インタバル割込み部が異常であると判定する判定部を備えている点にある。

10

【0019】

上述の構成によれば、第二のマイクロコンピュータに対して出力される割込み周期がフリーランカウンタに基づくインタバル割込み処理で決定されるので、第二のマイクロコンピュータによる割込み処理で求められる当該割込み間隔が、インタバル割込みの発生周期に対して所定範囲を逸脱するときにフリーランカウンタまたはインタバル割込み部の異常と検出することができる。

【0020】

同第八の特徴構成は、上述の第一から第九の何れかの特徴構成に加えて、前記判定部は、異常と判定された回数をカウントする異常カウンタを備え、前記異常カウンタの値が所定値を超えたときに異常と判定する点にあり、異常判定に冗長性を持たせることによりプログラムの実行タイミングのずれやノイズ等の影響による瞬時的な異常判定を吸収して、正確に異常を検出することができるようになる。

20

【0021】

同第九の特徴構成は、上述の第八特徴構成に加えて、前記判定部は、異常と判定したときに異常状態及び対応する異常の発生回数を不揮発性メモリに記憶する点にあり、通常は異常状態と検出されたときにマイクロコンピュータは強制的にリセットされるのであるが、異常発生回数を不揮発性メモリに記憶することにより、異常発生頻度に応じて適切な対策を講ずるための指標として活用することができるようになる。

30

【0022】

同第十の特徴構成は、上述の第八または第九特徴構成に加えて、前記判定部は、異常と判定したときに当該異常状態を他のマイクロコンピュータに出力する点にある。

【0023】

上述した構成によれば、複数のマイクロコンピュータによる制御システムが構築されているような場合に、任意のマイクロコンピュータの異常状況に応じて他のマイクロコンピュータが適切な処理を行なうことが可能になる。

【0024】

同第十一の特徴構成によれば、上述した第一から第十の何れかのマイクロコンピュータの異常検出装置が、エンジンを電子制御する複数のマイクロコンピュータを備えた電子制御システムに搭載される点にあり、マイクロコンピュータの異常に起因する電子制御システムの異常を正確に検出することができるようになる。

40

【発明の効果】

【0025】

以上説明した通り、本発明によれば、機器に対する制御タイミングや制御量に重大な影響を与えるマイクロコンピュータのタイマクロック生成部やフリーランカウンタ等の異常を正確に検出できるマイクロコンピュータの異常検出装置を提供することができるようになった。

【発明を実施するための最良の形態】

【0026】

50

以下に本発明によるマイクロコンピュータの異常検出装置は、車両に搭載されるエンジンを電子制御する複数のマイクロコンピュータを備えた電子制御システムに搭載されるもので、以下第一の実施形態について説明する。図1に示すように、マイクロコンピュータ1の要部が、外部発振子(内部に予め設けられた発振子であってもよい)Xtalからの入力クロックに基づいてシステムクロックを生成するPLL2と、前記PLL2からの出力クロックを分周してタイマクロックを生成するタイマクロック生成部3と、前記タイマクロック生成部3からのタイマクロックに基づいてカウントするフリーランカウンタ4を備えて構成されている。前記PLL2から出力される高速のシステムクロックは、例えば64MHzの周波数で当該マイクロコンピュータの基準クロックとして位置づけられ、当該システムに基づいてROMからプログラムコードがフェッチされ、フェッチされたプログラムコードに基づいて順次所定の演算処理が実行される。

10

【0027】

前記フリーランカウンタ4は所定ビット数(例えば22bit)のカウンタ回路で構成され、例えば周波数8MHzのタイマクロックに同期してカウントアップされ、キャリーが発生するとゼロにリセットされた後に再度カウントアップされるカウンタ回路で、内部タイマ、インタバル割込み等のマイクロコンピュータの基本的動作タイミングの基準となり、一般にジェネラルタイマレジスタ(GTM)と呼ばれているカウンタ回路である。

【0028】

上述のマイクロコンピュータ1には、さらに前記外部発振子Xtalからの入力クロックに前記PLL2と同一のシステムクロックを生成する第二のPLL21と、前記タイマクロック生成部3と同一周期のタイマクロックを生成する第二のタイマクロック生成部31と、前記第二のタイマクロック生成部31からのタイマクロックに基づいてカウントする第二のフリーランカウンタ41と、前記フリーランカウンタ4と前記第二のフリーランカウンタ41の値を比較する比較部8を備え、前記比較部8により双方のフリーランカウンタ4,41の値が不一致であるときに前記フリーランカウンタ4が異常であると判定する判定部9を備えている。

20

【0029】

前記第二のタイマクロック生成部31及び第二のフリーランカウンタ41は、前記タイマクロック生成部3及びフリーランカウンタ4と同一構成であるため、両者は常に同一の動作が行なわれる。従って、所定タイミングで前記フリーランカウンタ4及び第二のフリーランカウンタ41の値を比較して、両者の値が異なる場合には何れかのフリーランカウンタ4,41が異常であると判定することができる。

30

【0030】

前記比較部8は両者の値を比較するコンペアレジスタを設けて構成することができ、例えば、前記フリーランカウンタ4の値に基づいて一定周期で発生する割り込み信号(割り込み周期はプログラムにより可変に設定可能に構成されている)に同期して前記コンペアレジスタに両者または一方の値を取り込んで双方を比較し、一致するときにハイレベル、不一致のときにローレベルを出力するフリップフロップを設けて構成することができる。また、前記判定部9は当該フリップフロップの出力を受けて外部に割り込み信号を出力する出力回路や内部割込みを発生させる割り込み部等で構成することにより、異常が検出されたときに当該マイクロコンピュータをリセットするように構成することができる。

40

【0031】

このようにして、システムクロックに同期して実行されるプログラム処理において参照される前記フリーランカウンタ4の値に基づいて燃料噴射タイミングや噴射量等の各種のタイミング制御が行なわれる一方で、前記比較部8により前記第二のフリーランカウンタ41の値と前記フリーランカウンタ4の値が比較され、不一致であると検出されると前記フリーランカウンタ4の動作異常と判断できるようになる。

【0032】

前記判定部9は、異常と判定された回数をカウントする異常判定カウンタ(図示せず)を備え、前記異常判定カウンタの値が所定値を超えたときに前記フリーランカウンタ4の

50

異常発生と判定することで誤判定を防止するように構成してある。さらに、前記異常判定カウンタの値が所定値を超えたときに、例えば内部割込みを発生させる割込み部を設けて、当該割込み処理により異常状態及び対応する異常の発生回数を当該マイクロコンピュータ1にバス接続されたS R A M等の不揮発性メモリに区画された異常発生カウンタ領域に記憶するように構成するとともに、当該マイクロコンピュータ1が異常である旨のデータをネットワーク接続された他のマイクロコンピュータに伝送するように構成してある。

【0033】

当該マイクロコンピュータ1に異常が発生したことを検知した他のマイクロコンピュータは、例えば、表示装置にシステムに異常が発生した旨の表示やサービスコール表示を行なうことにより、運転者に適切な対処を促すことができるようになり、サービスマンはターミナルをシステムに接続して前記S R A Mの異常発生カウンタ領域に記憶された異常状態及び異常の発生回数を参照することにより原因を推定したり基板交換等の適切な修理を行なうことができるようになる。前記判定部9で異常判定されたときに、当該マイクロコンピュータ1に対して自らリセット信号を出力することにより、正常状態に復帰させるように動作させることも可能である。

10

【0034】

次に第二の実施形態について説明する。図2に示すように、マイクロコンピュータ1の要部が、外部発振子X t a lからの入力クロックに基づいてシステムクロックを生成するP L L 2と、前記P L L 2からの出力クロックを分周してタイマクロックを生成するタイマクロック生成部3と、前記タイマクロック生成部3からのタイマクロックに基づいてカ

20

【0035】

前記フリーランカウンタ4は所定ビット数(例えば22bit)のカウンタ回路で構成され、前記タイマクロックに同期してカウントアップされ、キャリーが発生するとゼロにリセットされた後に再度カウントアップされるカウンタ回路で、内部タイマ、インタバル割込み等のマイクロコンピュータの基本的動作タイミングの基準となり、一般にジェネラルタイマレジスタ(G T M)と呼ばれているカウンタ回路である。

【0036】

前記P L L 2からのシステムクロックに基づいて実行されるプログラムにより、前記タイマクロックと同一周期で内部割込みを発生させ、割込み処理で内部R A M上の所定エリアに設定されたカウンタ領域の値をカウントアップする。即ち、上述の第一の実施形態における第二のタイマクロック生成部31が前記システムクロックに基づいて作動するソフトウェアによる分周によりタイマ割込みを発生させるソフトウェア分周部32で構成され、前記第二のフリーランカウンタ42が所定間隔のタイマ割込み処理で計数するソフトウェアカウンタ42で構成されるものである。

30

【0037】

同様に、上述の比較部8、判定部9もプログラムによる演算処理で構成することができ、例えば、前記ソフトウェアカウンタ42の値(内部R A M上の所定エリアに設定されたカウンタ領域の値)が所定値を示すときに前記フリーランカウンタ4の値を読み出して比較演算する比較部8と、比較演算の結果、値が異なるときに前記フリーランカウンタ4に異常と判定し、異常と判定した回数を前記内部R A M上に区画された異常判定カウンタ領域に記憶する判定部9を備えて構成される。第一の実施形態で説明したと同様に、異常判定カウンタの値が所定値を超えたときに前記フリーランカウンタ4の異常発生と判定することで誤判定を防止するように構成される。さらに、前記異常判定カウンタの値が所定値を超えたときに、異常状態及び対応する異常の発生回数を当該マイクロコンピュータ1にバス接続されたS R A M等の不揮発性メモリに区画された異常発生カウンタ領域に記憶するように構成するとともに、当該マイクロコンピュータ1が異常である旨のデータをネットワーク接続された他のマイクロコンピュータに伝送するように構成する点も同様である

40

50

。

【0038】

以下に第三の実施形態を説明する。マイクロコンピュータ1の基本的な構成は第一の実施形態と同様であるが、図3に示すように、さらに、外部基準クロック信号SCKに基づいて作動する割込み部6と、前記割込み部6の作動時に前記フリーランカウンタ4の値を自動的に取り込むキャプチャレジスタ5を備え、一定周期の外部基準クロック信号SCKに基づく割込み処理、つまり割込み処理プログラムで前記キャプチャレジスタ5と前記フリーランカウンタ4の値を比較する比較部8を備え、前記比較部8により前記キャプチャレジスタ5の値と前記フリーランカウンタ4の値が所定範囲から逸脱しているときに前記キャプチャレジスタ5が異常であると判定する判定部9を備えている。

10

【0039】

上述の構成によれば、前記比較部8による比較処理において割込み処理の度に前記キャプチャレジスタ5に取り込まれる値と前記フリーランカウンタ4の値とを比較して差分値を求め、その差分値が割込み処理に要する想定時間遅れの範囲、つまり所定範囲であるか否かを比較し、前記判定部9において所定範囲を逸脱すると判定したときに前記キャプチャレジスタ5が異常であると判定するものである。前記判定部9で異常判定された後の処理は第一または第二実施形態と同様である。

【0040】

以下に第四の実施形態を説明する。マイクロコンピュータの基本的な構成は第一の実施形態と同様であるが、図4に示すように、外部基準クロック信号SCK1に基づいて作動する割込み部61と、一定周期の外部基準クロック信号SCK1に基づく割込み処理で前記フリーランカウンタ4の値と前記外部クロックの周期とを比較する比較部8を備え、前記比較部8により前記フリーランカウンタ4の値が所定範囲から逸脱しているときに前記フリーランカウンタ4が異常であると判定する判定部9を備えている。

20

【0041】

上述の構成によれば、前記比較部8による比較処理において割込み処理の度に前回のフリーランカウンタ4の値と今回のフリーランカウンタ4の値とを比較して差分値、つまり外部クロックSCK1の周期を求め、その差分値が予め一定の周期に設定されている外部基準クロック信号SCK1の周期と割込み処理に要する想定時間遅れの加算値の範囲、つまり所定範囲であるか否かを比較し、前記判定部9において所定範囲を逸脱すると判定したときに前記フリーランカウンタ4が異常であると判定するものである。前記判定部9で異常判定された後の処理は第一または第二実施形態と同様である。

30

【0042】

以下に第五の実施形態を説明する。マイクロコンピュータ1の基本的な構成は第一の実施形態と同様であるが、図5に示すように、外部基準クロック信号SCK2に基づいて作動する割込み部62と、前記割込み部62の作動時に前記フリーランカウンタ4の値を取り込むキャプチャレジスタ5を備え、一定周期の外部基準クロック信号SCK2に基づく割込み処理で前記キャプチャレジスタ5の値と前記外部クロックSCK2の周期とを比較する比較部8を備え、前記比較部8により前記キャプチャレジスタ5の値が所定範囲から逸脱しているときに前記キャプチャレジスタ5が異常であると判定する判定部9を備えている。

40

【0043】

上述の構成によれば、前記比較部8による比較処理において割込み処理の度に前回のキャプチャレジスタ5の値と今回のキャプチャレジスタ5の値とを比較して差分値、つまり外部クロックSCK1の周期を求め、その差分値が予め一定の周期に設定されている外部基準クロック信号SCK1の周期と割込み処理に要する想定時間遅れの加算値の範囲、つまり所定範囲であるか否かを比較し、前記判定部9において所定範囲を逸脱すると判定したときに前記キャプチャレジスタ5が異常であると判定するものである。前記判定部9で異常判定された後の処理は第一または第二実施形態と同様である。

【0044】

50

以下に第六の実施形態を説明する。マイクロコンピュータ1の基本的な構成は第一の実施形態と同様であるが、図6に示すように、外部基準クロック信号に基づいて作動する割込み部63と、前記割込み部63の作動時に前記フリーランカウンタ4の値を取り込むキャプチャレジスタ5と、一定周期の外部基準クロック信号SCK3に基づく割込み処理でキャプチャレジスタ5の値から所定時間後に外部割込み信号SINT1を出力する信号出力部S1と、前記信号出力部S1からの出力信号に基づいて割込み処理を実行する第二のマイクロコンピュータ11を備え、前記第二のマイクロコンピュータ11による割込み処理で当該割込み間隔が所定範囲から逸脱しているときに前記キャプチャレジスタ5が異常であると判定する判定部91を備えている。

【0045】

上述の構成によれば、一定周期の外部基準クロック信号SCK3に対する割込み処理で所定時間後に前記信号出力部S1から前記第二のマイクロコンピュータ11に対する割込み信号SINT1が出力されるので、前記第二のマイクロコンピュータ11における割込み処理である比較部81により割込み信号SINT1の周期を演算導出して前記外部基準クロック信号SCK3の周期と割込み処理に要する想定時間遅れの加算値の範囲、つまり所定範囲であるか否かを比較し、同じく割込み処理である判定部91で所定範囲を逸脱すると判定したときに前記キャプチャレジスタ5が異常であると判定するものである。前記判定部91で異常判定された後の処理は第一または第二実施形態と同様である。

【0046】

以下に第七の実施形態を説明する。マイクロコンピュータ1の基本的な構成は第一の実施形態と同様であるが、図7に示すように、前記フリーランカウンタ4に基づいて一定周期で作動するインタバル割込み部64と、インタバル割込み処理で外部割込み信号SINT2を出力する信号出力部S2と、前記信号出力部S2からの出力信号に基づいて割込み処理を実行する第二のマイクロコンピュータ12を備え、前記第二のマイクロコンピュータ12による割込み処理で求められる当該割込み間隔が所定範囲から逸脱しているときに前記フリーランカウンタ4または前記インタバル割込み部64が異常であると判定する判定部92を備えている。

【0047】

上述の構成によれば、前記インタバル割込み部64に一定周期で割込みがかかったときに前記信号出力部S2から前記第二のマイクロコンピュータ12に対する割込み信号SINT2が出力されるので、前記第二のマイクロコンピュータ12における割込み処理である比較部82により割込み信号SINT2の周期を演算導出して前記インタバル割込み部64に対する割込み周期と割込み処理に要する想定時間遅れの加算値の範囲、つまり所定範囲であるか否かを比較し、同じく割込み処理である判定部92で所定範囲を逸脱すると判定したときに前記フリーランカウンタ4または前記インタバル割込み部64が異常であると判定するものである。前記判定部92で異常判定された後の処理は第一または第二実施形態と同様である。

【0048】

上述したように、何れの実施形態においても、前記判定部9, 91, 92は、異常と判定された回数をカウントする異常判定カウンタを備え、前記異常カウンタの値が所定値を超えたときに異常と判定するように構成され、これにより、異常判定に冗長性を持たせることによりプログラムの実行タイミングのずれやノイズ等の影響による瞬時的な異常判定を吸収して、正確に異常を検出することができるようになる。

【0049】

上述した種々の実施形態を適宜組み合わせることが可能で、マイクロコンピュータのフリーランカウンタやキャプチャレジスタ等のハードウェアの異常を的確に検出して、プログラムが正常に実行される場合であっても、エンジンの制御タイミングや制御量の変動して適切に制御できなくなるような不都合に対処できるようになる。また、本発明の作用効果が奏される範囲において各機能ブロックの具体的構成は公知の技術に基づいて適宜設計されるものである。

10

20

30

40

50

【図面の簡単な説明】

【0050】

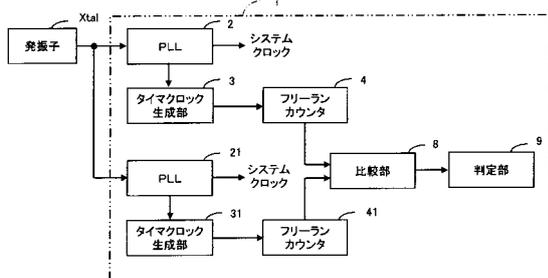
- 【図1】本発明によるマイクロコンピュータの異常検出装置のブロック構成図
- 【図2】別実施形態を示すマイクロコンピュータの異常検出装置のブロック構成図
- 【図3】別実施形態を示すマイクロコンピュータの異常検出装置のブロック構成図
- 【図4】別実施形態を示すマイクロコンピュータの異常検出装置のブロック構成図
- 【図5】別実施形態を示すマイクロコンピュータの異常検出装置のブロック構成図
- 【図6】別実施形態を示すマイクロコンピュータの異常検出装置のブロック構成図
- 【図7】別実施形態を示すマイクロコンピュータの異常検出装置のブロック構成図

【符号の説明】

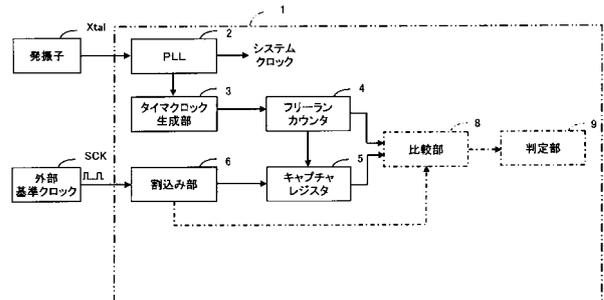
【0051】

- 1：マイクロコンピュータ
- 2：PLL
- 3：タイマクロック生成部
- 4：フリーランカウンタ（GTM）
- 5：キャプチャレジスタ
- 6、61、62、63：割込み部
- 8、81、82：比較部
- 9、91、92：判定部

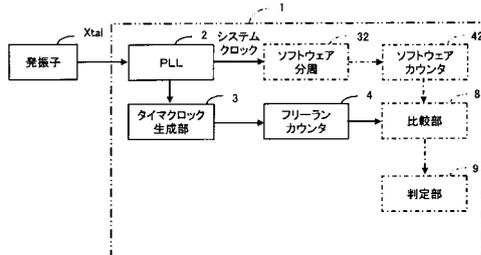
【図1】



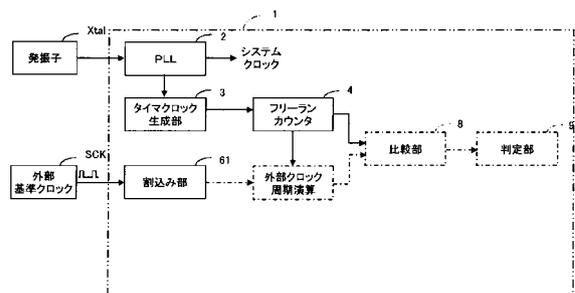
【図3】



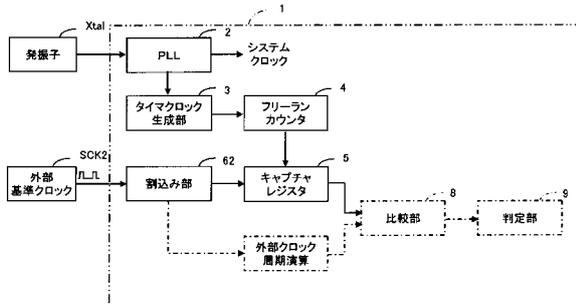
【図2】



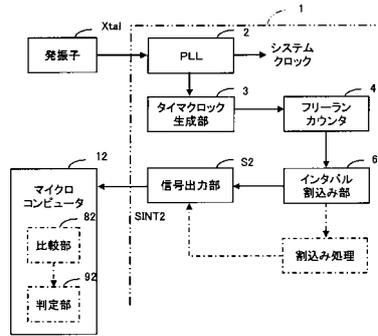
【図4】



【図5】



【図7】



【図6】

