

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4197287号
(P4197287)

(45) 発行日 平成20年12月17日(2008.12.17)

(24) 登録日 平成20年10月10日(2008.10.10)

(51) Int. Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 611H
HO1L 51/50 (2006.01)	G09G 3/20 624B
	G09G 3/20 641D
	G09G 3/20 642A
請求項の数 6 (全 55 頁) 最終頁に続く	

(21) 出願番号 特願2003-366130 (P2003-366130)
 (22) 出願日 平成15年10月27日(2003.10.27)
 (65) 公開番号 特開2005-62794 (P2005-62794A)
 (43) 公開日 平成17年3月10日(2005.3.10)
 審査請求日 平成18年1月25日(2006.1.25)
 (31) 優先権主張番号 特願2003-92534 (P2003-92534)
 (32) 優先日 平成15年3月28日(2003.3.28)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願2003-204018 (P2003-204018)
 (32) 優先日 平成15年7月30日(2003.7.30)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (74) 代理人 100080034
 弁理士 原 謙三
 (74) 代理人 100113701
 弁理士 木島 隆一
 (74) 代理人 100116241
 弁理士 金子 一郎
 (72) 発明者 沼尾 孝次
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

電流駆動発光素子と、駆動用トランジスタとを含む表示装置において、
 上記駆動用トランジスタの電流制御端子と電流出力端子とをソース配線および第5スイッチ用トランジスタを介して接続するための第1スイッチ用トランジスタと、
 上記駆動用トランジスタの電流制御端子と電源配線との間に接続される第1コンデンサと、
 上記駆動用トランジスタの電流制御端子に一方の端子である第1端子が接続される第2コンデンサと、
 上記第2コンデンサのもう一方の端子である第2端子と、駆動用トランジスタの電流出力端子とを第5スイッチ用トランジスタおよびソース配線を介して接続するための第2スイッチ用トランジスタと、
 上記第2コンデンサの上記第2端子と所定電圧線とを接続するための第3スイッチ用トランジスタと、
 第2コンデンサの上記第2端子と上記電流駆動発光素子との間の経路、および上記駆動用トランジスタの電流出力端子と上記電流駆動発光素子との間の経路に配置される第4スイッチ用トランジスタとを備えていることを特徴とする表示装置。

【請求項2】

電流駆動発光素子と、駆動用トランジスタとを含む表示装置において、
 上記駆動用トランジスタの電流制御端子と電流入力端子とを接続するための第1スイッ

チ用トランジスタと、

上記駆動用トランジスタの電流制御端子と電源配線との間に接続される第1コンデンサと、

上記駆動用トランジスタの電流制御端子に一方の端子である第1端子が接続される第2コンデンサと、

上記第2コンデンサのもう一方の端子である第2端子と、駆動用トランジスタの電流入力端子とを接続するための第2スイッチ用トランジスタと、

上記第2コンデンサの上記第2端子と所定電圧線とを接続するための第3スイッチ用トランジスタと、

第2コンデンサの上記第2端子と上記電流駆動発光素子との間の経路、および上記駆動用トランジスタの電流入力端子と上記電流駆動発光素子との間の経路に配置される第4スイッチ用トランジスタとを備えていることを特徴とする表示装置。

10

【請求項3】

上記駆動用トランジスタの電流書き込み期間における第1の期間において、上記第1スイッチ用トランジスタおよび第5スイッチ用トランジスタが上記駆動用トランジスタの電流制御端子と電流出力端子とを接続させるとともに、上記第3スイッチ用トランジスタが上記第2コンデンサの第2端子と所定電圧線とを接続させ、

上記電流書き込み期間における第2の期間において、上記第1スイッチ用トランジスタが上記駆動用トランジスタの電流制御端子と電流出力端子との接続を遮断し、上記第3スイッチ用トランジスタが上記第2コンデンサの第2端子と所定電圧線との接続を遮断し、
上記第2スイッチ用トランジスタが上記第2コンデンサの第2端子と上記駆動用トランジスタの電流出力端子とを接続させ、

20

上記駆動用トランジスタの読み出し期間において、上記第2スイッチ用トランジスタが上記第2コンデンサの第2端子と電流出力端子との接続を遮断させ、上記駆動用トランジスタが上記第4スイッチ用トランジスタを介して上記電流駆動発光素子に電流を供給することを特徴とする請求項1に記載の表示装置。

【請求項4】

上記駆動用トランジスタの電流書き込み期間における第1の期間において、上記第1スイッチ用トランジスタが上記駆動用トランジスタの電流制御端子と電流入力端子とを接続させるとともに、上記第3スイッチ用トランジスタが上記第2コンデンサの第2端子と所定電圧線とを接続させ、

30

上記電流書き込み期間における第2の期間において、上記第1スイッチ用トランジスタが上記駆動用トランジスタの電流制御端子と電流入力端子との接続を遮断し、上記第3スイッチ用トランジスタが上記第2コンデンサの第2端子と所定電圧線との接続を遮断し、
上記第2スイッチ用トランジスタが上記第2コンデンサの第2端子と上記駆動用トランジスタの電流入力端子とを接続させ、

上記駆動用トランジスタの読み出し期間において、上記第2スイッチ用トランジスタが上記第2コンデンサの第2端子と上記駆動用トランジスタの電流入力端子との接続を遮断させ、上記駆動用トランジスタが上記第4スイッチ用トランジスタを介して上記電流駆動発光素子に電流を供給することを特徴とする請求項2に記載の表示装置。

40

【請求項5】

上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、第3スイッチ用トランジスタ、第4スイッチ用トランジスタ、および第5スイッチ用トランジスタからなる構成を、各画素回路毎に備えていることを特徴とする請求項1または3に記載の表示装置。

【請求項6】

上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、第3スイッチ用トランジスタ、および第4スイッチ用トランジスタからなる構成を、各画素回路毎に備えていることを特徴とする請求項2または4に記載の表示装置。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機EL (Electro Luminescence) ディスプレイやFED (Field Emission Display) 等の電流駆動素子を用いた表示装置およびその駆動方法に関するものである。

【背景技術】

【0002】

近年、有機ELディスプレイやFED等の電流駆動発光素子の研究開発が活発に行われている。特に有機ELディスプレイは、低電圧・低消費電力で発光可能なディスプレイとして、携帯電話やPDA (Personal Digital Assistants) などの携帯機器用として注目

10

【0003】

この有機ELディスプレイ用の電流駆動画素回路構成として、非特許文献1および特許文献2に示された回路構成を図22に示す。

【0004】

図22に示す回路構成では、駆動用TFT (Thin Film Transistor) 101のソース端子は電源配線Vsへ接続され、駆動用TFT 101のゲート端子はコンデンサ104を介して電源配線Vsへ接続されている。駆動用TFT 101のドレイン端子と有機EL素子103の陽極との間にはスイッチ用TFT 102が配置され、有機EL素子103の陰極は共通配線Vcomに接続されている。

20

【0005】

また、駆動用TFT 101とスイッチ用TFT 102との接続点には選択用TFT 106とスイッチ用TFT 105とが接続されている。選択用TFT 106のソース端子はソース配線Sjへ接続され、スイッチ用TFT 105のソース端子は駆動用TFT 101のゲート端子へ接続されている。

【0006】

この構成では、走査配線GiにLowの信号が与えられる場合 (選択期間)、スイッチ用TFT 102がOFF状態となり、選択用TFT 106とスイッチ用TFT 105とがON状態となる。この場合、電源配線Vsより駆動用TFT 101および選択用TFT 106を介してソース配線Sjへ電流を流すことができる。このときの電流値をソース配線Sjに繋がる図示しないソースドライバ回路の電流源で制御すれば、駆動用TFT 101へそのソースドライバ回路で規定された電流値が流れるように駆動用TFT 101のゲート電圧が設定される。

30

【0007】

また、走査配線GiにHighの信号が与えられる場合 (非選択期間)、選択用TFT 106とスイッチ用TFT 105とがOFF状態となり、スイッチ用TFT 102がON状態となる。この非選択期間においては、上記選択期間においてソース配線Sjから駆動用TFT 101のゲートに対して設定された電位がコンデンサ104にて保持される。このため、非選択期間において、駆動用TFT 101にて設定された電流値を有機EL素子103へ流すことができる。

40

【0008】

また、これに類似した電流駆動画素回路構成として、非特許文献2および特許文献1で示された画素回路構成を図23に示す。

【0009】

図23の回路構成では、駆動用TFT 108のソース端子とゲート端子との間にコンデンサ111が配置され、ゲート端子とドレイン端子との間にスイッチ用TFT 112が配置され、そのドレイン端子に有機EL素子109の陽極が配置されている。そして、駆動用TFT 108のソース端子と電源配線Vsとの間にスイッチ用TFT 107が配置され、ソース配線Sjとの間に選択用TFT 110が配置されている。

【0010】

50

これら選択用TFT110およびスイッチ用TFT107, 112のゲート端子には各々制御配線 W_i , R_i , 走査配線 G_i が接続されている。

【0011】

この画素回路構成の動作を、図24に示すタイミングチャートを用いて以下に説明する。このタイミングチャートは、制御配線 W_i , R_i 、走査配線 G_i およびソース配線 S_j の各配線に与えられる信号のタイミングを示している。

【0012】

図24では時間 $0 \sim 3t_1$ が選択期間を示しており、該選択期間において制御配線 R_i の電位はHigh (GH)となっており、スイッチ用TFT107をOFF状態とする。また、同時に制御配線 W_i の電位はLow (GL)となっており、選択用TFT110をON状態とする。これにより、選択期間では、ソース配線 S_j から選択用TFT110および駆動用TFT108を介して有機EL素子109へ電流が流れる状態となる。

10

【0013】

この選択期間において、時間 $0 \sim 2t_1$ の期間では、走査配線 G_i の電位はHighとなっており、スイッチ用TFT112をON状態とするため、ソース配線 S_j に繋がる図示しないソースドライバ回路から有機EL素子109へ電流が流れる。このとき、駆動用TFT108のゲート電位は、上記ソースドライバ回路で規定された電流値が流れるよう設定される。

【0014】

そして、時間 $2t_1 \sim 3t_1$ の期間では、スイッチ用TFT112はOFF状態とされるが、駆動用TFT108のゲート電位はコンデンサ111によって保持され、この期間においてもソース配線 S_j から有機EL素子109へ電流が流れる。

20

【0015】

時間 $3t_1$ 以降(非選択期間)では、スイッチ用TFT110をOFF状態とし、スイッチ用TFT107をON状態とする。このため、非選択期間においては、電源配線 V_s より設定された電流値が有機EL素子109へ流れるよう制御される。

【非特許文献1】M.T.Johnson、他5名、“Active Matrix PolyLED Displays”, IDW '00, 2000, p.235-238

【非特許文献2】Simon W-B.Tam、他5名、“Polysilicon TFT Drivers for Light Emitting Polymer Displays”, IDW '99, 1999, p.175-178

30

【特許文献1】特表2002-514320号公報(国際公開日平成10年10月29日)

【特許文献2】特表2002-517806号公報(国際公開日平成11年12月16日)

【発明の開示】

【発明が解決しようとする課題】

【0016】

しかしながら、非特許文献2に示される上記画素回路構成では駆動用TFT108の閾値電圧・移動度のばらつきにより、非選択期間において有機EL素子109を流れる電流値がばらつくという問題がある。

40

【0017】

この電流値のばらつきの影響がどの程度あるか知るために、図23における画素回路構成で、駆動用TFT108の閾値電圧・移動度を以下の表3に示す5つの条件で振り、有機EL素子109を流れる電流値をシミュレーションで求めた。その結果を図25に示す。

【0018】

【表 3】

	Ioled(1)	Ioled(2)	Ioled(3)	Ioled(4)	Ioled(5)
閾値電圧	平均値	下限	上限	上限	下限
移動度	平均値	下限	上限	下限	上限

【 0 0 1 9 】

図 2 5 におけるシミュレーションでは、0.24ms 毎に選択期間が来るよう設定し、最初の時間 0.27ms ~ 0.51ms の間でソース配線 S_j へ電流値 0.1μA が流れるよう設定した。それ以降は、時間 0.24ms 毎に、ソース配線 S_j へ流れる電流値を 0.1μA 刻みで 0.9μA まで増加させ、その後 0 に戻し、再度 0.1μA 刻みで増加させている。

10

【 0 0 2 0 】

即ち、上記シミュレーションにおける最初の選択期間は、時間 0.27 ~ 0.30ms の間であり、この選択期間においてソース配線 S_j へ流れている電流値 0.1μA により駆動用 T F T 1 0 8 のゲート端子電位が規定され、その期間だけ有機 E L 素子 1 0 9 を流れる電流値が 0.1μA に設定される。尚、この時のゲート電位は、その後の非選択期間 0.31 ~ 0.51ms においても保持されているが、その非選択期間において有機 E L 素子 1 0 9 を流れる電流値は、0.12 ~ 0.13μA 程度のばらつきを持つ。

20

【 0 0 2 1 】

このシミュレーションにおいて、ソース配線 S_j に流した電流値 (0 ~ 0.9μA 迄の 10 点) を横軸にし、これらの各電流値を与えた後の非選択期間における有機 E L 素子 1 0 9 へ流れる電流値を縦軸として、そのばらつきを示したのが図 2 6 である。図 2 6 において、ソース配線 S_j へ 0.9μA の電流を流した後の非選択期間では、有機 E L 素子 1 0 9 を流れる電流値は約 0.95 ~ 1.12μA (+5% ~ +24%) の範囲でばらついている。

【 0 0 2 2 】

このばらつきが起きる原因は、図 2 7 に示すように選択期間 (概ね 270 ~ 300μs の間) と非選択期間 (それ以外の期間) とにおいて駆動用 T F T 1 0 8 のソース・ドレイン間電圧 V_{sd} が変化するためである。なお、図 2 7 は、上記表 1 において示した駆動用 T F T 1 0 8 の 5 つの閾値電圧・移動度条件を用いてシミュレーションした結果を示しており、各電圧値 V_{sg}(1) ~ V_{sg}(5)、V_{sd}(1) ~ V_{sd}(5) のそれぞれは、表 1 における I o l e d (1) ~ (5) の条件と一致する。

30

【 0 0 2 3 】

すなわち、図 2 3 の回路構成では、図 2 7 に示すように、選択期間内における電流書き込み時 (図 2 4 の時間 0 ~ 2t₁ の期間、図 2 7 では概ね時間 270 ~ 290μs の間) はスイッチ用 T F T 1 1 2 が ON 状態となるので、駆動用 T F T 1 0 8 のソース・ドレイン間電圧 V_{sd} はソース・ゲート間電圧 V_{sg} と一致している。

40

【 0 0 2 4 】

この時の駆動用 T F T 1 0 8 のソース・ゲート間電圧 V_{sg} は、駆動用 T F T 1 0 8 の閾値電圧・移動度により決まる。すなわち、閾値が 1V の場合と 2V の場合とでは、1V 程度のばらつきが発生する。実際、上記シミュレーション結果では、ソース配線 S_j に 0.1μA の電流を流したとき、ソース・ゲート間電圧 V_{sg} は約 1.4V ~ 3.6V の範囲でばらついている。

【 0 0 2 5 】

その後、スイッチ用 T F T 1 1 2 を OFF 状態とすると (概ね 290μs 以降)、駆動用 T F T 1 0 8 のソース・ゲート間電位は保持されるが、ソース・ドレイン間電圧 V_{sd} は変化する。

50

【0026】

特に、非選択期間となった後（概ね300 μ s以降）は、ソース・ドレイン間電圧 V_{sd} は6V程度に変化する。この電圧 V_{sd} は、有機EL素子109の印加電圧対電流値特性により、該有機EL素子109に電流値0.1 μ Aを流すのに必要な電圧 V_{oled} により決まる。このシミュレーションでは、電圧 V_{oled} は、

$$V_{oled} = V_s - 6V$$

程度の特性としている。また、この有機EL素子109の印加電圧対電流値特性はダイオード的な特性（印加電圧に対して電流値が指数関数的に増える）なので、有機EL素子109を流れる電流値が数割程度異なっても、駆動用TFT108のソース・ドレイン間電圧は余りばらつかない。

10

【0027】

もし、この駆動用TFT108が理想的なFETであれば、ゲート・ソース間電位 V_{sg} が一定であり、

$$V_{sd} > V_{sg}$$

の条件を満たす場合、ソース・ドレイン間電圧 V_{sd} が変化しても、ソース・ドレイン間を流れる電流値は変化しない。しかし、現実のTFTでは、図28に示すように、ゲート・ソース間電位 V_{sg} が一定であっても、ソース・ドレイン間電圧 V_{sd} が増えれば、ソース・ドレイン間を流れる電流値も増える。なお、図28は、上記表1において示した駆動用TFT108の5つの閾値電圧・移動度条件を用いてシミュレーションした結果を示しており、各電流値 $I_{tft}(1) \sim I_{tft}(5)$ のそれぞれは、表1における $I_{oled}(1) \sim (5)$ の条件と一致する。

20

【0028】

上記図28に示す結果より、駆動用TFT108の閾値電圧・移動度により、電流書き込み時のソース・ドレイン間電圧 V_{sd} がばらつけば、非選択期間でのソース・ドレイン間電流がばらつく。その結果、有機EL素子109を流れる電流値も変化する。

【0029】

そこで、図29に示すように、駆動用TFT108と有機EL素子109を直列に接続した回路を用い、非選択期間でのソース・ドレイン間電流がばらつきを調べた。この時、駆動用TFT108のゲート端子へ、上記図27の電流書き込み時に得られた駆動用TFT108のゲート・ソース間電位 V_{gd} を印加し、さらに電源電圧 $V_s - V_{com}$ を変化させ、有機EL素子109を流れる電流を上記駆動用TFT108の5つの閾値電圧・移動度条件を用いてシミュレーションした。このシミュレーション結果を図30に示す。

30

【0030】

図30では、ソース配線 S_j へ0.5 μ Aの電流を供給したときの駆動用TFT108のゲート・ソース間電位 V_{gd} を用いている。この場合、上記図27に示す電流書き込み時のソース配線 S_j の電位が、駆動用TFT108の閾値電圧・移動度条件により変化し、有機EL素子109へ電流0.5 μ Aを供給するよう設定されるので、電源配線 V_s の電位が一定（16V）の条件では、有機EL素子109を流れる電流値が変化してしまう。

【0031】

このように、駆動用TFTの閾値電圧・移動度のばらつきにより電流書き込み時のソース・ドレイン間電圧 V_{sd} がばらつき、結果として非選択時に有機EL素子を流れる電流値がばらつく現象は、図22に示した画素回路構成でも同様に生じる。このように、従来の画素回路構成では、駆動用TFTの閾値電圧・移動度のばらつきにより非選択期間に有機EL素子を流れる電流がばらつくといった問題がある。

40

【0032】

本発明は、上記の問題点を解決するためになされたもので、その目的は、駆動用TFTの閾値電圧・移動度のばらつきによる、非選択期間の有機EL素子を流れる電流値ばらつきを抑えることができる表示装置を提供することにある。

【課題を解決するための手段】

50

【 0 0 3 3 】

本発明の第 1 の表示装置は、上記の課題を解決するために、電流駆動発光素子と、駆動用トランジスタとを含む表示装置において、上記駆動用トランジスタの電流制御端子と電流出力端子との間に接続される第 1 スイッチ用トランジスタと、上記駆動用トランジスタの電流制御端子に接続される第 1 コンデンサと、上記駆動用トランジスタの電流制御端子に一方の端子である第 1 端子が接続され、もう一方の端子である第 2 端子は、駆動用トランジスタの電流出力端子との間に第 2 スイッチ用トランジスタを介して接続され、かつ所定電圧線との間に第 3 スイッチ用トランジスタを介して接続されている第 2 コンデンサとを備えていることを特徴としている。

【 0 0 3 4 】

本発明の第 2 の表示装置は、上記の課題を解決するために、電流駆動発光素子と、駆動用トランジスタとを含む表示装置において、上記駆動用トランジスタの電流制御端子と電流入力端子との間に接続される第 1 スイッチ用トランジスタと、上記駆動用トランジスタの電流制御端子に接続される第 1 コンデンサと、上記駆動用トランジスタの電流制御端子に一方の端子である第 1 端子が接続され、もう一方の端子である第 2 端子は、駆動用トランジスタの電流入力端子との間に第 2 スイッチ用トランジスタを介して接続され、かつ所定電圧線との間に第 3 スイッチ用トランジスタを介して接続されている第 2 コンデンサとを備えていることを特徴としている。

【 0 0 3 5 】

また、上記表示装置においては、上記第 1 コンデンサ、第 2 コンデンサ、第 1 スイッチ用トランジスタ、第 2 スイッチ用トランジスタ、および第 3 スイッチ用トランジスタからなる構成を、各画素回路やソースドライバ回路毎に備えている構成とすることができる。

【 0 0 3 6 】

また画素回路構成として用いる場合、上記表示装置においては、上記第 1 コンデンサ、第 2 コンデンサ、第 1 スイッチ用トランジスタ、第 2 スイッチ用トランジスタ、および第 3 スイッチ用トランジスタからなる構成は、一部が画素回路側、他の一部がソースドライバ回路を含む画素回路の外側に配置される構成とすることができる。

【 0 0 3 7 】

また、上記表示装置においては、画素回路側に、電流駆動発光素子、駆動用トランジスタ、および第 1 コンデンサを配置し、ソースドライバを含む画素回路の外側に、第 2 コンデンサ、第 1 スイッチ用トランジスタ、第 2 スイッチ用トランジスタ、および第 3 スイッチ用トランジスタを配置すると共に、上記駆動用トランジスタの電流制御端子と、第 2 コンデンサの第 1 端子とを接続する接続配線を備えている構成とすることができる。

【 0 0 3 8 】

また、上記表示装置においては、画素回路側に、電流駆動発光素子、駆動用トランジスタ、第 1 スイッチ用トランジスタ、第 1 コンデンサおよび第 2 コンデンサを配置し、ソースドライバを含む画素回路の外側に、第 2 スイッチ用トランジスタ、および第 3 スイッチ用トランジスタを配置すると共に、上記駆動用トランジスタの電流出力端子と、第 2 コンデンサの第 2 端子とを接続する接続配線を備えている構成とすることができる。

【 0 0 3 9 】

また、上記表示装置においては、さらに、OFF 電位を供給する OFF 電位線を備えており、上記接続配線が、第 4 スイッチング用トランジスタを介して OFF 電位線に接続されている構成とすることができる。

【 0 0 4 0 】

また、本発明の第 1 の駆動方法は、上記の課題を解決するために、電流駆動発光素子と、該電流駆動発光素子の非選択期間における供給電流を制御する駆動用トランジスタとを含む画素回路をマトリクス状に配してなる表示装置、またはマトリクス状にトランジスタと電流光学素子を配置し、前記トランジスタの出力電流値を規定する駆動用トランジスタをソースドライバ回路に配置してなる表示装置において、上記駆動用トランジスタの電流制御端子に第 1 コンデンサの一方の端子である第 1 端子が接続されており、上記駆動用

10

20

30

40

50

トランジスタの電流書き込み期間では、第1のコンデンサの第1端子に第2のコンデンサの一方の端子である第1端子が接続され、第1の期間において、第2コンデンサの他方端子である第2端子を所定電圧線に接続し、上記駆動用トランジスタの電流制御端子と電流出力端子とを接続し、この時の上記駆動用トランジスタの電流制御端子電位を第1のコンデンサおよび第2コンデンサに保持し、第2の期間において、上記駆動用トランジスタの電流制御端子と電流出力端子との接続を遮断し、第2コンデンサの第2端子の接続を上記所定電圧線との接続から上記駆動用トランジスタの電流出力端子との接続に切り替え、上記駆動用トランジスタの電流制御端子電位を修正し、この時の上記駆動用トランジスタの電流制御端子電位を第1コンデンサに保持し、上記駆動用トランジスタの電流読みだし期間では、上記第1コンデンサに保持された駆動用トランジスタの電流制御端子電位によって、上記駆動用トランジスタの出力電流を制御することを特徴としている。

10

【0041】

また、本発明の第2の駆動方法は、上記の課題を解決するために、電流駆動発光素子と、該電流駆動発光素子の非選択期間における供給電流を制御する駆動用トランジスタとを含む画素回路をマトリクス状に配してなる表示装置、またはマトリクス状にトランジスタと電流光学素子を配置し、前記トランジスタの出力電流値を規定する駆動用トランジスタをソースドライバ回路に配置してなる表示装置において、上記駆動用トランジスタの電流制御端子に第1コンデンサの一方の端子である第1端子が接続されており、上記駆動用トランジスタの電流書き込み期間では、第1のコンデンサの第1端子に第2のコンデンサの一方の端子である第1端子が接続され、第1の期間において、第2コンデンサの他方端子である第2端子を所定電圧線に接続し、上記駆動用トランジスタの電流制御端子と電流入力端子とを接続し、この時の上記駆動用トランジスタの電流制御端子電位を第1のコンデンサおよび第2コンデンサに保持し、第2の期間において、上記駆動用トランジスタの電流制御端子と電流入力端子との接続を遮断し、第2コンデンサの第2端子の接続を上記所定電圧線との接続から上記駆動用トランジスタの電流入力端子との接続に切り替え、上記駆動用トランジスタの電流制御端子電位を修正し、この時の上記駆動用トランジスタの電流制御端子電位を第1コンデンサに保持し、上記駆動用トランジスタの電流読み出し期間では、上記第1コンデンサに保持された駆動用トランジスタの電流制御端子電位によって、上記駆動用トランジスタの出力電流を制御することを特徴としている。

20

【発明の効果】

30

【0042】

本発明の第1の表示装置は、以上のように、上記駆動用トランジスタの電流制御端子と電流出力端子との間に接続される第1スイッチ用トランジスタと、上記駆動用トランジスタの電流制御端子に接続される第1コンデンサと、上記駆動用トランジスタの電流制御端子に一方の端子である第1端子が接続され、もう一方の端子である第2端子は、駆動用トランジスタの電流出力端子との間に第2スイッチ用トランジスタを介して接続され、かつ所定電圧線との間に第3スイッチ用トランジスタを介して接続されている第2コンデンサとを備えている構成である。

【0043】

上記の構成を用いた画素回路構成及びソースドライバ回路構成によれば、前記回路の駆動用トランジスタの出力電流設定期間中において、第1スイッチ用トランジスタをONした状態で駆動用トランジスタへ所定の電流を流すことで、その駆動用トランジスタの閾値電圧・移動度のバラツキに対応した電流制御端子電位（電位 V_x とする）が得られる。この電流制御端子電位は第1コンデンサに保持される。

40

【0044】

またこのとき、第1のコンデンサの第1端子と第2のコンデンサの第1端子は接続されており、第2コンデンサの第2端子は、第2スイッチ用トランジスタをOFF、第3スイッチ用トランジスタをONとすることで、所定電圧線（上記所定電流を流す場合に対応した一定電位 V_a とする）に接続され、該第2コンデンサには、電位 $V_a - V_x$ が保持される。以上を第1の期間とする。

50

【 0 0 4 5 】

次に、第2スイッチ用トランジスタをON、第3スイッチ用トランジスタをOFFとすることで、第2コンデンサの第2端子を上記駆動用トランジスタの電流出力端子(TFTのドレイン端子またはソース端子)へ接続する。このとき、初期状態として駆動用トランジスタの電流出力端子電位が V_a のとき、上記駆動用トランジスタの電流制御端子電位(TFTのゲート端子)が上記電位 V_x となる。

【 0 0 4 6 】

その後、上記駆動用トランジスタへ所望の電流値を流すことで、上記駆動用トランジスタの電流制御端子電位(TFTのゲート端子)が変化する。このときの電流制御端子電位(TFTのゲート端子)は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず、上記駆動用トランジスタの電流入力端子 - 電流出力端子間電位がほぼ等しい状態で上記駆動用トランジスタの電流制御端子電位(TFTのゲート端子)が設定される。

10

【 0 0 4 7 】

また、上記駆動用トランジスタを画素回路に配置する場合、この所定電流を電流駆動発光素子へ印加したとき、電流駆動発光素子で発生する電位ドロップは等しいので、上記駆動用トランジスタの電流入力端子 - 電流出力端子間電位がほぼ等しい状態で所定の電流値を出力するよう上記駆動用トランジスタの電流制御端子電位(TFTのゲート端子)を設定できる。

【 0 0 4 8 】

このときの上記駆動用トランジスタの電流制御端子電位は第1のコンデンサと第2のコンデンサの接続を切り離す場合第1のコンデンサに、切り離さない場合第1および第2のコンデンサに保持される。以上を第2の期間とする。

20

【 0 0 4 9 】

その後、上記画素回路の非選択期間において、上記駆動用トランジスタの電流入力端子 - 電流出力端子間電位は変化するが、その変化後の電位は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず一定なので、上記駆動用トランジスタの電流入力端子 - 電流出力端子間を流れる電流値のバラツキを抑えることができるといった効果を奏する。

【 0 0 5 0 】

本発明の第2の表示装置は、以上のように、上記駆動用トランジスタの電流制御端子と電流入力端子との間に接続される第1スイッチ用トランジスタと、上記駆動用トランジスタの電流制御端子に接続される第1コンデンサと、上記駆動用トランジスタの電流制御端子に一方の端子である第1端子が接続され、もう一方の端子である第2端子は、駆動用トランジスタの電流入力端子との間に第2スイッチ用トランジスタを介して接続され、かつ所定電圧線との間に第3スイッチ用トランジスタを介して接続されている第2コンデンサとを備えている構成である。

30

【 0 0 5 1 】

上記の構成を用いた画素回路構成及びソースドライバ回路構成によれば、前記回路の駆動用トランジスタの出力電流設定期間中において、第1スイッチ用トランジスタをONした状態で駆動用トランジスタへ所定の電流を流すことで、その駆動用トランジスタの閾値電圧・移動度のバラツキに対応した電流制御端子電位(電位 V_x とする)が得られる。この電流制御端子電位は第1コンデンサに保持される。

40

【 0 0 5 2 】

またこのとき、第1のコンデンサの第1端子と第2のコンデンサの第1端子とは接続されており、第2コンデンサの第2端子は、第2スイッチ用トランジスタをOFF、第3スイッチ用トランジスタをONとすることで、所定電圧線(上記所定電流を流す場合に対応した一定電位 V_a とする)に接続され、該第2コンデンサには、電位 $V_a - V_x$ が保持される。以上を第1の期間とする。

【 0 0 5 3 】

次に、第2スイッチ用トランジスタをON、第3スイッチ用トランジスタをOFFとすることで、第2コンデンサの第2端子を上記駆動用トランジスタの電流入力端子(TFT

50

のドレイン端子またはソース端子)へ接続する。このとき、初期状態として駆動用トランジスタの電流入力端子電位が V_a のとき、上記駆動用トランジスタの電流制御端子電位(TFTのゲート端子)が上記電位 V_x となる。

【0054】

その後、上記駆動用トランジスタへ所望の電流値を流すことで、上記駆動用トランジスタの電流制御端子電位(TFTのゲート端子)が変化する。このときの電流制御端子電位(TFTのゲート端子)は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず、上記駆動用トランジスタの電流入力端子 - 電流出力端子間電位がほぼ等しい状態で上記駆動用トランジスタの電流制御端子電位(TFTのゲート端子)が設定される。

【0055】

また、上記駆動用トランジスタを画素回路に配置する場合、この所定電流を電流駆動発光素子へ印加したとき、電流駆動発光素子で発生する電位ドロップは等しいので、上記駆動用トランジスタの電流入力端子 - 電流出力端子間電位がほぼ等しい状態で所定の電流値を出力するよう上記駆動用トランジスタの電流制御端子電位(TFTのゲート端子)を設定できる。

【0056】

このときの上記駆動用トランジスタの電流制御端子電位は第1のコンデンサと第2のコンデンサの接続を切り離す場合第1のコンデンサに、切り離さない場合第1および第2のコンデンサに保持される。以上を第2の期間とする。

【0057】

その後、上記画素回路の非選択期間において、上記駆動用トランジスタの電流入力端子 - 電流出力端子間電位は変化するが、その変化後の電位は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず一定なので、上記駆動用トランジスタの電流入力端子 - 電流出力端子間を流れる電流値のバラツキを抑えることができるといった効果を奏する。

【0058】

上記駆動回路構成は上記電流駆動発光素子を直接駆動する画素回路構成としても適用可能であるが、画素回路に配置した駆動用トランジスタの出力電流を設定するソースドライバ回路構成としても有効である。

【0059】

ソースドライバ回路構成として用いる場合、上記表示装置において、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成を、各ソースドライバ回路毎に備えている構成とすることが有効である。

【0060】

特に上記ソースドライバ回路構成として用いる場合、画素回路に配置した電流駆動発光素子の供給電流を制御するために別のトランジスタを備えることが好ましい。そして、その画素回路のトランジスタの出力電流を上記ソースドライバ回路を構成する駆動用トランジスタを用いて設定する。

【0061】

また画素回路構成として用いる場合でも、上記表示装置においては、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成を、各画素回路毎に備えている構成とすることができる。

【0062】

特に上記の画素回路構成によれば、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成を、すべて画素回路側に備えることで、該画素回路を駆動するソースドライバ回路は、従来と同構成のものを使用できるといった効果を奏する。

【0063】

また、第1のコンデンサと第2のコンデンサの間に発生する浮遊容量が小さくできるの

10

20

30

40

50

で、駆動用トランジスタの電流書き込み時間を短くできるといった効果を奏する。

【0064】

また、上記表示装置においては、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成は、一部が画素回路側、他の一部がソースドライブ回路を含む画素回路の外側に配置される構成とすることができる。

【0065】

上記の構成によれば、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成の一部をソースドライバ回路を含む画素回路の外側に配置することで、これらすべてを画素回路側に配置する場合と比べ、画素回路当たりに必要なコンデンサ及びトランジスタの数の増加を抑制できる。このため、ボトムエミッション構成（TFT素子を形成した透明基板側に光を放出する構成）において従来に比べて電流駆動発光素子の単位面積当たりの発光輝度を向上させる必要がなく、その輝度半減寿命の低下を回避できるといった効果を奏する。また、トップエミッション構成（TFT素子を形成した透明基板とは反対側に光を放出する構成）において画素に配置する素子数が増えないので、従来技術と同様なサイズまで画素サイズを小さくできるといった効果を奏する。

【0066】

また、上記表示装置においては、画素回路側に、電流駆動発光素子、駆動用トランジスタ、および第1コンデンサを配置し、ソースドライバを含む画素回路の外側に、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタを配置すると共に、上記駆動用トランジスタの電流制御端子と、第2コンデンサの第1端子とを接続する接続配線を備えている構成とすることができる。

【0067】

上記の構成によれば、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成の一部をソースドライバ回路を含む画素回路の外側に配置した表示装置の具体的構成を提供することができる。

【0068】

ただし、上記駆動用トランジスタの電流制御端子と第2コンデンサの第1端子とを接続する接続配線には浮遊容量が載りやすい。そして、画素に配置したコンデンサと接続配線の浮遊容量が合わさって第1のコンデンサの容量となる。

【0069】

このため、第2コンデンサの容量が小さいときは、第2端子電位を大きく変化させる必要がある。しかし、第2コンデンサの第2端子電位が大きく変化させることは、駆動用トランジスタのソース・ドレイン間電位が大きくばらつくことを意味するので好ましくなく、第2コンデンサの容量を大きくする必要がある。この場合、駆動用トランジスタの電流書き込み時間が長くなる。

【0070】

そこで、多少画素面積が狭くなり、従来に比べて電流駆動発光素子の単位面積当たりの発光輝度を向上させる必要がある等の問題があるが、上記第2コンデンサと第1スイッチング用トランジスタからなる回路を画素の直ぐ近くに配置して、複数の画素で共有する構成が考えられる。

【0071】

例えば2つの画素当たり1つ上記第2コンデンサと第1スイッチング用トランジスタからなる構成を配置すれば、上記駆動用トランジスタの電流制御端子と、第2コンデンサの第1端子とを接続する接続配線が短くできる。

【0072】

その結果、上記接続配線の浮遊容量を抑えられるので、第2コンデンサの容量を小さくしても駆動用トランジスタのソース・ドレイン間電位が大きくばらつかないので、駆動用

10

20

30

40

50

トランジスタの電流書き込み時間を短くすることが可能となる。

【0073】

また、上記表示装置においては、画素回路側に、電流駆動発光素子、駆動用トランジスタ、第1スイッチ用トランジスタ、第1コンデンサおよび第2コンデンサを配置し、ソースドライバを含む画素回路の外側に、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタを配置すると共に、上記駆動用トランジスタの電流出力端子と、第2コンデンサの第2端子とを接続する接続配線を備えている構成とすることができる。

【0074】

上記の構成でも、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成の一部をソースドライバ回路を含む画素回路の外側に配置した表示装置の具体的構成を提供することができる。

10

【0075】

また、上記表示装置においては、さらに、OFF電位を供給するOFF電位線を備えており、上記接続配線が、第4スイッチング用トランジスタを介してOFF電位線に接続されている構成とすることができる。

【0076】

上記の構成によれば、暗状態となる画素に対しては、上記駆動用トランジスタを十分にOFF状態とするOFF電位を、上記OFF電位線から第4スイッチング用トランジスタおよび上記接続配線またはソース配線を通して駆動用トランジスタの電流制御端子に供給できるので、暗状態の輝度を充分低くし、表示装置のコントラストを向上できるといった効果を奏する。

20

【0077】

また、本発明の第1の駆動方法は、以上のように、上記駆動用トランジスタの電流制御端子に第1コンデンサの一方の端子である第1端子が接続されており、上記駆動用トランジスタの電流書き込み期間では、第1のコンデンサの第1端子に第2のコンデンサの一方の端子である第1端子が接続され、第1の期間において、第2コンデンサの他方端子である第2端子を所定電圧線に接続し、上記駆動用トランジスタの電流制御端子と電流出力端子とを接続し、この時の上記駆動用トランジスタの電流制御端子電位を第1のコンデンサおよび第2コンデンサに保持し、第2の期間において、上記駆動用トランジスタの電流制御端子と電流出力端子との接続を遮断し、第2コンデンサの第2端子の接続を上記所定電圧線との接続から上記駆動用トランジスタの電流出力端子との接続に切り替え、上記駆動用トランジスタの電流制御端子電位を修正し、この時の上記駆動用トランジスタの電流制御端子電位を第1コンデンサに保持し、上記駆動用トランジスタの電流読みだし期間では、上記第1コンデンサに保持された駆動用トランジスタの電流制御端子電位によって、上記駆動用トランジスタの出力電流を制御する構成である。

30

【0078】

上記の駆動方法によれば、画素回路及びソースドライバ回路の駆動用トランジスタの電流書き込み期間中の第1の期間において、駆動用トランジスタへ所定の電流を流すことで、その駆動用トランジスタの閾値電圧・移動度のバラツキに対応した電流制御端子電位（電位 V_x とする）が得られる。この電流制御端子電位は第1コンデンサおよび第2コンデンサに保持される。またこのとき、第1のコンデンサの第1端子と第2のコンデンサの第1端子は接続されており、第2コンデンサの第2端子は所定電圧線（上記所定電流を流す場合に対応した一定電位 V_a とする）に接続され、該第2コンデンサには、電位 $V_a - V_x$ が保持される。

40

【0079】

次に、第2の期間において、第2コンデンサの第2端子を上記駆動用トランジスタの電流出力端子（TFTのドレイン端子またはソース端子）へ接続する。このとき、駆動用トランジスタの電流出力端子電位が V_a のとき、上記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）が上記電位 V_x となる。

50

【0080】

その後、上記駆動用トランジスタへ所望の電流値を流すことで、上記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）が変化する。このときの電流制御端子電位（TFTのゲート端子）は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず、上記駆動用トランジスタの電流入力端子 - 電流出力端子間電位がほぼ等しい状態で上記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）が設定される。また、この所定電流を電流駆動発光素子へ印加したとき、電流駆動発光素子で発生する電位ドロップは等しいので、上記駆動用トランジスタの電流入力端子 - 電流出力端子間電位がほぼ等しい状態で所定の電流値を出力するよう上記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）を設定できる。

10

【0081】

このときの上記駆動用トランジスタの電流制御端子電位は第1のコンデンサと第2のコンデンサの接続を切り離す場合第1のコンデンサに、切り離さない場合第1および第2のコンデンサに保持される。

【0082】

その後、上記駆動用トランジスタの電流読み出し期間において、上記駆動用トランジスタの電流入力端子 - 電流出力端子間電位は変化するが、その変化後の電位は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず一定なので、上記駆動用トランジスタの電流入力端子 - 電流出力端子間を流れる電流値のバラツキを抑えることができるといった効果を奏する。

20

【0083】

また、本発明の第2の駆動方法は、以上のように、上記駆動用トランジスタの電流制御端子に第1コンデンサの一方の端子である第1端子が接続されており、上記駆動用トランジスタの電流書き込み期間では、第1のコンデンサの第1端子に第2のコンデンサの一方の端子である第1端子が接続され、第1の期間において、第2コンデンサの他方端子である第2端子を所定電圧線に接続し、上記駆動用トランジスタの電流制御端子と電流入力端子とを接続し、この時の上記駆動用トランジスタの電流制御端子電位を第1のコンデンサおよび第2コンデンサに保持し、第2の期間において、上記駆動用トランジスタの電流制御端子と電流入力端子との接続を遮断し、第2コンデンサの第2端子の接続を上記所定電圧線との接続から上記駆動用トランジスタの電流入力端子との接続に切り替え、上記駆動用トランジスタの電流制御端子電位を修正し、この時の上記駆動用トランジスタの電流制御端子電位を第1コンデンサに保持し、上記駆動用トランジスタの電流読み出し期間では、上記第1コンデンサに保持された駆動用トランジスタの電流制御端子電位によって、上記駆動用トランジスタの出力電流を制御する構成である。

30

【0084】

上記の駆動方法によれば、画素回路及びソースドライバ回路の駆動用トランジスタの電流書き込み期間中の第1の期間において、駆動用トランジスタへ所定の電流を流すことで、その駆動用トランジスタの閾値電圧・移動度のバラツキに対応した電流制御端子電位（電位 V_x とする）が得られる。この電流制御端子電位は第1コンデンサおよび第2コンデンサに保持される。またこのとき、第1のコンデンサの第1端子と第2のコンデンサの第1端子は接続されており、第2コンデンサの第2端子は所定電圧線（上記所定電流を流す場合に対応した一定電位 V_a とする）に接続され、該第2コンデンサには、電位 $V_a - V_x$ が保持される。

40

【0085】

次に、第2の期間において、第2コンデンサの第2端子を上記駆動用トランジスタの電流入力端子（TFTのドレイン端子またはソース端子）へ接続する。このとき、駆動用トランジスタの電流入出力端子電位が V_a のとき、上記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）が上記電位 V_x となる。

【0086】

その後、上記駆動用トランジスタへ所望の電流値を流すことで、上記駆動用トランジスタ

50

タの電流制御端子電位（T F Tのゲート端子）が変化する。このときの電流制御端子電位（T F Tのゲート端子）は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず、上記駆動用トランジスタの電流入力端子 - 電流出力端子間電位がほぼ等しい状態で上記駆動用トランジスタの電流制御端子電位（T F Tのゲート端子）が設定される。

【0087】

また、上記駆動用トランジスタを画素回路に配置する場合、この所定電流を電流駆動発光素子へ印加したとき、電流駆動発光素子で発生する電位ドロップは等しいので、上記駆動用トランジスタの電流入力端子 - 電流出力端子間電位がほぼ等しい状態で所定の電流値を出力するよう上記駆動用トランジスタの電流制御端子電位（T F Tのゲート端子）を設定できる。

10

【0088】

このときの上記駆動用トランジスタの電流制御端子電位は第1のコンデンサと第2のコンデンサの接続を切り離す場合第1のコンデンサに、切り離さない場合第1および第2のコンデンサに保持される。

【0089】

その後、上記画素回路の非選択期間において、上記駆動用トランジスタの電流入力端子 - 電流出力端子間電位は変化するが、その変化後の電位は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず一定なので、上記駆動用トランジスタの電流入力端子 - 電流出力端子間を流れる電流値のバラツキを抑えることができるといった効果を奏する。

20

【0090】

このように本発明の第1と第2の駆動方法は、画素回路を構成する駆動用トランジスタの電流書き込み時と読み出し時の電流値の違いを小さくすることに役立つ。また、ソースドライバ回路を構成する駆動用トランジスタの電流書き込み時と読み出し時の電流値の違いを小さくすることにも役立つ。

【0091】

後者の場合、マトリックス状にトランジスタ（上記駆動用トランジスタとは別の、各画素回路に電流駆動発光素子に供給電流を制御するトランジスタ）と電流駆動発光素子を配置し、前記トランジスタの出力電流値を上記駆動用トランジスタの電流にて書き込むこととで、前記電流駆動発光素子の表示を均一にできる。

【0092】

更に、本発明の第1と第2の駆動方法では、第2の期間において、第2コンデンサの第2端子電位が上記V aのとき、電流制御端子電位（T F Tのゲート端子）が上記電位V xとなるため、予め第2の期間で第2コンデンサの第2端子を上記所定電圧線に接続したままとし、その後、第2コンデンサの第2端子を上記所定電圧線との接続を切り離すことが好ましい。このことにより、第2の期間に第2コンデンサの第2端子が最終電位となるまでの時間を短くでき、より多くのゲート配線を駆動でき、より多くの画素を表示できる。

30

【0093】

即ち、その最終電位は上記所定電圧線の電位V aに近い電位となるため、予め第2コンデンサの第2端子電位を電位V aとしておいた方が、最終電位となるまでの時間を短くできる。

40

【0094】

このような本発明の駆動方法の好ましき駆動例は、第1の駆動方法への適用時においては、上記駆動用トランジスタの電流制御端子と電流出力端子との接続を遮断した後、第2コンデンサの第2端子を上記所定電圧配線と接続したまま上記駆動用トランジスタの電流出力端子と接続し、その電位を所定電圧配線の電位V aとしてから、第2コンデンサの第2端子の接続を上記所定電圧線から切り離す駆動方法となる。

【0095】

また、第2の駆動方法への適用時においては、上記駆動用トランジスタの電流制御端子と電流入力端子との接続を遮断した後、第2コンデンサの第2端子を上記所定電圧配線と接続したまま上記駆動用トランジスタの電流入力端子と接続し、その電位を所定電圧配線

50

の電位 V_a としてから、第 2 コンデンサの第 2 端子の接続を上記所定電圧線から切り離す駆動方法となる。

【発明を実施するための最良の形態】

【0096】

本発明の実施の形態について図 1 ないし図 2 1、および図 3 1 ないし図 4 5 に基づいて説明すれば、以下の通りである。

【0097】

本発明に用いられるスイッチング素子は低温ポリシリコン TFT や CG (Continuous Grain) シリコン TFT など構成できるが、本実施の形態では CG シリコン TFT を用いることとする。

【0098】

ここで、CG シリコン TFT の構成は、例えば “4.0-in. TFT-OLED Displays and a Novel Digital Driving Method” (SID'00 Digest、pp.924-927、半導体エネルギー研究所) に発表されており、CG シリコン TFT の製造プロセスは、例えば “Continuous Grain Silicon Technology and Its Applications for Active Matrix Display” (AM-LCD 2000、pp.25-28、半導体エネルギー研究所) に発表されている。すなわち、CG シリコン TFT の構成およびその製造プロセスは何れも公知であるため、ここではその詳細な説明は省略する。

【0099】

また、本実施の形態で用いる電気光学素子である有機 EL 素子についても、その構成は、例えば “Polymer Light-Emitting Diodes for use in Flat panel Display” (AM-LCD '01、pp.211-214、半導体エネルギー研究所) に発表されており公知であるため、ここではその詳細な説明は省略する。

【0100】

〔実施の形態 1〕

本実施の形態 1 では、本発明に係る第 1 の特徴的構成を画素回路において適用した場合について説明する。

【0101】

本実施の形態 1 に係る表示装置は、図 1 に示すように、その各画素回路 A_{ij} において、電源配線 V_s と共通配線 V_{com} との間に駆動用トランジスタである駆動用 TFT 1 と電気光学素子である有機 EL 素子 (電流駆動発光素子) 6 とを直列に配置している。駆動用 TFT 1 は、有機 EL 素子 6 への供給電流を制御する。

【0102】

駆動用 TFT 1 のゲート端子 (電流制御端子) は、第 1 のスイッチ用トランジスタであるスイッチ用 TFT 3 を介してソース配線 S_j と接続されている。駆動用 TFT 1 のゲート端子 (電流制御端子) には、第 1 コンデンサ 2 および第 2 コンデンサ 7 の一方の端子が接続されている。第 1 コンデンサ 2 のもう一方の端子は、駆動用 TFT 1 のソース端子 (電流入力端子) および電源配線 V_s へ接続されている。第 2 コンデンサ 7 のもう一方の端子は、第 3 のスイッチ用トランジスタであるスイッチ用 TFT 8 を介して所定電圧線 V_a に接続され、第 2 のスイッチ用トランジスタであるスイッチ用 TFT 9 を介してソース配線 S_j に接続されている。尚、以下の説明では、第 1 コンデンサ 2 および第 2 コンデンサ 7 において、駆動用 TFT 1 のゲートと接続される側の端子を第 1 端子、第 1 端子と反対側の端子を第 2 端子とする。

【0103】

スイッチ用 TFT 3 およびスイッチ用 TFT 8 のゲート端子は制御配線 C_i に接続されており、スイッチ用 TFT 9 のゲート端子は制御配線 G_i に接続されている。

【0104】

駆動用 TFT 1 のドレイン端子 (電流出力端子) と有機 EL 素子 6 の陽極との間にはスイッチ用 TFT 4 が配置されており、該スイッチ用 TFT 4 のゲート端子は制御配線 R_i に接続されている。駆動用 TFT 1 とスイッチ用 TFT 4 との間の接続点は、スイッチ用

10

20

30

40

50

T F T 5 を介してソース配線 S_j と接続されており、該スイッチ用 T F T 5 のゲート端子は制御配線 W_i に接続されている。

【 0 1 0 5 】

これら制御配線 C_i , G_i , W_i のうち何れを第 2 の配線 (ゲート配線) としても良いし、これらスイッチ用 T F T 3 , 9 , 5 のうち何れを選択用 T F T としても良い。尚、本実施の形態では制御配線 G_i をゲート配線 G_i と表記することがある。

【 0 1 0 6 】

この回路構成では、駆動用 T F T 1 のゲート端子は、スイッチ用 T F T 3、ソース配線 S_j およびスイッチ用 T F T 5 を介して駆動用 T F T 1 のドレイン端子へ接続される。また、第 2 コンデンサ 7 の第 2 端子は、スイッチ用 T F T 9、ソース配線 S_j およびスイッチ用 T F T 5 を介して駆動用 T F T 1 のドレイン端子へ接続される。

10

【 0 1 0 7 】

上記のように本発明の手段では、第 1 のスイッチ用 T F T であるスイッチ用 T F T 3 は直接駆動用 T F T の電流制御端子と電流出力端子間を接続する場合だけでなく、ソース配線 S_j 、スイッチ用 T F T 5 を通して間接的に接続する場合も含む。

【 0 1 0 8 】

また、第 2 のスイッチ用 T F T であるスイッチ用 T F T 9 も直接第 2 のコンデンサの第 2 端子と駆動用 T F T の電流出力端子間を接続する場合だけでなく、上記のようにソース配線 S_j 、スイッチ用 T F T 5 を通して間接的に接続する場合も含む。

20

【 0 1 0 9 】

上記表示装置の画素回路 A_{ij} における動作を、制御配線 R_i , W_i , C_i , G_i およびソース配線 S_j の動作タイミングを示す図 2 を参照して以下に説明する。

【 0 1 1 0 】

本実施の形態 1 に係る駆動方法 (本発明の第 1 の駆動方法) では、選択期間 (すなわち、駆動用トランジスタの電流書き込み期間) である時間 $0 \sim 5 t_1$ の間に、制御配線 R_i の電位を $H_{i g h}$ ($G H$) としてスイッチ用 T F T 4 を $O F F$ 状態とし、制御配線 W_i の電位を $L o w$ ($G L$) としてスイッチ用 T F T 5 を $O N$ 状態とする。

【 0 1 1 1 】

そして、第 1 の期間 (時間 $t_1 \sim 2 t_1$) において、制御配線 C_i の電位を $H_{i g h}$ として、スイッチ用 T F T 3・8 を $O N$ 状態とする。この結果、駆動用 T F T 1 のゲート端子 (電流制御端子) とドレイン端子 (電流出力端子) とはスイッチ用 T F T 3・5 を通じて接続される。また、第 2 コンデンサ 7 における第 2 端子は、スイッチ用 T F T 8 を通じて所定電圧線 V_a へ接続される。そしてこのとき、電源配線 V_s から駆動用 T F T 1、スイッチ用 T F T 5、ソース配線 S_j を通じて、図示しないソースドライバ回路へ向けて一定電流が流される。

30

【 0 1 1 2 】

なお、上記第 1 の期間は時間 0 から始めても構わないので、図 2 ではそのことを破線を用いて示す。

【 0 1 1 3 】

その後 (時間 $2 t_1$ 以降)、制御配線 C_i の電位を $L o w$ としてスイッチ用 T F T 3・8 を $O F F$ 状態とする。これはスイッチ T F T 3 とスイッチ T F T 9 が同時に $O N$ 状態とならないようにするためであり、実際に必要な期間は t_1 より短い。このとき、上記第 1 の期間で設定されたソース配線 S_j の電位は、第 1 コンデンサ 2 および第 2 コンデンサ 7 を用いて保持される。

40

【 0 1 1 4 】

次に、第 2 の期間 (時間 $3 t_1 \sim 4 t_1$) において、制御配線 G_i の電位を $H_{i g h}$ として、スイッチ用 T F T 9 を $O N$ 状態とする。この結果、第 2 コンデンサ 7 の第 2 端子は、駆動用 T F T 1 のドレイン端子とスイッチ用 T F T 9・5 を通じて接続される。そしてこのとき、電源配線 V_s から駆動用 T F T 1、スイッチ用 T F T 5、ソース配線 S_j を通じて図示しないソースドライバ回路へ所望の電流が流れる。

50

【 0 1 1 5 】

上記第2の期間で設定された駆動用TFT1のソース・ゲート間電位は、その後(時間 $4t_1$ 以降)、制御配線 G_i の電位をLowとしスイッチ用TFT9をOFF状態とすることで、第1コンデンサ2および第2コンデンサ7に保持される。なお、この後制御配線 R_i がLowとなり、制御配線 W_i がHighとなるまでの時間 $4t_1 \sim 5t_1$ は、スイッチ用TFT9が確実にOFF状態となつてから、選択期間を終えるためであり、そのために必要な時間は t_1 より短くて良い。

【 0 1 1 6 】

以上でこの画素回路 A_{ij} の選択期間が終わり、次の画素回路 $A_{(i+1)j}$ の選択期間になるが、上記画素回路 A_{ij} における駆動用TFT1のソース・ゲート間電位 V_{sg} 、ソース・ドレイン間電位 V_{sd} の変化をシミュレーションした結果を図3に示す。尚、図3において示しているソース・ドレイン間電位 $V_{sd}(1) \sim V_{sd}(5)$ 、およびソース・ゲート間電位 $V_{sg}(1) \sim V_{sg}(5)$ のそれぞれは、駆動用TFT1の閾値電圧・移動度の特性が以下の表1に示す条件に相当する。

【 0 1 1 7 】

【表1】

	Ioled(1)	Ioled(2)	Ioled(3)	Ioled(4)	Ioled(5)
	Vsg(1)	Vsg(2)	Vsg(3)	Vsg(4)	Vsg(5)
	Vsd(1)	Vsd(2)	Vsd(3)	Vsd(4)	Vsd(5)
閾値電圧	平均値	下限	上限	上限	下限
移動度	平均値	下限	上限	下限	上限

【 0 1 1 8 】

図3では、時間 $460 \sim 470 \mu s$ が上記第1の期間に相当する。図3から判る通り、この期間では駆動用TFT1のソース・ドレイン間電位 $V_{sd}(1) \sim (5)$ とソース・ゲート間電位 $V_{sg}(1) \sim (5)$ とは一致している。

【 0 1 1 9 】

また、図3では、時間 $480 \sim 490 \mu s$ が上記第2の期間に相当する。図3から判る通り、この期間では駆動用TFT1の閾値電圧・移動度の条件の違いに関わらず、ソース・ドレイン間電位 V_{sd} はほぼ同じ値となっている。

【 0 1 2 0 】

これは、先の第1期間において、第2コンデンサ7の第2端子を一定電位 V_a に接続し、その後、この第2端子を駆動用TFT1のドレイン端子に接続することで、駆動用TFT1のソース・ドレイン間電位が $V_s - V_a$ のとき、ソース・ゲート間電位が上記図12の第1期間のソース・ゲート間電位となるよう第1及び第2コンデンサへ電荷が貯められたためである。

【 0 1 2 1 】

このことにより、駆動用TFT1の閾値電圧・移動度のばらつきに依らず、駆動用TFT1のソース・ドレイン間電位が上記電位 $V_s - V_a$ のとき、駆動用TFT1のソース・ゲート間電位が上記第1期間のソース・ゲート間電位となるよう設定できる。この状態で電源配線 V_s から駆動用TFT1、スイッチ用TFT5、ソース配線 S_j を通して図示しないソースドライバ回路へ所望の電流を流す。このことにより、このとき発生するソース・ゲート間電位 V_{sg} は、駆動用TFTの閾値電圧・移動度のばらつきに依らず、駆動用TFT1のソース・ドレイン間電位が一定であれば、駆動用TFT1から概ね一定の電流を流すよう設定される。

【 0 1 2 2 】

その後、図 3 に示すように、非選択期間（すなわち、駆動用トランジスタの電流読みだし：概ね時間 $500 \mu s$ 以降）において、駆動用 T F T 1 のソース・ドレイン間電位は変化する。しかし、この駆動用 T F T 1 の負荷である有機 E L 素子 6 はダイオード的特性を示すので、多少の電流値の違いがあっても電位ドロップは概ね一定となる。このため、駆動用 T F T 1 のドレイン端子電位は駆動用 T F T 1 の閾値電圧・移動度のばらつきに依らず概ね一定となり、駆動用 T F T 1 のソース・ドレイン間電圧はほぼ一定となる。この結果、駆動用 T F T 1 の閾値電圧・移動度に依らず、有機 E L 素子 6 を流れる電流値のばらつきが抑えられる。

【 0 1 2 3 】

なお、上記一定電位 V_a を上記有機 E L 素子 6 の印加電圧 - 電流特性から予想される電位（その電流値における有機 E L の陽極電位）とすることで、上記駆動用 T F T 1 の電流書き込み時と読み出し時のソース・ドレイン間電圧をほぼ等しくできるので好ましい。

【 0 1 2 4 】

この有機 E L 素子 6 を流れる電流値をシミュレーションで求めた結果を図 4 および図 5 に示す。

【 0 1 2 5 】

図 4 におけるシミュレーションでは、 $0.32 ms$ 毎に選択期間が来るよう設定し、最初の時間 $0.35 ms \sim 0.67 ms$ の間でソース配線 S_j へ電流値 $0.1 \mu A$ が流れるよう設定した。それ以降は、時間 $0.32 ms$ 毎に、ソース配線 S_j へ流れる電流値を $0.1 \mu A$ 刻みで $0.9 \mu A$ まで増加させ、その後 0 に戻し、再度 $0.1 \mu A$ 刻みで増加させている。

【 0 1 2 6 】

このシミュレーションにおいて、ソース配線 S_j に流した電流値（ $0 \sim 0.9 \mu A$ 迄の 10 点）を横軸にし、これらの各電流値を与えた後の非選択期間における有機 E L 素子 6 へ流れる電流値を縦軸として、そのばらつきを示したのが図 5 である。図 5 において、ソース配線 S_j へ $0.9 \mu A$ の電流を流した後の非選択期間では、有機 E L 素子を流れる電流値は約 $0.97 \sim 1.01 \mu A$ （ $+8\% \sim +13\%$ ）の範囲でばらついている。

【 0 1 2 7 】

これは、図 26 に示した従来技術でのシミュレーション結果（ $+5\% \sim +24\%$ のばらつき、即ち幅 19% のばらつき）に比べ充分小さくなっており、本発明の手段が有効（ $+8\% \sim +13\%$ のばらつき、即ち幅 5% のばらつき）であることを証明している。

【 0 1 2 8 】

なお、本発明に係る画素回路構成において、上記ばらつきを更に抑えるには、第 1 および第 2 コンデンサ 2, 7 の絶対容量およびその相対比、一定電位 V_a の値、駆動用 T F T 1 のゲート幅等を最適化することが有効である。

【 0 1 2 9 】

例えば、第 2 コンデンサ 7 の容量 C_2 と第 1 コンデンサ 2 の容量 C_1 との比 C_2 / C_1 は、その比が大きいほど、第 2 の期間で起こるソース・ゲート間電位 V_{sg} の変化を得るために必要なソース・ドレイン間電位のばらつきを抑えることができる。この場合、駆動用 T F T 1 の閾値電圧・移動度に依るソース・ドレイン間電位のばらつきを抑え、非選択期間に有機 E L 素子 6 に流れる電流値のばらつきを抑えるので好ましい。

【 0 1 3 0 】

但し、各コンデンサの容量の絶対値を小さくしすぎると、各コンデンサに保持される電位が、そのコンデンサに繋がるスイッチ用 T F T 3, 8, 9 のゲート端子電位の変化の影響を受け、その結果、非選択期間に有機 E L 素子 6 に流れる電流値をばらつかせるので好ましくない。

【 0 1 3 1 】

また、第 1 の期間に与える一定電位 V_a の値は、電源配線 V_s との電位差 $V_s - V_a$ が、非選択時に想定されるソース・ドレイン間電位 V_{sd} よりやや大きめに設定するかほぼ

10

20

30

40

50

同じに設定されることが好ましい。但し、電位差 $V_s - V_a$ の設定が余りに大きすぎる場合、電流書き込み時と非選択時とのソース・ドレイン間電位 V_{sd} の変化が大きくなりすぎ、ソース配線 S_j から供給した電流値に比べ、実際に有機 EL 素子 6 に流れる電流値が小さくなり過ぎるので好ましくない。

【 0 1 3 2 】

また、駆動用 T F T 1 のゲート幅 W については、大きすぎると駆動用 T F T 1 のソース・ゲート間電位が小さくなりすぎて、ゲート電位の変動が非選択期間に有機 EL 素子 6 に流れる電流値をばらつかせるため好ましくない。また、上記ゲート幅 W は、小さすぎても必要な電流を得るのに必要なソース・ドレイン間電位が大きくなり過ぎるため好ましくない。

10

【 0 1 3 3 】

本実施の形態 1 で用いた有機 EL 素子に対しては、図 1 に示す画素回路 A_{ij} において、 $C_1 = 1000 \text{ fF}$ 、 $C_2 = 500 \text{ fF}$ 、 $V_s = 16 \text{ V}$ 、 $V_a = 10 \text{ V}$ 、 $W = 12 \mu\text{m}$ のとき、有機 EL を流れる電流値のばらつきが最も少なくなり（1%程度）好適であった。

【 0 1 3 4 】

なお、これら第 1 および第 2 コンデンサ 2, 7 の絶対容量 C_1 、 C_2 およびその相対比、一定電位 V_a の値、駆動用 T F T 1 のゲート幅 W は駆動すべき有機 EL 素子の特性、必要な輝度、用いる駆動用 T F T 1 の特性に依存するので、実際にパネルを設計するとき、改めてシミュレーションを重ねた上で決定する必要がある。

20

【 0 1 3 5 】

なお、図 1 の画素回路構成では、駆動用 T F T 1 のゲート端子とドレイン端子とを接続するためにスイッチング用 T F T 3 をソース配線 S_j へ接続したが、直接駆動用 T F T 1 のドレイン端子へ接続しても良い。これは、第 2 コンデンサ 7 の第 2 端子を駆動用 T F T 1 のドレイン端子へ接続するためのスイッチング用 T F T 9 についても同様であり、スイッチング用 T F T 3, 9 は、直接駆動用 T F T 1 のドレイン端子へ接続しても良い。

【 0 1 3 6 】

また、有機 EL 素子を駆動用 T F T のソース側に配置することもできる。このとき、図 6 に示すように、駆動用 T F T 1' は n 型 T F T となり、有機 EL 素子 6' の陰極が駆動用 T F T 1' のソース端子側に繋がる。また、上記図 6 に示す構成では、スイッチ用 T F T 4' およびスイッチ用 T F T 5' が共に n 型 T F T として形成されている点が図 1 に示す画素回路構成と異なっている。

30

【 0 1 3 7 】

また、スイッチ用 T F T 3 は駆動用 T F T 1' のドレイン端子へ接続されている。スイッチ用 T F T 9 も同様である。

【 0 1 3 8 】

図 6 に示す画素回路構成について、その他の配線、動作は図 1 と同様なので、図 1 と同様の構成については同一の部材番号を付し、ここではその説明を省略する。

【 0 1 3 9 】

〔実施の形態 2〕

40

本実施の形態 2 では、本発明に係る第 1 の特徴的構成を画素回路およびソースドライバ回路において適用した場合の第 1 の例について説明する。

【 0 1 4 0 】

本実施の形態 2 に係る表示装置は、本発明の特徴的構成部分を、画素回路とソースドライバ回路とに分割して配置した構成である。このため、上記表示装置は、図 7 に示すように、第 1 の配線であるソース配線 S_j ($j = 1 \sim m$ の整数) と第 2 の配線であるゲート配線 G_i ($i = 1 \sim n$ の整数) とが交差する領域に画素回路 A_{ij} を配置し、ソース配線 S_j にソースドライバ回路 50 を接続し、ゲート配線 G_i にゲートドライバ回路 51 を接続した構成となっている。

【 0 1 4 1 】

50

上記表示装置において、本発明の特征的構成を含む画素回路 A_{ij} とソースドライバ回路 50 の出力段であるソースドライバ出力端回路 D_j との構成を図 8 に示す。

【0142】

本実施の形態 2 に係る表示装置では、上記図 8 に示すように、ソース配線 S_j とゲート配線 G_i が交差する領域に画素回路 A_{ij} が配置され、各画素回路 A_{ij} には、アクティブ素子である駆動用 T F T 1 1 と電気光学素子である有機 E L 素子 1 6 と第 1 コンデンサ 1 2 が配置されている。この駆動用 T F T 1 1 と有機 E L 素子 1 6 とは、電源配線 V_s と共通配線 V_{com} の間に直列に配置されている。

【0143】

そして、駆動用 T F T 1 1 のゲート端子（電流制御端子）には第 1 コンデンサ 1 2 の一方の端子（第 1 端子とする）が接続され、第 1 コンデンサ 1 2 のもう一方の端子（第 2 端子とする）は駆動用 T F T 1 1 のソース端子（電流入力端子）および電源配線 V_s へ接続されている。

10

【0144】

また、この画素回路構成では、ソース配線 S_j に平行に第 3 の配線である信号線 T_j が配置され、駆動用 T F T 1 1 のゲート端子はスイッチ用 T F T 1 5 を介して信号線 T_j に接続している。

【0145】

さらに、駆動用 T F T 1 1 のドレイン端子（電流出力端子）と有機 E L 素子 1 6 の陽極との間にはスイッチ用 T F T 1 3 が配置されており、駆動用 T F T 1 1 とスイッチ用 T F T 1 3 との間の接続点は、スイッチ用 T F T 1 4 を介してソース配線 S_j と接続されている。

20

【0146】

この画素回路 A_{ij} を構成するスイッチ用 T F T 1 5 , 1 4 , 1 3 のゲート端子には各々制御配線 G_i , W_i , R_i が接続されている。

【0147】

ソースドライバ回路 50 では、複数の画素回路 $A_{1j} \sim A_{nj}$ に対応して 1 つの出力端回路 D_j が配置されている。この出力端回路 D_j は、図 8 に示すように、信号線 T_j に第 2 コンデンサ 2 5 の一方の端子（第 1 端子とする）が接続され、更に信号線 T_j とソース配線 S_j との間に第 1 のスイッチ用トランジスタであるスイッチ用 T F T 2 2 が配置されている。また、第 2 コンデンサ 2 5 のもう一方の端子（第 2 端子とする）と所定電圧線 V_a の間には第 3 のスイッチ用トランジスタであるスイッチ用 T F T 2 3 が配置され、第 2 コンデンサ 2 5 の第 2 端子とソース配線 S_j との間には第 2 のスイッチ用トランジスタであるスイッチ用 T F T 2 4 が配置されている。さらに、信号線 T_j と O F F 電位線 V_{off} との間には第 4 のスイッチ用トランジスタであるスイッチ用 T F T 2 1 が配置されている。

30

【0148】

上記出力端回路 D_j において、スイッチ用 T F T 2 1 のゲート端子には制御配線 E_j が接続され、スイッチ用 T F T 2 2 , 2 3 のゲート端子には制御配線 C_j が接続され、スイッチ用 T F T 2 4 のゲート端子には制御配線 B_j が接続されている。

40

【0149】

上記表示装置の画素回路 A_{ij} および出力端回路 D_j における動作を、制御配線 R_i , W_i , G_i , C_j , E_j , B_j およびソース配線 S_j の動作タイミングを示す図 9 を参照して以下に説明する。

【0150】

本実施の形態 2 に係る駆動方法（本発明の第 1 の駆動方法）では、画素回路 A_{ij} の選択期間である時間 $0 \sim 5t_1$ の間に、制御配線 R_i の電位を High (GH) としてスイッチ用 T F T 1 3 を O F F 状態とし、制御配線 W_i の電位を Low (GL) としてスイッチ用 T F T 1 4 を O N 状態とする。

【0151】

50

画素回路 A_{ij} では、第 1 の期間（時間 $t_1 \sim 2t_1$ ）において、制御配線 G_i の電位を $High$ としてスイッチ TFT_{15} を ON 状態とし、駆動用 TFT_{11} のゲート端子を信号線 T_j と電氣的に接続させる。これにより、駆動用 TFT_{11} のゲート端子に第 1 コンデンサ 12 および第 2 コンデンサ 25 が接続された状態を作る。

【0152】

これと前後し、出力端回路 D_j では、制御配線 C_j の電位を $High$ として、スイッチ用 $TFT_{22}, 23$ を ON 状態とする。この結果、駆動用 TFT_{11} のゲート端子とドレイン端子とが、スイッチ用 $TFT_{15}, 22, 14$ を通じて電氣的に接続される。また、第 2 コンデンサ 25 の第 2 端子は、スイッチ用 TFT_{23} を通じて所定電圧線 V_a へ接続される。このとき、電源配線 V_s から駆動用 TFT_{11} 、スイッチ用 TFT_{14} 、ソース配線 S_j を通じて電流出力端 I_j より一定電流が流れる。

10

【0153】

その後、このときのソース配線 S_j の電位を第 1 コンデンサ 12 および第 2 コンデンサ 25 を用いて保持するために、制御配線 C_j の電位を Low としてスイッチ用 $TFT_{22}, 23$ を OFF 状態とする。

【0154】

このとき、第 1 コンデンサ 12 および第 2 コンデンサ 25 により、駆動用 TFT_{11} のゲートでは、該駆動用 TFT_{11} の閾値電圧・移動度に依らず、第 2 コンデンサ 25 の第 2 端子電位が V_a のとき、先の一定電流（上記第 1 の期間で駆動用 TFT_{11} のソース・ドレイン間に流れた電流）が流れるような電位が保持される。

20

【0155】

次に、第 2 の期間（時間 $3t_1 \sim 4t_1$ ）では、制御配線 B_j の電位を $High$ として、スイッチ用 TFT_{24} を ON 状態とする。この結果、第 2 コンデンサ 25 の第 2 端子は、スイッチ用 $TFT_{24}, 14$ を通じて駆動用 TFT_{11} のドレイン端子と接続される。このとき、電源配線 V_s から駆動用 TFT_{11} 、スイッチ用 TFT_{14} 、ソース配線 S_j を通じて電流出力端 I_j より所望の電流が流される。

【0156】

これにより、上記第 2 の期間では、駆動用 TFT_{11} の閾値電圧・移動度に依らず、駆動用 TFT_{11} のソース・ドレイン間電位が上記電位 $V_s - V_a$ のとき、駆動用 TFT_{11} に上記電流を流すよう設定される。そして、駆動用 TFT_{11} へ所望の電流を流すことで、駆動用 TFT_{11} のソース・ドレイン間電位が概ね一定の条件で駆動用 TFT のゲート・ソース間電位を設定できる。

30

【0157】

この第 2 の期間での駆動用 TFT_{11} のソース・ゲート間電位は、その後、時間 $4t_1$ で、制御配線 G_i の電位を Low とし、スイッチ用 TFT_{15} を OFF 状態とすることで、第 1 コンデンサ 12 に保持される。

【0158】

その後、時間 $5t_1$ で、制御配線 B_j の電位を Low としてスイッチ用 TFT_{24} を OFF 状態とすることで第 2 コンデンサ 25 とソース配線 S_j との電氣的接続を遮断し、制御配線 W_i の電位を $High$ としてスイッチ用 TFT_{14} を OFF 状態とすることで駆動用 TFT_{11} のドレイン端子とソース配線 S_j との電氣的接続を遮断する。さらに、制御配線 R_i の電位を Low としてスイッチ用 TFT_{13} を ON 状態として駆動用 TFT_{11} から有機 EL 素子 16 へ電流を流す状態とする。

40

【0159】

以上で、画素回路 A_{ij} の選択期間が終わり、次の画素回路 $A_{(i+1)j}$ の選択期間になる。

【0160】

上記図 8 に示す画素回路構成およびソースドライバ回路の出力端回路構成を用いて、有機 EL 素子 16 を流れる電流値をシミュレーションで求めた結果を図 10 に示す。

【0161】

50

図10におけるシミュレーションでは、0.55ms毎に選択期間が来るよう設定し、最初の時間0.06ms~0.61msの間でソース配線S_jへ電流値0.1μAが流れるよう設定した。それ以降は、時間0.55ms毎に、ソース配線S_jへ流れる電流値を0.1μA刻みで0.9μAまで増加させ、その後0に戻し、再度0.1μA刻みで増加させている。

【0162】

上記図10と実施の形態1で示した図4とを比較すれば判る通り、本実施の形態2のように本発明の特征的構成の一部をソースドライバ回路に配置した構成でも、総てを画素回路に配置した実施の形態1の構成と同様に、駆動用TFT1の閾値電圧・移動度のばらつきの影響を弱め、非選択期間に有機EL素子16に流れる電流値のばらつきを抑えることができる。

10

【0163】

また、図8の画素回路構成と実施の形態1で示した図1の画素回路構成とを比較すれば判る通り、本実施の形態2に係る構成では、スイッチ用TFTやコンデンサをソースドライバ回路側に配置するので、ボトムエミッション構成(TFT素子を形成した透明基板側に光を放出する構成)の表示装置において、画素当たり配置できる有機EL素子の面積を大きくできるといった効果が得られる。

【0164】

この結果、有機EL素子の単位面積当たりの発光輝度が抑えられるので、有機EL素子の輝度半減寿命を延ばすことができる。

20

【0165】

また、トップエミッション構成(TFT素子を形成した透明基板とは反対側に光を放出する構成)において画素に配置する素子数が増えないので、従来技術と同様なサイズまで画素サイズを小さくできる。

【0166】

また、本実施の形態2において、非選択期間における有機EL素子16の電流値を0とする場合、図9における期間6t₁~10t₁に示すように、制御配線E_jの電位をHighとしてスイッチ用TFT21をON状態とし、信号線T_jへOFF電位V_{off}を供給すればよい。またこの間、制御配線C_j、制御配線B_jの電位はLowとする。

【0167】

その結果、上記期間(6t₁~10t₁)、信号線T_jはOFF電位となるので、図10の5.01~5.56msに示すように、有機EL素子16を流れる電流値をほぼ0とできる。

30

【0168】

このシミュレーション結果と従来の図25のシミュレーション結果とを比較すれば、図8に示す回路構成において、スイッチ用TFT21を用いることで、有機EL素子16を流れる電流値を0に近づけることができることが判る。その結果、表示装置のコントラストを向上することができるので好ましい。

【0169】

〔実施の形態3〕

本実施の形態3では、本発明に係る第1の特征的構成を画素回路およびソースドライバ回路において適用した場合の第2の例について説明する。

40

【0170】

本実施の形態3に係る表示装置も、本発明の特征的構成部分を、画素回路とソースドライバ回路とに分割して配置した構成である。このため、上記表示装置は、実施の形態2と同様に図7に示すような構成となり、ここではその説明を省略する。

【0171】

上記表示装置において、本発明の特征的構成を含む画素回路A_{ij}とソースドライバ回路50の出力段であるソースドライバ出力端回路D_jとの構成を図11に示す。

【0172】

50

本実施の形態 3 に係る表示装置では、図 11 に示すように、画素回路 A_{ij} の構成において、実施の形態 2 で示した図 8 の画素回路構成の 3 本の制御配線 G_i , W_i , R_i の代わりに 1 本のゲート配線 G_i を用い、p 型 T F T であるスイッチ用 T F T 14 の代わりに n 型 T F T であるスイッチ用 T F T 14' を用いている。すなわち、図 11 に示す画素回路 A_{ij} では、スイッチ用 T F T 13, 15, 14' がゲート配線 G_i により駆動される。

【0173】

また、電源配線 V_s をソース配線 S_j に平行な状態から、ゲート配線 G_i に平行な状態に変更している。その他の点では図 11 の回路は図 8 の回路と同じなので、ここではその詳しい説明は省略する。

10

【0174】

上記表示装置の画素回路 A_{ij} および出力端回路 D_j における動作を、制御配線 G_i , C_j , E_j , B_j およびソース配線 S_j の動作タイミングを示す図 12 を参照して以下に説明する。

【0175】

本実施の形態 3 に係る駆動方法では、画素回路 A_{ij} の選択期間のうち、時間 $t_1 \sim 5t_1$ で、ゲート配線 G_i の電位を High (GH) として、スイッチ用 T F T 13 を OFF 状態とし、スイッチ用 T F T 14', 15 を ON 状態とする。

【0176】

この期間、駆動用 T F T 11 のゲート端子が信号線 T_j と接続し、駆動用 T F T 11 のゲート端子に第 1 コンデンサ 12, 第 2 コンデンサ 25 が接続された状態となる。

20

【0177】

これと前後し、出力端回路 D_j では、第 1 の期間 (時間 $t_1 \sim 2t_1$) において制御配線 C_j の電位を High として、スイッチ用 T F T 22, 23 を ON 状態とする。この結果、駆動用 T F T 11 のゲート端子とドレイン端子とが、スイッチ用 T F T 15, 22, 14' を通じて接続される。また、第 2 コンデンサ 25 の第 2 端子は所定電圧線 V_a へ接続される。

【0178】

そして、電源配線 V_s から駆動用 T F T 11, スイッチ用 T F T 14', ソース配線 S_j を通じて電流出力端 I_j より一定電流を引き抜く。このときのソース配線 S_j の電位は、時間 $2t_1$ において制御配線 C_j の電位を Low としてスイッチ用 T F T 22, 23 を OFF 状態とすることにより、第 1 コンデンサ 12 および第 2 コンデンサ 25 を用いて保持される。

30

【0179】

このとき、第 1 コンデンサ 12 および第 2 コンデンサ 25 により、駆動用 T F T 11 のゲートでは、該駆動用 T F T 11 の閾値電圧・移動度を補償し、第 2 コンデンサ 25 の第 2 端子電位が V_a のとき、先の一定電流 (上記第 1 の期間で駆動用 T F T 11 のソース・ドレイン間に流れた電流) が流れるような電位が保持される。

【0180】

次に、第 2 の期間 (時間 $3t_1 \sim 4t_1$) では、制御配線 B_j の電位を High として、スイッチ用 T F T 24 を ON 状態とする。この結果、第 2 コンデンサ 25 の第 2 端子は、スイッチ用 T F T 24, 14' を通じて駆動用 T F T 11 のドレイン端子と接続される。

40

【0181】

このとき、電源配線 V_s から駆動用 T F T 11, スイッチ用 T F T 14', ソース配線 S_j を通じて電流出力端 I_j より所望の電流が流される。これにより、上記第 2 の期間では、駆動用 T F T 11 の閾値電圧・移動度に依らず、駆動用 T F T 11 のソース・ドレイン間電位を概ね一定とした状態で、駆動用 T F T 11 に所望の電流を流すようそのゲート・ソース間電位を設定できる。

【0182】

50

この第2の期間での駆動用TFT11のソース・ゲート間電位は、その後、時間4t1で、制御配線Bjの電位をLowとし、スイッチ用TFT24をOFF状態とすることで、第2コンデンサ25に保持される。

【0183】

その後、時間5t1で、ゲート配線Giの電位をLowとしてスイッチ用TFT15をOFF状態とすることで第1コンデンサ12と信号配線Tjとの電氣的接続を遮断し、このときの信号配線Tjの電位を第1コンデンサ12へ保持する。同時に、スイッチ用TFT14'をOFF状態とすることで駆動用TFT11のドレイン端子とソース配線Sjとの電氣的接続を遮断すると共に、スイッチ用TFT13をON状態として、駆動用TFT11から有機EL素子16へ電流を流す状態とする。

10

【0184】

以上で、画素回路Aijの選択期間が終わり、次の画素回路A(i+1)jの選択期間になる。

【0185】

上記図11に示す画素回路構成およびソースドライバ回路の出力端回路構成を用いて、有機EL素子16を流れる電流値をシミュレーションで求めた結果を図13に示す。

【0186】

図13におけるシミュレーションでは、0.55ms毎に選択期間が来るよう設定し、最初の時間0.06ms~0.61msの間でソース配線Sjへ電流値0.1μAが流れるよう設定した。それ以降は時間0.55ms毎に、ソース配線Sjへ流れる電流値を0.1μA刻みで0.9μAまで増加させ、その後0に戻し、再度0.1μA刻みで増加させている。

20

【0187】

本実施の形態3に係るシミュレーション結果と従来技術で示した図25のシミュレーション結果とを比較すれば判る通り、本実施の形態3のように画素回路Aijにおける制御配線を減らした構成でも、駆動用TFT11の閾値電圧・移動度のばらつきの影響を弱め、非選択期間に有機EL素子16に流れる電流値のばらつきを抑えることができる。

【0188】

また、本実施の形態3に係る図11の画素回路構成と実施の形態2で示した図8の画素回路構成とを比較すれば判る通り、本実施の形態3では制御配線Giが1本だけで済むので、ボトムエミッション構成(TFT素子を形成した透明基板側に光を放出する構成)の表示装置において、画素あたりに配置できる有機EL素子の面積をより大きくでき、有機EL素子の輝度半減寿命を延ばすことができるので好ましい。

30

【0189】

〔実施の形態4〕

本実施の形態4では、本発明に係る第2の特徴的構成をソースドライバ回路において適用した場合の例について説明する。

【0190】

本実施の形態3に係る表示装置において、ソースドライバ回路の出力段である電流出力回路Fjの構成を図14に示す。上記電流出力回路Fjにおける出力端子Ijは、例えば、図1に示すソース配線Sjや、図8および図11に示す電流出力端Ijへ接続されるものである。

40

【0191】

上記電流出力回路Fjは、アクティブ素子である駆動用TFT31のゲート端子(電流制御端子)に第1コンデンサ32および第2コンデンサ33の一方の端子(第1端子とする)が接続された構成である。また、第1コンデンサ32におけるもう一方の端子(第2端子とする)および駆動用TFT31のドレイン端子(電流出力端子)は共通電極Vcomに接続されている。

【0192】

この駆動用TFT31のゲート端子とTFTのソース端子(電流入力端子)との間には

50

、スイッチ用TFT34およびスイッチ用TFT35が直列に配置されている。

【0193】

また、第2コンデンサ33のもう一方の端子(第2端子とする)と所定電圧線Vbの間にはスイッチ用TFT36が配置され、第2コンデンサ33の第2端子と駆動用TFT31のソース端子との間にはスイッチ用TFT37とスイッチ用TFT35とが直列に配置されている。

【0194】

さらに、電流出力回路Fjの出力端子Ijと駆動用TFT31のソース端子の間にはスイッチ用TFT38が配置されている。

【0195】

このスイッチ用TFT34, 36のゲート端子には制御配線DCjが接続され、スイッチ用TFT37, 35, 38のゲート端子には制御配線DPj, DWj, DRjがそれぞれ接続されている。

【0196】

上記表示装置のソースドライバ回路における電流出力回路Fjにおける動作を、制御配線DRj, DWj, DCj, DPj, および共通電流配線Icomの動作タイミングを示す図15を参照して以下に説明する。

【0197】

本実施の形態4に係る駆動方法では、電流設定期間である時間 $t_1 \sim 5t_1$ の間に、制御配線DRjの電位をLowとしてスイッチ用TFT38をOFF状態とし、制御配線DWjの電位をHighとしてスイッチ用TFT35をON状態とする。

【0198】

そして、第1の期間(時間 $t_1 \sim 2t_1$)では、制御配線DCjの電位をHighとして、スイッチ用TFT34, 36をON状態とする。この結果、駆動用TFT31のゲート端子とソース端子とは、スイッチ用TFT34, 35を通じて電氣的に接続される。また、第2コンデンサ33の第2端子は、スイッチ用TFT36を通じて所定電圧線Vbへ接続される。このとき、共通電流配線Icomからスイッチ用TFT35, 駆動用TFT31を通して共通電極Vcomへ一定電流を流す。

【0199】

そして、上記第1の期間での共通電流配線Icomの電位を第1コンデンサ32および第2コンデンサ33を用いて保持するため、時間 $2t_1$ において制御配線DCjの電位をLowとし、スイッチ用TFT34, 36をOFF状態とする。

【0200】

このとき、第1コンデンサ32および第2コンデンサ33により、駆動用TFT31のゲートでは、該駆動用TFT31の閾値電圧・移動度を補償し、第2コンデンサ33の第2端子電位がVbのとき、先の一定電流(上記第1の期間で駆動用TFT31のソース・ドレイン間に流れた電流)が流れるような電位が保持される。

【0201】

次に、第2の期間(時間 $3t_1 \sim 4t_1$)では、制御配線DPjの電位をHighとして、スイッチ用TFT37をON状態とする。この結果、第2コンデンサ33の第2端子は、駆動用TFT31のソース端子とスイッチ用TFT37, 35を通じて接続される。このとき、共通電流配線Icomからスイッチ用TFT35, 駆動用TFT31を通じて共通電極Vcomへ所望の電流が流される。

【0202】

これにより、上記第2の期間では、駆動用TFT31の閾値電圧・移動度に依らず、駆動用TFT31のソース・ドレイン間電位を概ね一定とした状態で、駆動用TFT31に所望の電流を流すようゲート・ドレイン間電位が設定できる。

【0203】

この第2の期間での駆動用TFT31のゲート・ドレイン間電位は、時間 $4t_1$ で、制御配線DPjの電位をLowとし、スイッチ用TFT37をOFF状態とすることで、第

10

20

30

40

50

1 コンデンサ 3 2 および第 2 コンデンサ 3 3 に保持される。

【 0 2 0 4 】

その後、時間 $5 t_1$ で、制御配線 $D W_j$ の電位を $L o w$ としてスイッチ用 $T F T 3 5$ を $O F F$ 状態とし、共通電流配線 $I c o m$ と駆動用 $T F T 3 1$ のソース端子との電氣的接続を遮断する。さらに、制御配線 $D R_j$ の電位を $H i g h$ としてスイッチ用 $T F T 3 8$ を $O N$ 状態とすることで、電流出力端子 I_j から駆動用 $T F T 3 1$ へ所望の電流を流す状態とする。

【 0 2 0 5 】

以上で、この電流出力回路 F_j の選択期間が終わり、次の電流出力回路 $F_j + 1$ の電流設定期間となる。

【 0 2 0 6 】

上記電流出力回路 F_j の選択期間において、駆動用 $T F T 3 1$ の閾値電圧・移動度を以下の表 2 の条件で変化させ、駆動用 $T F T 3 1$ のソース・ドレイン間電圧 $V s d$ とゲート・ドレイン間電圧 $V g d$ とをシミュレーションした結果を図 1 6 に示す。

【 0 2 0 7 】

【表 2】

	Ioled(1)	Ioled(2)	Ioled(3)	Ioled(4)	Ioled(5)
	Vgd(1)	Vgd(2)	Vgd(3)	Vgd(4)	Vgd(5)
	Vsd(1)	Vsd(2)	Vsd(3)	Vsd(4)	Vsd(5)
閾値電圧	平均値	上限	下限	上限	下限
移動度	平均値	上限	下限	下限	上限

【 0 2 0 8 】

図 1 6 では、時間 $0.61 \sim 0.62 \text{ ms}$ が上記第 1 の期間に相当する。図 1 6 から判るとおり、この期間では駆動用 $T F T 3 1$ のソース・ドレイン間電位 $V s d (1) \sim (5)$ とソース・ゲート間電位 $V s g (1) \sim (5)$ とは一致している。

【 0 2 0 9 】

また、図 1 6 では、時間 $0.63 \sim 0.64 \text{ ms}$ が上記第 2 の期間に相当する。図 1 6 から判るとおり、この期間では駆動用 $T F T 3 1$ のソース・ドレイン間電位 $V s d$ は、駆動用 $T F T$ の閾値電圧・移動度の条件の違いに依らず、ほぼ同じ値となっている。

【 0 2 1 0 】

すなわち、上記第 2 の期間では、共通電流配線 $I c o m$ からスイッチ用 $T F T 3 5$, 駆動用 $T F T 3 1$ を通じて共通電極 $V c o m$ へ所望の電流を流すので、駆動用 $T F T$ の閾値電圧・移動度のばらつきに依らず、駆動用 $T F T 3 1$ のソース・ドレイン間電位が一定となる条件で駆動用 $T F T 3 1$ のゲート・ドレイン間電位 $V g d$ を設定できる。

【 0 2 1 1 】

この結果、駆動用 $T F T 3 1$ の閾値電圧・移動度に依らず、駆動用 $T F T 3 1$ のソース・ドレイン間電位が等しければ、概ね一定の電流を流すことができる電流出力回路が実現できる。

【 0 2 1 2 】

その後、電流出力回路 F_j の読み出し期間となるが、図 1 6 のシミュレーションでは、この電流出力端子 I_j と電源配線 $V s$ との間に有機 $E L$ 素子の代わりに抵抗を配置したが駆動用 $T F T 3 1$ の出力電流値がほぼ一定であるため、この読み出し期間で駆動用 $T F T 3 1$ のソース・ドレイン間電圧 $V s d$ は、ほぼ一定となる。

【 0 2 1 3 】

10

20

30

40

50

このとき、上記表 2 に示した 5 つの駆動用 T F T 3 1 の閾値電圧・移動度条件を用いて駆動用 T F T 3 1 の電流値ばらつきをシミュレーションした結果を図 1 7 に示す。

【 0 2 1 4 】

図 1 7 におけるシミュレーションでは、0.55 ms 毎に選択期間が来るよう設定し、最初の時間 0.06 ms ~ 0.65 ms の間でソース配線 S_j へ電流値 0.1 μA が流れるよう設定した。それ以降は時間 0.55 ms 毎に、ソース配線 S_j へ流れる電流値を 0.1 μA 刻みで 0.9 μA まで増加させ、その後 0 に戻し、再度 0.1 μA 刻みで増加させている。

【 0 2 1 5 】

図 1 7 のシミュレーション結果から判る通り、本実施の形態 4 に係るソースドライバ回路を用いれば、駆動用 T F T 3 1 の閾値電圧・移動度のばらつきによる、駆動用 T F T 3 1 を流れる電流値のばらつきを抑える（図 1 7 の時間 3.6 ms で電流値のばらつきは 1.05 ~ 1.15 μA の範囲、即ち 9 % のばらつき範囲に収まっているので）効果がある。

【 0 2 1 6 】

特に、出力電流が 0.8 μA までは駆動用 T F T 3 1 の閾値電圧・移動度のばらつきに依らず、ほぼ均一な電流値が得られている。

【 0 2 1 7 】

ところで、本発明の特征的構成をソースドライバ回路として用いる場合、さらにその構成を画素回路においても本発明の特征的構成を用いることが好ましい。以下にその例を説明する。

【 0 2 1 8 】

すなわち、図 1 4 のソースドライバ回路の電流出力端子 I_j に実施の形態 1 で示した図 1 の画素回路を接続し、その効果をシミュレーションにより調べてみた。

【 0 2 1 9 】

まず、上記図 1 4 および図 1 に与える各制御端子の信号タイミングを図 1 8 のようにする。

【 0 2 2 0 】

この駆動タイミングを用いて図 1 4 の駆動用 T F T 3 1 のソース・ドレイン間電位 V_{s d} とソース・ゲート間電位 V_{s g} をシミュレーションで調べた結果を図 1 9 に示す。

【 0 2 2 1 】

図 1 9 においては、時間 0.61 ~ 0.65 ms が図 1 4 のソースドライバ回路の駆動用 T F T 3 1 の電流設定期間に相当し、時間 0.70 ~ 0.75 ms が図 1 の画素回路の選択期間に相当する。

【 0 2 2 2 】

また、時間 0.61 ~ 0.62 ms がソースドライバ回路の駆動用 T F T 3 1 の第 1 の期間に相当するが、この時、駆動用 T F T 3 1 のソース・ドレイン間電位 V_{s d} とゲート・ドレイン間電位 V_{g d} とは一致している。

【 0 2 2 3 】

次に、時間 0.63 ~ 0.64 ms がソースドライバ回路の駆動用 T F T 3 1 の第 2 の期間に相当するが、この時、駆動用 T F T 3 1 のソース・ドレイン間電位 V_{s d} は、駆動用 T F T 3 1 の閾値電圧・移動度に依らず一致する。

【 0 2 2 4 】

次に、時間 0.71 ~ 0.72 ms が画素回路の第 1 の期間に相当する。このとき、ソースドライバ回路の駆動用 T F T 3 1 のソース・ドレイン間電位 V_{s d} が、画素回路の駆動用 T F T 1 の閾値電圧・移動度のばらつきによりばらついている。その結果、ソースドライバ回路の駆動用 T F T 3 1 の出力電流もばらつく。

【 0 2 2 5 】

しかし、画素回路の第 2 の期間に相当する時間 0.73 ~ 0.74 ms では、画素回路の駆動用 T F T 1 の閾値電圧・移動度に依らず、ソースドライバ回路の駆動用 T F T 3 1

10

20

30

40

50

のソース・ドレイン間電位 V_{sd} が一致する。その結果、図 20 に示すように、画素回路に配置した有機 EL 素子 6 を流れる電流値のばらつきは抑えられる。

【0226】

なおこの場合、ソースドライバ回路の電流読み出し時のソース電位は上記所定電圧線の電位 V_b であることが好ましい。そのためには、上記画素回路の所定電圧線電位 V_a と上記所定電圧線電位 V_b とを同じにすれば良い。

【0227】

このように本発明の特征的構成部分は、ソースドライバ回路の電流出力回路として用いることもできるし、画素回路で用いることもできる。何れの回路構成で用いても、本発明は駆動用 T F T の閾値電圧・移動度に依らず、駆動用 T F T へ所望の電流を流す効果がある。

10

【0228】

また、図 23 のようにソースドライバ回路から電流を入力するときは、これと共に用いるソースドライバ回路側において、図 21 に示すように、用いる T F T 31' および 34' ~ 38' をすべて p 型 T F T で構成することが好ましい。

【0229】

なお、図 21 の回路構成は、駆動用 T F T 31' のソース端子が電源配線 V_s と繋がっており、駆動用 T F T 31' から電流が出力される本発明の第 1 の構成をソースドライバ回路へ適用した例となる。

【0230】

20

〔実施の形態 5〕

本実施の形態 5 では、本発明に係る第 1 の特征的構成を画素回路およびソースドライバ回路において適用した場合の第 3 の例について説明する。

【0231】

本実施の形態 5 に係る表示装置も、本発明の特征的構成部分を、画素回路とソースドライバ回路とに分割して配置した構成である。このため、上記表示装置は、実施の形態 2 と同様に図 7 に示すような構成となり、ここではその説明を省略する。

【0232】

上記表示装置において、本発明の特征的構成を含む画素回路 A_{ij} とソースドライバ回路 50 の出力段であるソースドライバ出力端回路 D_j との構成を図 31 に示す。

30

【0233】

本実施の形態 5 に係る表示装置では、上記図 31 に示すように、ソース配線 S_j とゲート配線 G_i とが交差する領域に画素回路 A_{ij} が配置され、各画素回路 A_{ij} には、アクティブ素子である駆動用 T F T 41 と電気光学素子である有機 EL 素子 48 と第 1 のスイッチ用トランジスタであるスイッチ用 T F T 42 と第 1 コンデンサ 44 と第 2 コンデンサ 45 とが配置されている。この駆動用 T F T 41 と有機 EL 素子 48 とは、電源配線 V_s と共通配線 V_{com} との間に直列に配置されている。

【0234】

そして、駆動用 T F T 41 のゲート端子（電流制御端子）には第 1 コンデンサ 44 および第 2 のコンデンサ 45 のそれぞれにおける一方の端子（第 1 端子とする）が接続され、第 1 コンデンサ 44 のもう一方の端子（第 2 端子とする）は駆動用 T F T 41 のソース端子（電流入力端子）および電源配線 V_s へ接続されている。

40

【0235】

また、駆動用 T F T 41 のゲート端子（電流制御端子）とソース配線 S_j の間には第 1 のスイッチ用トランジスタであるスイッチ用 T F T 42 が配置されている。

【0236】

更に、ソース配線 S_j と平行に第 3 の配線である信号線（接続配線） T_j が配置され、第 2 のコンデンサ 45 のもう一方の端子（第 2 端子とする）はスイッチ用 T F T 43 を介して信号線 T_j に接続されている。

【0237】

50

さらに、駆動用 T F T 4 1 のドレイン端子（電流出力端子）と有機 E L 素子 4 8 の陽極との間にはスイッチ用 T F T 4 6 が配置されており、駆動用 T F T 4 1 とスイッチ用 T F T 4 6 との間の接続点は、スイッチ用 T F T 4 7 を介してソース配線 S j と接続されている。

【 0 2 3 8 】

この画素回路 A i j を構成するスイッチ用 T F T 4 2 , 4 3 のゲート端子には各々制御配線 C i , G i が、スイッチ用 T F T 4 6 , 4 7 のゲート端子には制御配線 W i が接続されている。

【 0 2 3 9 】

ソースドライバ回路 5 0 では、複数の画素回路 A 1 j ~ A n j に対応して 1 つの出力端回路 D j が配置されている。この出力端回路 D j は、図 3 1 に示すように、信号線 T j とソース配線 S j との間に第 2 のスイッチ用トランジスタであるスイッチ用 T F T 5 1 が配置されている。また、信号線 T j と所定電圧線 V a の間には第 3 のスイッチ用トランジスタであるスイッチ用 T F T 4 9 が配置されている。

10

【 0 2 4 0 】

上記出力端回路 D j において、スイッチ用 T F T 4 9 のゲート端子には制御配線 C c が接続され、スイッチ用 T F T 5 1 のゲート端子には制御配線 B c が接続されている。

【 0 2 4 1 】

上記表示装置の画素回路 A i j および出力端回路 D j における動作を、制御配線 W i , G i , C i , C c , B c およびソース配線 S j の動作タイミングを示す図 3 2 を参照して以下に説明する。

20

【 0 2 4 2 】

本実施の形態 5 に係る駆動方法では、画素回路 A i j の選択期間である時間 t 1 ~ 6 t 1 の間に、制御配線 W i の電位を H i g h (G H) とし、スイッチ用 T F T 4 6 を O F F 状態とし、同時にスイッチ用 T F T 4 7 を O N 状態とする。また、時間 t 1 ~ 5 t 1 の間に、制御配線 G i の電位を H i g h (G H) とし、スイッチ用 T F T 4 3 を O N 状態とする。

【 0 2 4 3 】

画素回路 A i j の選択期間の第 1 の期間（時間 t 1 ~ 2 t 1 ）では、制御配線 C i の電位を H i g h とし、スイッチ T F T 4 2 を O N 状態とし、駆動用 T F T 4 1 のゲート端子とドレイン端子とが、スイッチ用 T F T 4 2 , 4 7 を通じて電氣的に接続され、電源配線 V s から駆動用 T F T 4 1 , スイッチ用 T F T 4 7 , ソース配線 S j を通じて電流出力端 I j より一定電流が流れる。

30

【 0 2 4 4 】

また、時間 t 1 ~ 3 t 1 の間、出力端回路 D j の制御配線 C c の電位を H i g h とし、スイッチ用 T F T 4 9 を O N 状態とする。この結果、第 2 コンデンサ 4 5 の第 2 端子は、スイッチ用 T F T 4 3 、信号線 T j , スイッチ用 T F T 4 9 を通じて所定電圧線 V a へ接続される。

【 0 2 4 5 】

その後、この時のソース配線 S j 電位を第 1 コンデンサ 4 4 および第 2 コンデンサ 4 5 を用いて保持するために、制御配線 C i の電位を L o w とし、スイッチ用 T F T 4 2 を O F F 状態とする。

40

【 0 2 4 6 】

このとき、第 1 コンデンサ 4 4 および第 2 コンデンサ 4 5 により、駆動用 T F T 4 1 のゲート端子電位は、該駆動用 T F T 4 1 の閾値電圧・移動度に依らず、第 2 コンデンサ 4 5 の第 2 端子電位が V a のとき、先の一定電流（上記第 1 の期間で駆動用 T F T 4 1 のソース・ドレイン間に流れた電流）が流れるような電荷が保持される。その後制御配線 C c を L o w とし、スイッチ用 T F T 4 9 を O F 状態とする。

【 0 2 4 7 】

50

次に、第2の期間(時間 $4t_1 \sim 5t_1$)では、制御配線 B_c の電位を $High$ として、スイッチ用 TFT_{51} を ON 状態とする。この結果、第2コンデンサ 45 の第2端子は、スイッチ用 $TFT_{43}, 51, 47$ を通じて駆動用 TFT_{41} のドレイン端子と接続される。このとき、電源配線 V_s から駆動用 TFT_{41} 、スイッチ用 TFT_{47} 、ソース配線 S_j を通じて電流出力端 I_j より所望の電流が流される。

【0248】

これにより、上記第2の期間では、駆動用 TFT_{41} の閾値電圧・移動度に依らず、駆動用 TFT_{41} のソース・ドレイン間電位が上記電位 $V_s - V_a$ のとき、駆動用 TFT_{41} に上記電流(上記第1の期間で駆動用 TFT_{41} のソース・ドレイン間に流れた電流)を流すよう設定される。そして、駆動用 TFT_{41} へ所望の電流を流すことで、駆動用 TFT_{41} のソース・ドレイン間電位が概ね一定の条件で駆動用 TFT のゲート・ソース間電位を設定できる。

10

【0249】

この第2の期間での駆動用 TFT_{41} のソース・ゲート間電位は、その後、時間 $5t_1$ で、制御配線 G_i の電位を Low とし、スイッチ用 TFT_{43} を OFF 状態とすることで、第1コンデンサ 44 および第2コンデンサ 45 に保持される。

【0250】

その後、時間 $6t_1$ で、制御配線 B_c の電位を Low としてスイッチ用 TFT_{51} を OFF 状態とすることで信号線 T_j とソース配線 S_j との電氣的接続を遮断する。更に、制御配線 W_i の電位を Low としてスイッチ用 TFT_{47} を OFF 状態とし、スイッチ用 TFT_{46} を ON 状態として駆動用 TFT_{41} から有機 EL 素子 48 へ電流を流す状態とする。

20

【0251】

以上で、画素回路 A_{ij} の選択期間が終わり、次の画素回路 $A_{(i+1)j}$ の選択期間になる。

【0252】

上記図31に示す画素回路構成およびソースドライバ回路の出力端回路構成を用いて、有機 EL 素子 48 を流れる電流値をシミュレーションで求めた結果を図33に示す。

【0253】

図33におけるシミュレーションでは、 $0.27ms$ 毎に選択期間が来るよう設定し、最初の時間 $0.30ms \sim 0.57ms$ の間でソース配線 S_j へ電流値 $0.9\mu A$ が流れるよう設定した。それ以降は時間 $0.27ms$ 毎に、ソース配線 S_j へ流れる電流値を $-0.1\mu A$ 刻みで $0\mu A$ まで減少させ、その後再び $0.9\mu A$ に戻るよう設定した。

30

【0254】

本実施の形態5に係るシミュレーション結果(特に時間 $0.30ms$ から $1.9ms$ の結果)と従来の技術で示した図25のシミュレーション結果とを比較すれば判る通り、本実施の形態5のようにソースドライバ出力端回路 D_j に第2のスイッチ用トランジスタと第3のスイッチ用トランジスタを配置した構成でも、駆動用 TFT_{41} の閾値電圧・移動度のばらつきの影響を弱め、非選択期間に有機 EL 素子 48 に流れる電流値のばらつきを抑えることができる。

40

【0255】

〔実施の形態6〕

本実施の形態6では、本発明に係る第2の特徴的構成を画素回路において適用した場合について説明する。

【0256】

本実施の形態6に係る表示装置は、図34に示すように、その各画素回路 A_{ij} において、電源配線 V_s と共通配線 V_{com} との間に駆動用トランジスタである駆動用 TFT_{63} と電気光学素子である有機 EL 素子 69 とを直列に配置している。

【0257】

駆動用 TFT_{63} のゲート端子(電流制御端子)は、第1のスイッチ用トランジスタで

50

あるスイッチ用TFT64を介してソース配線Sjと接続されている。また、駆動用TFT63のゲート端子には第1コンデンサ68および第2コンデンサ67のそれぞれにおける一方の端子(第1端子とする)が接続されている。第1コンデンサ68のもう一方の端子(第2端子とする)は、駆動用TFT63のドレイン端子(電流出力端子)および有機EL素子69の陽極へ接続されている。第2コンデンサ67のもう一方の端子(第2端子とする)は、第3のスイッチ用トランジスタであるスイッチ用TFT65を介して電源配線(所定電圧線)Vsに接続され、第2のスイッチ用トランジスタであるスイッチ用TFT66を介してソース配線Sjに接続されている。

【0258】

スイッチ用TFT64およびスイッチ用TFT65のゲート端子は制御配線Ciに接続されており、スイッチ用TFT66のゲート端子は制御配線Giに接続されている。

10

【0259】

駆動用TFT63のソース端子(電流入力端子)と電源配線Vsとの間にはスイッチ用TFT61が配置されており、該スイッチ用TFT61のゲート端子は制御配線Riに接続されている。駆動用TFT63とスイッチ用TFT61との間の接続点は、スイッチ用TFT62を介してソース配線Sjと接続されており、該スイッチ用TFT62のゲート端子は制御配線Wiに接続されている。

【0260】

これら制御配線Ci, Gi, Wiのうち何れを第2の配線(ゲート配線)としても良いし、これらスイッチ用TFT62, 64, 66のうち何れを選択用TFTとしても良い。

20

【0261】

この回路構成では、駆動用TFT63のゲート端子は、スイッチ用TFT64、ソース配線Sjおよびスイッチ用TFT62を介して駆動用TFT63のソース端子へ接続される。また、第2コンデンサ67の第2端子は、スイッチ用TFT66、ソース配線Sjおよびスイッチ用TFT62を介して駆動用TFT63のソース端子へ接続される。

【0262】

上記表示装置の画素回路Aijにおける動作を、制御配線Ri, Wi, Ci, Giおよびソース配線Sjの動作タイミングを示す図35を参照して以下に説明する。

【0263】

本実施の形態6に係る駆動方法では、選択期間である時間0~6t1の間に、制御配線Riの電位をHigh(GH)としてスイッチ用TFT61をOFF状態とし、時間t1~5t1の間に制御配線Wiの電位をLow(GL)としてスイッチ用TFT62をON状態とする。

30

【0264】

そして、第1の期間(時間t1~2t1)において、制御配線Ciの電位をLowとして、スイッチ用TFT64・65をON状態とする。この結果、駆動用TFT63のゲート端子とソース端子とはスイッチ用TFT64・62を通じて接続される。また、第2コンデンサ67の第2端子は、スイッチ用TFT65を通じて電源線(所定電圧線)Vsへ接続される。このとき、図示しないソースドライバ回路からソース配線Sj、スイッチ用TFT62、駆動用TFT63を通じて有機EL素子69へ向け一定電流が流される。

40

【0265】

その後(時間2t1以降)、制御配線Ciの電位をHighとしてスイッチ用TFT64・65をOFF状態とする。このとき、上記第1の期間で設定されたソース配線Sjの電位は、第1コンデンサ68および第2コンデンサ67を用いて保持される。

【0266】

次に、第2の期間(時間3t1~4t1)において、制御配線Giの電位をLowとして、スイッチ用TFT66をON状態とする。この結果、第2コンデンサ67の第2端子は、スイッチ用TFT66・62を通じて駆動用TFT63のソース端子と接続される。このとき、図示しないソースドライバ回路からソース配線Sj、スイッチ用TFT62、駆動用TFT63を通じて、有機EL素子69へ向け所望の電流が流れる。

50

【 0 2 6 7 】

上記第 2 の期間で設定された駆動用 T F T 6 3 のドレイン・ゲート間電位は、その後（時間 $4 t 1$ 以降）、制御配線 G i の電位を H i g h としスイッチ用 T F T 6 6 を O F F 状態とすることで、第 1 コンデンサ 6 8 および第 2 コンデンサ 6 7 に保持される。

【 0 2 6 8 】

その後、制御配線 W i の電位を H i g h としスイッチ用 T F T 6 2 を O F F 状態として、制御配線 R i の電位を L o w としスイッチ用 T F T 6 1 を O N 状態とする。

【 0 2 6 9 】

以上でこの画素回路 A i j の選択期間が終わり、次の画素回路 A (i + 1) j の選択期間になる。

【 0 2 7 0 】

なお、図 3 4 に示すソースドライバ出力端回路 D j では、O F F 電位線 V o f f とソース配線 S j との間に第 4 のスイッチ用トランジスタであるスイッチ用 T F T 7 0 が配置されている。

【 0 2 7 1 】

そしてこのスイッチ用 T F T 7 0 のゲート端子には制御配線 E j が接続され、選択された有機 E L 素子 6 9 の電流値を 0 とする場合、図 3 5 に示されるように、上記第 2 の期間（ $9 t 1 \sim 1 1 t 1$ ）で制御配線 E j を H i g h とし、スイッチ用 T F T 7 0 を O N 状態とする。このとき、ソース配線 S j とソースドライバの電流出力回路との接続をオープン状態として、O F F 電位線 V o f f よりソース配線へ O F F 電位を供給する。

【 0 2 7 2 】

この O F F 電位は共通電極電位 V c o m と同等かより低い電位とするので、スイッチ用 T F T 6 2 を通してこの電位が駆動用 T F T 6 3 のソース電位となるか、またはスイッチ用 T F T 6 2 が O F F 状態となることで、駆動用 T F T 6 3 のゲート電位がソース端子より放電され、駆動用 T F T 6 3 のゲート電位は第 1 期間の電位より低下し、駆動用 T F T 6 3 は O F F 状態となる。

【 0 2 7 3 】

上記図 3 4 に示す画素回路構成およびソースドライバ回路の出力端回路構成を用いて、有機 E L 素子 6 9 を流れる電流値をシミュレーションで求めた結果を図 3 6 に示す。

【 0 2 7 4 】

図 3 6 におけるシミュレーションでは、 1.08 ms 毎に選択期間が来るよう設定し、最初の時間 $2.30 \text{ ms} \sim 3.38 \text{ ms}$ の間でソース配線 S j へ電流値 $1.1 \mu \text{ A}$ が流れるよう設定した。それ以降は時間 1.08 ms 毎に、ソース配線 S j へ流れる電流値を $-0.12 \mu \text{ A}$ 刻みで $0 \mu \text{ A}$ まで減少させ、その後再び $1.1 \mu \text{ A}$ に戻した。

【 0 2 7 5 】

本実施の形態 6 に係るシミュレーション結果と従来技術で示した図 2 5 のシミュレーション結果とを比較すれば判る通り、本実施の形態 6 のように駆動用トランジスタの電流制御端子と電流入力端子を制御する構成でも、駆動用 T F T 6 3 の閾値電圧・移動度のばらつきの影響を弱め、非選択期間に有機 E L 素子 6 9 に流れる電流値のばらつきを抑えることができる。

【 0 2 7 6 】

なお、図 1 の画素回路構成では第 2 コンデンサ 7 の第 2 端子へ所定電位 V a を与えるため電源配線 V a が配置されていた。しかし、本発明に係る第 2 の特徴的構成を画素回路において適用した場合、所定電位配線を電源配線 V s と共通化できるので、図 3 4 に示したような電源配線 V a がなくても済む。

【 0 2 7 7 】

また、図 3 7 に示すように、本発明の手段を構成する駆動用 T F T、第 1 コンデンサ、第 2 コンデンサ、第 1 スwitch用トランジスタ、第 2 スwitch用トランジスタ、および第 3 スwitch用トランジスタの一部をソースドライバ回路側に配置することも可能である。

【 0 2 7 8 】

10

20

30

40

50

即ち、図37の画素回路構成A_{i j}で、第1コンデンサ98が駆動用TFT94のゲート・ドレイン間に配置され、駆動用TFT94のゲート端子とソース配線S_jの間には第1スイッチ用TFT95が配置され、駆動用TFT94のゲート端子と信号線T_jの間には第2コンデンサ97とスイッチ用TFT93とが直列に配置されている。また、駆動用TFT94のドレイン端子と共通電極V_{com}の間には有機EL素子96が配置され、駆動用TFT94のソース端子と電源配線V_sの間にはスイッチ用TFT91が配置され、駆動用TFT94のソース端子とソース配線S_jの間にはスイッチ用TFT92が配置されている。

【0279】

また、ソースドライバ出力端回路D_jでは、信号線T_jとソース配線S_jの間に第2スイッチ用トランジスタであるスイッチ用TFT100が配置され、信号線T_jと所定電圧線V_bの間には第3スイッチ用トランジスタであるスイッチ用TFT99が配置されている。

10

【0280】

この画素回路A_{i j}及びソースドライバ出力端回路D_jを用いた駆動タイミングは図31に示した画素回路同様、図32に示すようなものとなるので、その説明は省略する。

【0281】

〔実施の形態7〕

本実施の形態7では、本発明に係る第2の特徴的構成を画素回路およびソースドライバ回路において適用した場合の別の例について説明する。

20

【0282】

本実施の形態7に係る表示装置も、本発明の特徴的構成部分を、画素回路とソースドライバ回路とに分割して配置した構成である。このため、上記表示装置は、実施の形態2と同様に図7に示すような構成となり、ここではその説明を省略する。

【0283】

上記表示装置において、本発明の特徴的構成を含む画素回路A_{i j}とソースドライバ回路50の出力段であるソースドライバ出力端回路D_jとの構成を図38に示す。

【0284】

本実施の形態7に係る表示装置では、上記図38に示すように、ソース配線S_jとゲート配線G_iが交差する領域に画素回路A_{i j}が配置され、各画素回路A_{i j}には、アクティブ素子である駆動用TFT74と電気光学素子である有機EL素子76と第1コンデンサ75とが配置されている。この駆動用TFT74と有機EL素子76とは、電源配線V_sと共通配線V_{com}の間に直列に配置されている。

30

【0285】

そして、駆動用TFT74のゲート端子（電流制御端子）には第1コンデンサ75の一方の端子（第1端子とする）が接続され、第1コンデンサ75のもう一方の端子（第2端子とする）は駆動用TFT74のドレイン端子（電流出力端子）および有機EL素子76の陽極へ接続されている。

【0286】

また、この画素回路構成では、ソース配線S_jに平行に第3の配線である信号線T_jが配置され、駆動用TFT74のゲート端子はスイッチ用TFT73を介して信号線T_jに接続している。

40

【0287】

さらに、駆動用TFT74のソース端子（電流入力端子）と電源配線V_sの間にはスイッチ用TFT71が配置されており、駆動用TFT74とスイッチ用TFT71との間の接続点は、スイッチ用TFT72を介してソース配線S_jと接続されている。

【0288】

この画素回路A_{i j}を構成するスイッチ用TFT73, 72, 71のゲート端子には各々制御配線G_i, W_i, R_iが接続されている。

【0289】

50

ソースドライバ回路50では、複数の画素回路A_{1j} ~ A_{nj}に対応して1つの出力端回路D_jが配置されている。この出力端回路D_jは、図38に示すように、信号線T_jに第2コンデンサ80の一方の端子(第1端子とする)が接続され、更に信号線T_jとソース配線S_jとの間に第1のスイッチ用トランジスタであるスイッチ用TFT77が配置されている。また、第2コンデンサ80のもう一方の端子(第2端子とする)と所定電圧線V_aの間には第3のスイッチ用トランジスタであるスイッチ用TFT78が配置され、第2コンデンサ80の第2端子とソース配線S_jとの間には第2のスイッチ用トランジスタであるスイッチ用TFT79が配置されている。さらに、信号線T_jとOFF電位線V_{off}との間には第4のスイッチ用トランジスタであるスイッチ用TFT81が配置されている。

10

【0290】

上記出力端回路D_jにおいて、スイッチ用TFT81のゲート端子には制御配線E_jが接続され、スイッチ用TFT77, 78のゲート端子には制御配線C_cが接続され、スイッチ用TFT79のゲート端子には制御配線B_cが接続されている。

【0291】

上記表示装置の画素回路A_{ij}および出力端回路D_jにおける動作を、制御配線R_i, W_i, G_i, C_c, B_c, E_jおよびソース配線S_jの動作タイミングを示す図39を参照して以下に説明する。

【0292】

本実施の形態7に係る駆動方法では、画素回路A_{ij}の選択期間である時間0 ~ 6t₁の間に、制御配線R_iの電位をHigh(GH)としてスイッチ用TFT71をOFF状態とする。また、時間t₁ ~ 5t₁の間に、制御配線W_iの電位をLow(GL)としてスイッチ用TFT72をON状態とする。これにより、駆動用TFT74のソース端子とソース配線S_jが接続された状態を作る。

20

【0293】

また、画素回路A_{ij}では、時間t₁ ~ 4t₁において、制御配線G_iの電位をLowとしてスイッチ用TFT73をON状態とし、駆動用TFT74のゲート端子を信号線T_jと電氣的に接続させる。これにより、駆動用TFT74のゲート端子に第1コンデンサ75および第2コンデンサ80が接続された状態を作る。

【0294】

出力端回路D_jでは第1の期間(時間t₁ ~ 2t₁)において、制御配線C_cの電位をHighとして、スイッチ用TFT77, 78をON状態とする。この結果、駆動用TFT74のゲート端子とソース端子とが、スイッチ用TFT73, 77, 72を通じて電氣的に接続される。また、第2コンデンサ80の第2端子は、スイッチ用TFT78を通じて所定電圧線V_aへ接続される。このとき、図示しないソースドライバ回路からソース配線S_j, スイッチ用TFT72, 駆動用TFT74を通して有機EL素子76へ一定電流が流れる。

30

【0295】

その後、制御配線C_cの電位をLowとしてスイッチ用TFT77, 78をOFF状態として、このときの信号線T_jの電位を第1コンデンサ75および第2コンデンサ80を用いて保持する。

40

【0296】

このとき、第1コンデンサ75および第2コンデンサ80に貯められた電荷により、駆動用TFT74のゲートでは、該駆動用TFT74の閾値電圧・移動度に依らず、第2コンデンサ80の第2端子電位がV_aのとき、先の一定電流(上記第1の期間で駆動用TFT74のソース・ドレイン間に流れた電流)が流れるような電位が保持される。

【0297】

次に、第2の期間(時間3t₁ ~ 4t₁)では、制御配線B_cの電位をHighとして、スイッチ用TFT79をON状態とする。この結果、第2コンデンサ80の第2端子は、スイッチ用TFT79, 72を通じて駆動用TFT74のソース端子と接続される。こ

50

のとき、図示しないソースドライバ回路からソース配線 S_j 、スイッチ用 T F T 7 2、駆動用 T F T 7 4 を通して有機 E L 素子 7 6 へ所望の電流が流される。

【 0 2 9 8 】

これにより、上記第 2 の期間では、駆動用 T F T 7 4 の閾値電圧・移動度に依らず、駆動用 T F T 7 4 のソース・ドレイン間電位が上記電位 $V_a - V_x$ (V_x は上記第 2 の期間における有機 E L 素子 7 6 の陽極電位) のとき、駆動用 T F T 7 4 に上記電流 (上記第 1 の期間で駆動用 T F T 7 4 のソース・ドレイン間に流れた電流) を流すよう設定される。そして、駆動用 T F T 7 4 へ所望の電流を流すことで、駆動用 T F T 7 4 のソース・ドレイン間電位が概ね一定の条件で駆動用 T F T のゲート・ソース間電位を設定できる。

【 0 2 9 9 】

この第 2 の期間での駆動用 T F T 7 4 のドレイン・ゲート間電位は、その後、時間 $4 t_1$ で、制御配線 G_i の電位を $H i g h$ とし、スイッチ用 T F T 7 3 を $O F F$ 状態とすることで、第 1 コンデンサ 7 5 に保持される。

【 0 3 0 0 】

その後、時間 $5 t_1$ で、制御配線 B_c の電位を $L o w$ としてスイッチ用 T F T 7 9 を $O F F$ 状態とすることで第 2 コンデンサ 8 0 とソース配線 S_j との電氣的接続を遮断し、制御配線 W_i の電位を $H i g h$ としてスイッチ用 T F T 7 2 を $O F F$ 状態とすることで駆動用 T F T 7 4 のソース端子とソース配線 S_j との電氣的接続を遮断する。さらに、時間 $6 t_1$ で、制御配線 R_i の電位を $L o w$ としてスイッチ用 T F T 7 1 を $O N$ 状態として駆動用 T F T 7 4 から有機 E L 素子 7 6 へ電流を流す状態とする。

【 0 3 0 1 】

以上で、画素回路 $A_{i j}$ の選択期間が終わり、次の画素回路 $A_{(i+1) j}$ の選択期間になる。

【 0 3 0 2 】

また、図 3 9 における $9 t_1 \sim 11 t_1$ に示す期間で、制御配線 E_j の電位を $H i g h$ としてスイッチ用 T F T 8 1 を $O N$ 状態とし、信号線 T_j へ $O F F$ 電位 $V_{o f f}$ を供給することによって信号線 T_j を $O F F$ 電位とすることで、非選択期間における有機 E L 素子 7 6 の電流値をほぼ 0 とできる。またこの間、制御配線 C_c の電位は $L o w$ 、制御配線 B_c の電位は $H i g h$ とする。

【 0 3 0 3 】

この画素回路構成およびソースドライバ回路の出力端回路構成を用いて、有機 E L 素子 7 6 を流れる電流値をシミュレーションで求めた結果、実施の形態 6 と同様の結果を得た。

【 0 3 0 4 】

〔実施の形態 8〕

本実施の形態 8 では、本発明に係る駆動方法の特徴的動作を説明する。本実施の形態 8 の駆動方法は、実施の形態 2 で示したように本発明の構特徴的構成部分を、画素回路とソースドライバ回路とに分割して配置した構成において生じる問題点を解決するものである。まずは、この問題点について説明する。

【 0 3 0 5 】

実際の表示装置では、図 8 に示した画素回路 $A_{i j}$ とソースドライバ出力端回路 D_j との間に配置したソース配線 S_j 及び信号線 T_j に浮遊容量が存在する。この浮遊容量の値を $5 p F$ と仮定して、図 8 の画素回路 $A_{i j}$ の駆動用 T F T 1 1 を流れる電流 I_p とソース・ドレイン間電位 $V_{s d}$ との変化をシミュレーションした結果を図 4 0 に示す。

【 0 3 0 6 】

即ち、図 4 0 では、時間 $0.992 \sim 1.080 m s$ までが選択期間であり、この間は、制御配線 R_i を $H i g h$ としてスイッチ用 T F T 1 3 を $O F F$ とし、制御配線 W_i を $L o w$ としてスイッチ用 T F T 1 4 を $O N$ とする。また、時間 $0.992 \sim 1.024 m s$ までが本発明の駆動方法の第 1 の期間であり、この期間は、ゲート配線 G_i を $H i g h$ としてスイッチ用 T F T 1 5 を $O N$ 状態とし、制御配線 C_j を $H i g h$ としてスイッチ用 T

10

20

30

40

50

F T 2 2 , 2 3 を O N 状態とする。

【 0 3 0 7 】

このことにより、駆動用 T F T 1 1 のゲート・ドレイン間を短絡し、ゲート端子にコンデンサ 1 2 , 2 5 を接続し、コンデンサ 2 5 の第 2 端子を所定電圧線 V a に接続する。このとき、駆動用 T F T 1 1 のゲート・ソース間電位 V s d が安定するまでに 2 0 μ s 程度掛かっている。その後、制御配線 C j を L o w としてスイッチ用 T F T 2 2 , 2 3 を O F F 状態として、第 1 の期間を終了する。

【 0 3 0 8 】

また、時間 1 . 0 3 4 ~ 1 . 0 7 4 m s までが本発明の駆動方法の第 2 の期間であり、この期間は、制御配線 B j を H i g h として、スイッチ用 T F T 2 4 を O N 状態とする。

10

【 0 3 0 9 】

このとき、第 2 のコンデンサ 2 5 の第 2 端子電位は V a に向かうので、このことにより駆動用 T F T 1 1 のソース・ドレイン間電位はほぼ V s - V a となる。そして、このソース・ドレイン間電位をほぼ一定とした状態で、駆動用 T F T 1 1 のソース・ゲート間電位を設定するので、駆動用 T F T 1 1 の閾値電圧・移動度特性に依らず一定の電流を流すよう設定できる。このとき、駆動用 T F T 1 1 のソース・ドレイン間を流れる電流 I p が安定するまでに 3 0 μ s 程度掛かっている。その後、ゲート配線 G i を L o w として、スイッチ用 T F T 1 5 を O F F 状態として、選択期間を終了する。

【 0 3 1 0 】

その後の非選択期間では、時間 1 . 0 9 6 m s 以降に示すように、駆動用 T F T 1 1 の閾値電圧・移動度特性に依らず、駆動用 T F T 1 1 のソース・ドレイン間の電位 V s d 及び駆動用 T F T 1 1 のソース・ドレイン間を流れる電流 I p が一定となる。

20

【 0 3 1 1 】

なお、図 4 0 において示しているソース・ドレイン間電位 V s d (1) ~ V s d (5) 、およびソース・ドレイン間電流 I p (1) ~ (5) のそれぞれは、駆動用 T F T 1 1 の閾値電圧・移動度の特性を表 1 に示す条件で変化させた結果である。

【 0 3 1 2 】

このように、本駆動方法を用いれば、駆動用 T F T 1 1 の閾値電圧・移動度ばらつきに依らず均一な電流が有機 E L 素子 1 6 へ与えられるので、均一な表示が得られるといった効果がある。

30

【 0 3 1 3 】

しかしながら、そのために必要な選択期間は従来技術で示した図 2 2 の画素回路構成よりも長くなる。即ち、図 2 2 の画素回路構成では、必要な選択期間は図 4 0 の第 1 の期間だけで済むが、本発明の駆動方法では図 4 0 の第 1 の期間と第 2 の期間とを必要とする。そこで、本発明の駆動方法において選択期間を短くするためには、この第 2 の期間を短くする必要が生じる。

【 0 3 1 4 】

そのような駆動方法を実現するための回路構成を図 4 1 に示す。図 4 1 に示す回路構成は、図 8 同様、本発明の構成の第 1 の特徴的構成部分を、画素回路 A i j とソースドライバ出力端回路 D j とに分割した構成である。図 4 1 では、図 8 と同様の動作を行うコンデンサおよび T F T 等については、図 8 と同一の部材番号を付し、その詳細な説明は省略する。

40

【 0 3 1 5 】

図 4 1 の回路構成では、上記ソース配線 S j 及び信号線 T j に存在する浮遊容量をコンデンサ 1 7 , 1 8 として記載している。また、信号線 T j には T F T 1 9 , 2 0 からなる保護回路を設けている。

【 0 3 1 6 】

この保護回路は、n 型 T F T 1 9 を信号線 T j と電源配線 V s との間に設け、p 型 T F T 2 0 を信号線 T j と共通配線 V c o m との間に設けたものである。また T F T 1 9 , 2 0 のゲート端子には各々電位 D L , D H を与える。

50

【0317】

このことにより、信号線 T_j の電位が D_L （正確には電位 $D_L - T_{FT19}$ の閾値電位）より低くなると、信号線 T_j へ電源配線 V_s から電流が流れ、その電位がそれ以上低くならないように保護される。逆に信号線 T_j の電位が D_H （正確には電位 $D_H + T_{FT20}$ の閾値電位）より高くなると、信号線 T_j から共通配線 V_{com} へ電流が流れ、その電位がそれ以上高くないように保護される。

【0318】

また、図41の回路構成では、第1のスイッチング素子であるスイッチ用 T_{FT22} と第3のスイッチング素子であるスイッチ用 T_{FT23} とのゲート端子配線を分離し、これらのゲート配線を各々制御配線 C_c 、 F_c と接続する。その他、信号配線 B_j を B_c として
10

【0319】

この、図41の画素回路 A_{ij} および出力端回路 D_j における動作を、制御配線 G_i 、 W_i 、 C_c 、 B_c 、 F_c 、 E_j およびソース配線 S_j の動作タイミングを用いて図42に示す。

【0320】

即ち、画素回路 A_{ij} の選択期間である時間 $t_1 \sim 8t_1$ の間に、制御配線 W_i の電位を H_{igh} （ G_H ）としてスイッチ用 T_{FT13} を O_{FF} 状態とし、スイッチ用 T_{FT14} を O_N 状態とする。
20

【0321】

画素回路 A_{ij} では、第1の期間（時間 $t_1 \sim 4t_1$ ）において、制御配線 G_i の電位を H_{igh} としてスイッチ T_{FT15} を O_N 状態とし、駆動用 T_{FT11} のゲート端子を信号線 T_j と電氣的に接続させる。これにより、駆動用 T_{FT11} のゲート端子に第1コンデンサ12および第2コンデンサ25とが接続された状態を作る。

【0322】

これと前後し、出力端回路 D_j では、制御配線 C_c の電位を H_{igh} として、スイッチ用 T_{FT22} を O_N 状態とする。また制御配線 F_c の電位も H_{igh} としてスイッチ用 T_{FT23} を O_N 状態とする。この結果、駆動用 T_{FT11} のゲート端子とドレイン端子とが、スイッチ用 T_{FT15} 、 22 、 14 を通じて電氣的に接続される。また、第2コンデンサ25の第2端子は、スイッチ用 T_{FT23} を通じて所定電圧線 V_a へ接続される。このとき、電源配線 V_s から駆動用 T_{FT11} 、スイッチ用 T_{FT14} 、ソース配線 S_j を通して電流出力端 I_j より一定電流が流れる。
30

【0323】

その後、このときのソース配線 S_j の電位を第1コンデンサ12および第2コンデンサ25を用いて保持するために、時間 $4t_1$ にて制御配線 C_c の電位を L_{ow} としてスイッチ用 T_{FT22} を O_{FF} 状態とする。

【0324】

このとき、第1コンデンサ12および第2コンデンサ25により、駆動用 T_{FT11} のゲート端子では、該駆動用 T_{FT11} の閾値電圧・移動度に依らず、第2コンデンサ25の第2端子電位が V_a のとき、先の一定電流（上記第1の期間で駆動用 T_{FT11} のソース・ドレイン間に流れた電流）が流れるような電位が保持される。
40

【0325】

次に、第2の期間（時間 $5t_1 \sim 7t_1$ ）では、制御配線 B_c の電位を H_{igh} として、スイッチ用 T_{FT24} を O_N 状態とする。この結果、第2コンデンサ25の第2端子は、スイッチ用 T_{FT24} 、 14 を通じて駆動用 T_{FT11} のドレイン端子と接続される。このとき、電源配線 V_s から駆動用 T_{FT11} 、スイッチ用 T_{FT14} 、ソース配線 S_j を通じて電流出力端 I_j より所望の電流が流される。

【0326】

しかしながら、図42に示す本駆動方法では、制御配線 F_c を時間 $t_1 \sim 6t_1$ までH
50

ighとして、第2の期間に入ってもスイッチ用TFT23をONとしている。このことにより、図9に示した駆動方法とは異なり、第2の期間である時間 $5t_1 \sim 7t_1$ のうち最初の $5t_1 \sim 6t_1$ の間も、第2コンデンサ25の第2端子へ所定電圧配線Vaより電圧が供給される。そして、この電流がソース配線Sjの電位をVaとする(駆動用TFT11は一定電流を流すようセットされているので、電源配線Vsと所定電圧配線Vaの間を流れる電流は上記一定電流のみとなる)。

【0327】

このように、図42に示す駆動方法では、予めソース配線Sjの電位をVaとしてから、制御配線FcをLowとしてスイッチ用TFT23をOFFとする。そして、第2の期間の残り時間 $6t_1 \sim 7t_1$ でソース配線Sjの電位が駆動用TFT11の閾値電圧・移動度特性に合わせて変化し、駆動用TFT11のソース・ドレイン間電位が概ね一定の条件で駆動用TFTのゲート・ソース間電位を設定できる。

10

【0328】

この第2の期間での駆動用TFT11のソース・ゲート間電位は、その後、時間 $7t_1$ で、制御配線Giの電位をLowとし、スイッチ用TFT15をOFF状態とすることで、第1コンデンサ12に保持される。

【0329】

その後、時間 $8t_1$ で、制御配線Bcの電位をLowとしてスイッチ用TFT24をOFF状態とすることで第2コンデンサ25とソース配線Sjとの電氣的接続を遮断し、制御配線Wiの電位をLowとしてスイッチ用TFT14をOFF状態、スイッチ用TFT13をON状態として駆動用TFT11から有機EL素子16へ電流を流す状態とする。

20

【0330】

このように図42の駆動方法では、図9の駆動方法とは異なり、第2の期間である時間 $5t_1 \sim 7t_1$ のうち最初の $5t_1 \sim 6t_1$ の間も、第2コンデンサ25の第2端子へ所定電圧配線Vaより電圧を供給する。このことにより、図43にそのシミュレーション結果を示すように、第2の期間の最初から駆動用TFT11のソース・ドレイン間電位Vsd及び駆動用TFT11のソース・ドレイン間を流れる電流Ipがほぼ一定となる。

【0331】

その後、駆動用TFT11の閾値電圧・移動度特性を補正するよう駆動用TFT11のソース・ゲート間電位Vsgが(それにつれて駆動用TFT11のソース・ドレイン間電位Vsdが)変位し、その電位をゲート配線GiをLowとすることで、第1コンデンサ12に保持し、非選択期間に駆動用TFT11の閾値電圧・移動度ばらつきに依らず均一な電流が有機EL素子16へ与えられるようにする。

30

【0332】

この、図43のシミュレーションにおいて、第2の期間は時間 $0.618 \sim 0.634$ までの $16 \mu s$ であり、更にその最初の $8 \mu s$ の間、上記第2コンデンサ25の第2端子が所定電位配線Vaと短絡されていることを考えると、図9の駆動方法に比べ図42の駆動方法の方が第2の期間を短くできることが分かる。

【0333】

更に、本発明の駆動方法では、第1の期間を駆動用TFT11のゲート・ソース間電位Vsdが安定するまで延ばす必要はない。

40

【0334】

何故なら、本発明の画素回路構成で、第1の期間が終了したとき期待されるバラツキは従来技術の図22の画素回路構成と変わらない。そして、第2の期間でソース配線Sj電位をVaとしているときも、概ね期待されるバラツキは従来技術の図22の画素回路構成と変わらない。その後第2の期間でソース配線Sj電位がVaから変化しているときのバラツキは従来技術の図22の画素回路構成より少なくなる。

【0335】

従って、駆動用TFT11のゲート・ソース間電位Vsdが多少ばらついた状態で第1の期間を終了しても第2の期間でそのばらつきを補正することにより、非選択期間に駆動

50

用 T F T 1 1 の閾値電圧・移動度ばらつきに依らず均一な電流が有機 E L 素子 1 6 へ与えられるようにできる。

【 0 3 3 6 】

このように、本発明の駆動方法の好ましい駆動例では、第 2 期間の長さを短くし、必要とする選択期間を短くできるので、より多くのゲート配線 G i を駆動でき、より多くの画素数を表示できるので、その効果は明らかである。

【 0 3 3 7 】

〔実施の形態 9〕

上記図 8 の回路構成では選択時間が長くなるといった問題点を解決する別の手段として、本発明に係る第 1 の特徴的構成を適用した画素回路およびソースドライバ回路において、第 2 コンデンサを画素回路の近くに配置することが有効である。

【 0 3 3 8 】

そのような回路構成として、図 4 4 に示す画素回路 A i j およびソースドライバ出力端回路 D j およびその他の回路 B i j がある。図 4 4 では、図 8 と同様の動作を行うコンデンサおよび T F T 等については、図 8 と同一の部材番号を付し、その詳細な説明は省略する。

【 0 3 3 9 】

図 4 4 の回路構成では、2 つの画素回路 A i j , A (i + 1) j 毎に、第 2 のコンデンサ 2 7 およびスイッチ用 T F T 2 6 から構成される 1 つのその他の回路 B i j を配置する。そして、画素回路 A i j , A (i + 1) j の駆動用 T F T 1 1 のゲート端子と第 2 コンデンサ 2 7 の第 1 端子との間にスイッチ用 T F T 2 5 を配置する。

【 0 3 4 0 】

このことにより、駆動用 T F T 1 1 のゲート端子と第 2 コンデンサ 2 7 とを繋ぐ配線を短くし、その配線の浮遊容量を抑え、第 2 コンデンサ 2 7 の容量が小さくても十分な効果を上げることができるようになる。即ち、図 4 1 の第 2 コンデンサ 2 5 の容量は 2 p F 程度にしているのに対し、図 4 4 の第 2 コンデンサ 2 7 の容量は第 1 コンデンサ 1 2 と同じ 1 p F としている。

【 0 3 4 1 】

この図 4 4 に示す回路構成の動作を、制御配線 G i , W i , P i , G i + 1 , W i + 1 , F c , B c およびソース配線 S j の動作タイミングを用いて図 4 5 に示す。

【 0 3 4 2 】

即ち、図 4 5 の駆動タイミングでは、画素回路 A i j の選択期間である時間 t 1 ~ 8 t 1 の間に、制御配線 W i の電位を H i g h (G H) としてスイッチ用 T F T 1 3 を O F F 状態とし、スイッチ用 T F T 1 4 を O N 状態とする。

【 0 3 4 3 】

そして、第 1 の期間 (時間 t 1 ~ 4 t 1) において、ゲート配線 G i の電位を H i g h として、スイッチ用 T F T 2 5 を O N 状態とする。また、制御配線 F c の電位を H i g h として、ソースドライバ出力端回路 D j におけるスイッチ用 T F T 2 8 を O N 状態とする。更に、制御配線 P i の電位を H i g h として、スイッチ用 T F T 2 6 を O N 状態とする。

【 0 3 4 4 】

この結果、駆動用 T F T 1 1 のゲート端子とドレイン端子とはスイッチ用 T F T 2 5 ・ 2 6 ・ 1 4 を通じて電氣的に接続される。また、第 2 コンデンサ 2 7 の第 2 端子は、信号線 T j , スイッチ用 T F T 2 8 を通じて所定電圧線 V a へ電氣的に接続される。そしてこのとき、電源配線 V s から駆動用 T F T 1 1 、スイッチ用 T F T 1 4 、ソース配線 S j を通じて、電流出力端 I j より一定電流が流れる。

【 0 3 4 5 】

その後 (時間 4 t 1 以降) 、制御配線 P i の電位を L o w としてスイッチ用 T F T 2 6 を O F F 状態とする。このとき、上記第 1 の期間で設定されたソース配線 S j の電位は、第 1 コンデンサ 1 2 および第 2 コンデンサ 2 7 を用いて保持される。

【0346】

第2の期間(時間 $5t_1 \sim 7t_1$)では制御配線 B_c の電位を H_{igh} として、ソースドライバ回路出力端 D_j におけるスイッチ用 TFT_{29} を ON 状態とする。また、制御配線 F_c は第2の期間の最初(時間 $5t_1 \sim 6t_1$)まで H_{igh} 状態を保ち、ソース配線 S_j の電位を所定電位 V_a とする。

【0347】

その後、第2の期間の残り(時間 $6t_1 \sim 7t_1$)で駆動用 TFT_{11} のソース・ドレイン間を流れる電流 I_p が安定するまで待ち、ゲート配線 G_i の電位を L_{ow} として、スイッチ用 TFT_{27} を OFF 状態とする。その後、制御配線 B_c の電位を L_{ow} として、スイッチ用 TFT_{29} を OFF 状態として、画素 $A(i+1)_j$ の選択期間に入る。

10

【0348】

即ち、図44の駆動タイミングでは、画素 $A(i+1)_j$ の選択期間である時間 $9t_1 \sim 16t_1$ の間に、制御配線 W_{i+1} の電位を H_{igh} (GH)としてスイッチ用 TFT_{13} を OFF 状態とし、スイッチ用 TFT_{14} を ON 状態とする。

【0349】

そして、第1の期間(時間 $9t_1 \sim 12t_1$)において、ゲート配線 G_{i+1} の電位を H_{igh} として、スイッチ用 TFT_{25} を ON 状態とする。また、制御配線 F_c の電位を H_{igh} として、スイッチ用 TFT_{28} を ON 状態とする。更に、制御配線 P_i の電位を H_{igh} として、スイッチ用 TFT_{26} を ON 状態とする。

【0350】

この結果、駆動用 TFT_{11} のゲート端子とドレイン端子とはスイッチ用 $TFT_{25} \cdot 26 \cdot 14$ を通じて接続される。また、第2コンデンサ 27 の第2端子は、信号線 T_j 、スイッチ用 TFT_{28} を通じて所定電圧線 V_a へ接続される。そしてこのとき、電源配線 V_s から駆動用 TFT_{11} 、スイッチ用 TFT_{14} 、ソース配線 S_j を通じて、電流出力端 I_j より一定電流が流れる。

20

【0351】

その後(時間 $12t_1$ 以降)、制御配線 P_i の電位を L_{ow} としてスイッチ用 TFT_{26} を OFF 状態とする。このとき、上記第1の期間で設定されたソース配線 S_j の電位は、第1コンデンサ 12 および第2コンデンサ 27 を用いて保持される。

【0352】

第2の期間(時間 $13t_1 \sim 15t_1$)では制御配線 B_c の電位を H_{igh} として、スイッチ用 TFT_{29} を ON 状態とする。また、制御配線 F_c は第2の期間の最初(時間 $13t_1 \sim 14t_1$)まで H_{igh} 状態を保ち、ソース配線 S_j の電位を所定電位 V_a とする。

30

【0353】

その後、第2の期間の残り(時間 $14t_1 \sim 15t_1$)で駆動用 TFT_{11} のソース・ドレイン間を流れる電流 I_p が安定するまで待ち、ゲート配線 G_i の電位を L_{ow} として、スイッチ用 TFT_{27} を OFF 状態とする。

【0354】

このように、2つの画素 A_{ij} 、 $A(i+1)_j$ 毎にその他の回路 B_{ij} を配置することで、本発明の手段を構成できる。

40

【0355】

また、駆動用 TFT_{11} のゲート端子と第2コンデンサ 27 との間の配線を短くすることで、その配線の浮遊容量を抑え、第2コンデンサ 27 の容量が小さくても本発明の手段の効果(駆動用 TFT_{11} の閾値電圧・移動度特性のばらつきに依らず、駆動用 TFT_{11} から有機 EL_{16} へ与える電流を一定とする効果)を実現できる。

【0356】

また、図1の画素回路構成に比べ、2つの画素 A_{ij} 、 $A(i+1)_j$ あたりに必要な第2のコンデンサ 27 およびスイッチ用 TFT_{26} の数を減らせるので、その分開口率を増やせる等の効果がある。

50

【 0 3 5 7 】

上記各実施の形態において用いた有機 E L は高分子有機 E L である。有機 E L 素子を低分子有機 E L で形成するときにはマスク蒸着が必要であるが、高分子有機 E L で形成するときにはインクジェットプロセスが用いられる。後者の場合、疎水性のバンクを形成し、その中に駆動用 T F T 毎に対応した親水性の穴を形成するが、この穴は必ずしも 1 画素毎に別れている必要はなく、複数の R G B 各色画素が共通の穴に配置させていても良い。特に、穴をストライプ状に形成し、その両端に液滴の受け皿を設ければ、R G B の画素ピッチに依らず、液滴の受け皿のサイズを決められるので好ましい。

【 図面の簡単な説明 】

【 0 3 5 8 】

【 図 1 】本発明の一実施形態を示すものであり、実施の形態 1 に係る表示装置における画素回路の構成を示す回路図である。

【 図 2 】上記画素回路の制御配線における動作タイミングを示す波形図である。

【 図 3 】上記画素回路において、駆動用 T F T のソース - ゲート間電位およびソース - ドレイン間電位の変化に関するシミュレーション結果を示すグラフである。

【 図 4 】上記画素回路において、有機 E L 素子を流れる電流値のシミュレーション結果を示すグラフである。

【 図 5 】上記画素回路において、有機 E L 素子を流れる電流値のシミュレーション結果を示すグラフである。

【 図 6 】実施の形態 1 に係る表示装置における画素回路の図 1 とは別の構成を示す回路図である。

【 図 7 】実施の形態 2 に係る表示装置の構成を示す回路図である。

【 図 8 】実施の形態 2 に係る表示装置における画素回路及びソースドライバ回路の構成を示す回路図である。

【 図 9 】上記画素回路及びソースドライバ回路の制御配線における動作タイミングを示す波形図である。

【 図 1 0 】上記画素回路において、有機 E L 素子を流れる電流値のシミュレーション結果を示すグラフである。

【 図 1 1 】実施の形態 3 に係る表示装置における画素回路及びソースドライバ回路の構成を示す回路図である。

【 図 1 2 】上記画素回路及びソースドライバ回路の制御配線における動作タイミングを示す波形図である。

【 図 1 3 】上記画素回路において、有機 E L 素子を流れる電流値のシミュレーション結果を示すグラフである。

【 図 1 4 】実施の形態 4 に係る表示装置におけるソースドライバ回路の構成を示す回路図である。

【 図 1 5 】上記ソースドライバ回路の制御配線における動作タイミングを示す波形図である。

【 図 1 6 】上記ソースドライバ回路において、駆動用 T F T のソース - ゲート間電位およびソース - ドレイン間電位の変化に関するシミュレーション結果を示すグラフである。

【 図 1 7 】上記ソースドライバ回路において、駆動用 T F T のソース - ドレイン間を流れる電流値のシミュレーション結果を示すグラフである。

【 図 1 8 】図 1 4 に示すソースドライバ回路と図 1 に示す画素回路を組み合わせた場合の表示装置において、各制御配線における動作タイミングを示す波形図である。

【 図 1 9 】図 1 4 に示すソースドライバ回路と図 1 に示す画素回路を組み合わせた回路構成において、ソースドライバ回路の駆動用 T F T のソース - ゲート間電位およびソース - ドレイン間電位の変化に関するシミュレーション結果を示すグラフである。

【 図 2 0 】図 1 4 に示すソースドライバ回路と図 1 に示す画素回路を組み合わせた回路構成において、画素回路の有機 E L 素子を流れる電流値のシミュレーション結果を示すグラフである。

10

20

30

40

50

【図 2 1】実施の形態 4 に係る表示装置におけるソースドライバ回路の図 1 4 とは別の構成を示す回路図である。

【図 2 2】従来の表示装置における画素回路の構成例を示す回路図である。

【図 2 3】従来の表示装置における画素回路の他の構成例を示す回路図である。

【図 2 4】上記従来の画素回路の制御配線における動作タイミングを示す波形図である。

【図 2 5】上記従来の画素回路において、有機 EL 素子を流れる電流値のシミュレーション結果を示すグラフである。

【図 2 6】上記従来の画素回路において、有機 EL 素子を流れる電流値のシミュレーション結果を示すグラフである。

【図 2 7】上記従来の画素回路において、駆動用 T F T のソース - ゲート間電位およびソース - ドレイン間電位の変化に関するシミュレーション結果を示すグラフである。

10

【図 2 8】駆動用 T F T において、ソース・ドレイン間電圧 V_{sd} と、ソース・ドレイン間を流れる電流値の関係を示すグラフである。

【図 2 9】駆動用 T F T と有機 EL 素子を直列に接続した回路構成を示す回路図である。

【図 3 0】図 2 9 の回路を用い、非選択期間での駆動用 T F T のソース・ドレイン間電流のばらつきを、シミュレーションにて調べた場合の結果を示すグラフである。

【図 3 1】実施の形態 5 に係る表示装置における画素回路及びソースドライバ回路の構成を示す回路図である。

【図 3 2】上記画素回路及びソースドライバ回路の制御配線における動作タイミングを示す波形図である。

20

【図 3 3】上記画素回路及びソースドライバ回路において、駆動用 T F T のソース - ドレイン間を流れる電流値のシミュレーション結果を示すグラフである。

【図 3 4】実施の形態 6 に係る表示装置における画素回路及びソースドライバ回路の構成を示す回路図である。

【図 3 5】上記画素回路及びソースドライバ回路の制御配線における動作タイミングを示す波形図である。

【図 3 6】上記画素回路及びソースドライバ回路において、駆動用 T F T のソース - ドレイン間を流れる電流値のシミュレーション結果を示すグラフである。

【図 3 7】実施の形態 6 に係る表示装置の別の画素回路及びソースドライバ回路の構成を示す回路図である

30

【図 3 8】実施の形態 7 に係る表示装置における画素回路及びソースドライバ回路の構成を示す回路図である。

【図 3 9】上記画素回路及びソースドライバ回路の制御配線における動作タイミングを示す波形図である。

【図 4 0】図 8 の画素回路及びソースドライバ回路において、駆動用 T F T のソース - ドレイン間電位およびソース - ドレイン間で電流の変化に関するシミュレーション結果を示すグラフである。

【図 4 1】実施の形態 8 に係る表示装置における画素回路及びソースドライバ回路及びその他の回路の構成を示す回路図である。

【図 4 2】上記画素回路及びソースドライバ回路の制御配線における動作タイミングを示す波形図である。

40

【図 4 3】図 4 1 の画素回路及びソースドライバ回路において、駆動用 T F T のソース - ドレイン間電位およびソース - ドレイン間で電流の変化に関するシミュレーション結果を示すグラフである。

【図 4 4】実施の形態 9 に係る表示装置における画素回路及びソースドライバ回路及びその他の回路の構成を示す回路図である。

【図 4 5】上記画素回路及びソースドライバ回路及びその他の回路の制御配線における動作タイミングを示す波形図である。

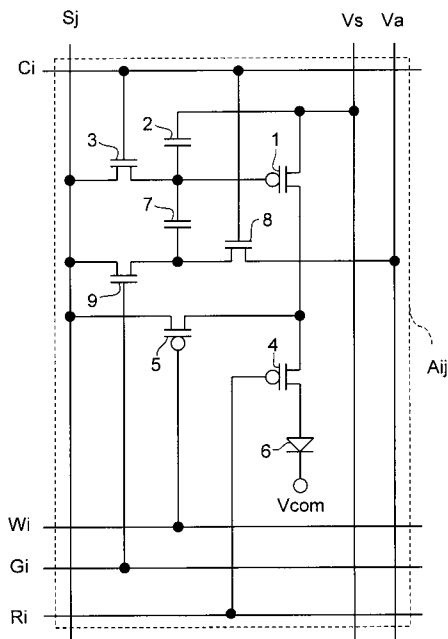
【符号の説明】

【 0 3 5 9 】

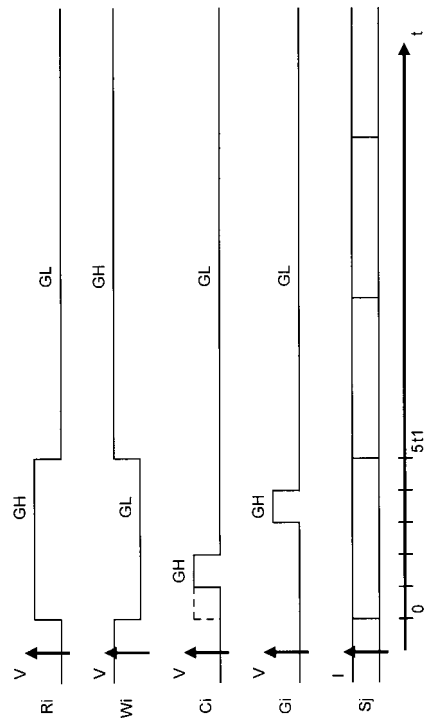
50

- 1、1'、11、41、63、74、94 駆動用TFT（駆動用トランジスタ）
- 2、12、44、68、75、98 第1コンデンサ
- 3、22、26、42、64、77、95 スイッチ用TFT（第1スイッチ用トランジスタ）
- 6、6'、48、69、76、96 有機EL素子（電流駆動発光素子）
- 7、25、27、45、67、80、97 第2コンデンサ
- 8、23、28、49、65、78、99 スイッチ用TFT（第3スイッチ用トランジスタ）
- 9、24、29、51、66、79、100 スイッチ用TFT（第2スイッチ用トランジスタ）
- 21、70、 スイッチ用TFT（第4スイッチ用トランジスタ）
- 17、18、 浮遊容量
- 19、20、 保護用TFT
- Va 所定電圧線
- Aij 画素回路
- Dj 出力端回路（ソースドライバ回路）
- Tj 接続配線

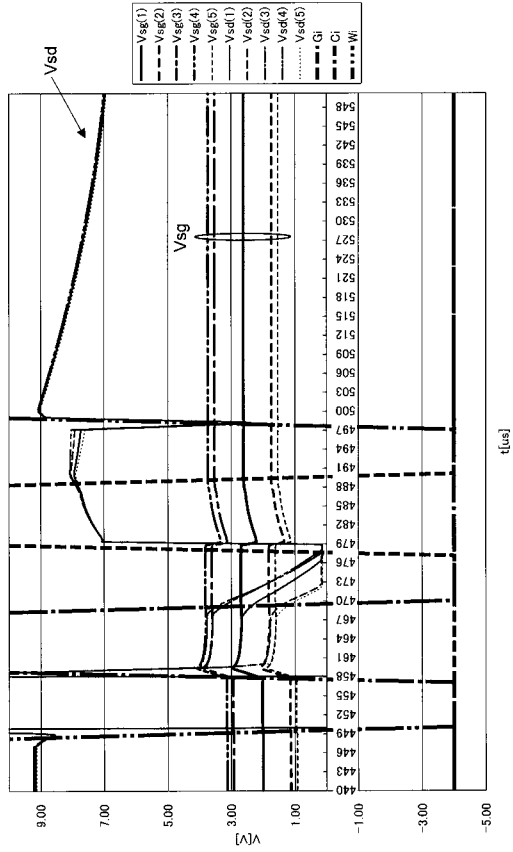
【図1】



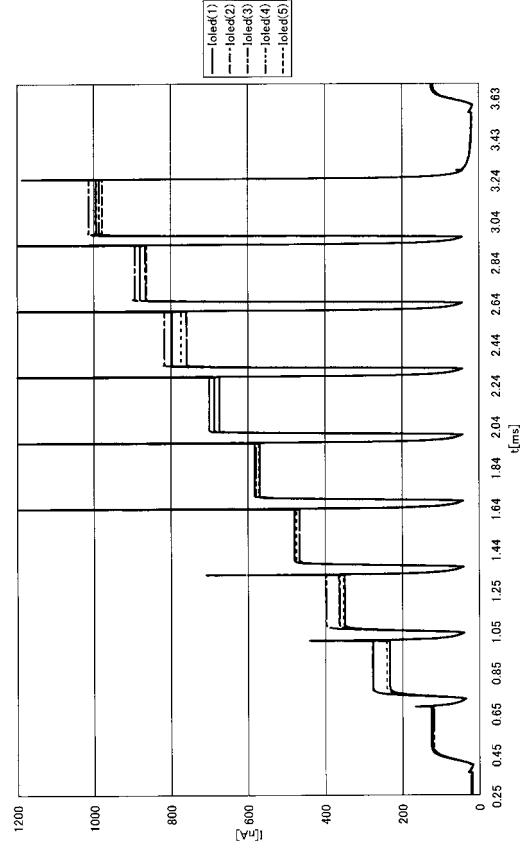
【図2】



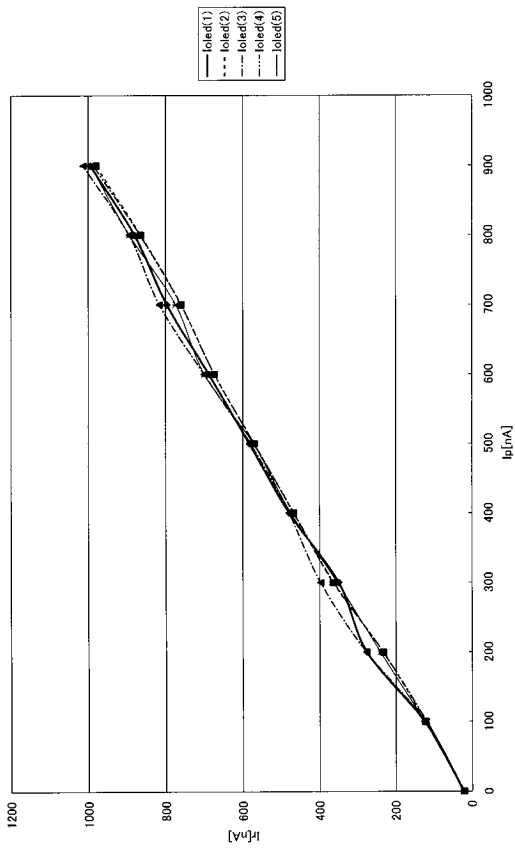
【 3 】



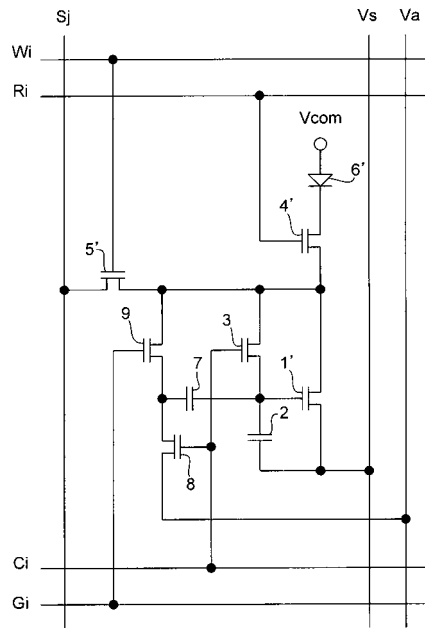
【 4 】



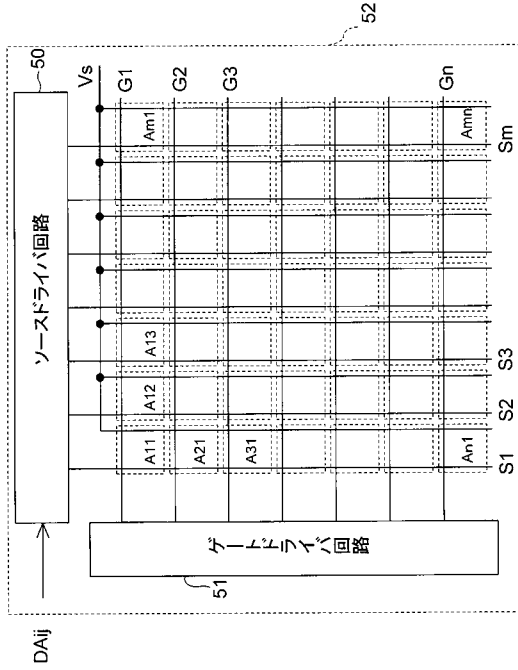
【 5 】



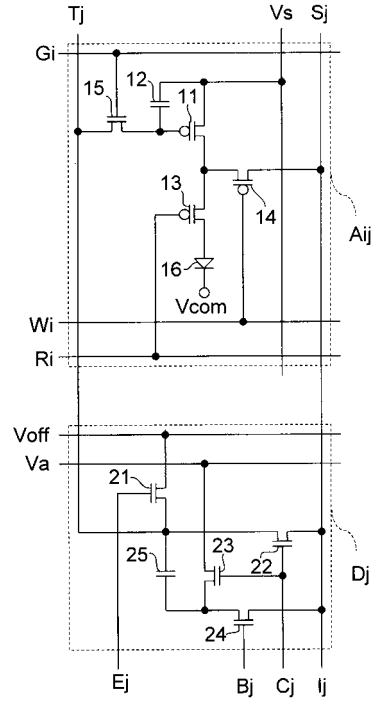
【 6 】



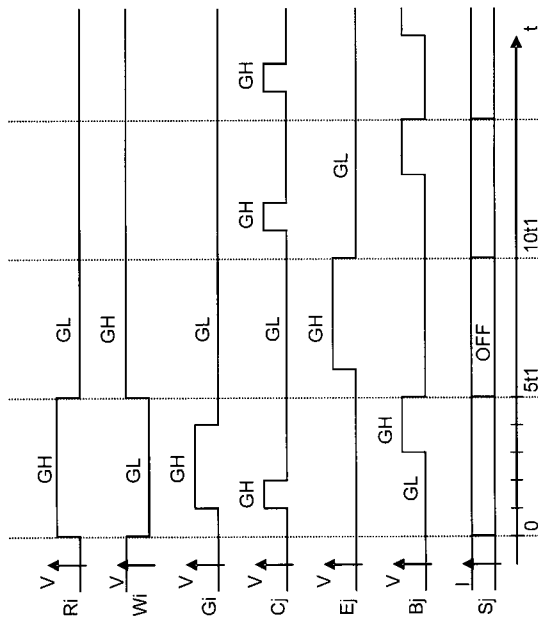
【図7】



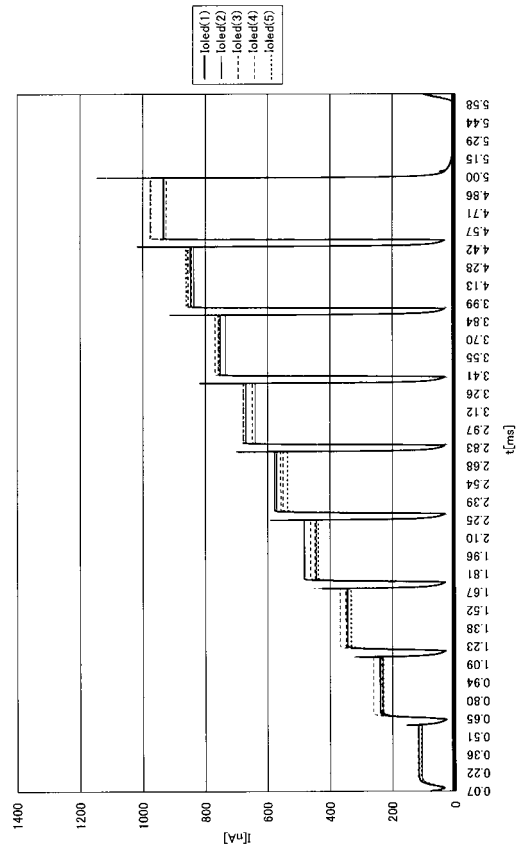
【図8】



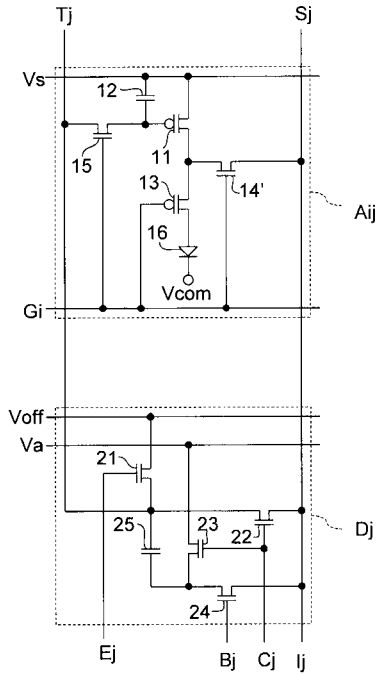
【図9】



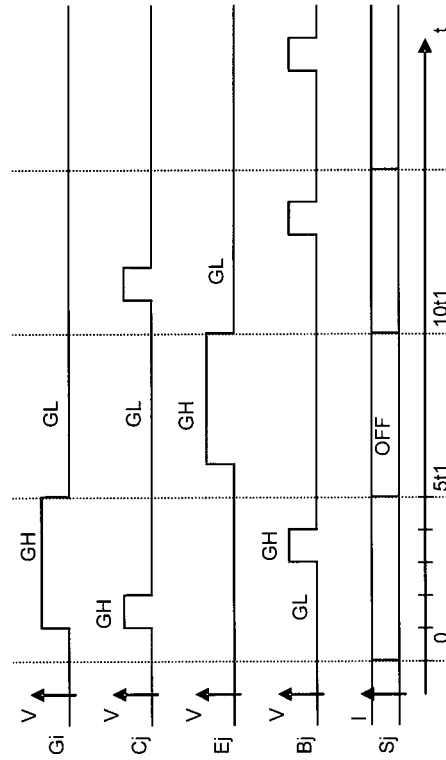
【図10】



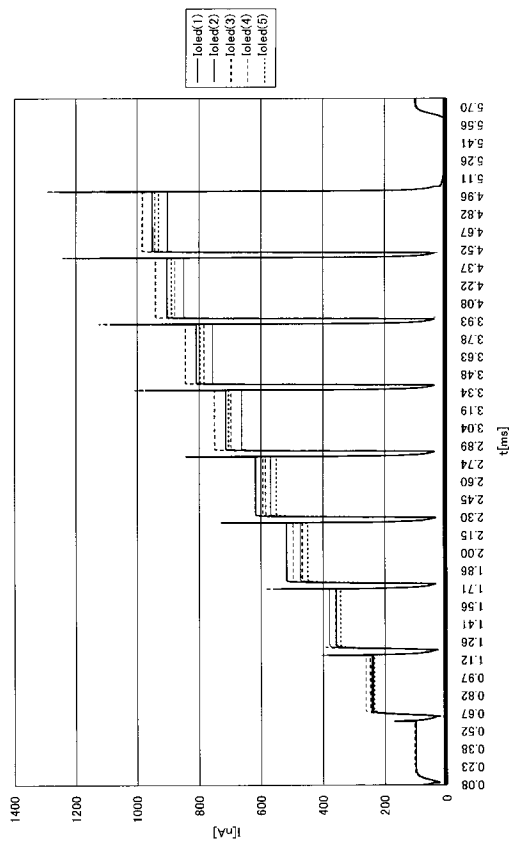
【 1 1 】



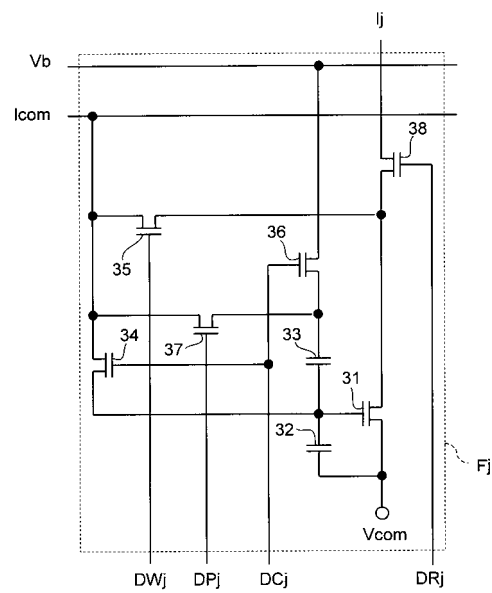
【 1 2 】



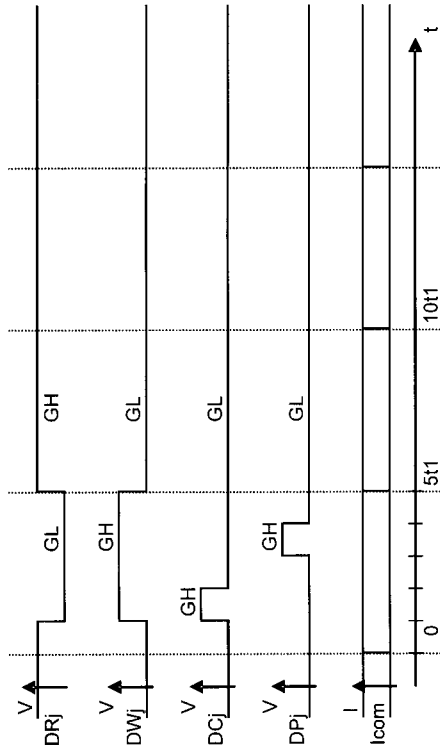
【 1 3 】



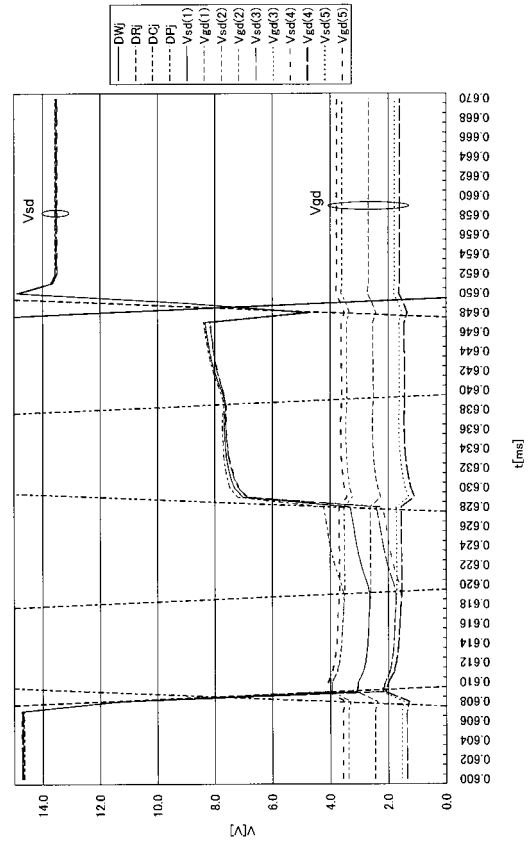
【 1 4 】



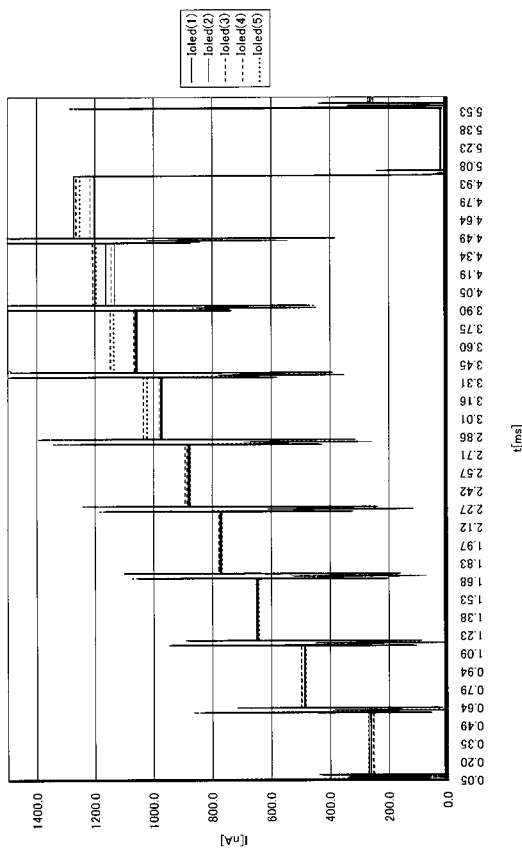
【 15 】



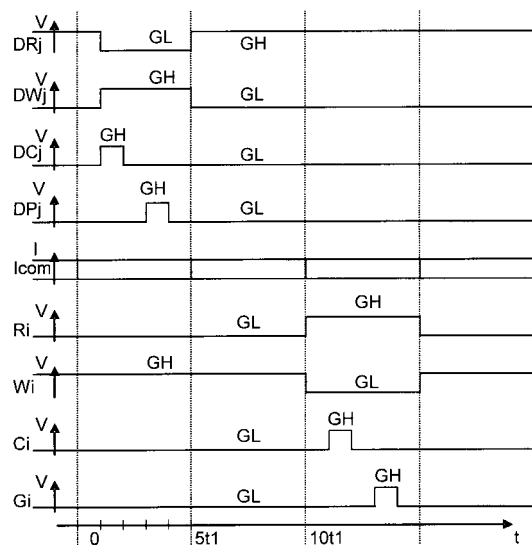
【 16 】



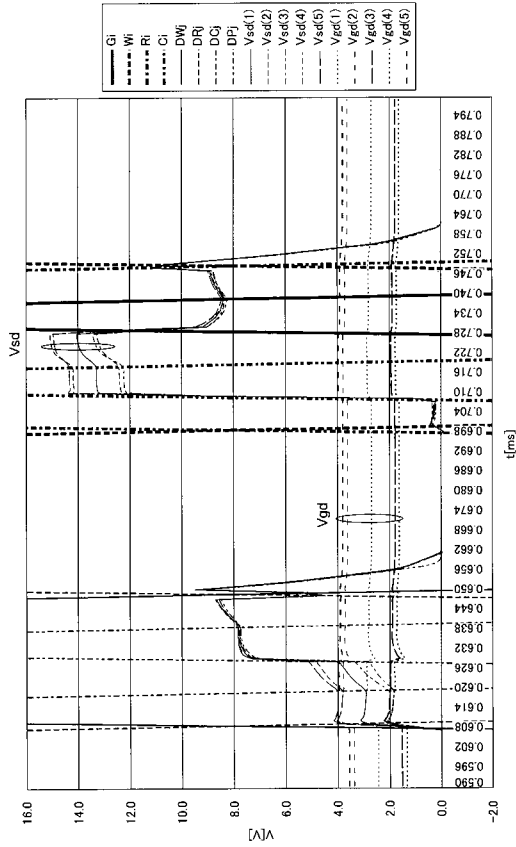
【 17 】



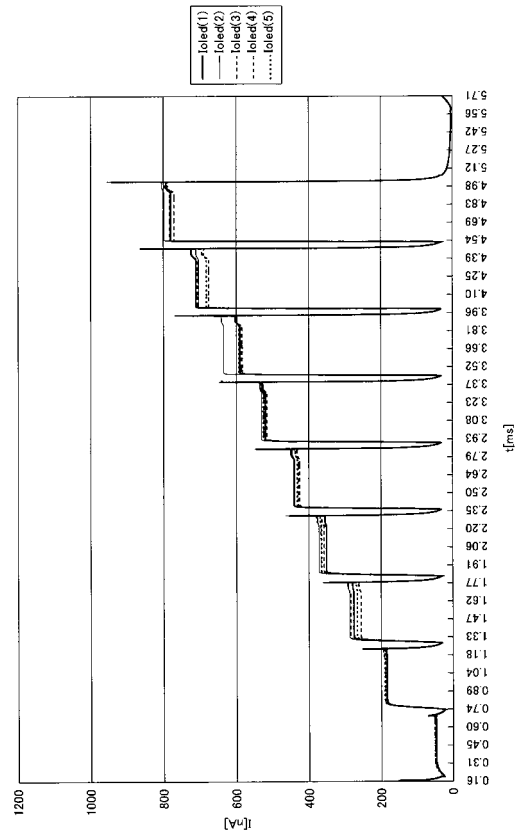
【 18 】



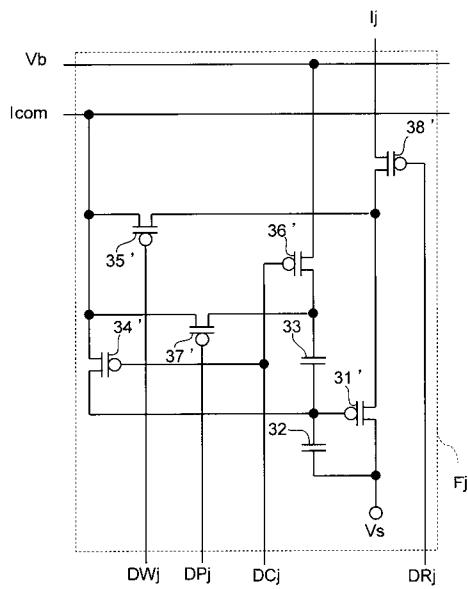
【 19 】



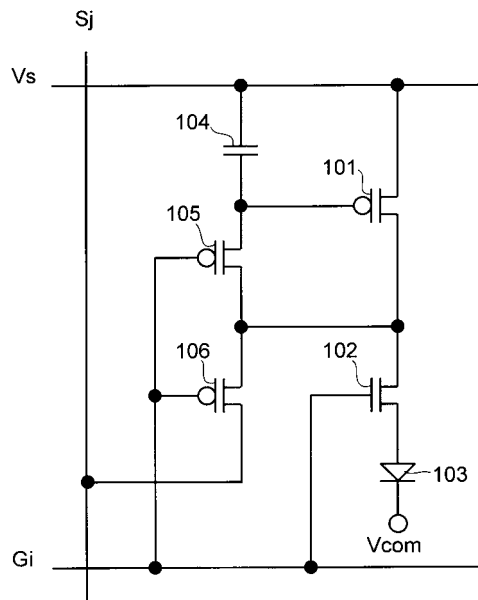
【 20 】



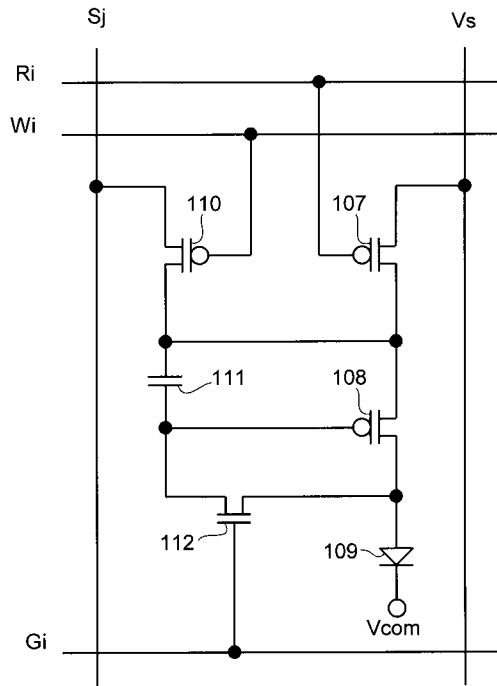
【 21 】



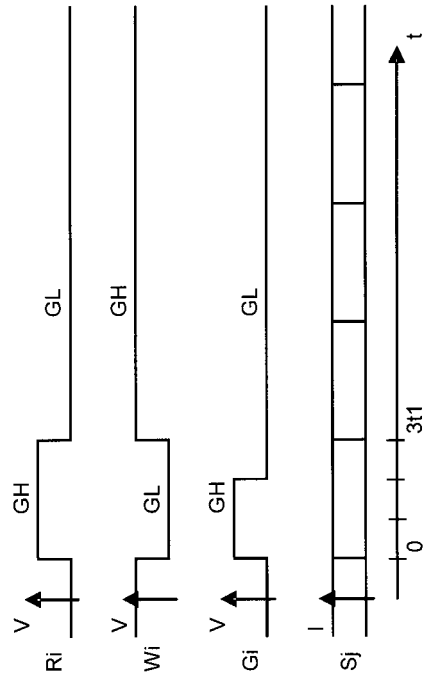
【 22 】



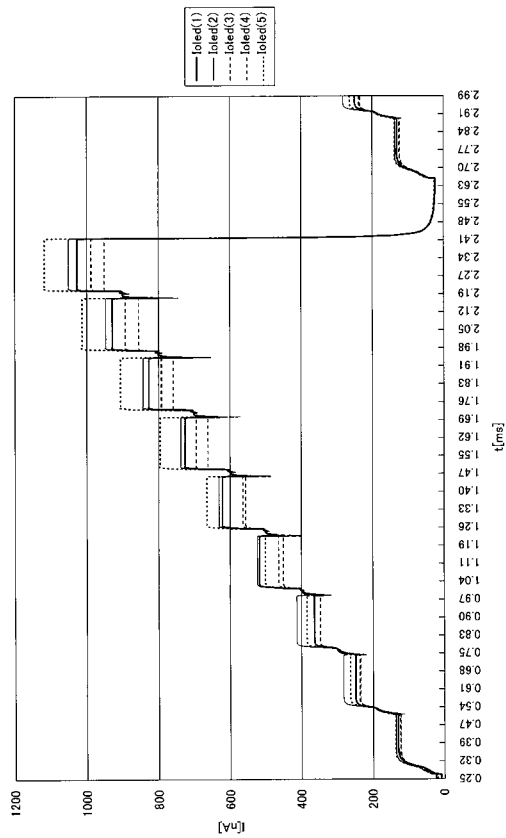
【 2 3 】



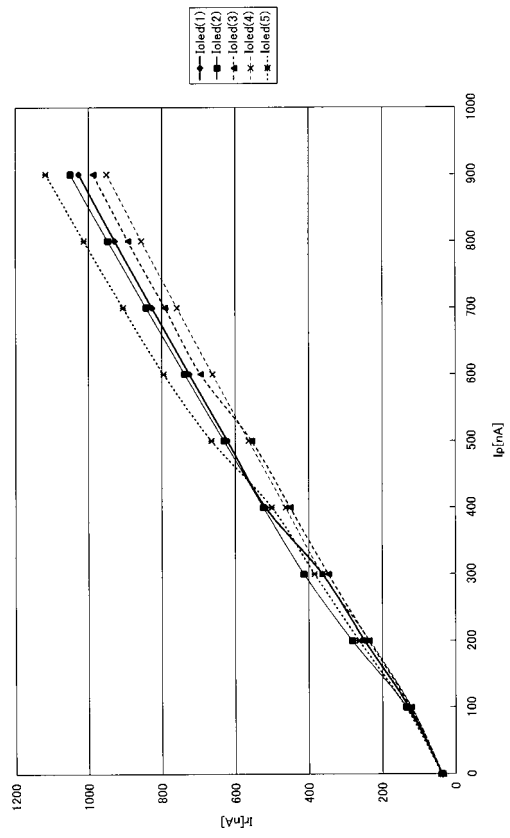
【 2 4 】



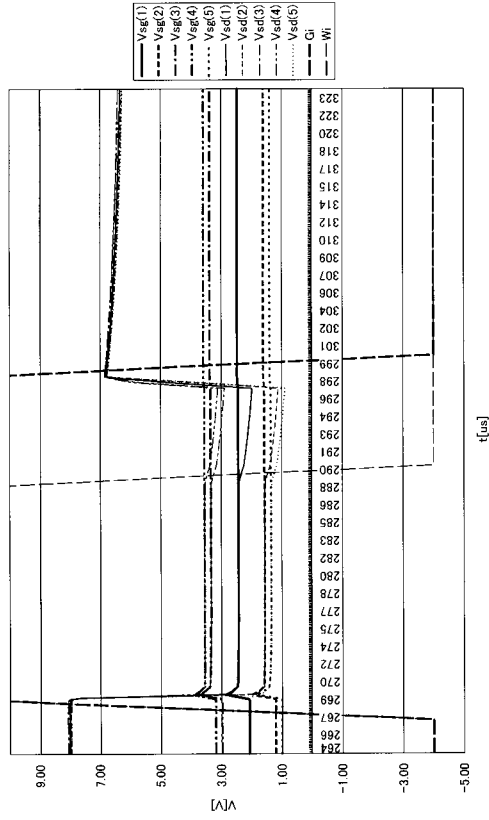
【 2 5 】



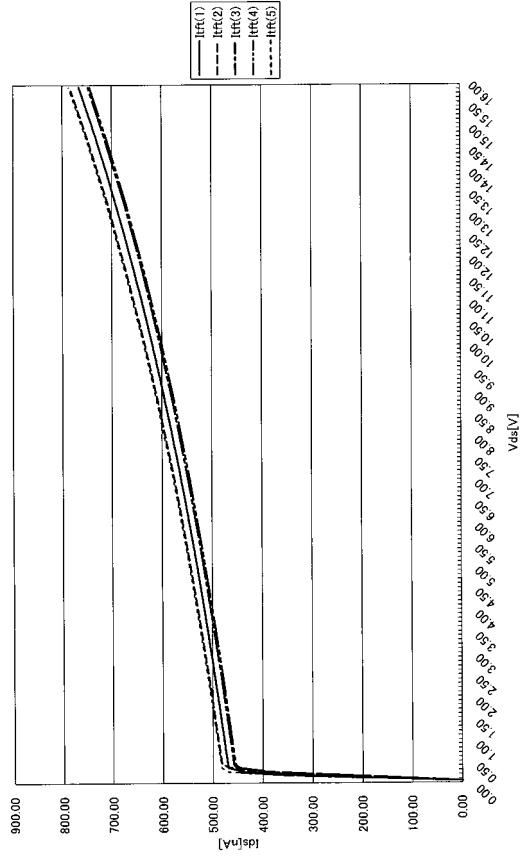
【 2 6 】



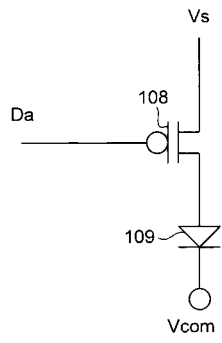
【 27 】



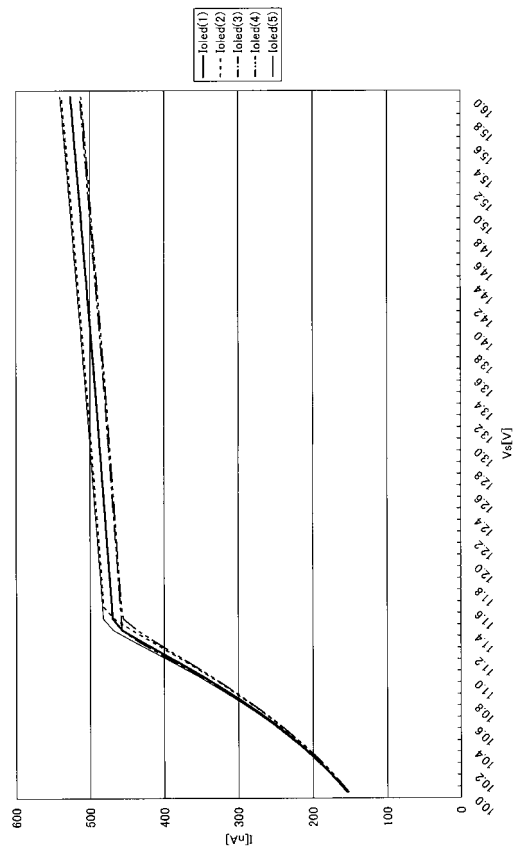
【 28 】



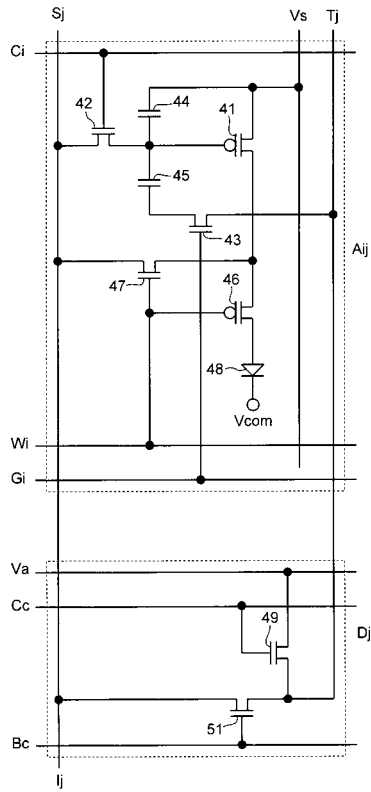
【 29 】



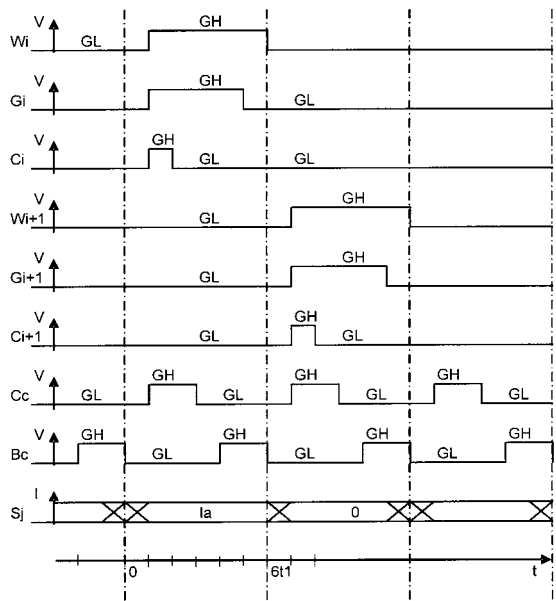
【 30 】



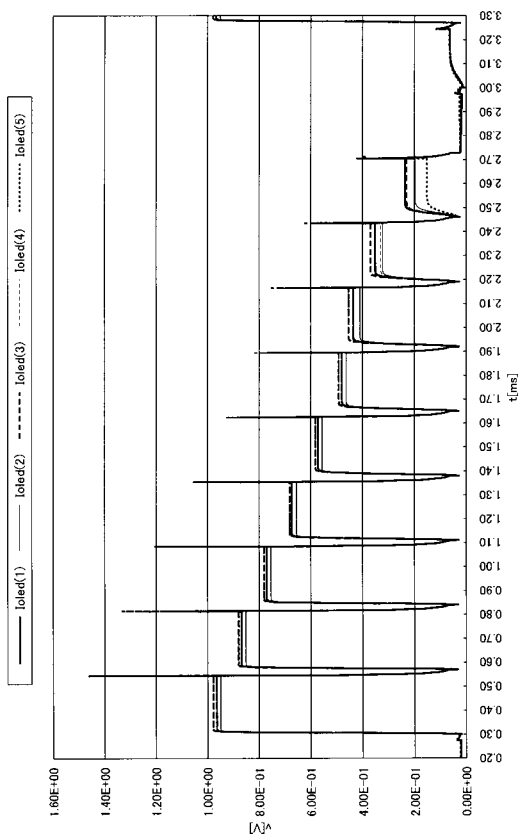
【 3 1 】



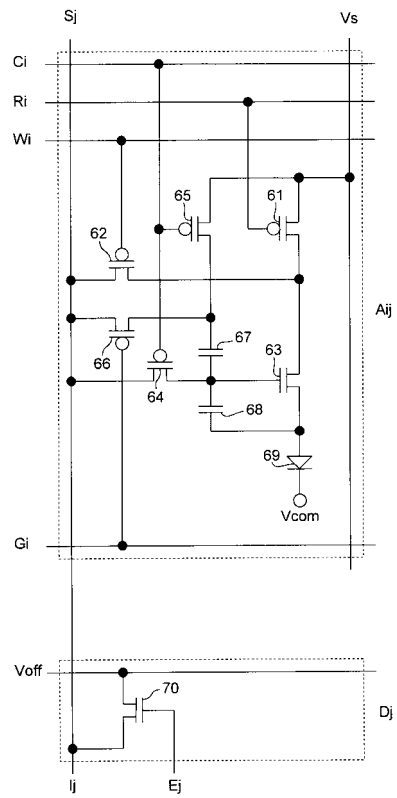
【 3 2 】



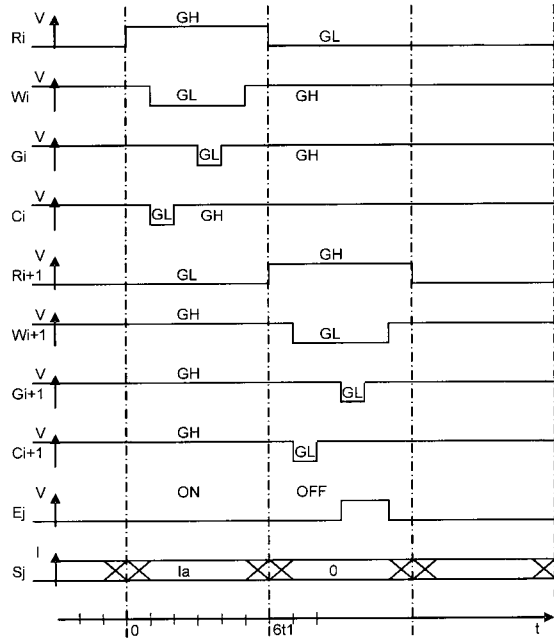
【 3 3 】



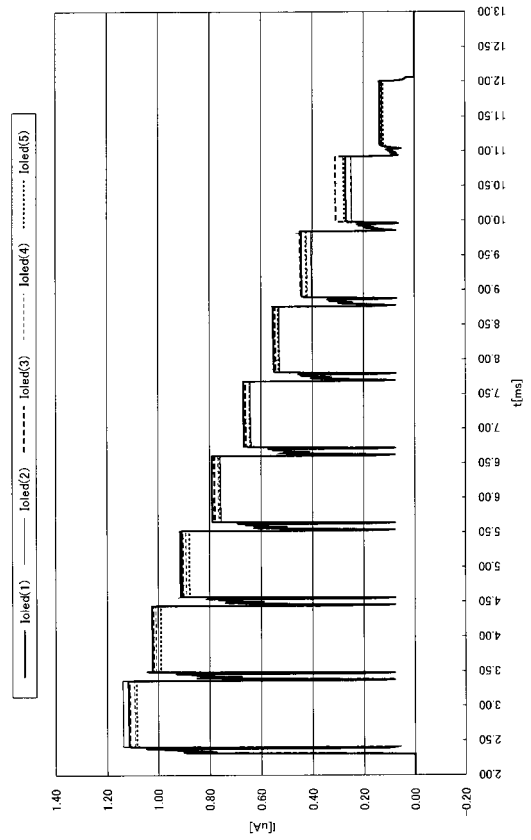
【 3 4 】



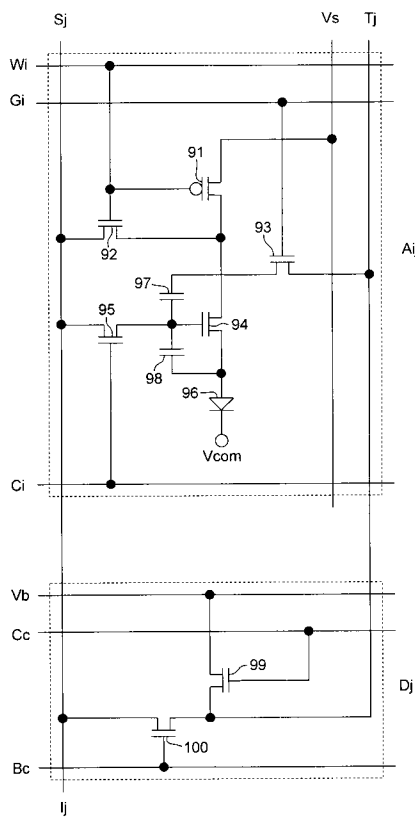
【 35 】



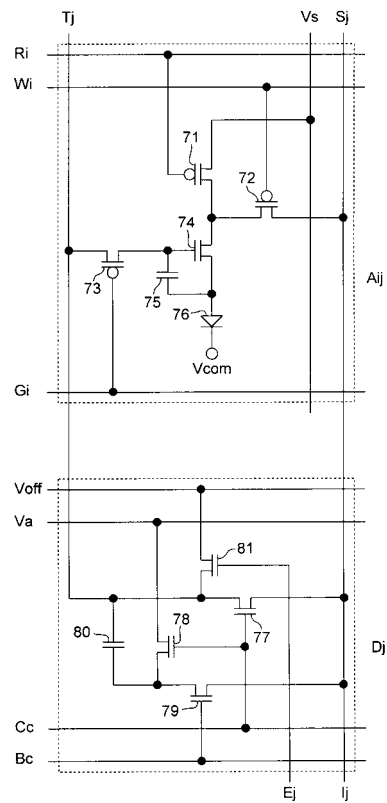
【 36 】



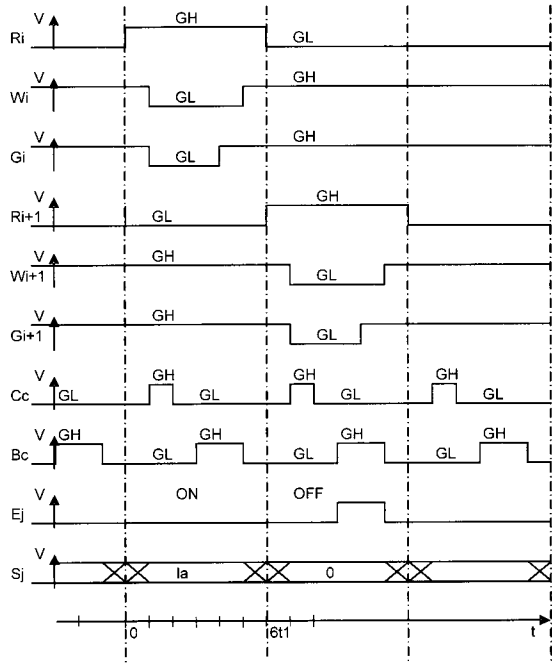
【 37 】



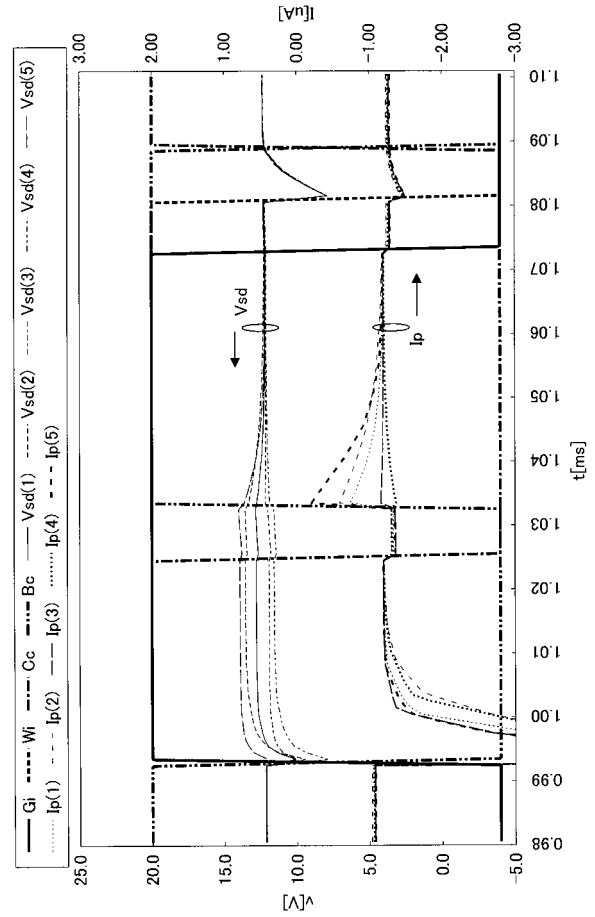
【 38 】



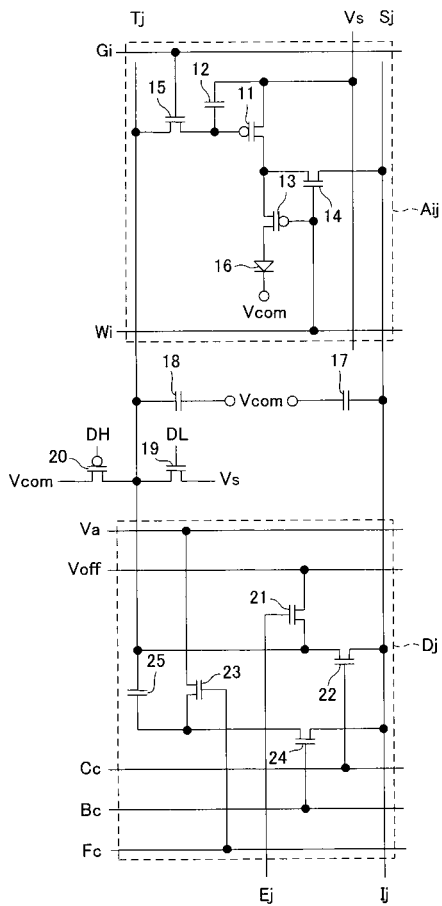
【 39 】



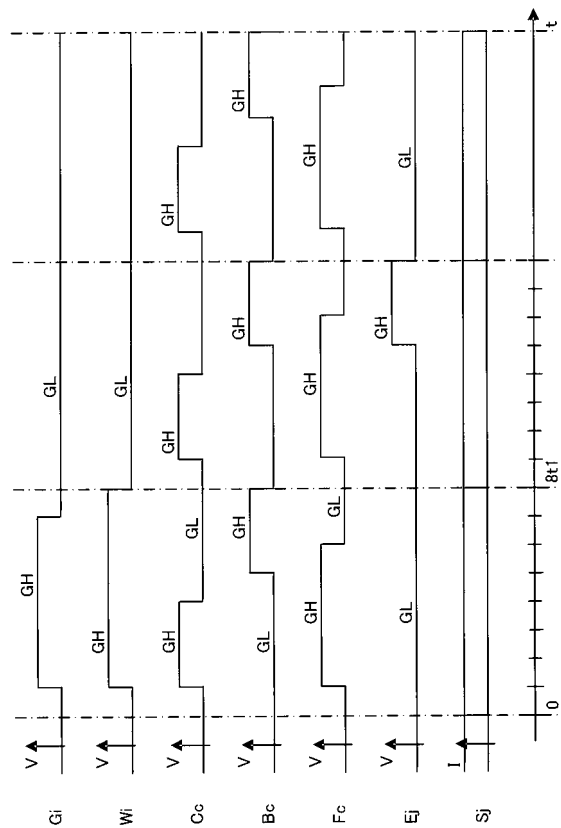
【 40 】



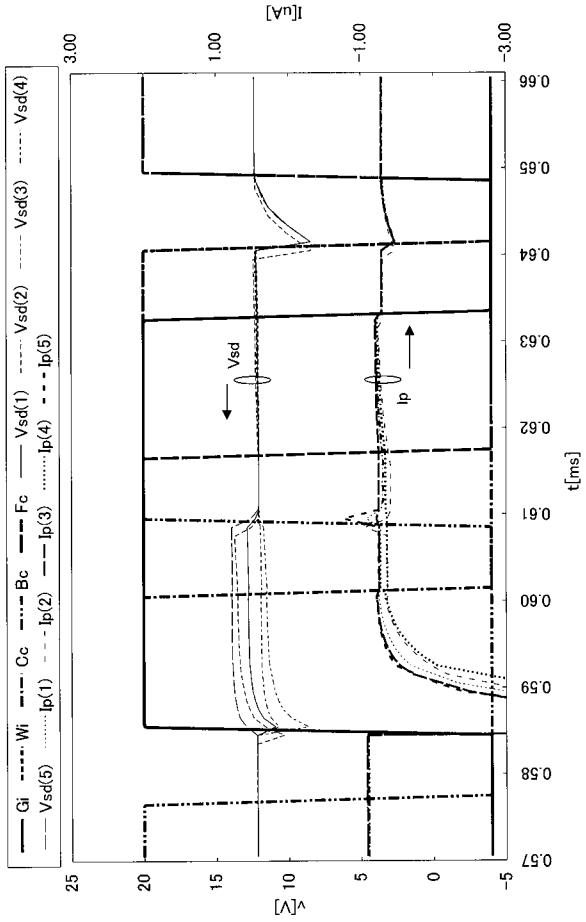
【 41 】



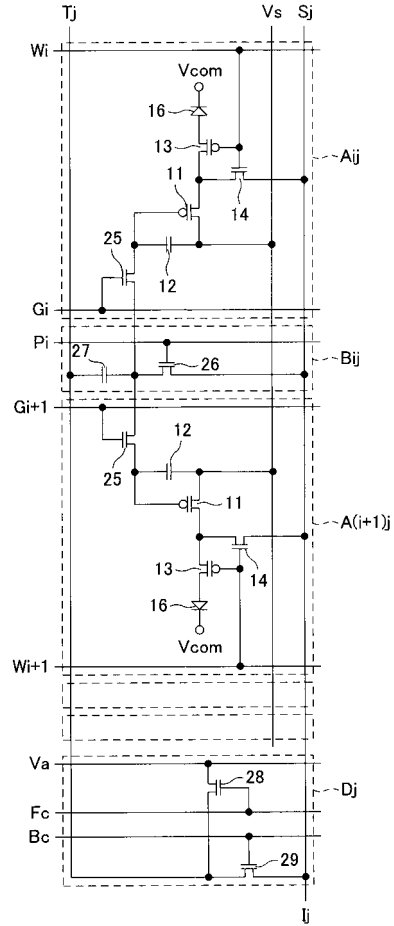
【 42 】



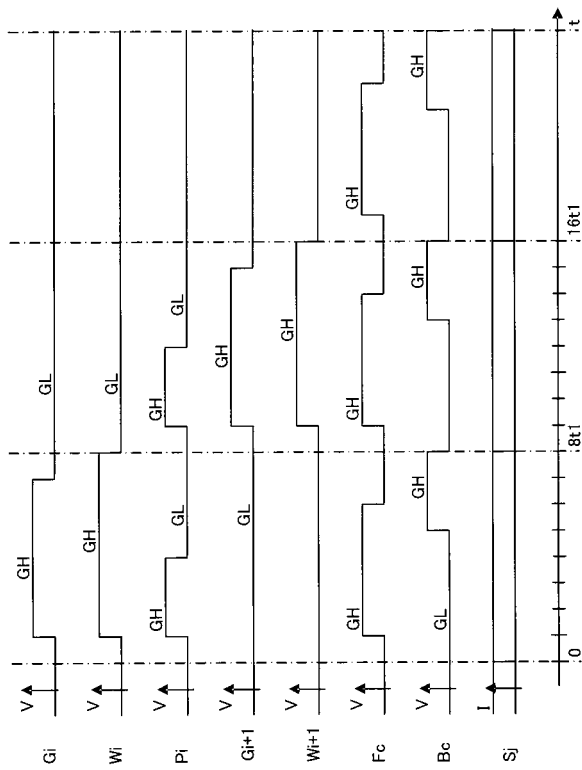
【 4 3 】



【 4 4 】



【 4 5 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 3 B
G 0 9 G 3/20 6 2 3 T
H 0 5 B 33/14 A

審査官 橋本 直明

(56)参考文献 特開2003-076327(JP,A)
特開2002-351401(JP,A)
特開2003-058108(JP,A)
国際公開第01/006484(WO,A1)
特開平10-319908(JP,A)
国際公開第98/048403(WO,A1)
特開2003-323153(JP,A)
特開2003-330415(JP,A)
特開2004-029791(JP,A)

(58)調査した分野(Int.Cl.,DB名)
G 0 9 G 3 / 3 0
G 0 9 G 3 / 2 0
H 0 1 L 5 1 / 5 0