

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-341497
(P2004-341497A)

(43) 公開日 平成16年12月2日(2004.12.2)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 550	5C006
G09G 3/20	G02F 1/133 575	5C080
	G09G 3/20 621L	
	G09G 3/20 623B	
	審査請求 有 請求項の数 10 O L (全 12 頁) 最終頁に続く	

(21) 出願番号	特願2004-95537 (P2004-95537)	(71) 出願人	501358079 友達光電▼ふん▲有限公司 台湾新竹科学工業園区新竹市力行二路1号
(22) 出願日	平成16年3月29日(2004.3.29)	(74) 代理人	100111774 弁理士 田中 大輔
(31) 優先権主張番号	92113172	(72) 発明者	孫 文堂 台湾高雄市楠梓区和昌里19鄰和光街95巷1号
(32) 優先日	平成15年5月15日(2003.5.15)	Fターム(参考)	2H093 NA16 NA53 NC12 NC13 NC15 NC16 NC21 NC22 NC26 NC49 ND42 ND49 ND50 ND54 NE03 NE07 5C006 AA16 AC11 AC21 AF43 AF51 AF83 BB16 BC12 BF03 BF04 FA42
(33) 優先権主張国	台湾 (TW)		最終頁に続く

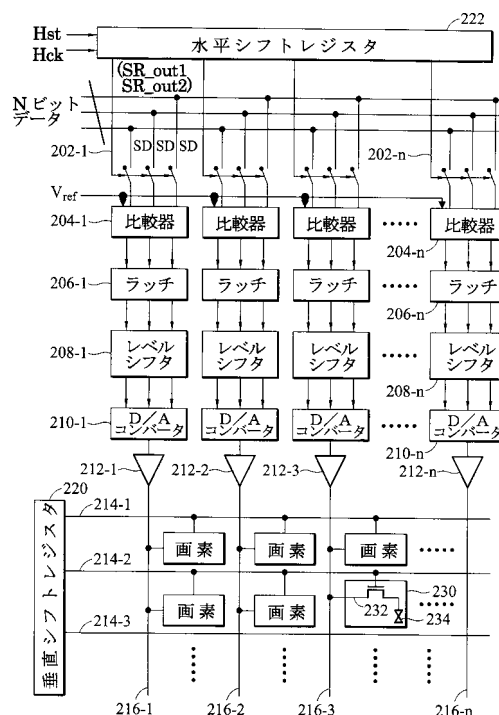
(54) 【発明の名称】 液晶ディスプレイ装置

(57) 【要約】

【課題】 FPC上のI/Oピン数やLCDパネル上の信号ライン数の減数化が図られた駆動回路を有するLCDを提供すること。

【解決手段】 駆動回路と複数の画素ユニットとを有し、受信したデジタル信号入力に基づいて表示を行うLCDにおいて、前記駆動回路のソースドライバとして、サンプルパルスを生成するパルス生成器222と、サンプルパルスに応答して前記入力デジタル信号をサンプリングするサンプラー202-nと、参考電圧と比較し、比較結果を出力する、サンプリングされたデジタル信号を受信する比較器204-nと、前記比較結果を保持するラッチ206-nと、前記受信されたデジタル信号に基づいてアナログ信号を生成し、前記アナログ信号を対応する画素に供給するD/Aコンバータ210-nとからなるものを用いる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

駆動回路と複数の画素ユニットとを有しており、受信したデジタル信号入力に基づいて表示を行う液晶ディスプレイ装置であって、

前記駆動回路のソースドライバは、

画素に対応した入力デジタル信号を一定間隔で連続的にサンプリングするために用いられるサンプルパルスを生成する、少なくとも一つのパルス生成器と、

前記サンプルパルスに 응답して、前記入力デジタル信号をサンプリングする、少なくとも一つのサンプラーと、

参考電圧と比較し、比較結果を出力する、サンプリングされたデジタル信号を受信する、少なくとも一つの比較器と、

前記比較結果を保持する、少なくとも一つのラッチと、

前記受信されたデジタル信号に基づいてアナログ信号を生成し、前記アナログ信号を対応する画素に供給する少なくとも一つの D / A コンバータと、からなるものであることを特徴とする液晶ディスプレイ装置。

【請求項 2】

前記 D / A コンバータから形成された前記アナログ信号を受信して当該アナログ信号を対応する画素に供給するアナログバッファを備えることを特徴とする請求項 1 に記載の液晶ディスプレイ装置。

【請求項 3】

前記ラッチに保持された比較結果であるデジタル信号を、高い信号レベルの信号に転換し、前記信号を前記 D / A コンバータに出力する信号レベルコンバータを備えることを特徴とする請求項 1 に記載の液晶ディスプレイ装置。

【請求項 4】

前記参考電圧のレベルは、前記入力デジタル信号の振幅の半分であることを特徴とする請求項 1 に記載の液晶ディスプレイ装置。

【請求項 5】

前記サンプラーは、スイッチであることを特徴とする請求項 1 に記載の液晶ディスプレイ装置。

【請求項 6】

前記パルス生成器は、シフトレジスタであることを特徴とする請求項 1 に記載の液晶ディスプレイ装置。

【請求項 7】

駆動回路と複数の画素ユニットとを有しており、受信したデジタル信号入力に基づいて表示を行う液晶ディスプレイ装置であって、

前記駆動回路のソースドライバは、

画素に対応した入力デジタル信号を一定間隔で連続的にサンプリングするために用いられるサンプルパルスを生成するシフトレジスタと、

データバスと、

データバスライン上の入力デジタルデータを、前記サンプリングパルスに 응답してサンプリングし、数量が前記液晶ディスプレイ装置のデータラインの数と等しい一組のスイッチと、

スイッチの一つに結合され、対応するスイッチによりサンプリングされるデジタル信号を受信する第一入力端を備えると共に参考電圧を受信する第二入力端を備えており、受信したデジタル信号と参考電圧とを比較して、比較結果を出力する一組の比較器と、

前記比較器の一つに結合され、前記比較結果を保持する一組のラッチと、

前記ラッチの一つに結合され、前記対応するラッチにより保持された比較結果であるデジタル信号に基づいて、アナログ信号を生成し、前記アナログ信号を対応する画素に供給する一組の D / A コンバータと、からなることを特徴とする液晶ディスプレイ装置。

【請求項 8】

10

20

30

40

50

前記 D / A コンバータの一つに結合され、前記対応する D / A コンバータから形成された前記アナログ信号を受信し、前記アナログ信号を対応する画素に供給する一組のアナログバッファを備えることを特徴とする請求項 7 に記載の液晶ディスプレイ装置。

【請求項 9】

前記ラッチの一つと前記 D / A コンバータの一つの間に結合され、前記対応するラッチにより保持された前記デジタル信号を、高い信号レベルの信号に増幅し、前記信号を前記対応する D / A コンバータ C に出力する一組の信号レベルコンバータを備えることを特徴とする請求項 7 に記載の液晶ディスプレイ装置。

【請求項 10】

前記参考電圧のレベルは、前記入力デジタル信号の振幅の半分であることを特徴とする請求項 7 に記載の液晶ディスプレイ装置。 10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、LCD (liquid crystal display、液晶ディスプレイ) に関するものであって、特に、LCD パネルの駆動回路等に FPC (Flexible Printed Circuit) が用いられたものに関する。

【背景技術】

【0002】

LCD は、例えば、ソースドライバと、ゲートドライバと、両ドライバ (駆動部) に制御信号を送ってこれらの動作を制御する制御部と、ソースドライバおよびゲートドライバから出力される出力信号に基づいて画像を表示する LCD パネル部とを備えたようなものである。そして、ソースドライバ (source driver) は、快速デジタルデータを受信して、それを緩慢な並列デジタル信号に転換し、その後、緩慢なデジタル信号をアナログ電圧に転換して、LCD を駆動するものである。ディスプレイパネルは多数の画素からなる。S V G A (Super Video Graphics Array) モードの場合、LCD パネルは 800 (水平ライン) × 600 (垂直ライン) 画素を有する。この場合、ソースドライバは、画素に全データを正確に書き込むためには、800 ユニットの対応回路を必要とする。対応回路の各ユニットは、1 ビットのシフトレジスタ、3 組 (R、G、B) の n ビットのサンプルラッチ (sample latch) およびホールドラッチ (hold latch)、3 つの DAC (digital-to-analog converter) および 3 つのアナログバッファ (analog buffer) を備える。このようなことから、ソースドライバは広面積を必要とする。よって、必要な面積を減少させることは、例えばソースドライバ等の設計上、非常に重要である。また、ソースドライバの面積の問題は、解像度を増加させる場合、特に、L C O S、L T P S、T F T - L C D、O L E D 等の新規のディスプレイシステムのパネル上にデータドライバを製造する場合 (driver-on-panel) においても最初にぶつかる問題である。 20 30

【0003】

図 1 は、公知の L T P S T F T - L C D である。図示されるように、この L T P S T F T - L C D (特許文献 1 参照) は、画素と駆動回路とからなり、信号レベルが、ガラス基板上に結合されて形成された水平駆動回路システムの電圧 V_{dd} より小さいデジタル信号を受信するのに用いられる。L T P S T F T - L C D は、水平シフトレジスタ 122、一組のサンプリングスイッチ 102 - 1 ~ 102 - n、一組のレベルシフト 104 - 1 ~ 104 - n、一組のラッチ 106 - 1 ~ 106 - n、一組の DAC 108 - 1 ~ 108 - n、一組のバッファ 110 - 1 ~ 110 - n、画素 116、データライン 114 - 1 ~ 114 - n、スキャンライン 112 - 1 ~ 112 - n、垂直シフトレジスタ 120 からなる。 40

【特許文献 1】米国特許第 6,256,024 号明細書

【0004】

スキャンライン 112 - 1 ~ 112 - n は、垂直スキャン回路とドライバとして機能する垂直シフトレジスタ 120 により、垂直にスキャンされる。水平スキャン回路として機 50

能する水平シフトレジスタ122は、水平開始パルスHstと水平クロックパルスHckとを受信すると共に、水平開始パルスHstと水平クロックパルスHckに基づいて、サンプリングパルスを生成し、入力デジタルデータをサンプリングする。サンプリングスイッチ102-1~102-nは、データライン114-1~114-nと対応して提供され、データバスライン上のサンプルデジタルデータは、水平シフトレジスタ122から供給されるサンプリングパルスに対応する。

【0005】

サンプリングスイッチ102-1~102-nによりサンプリングされるデジタルデータは、レベルコンバータとして機能するレベルシフトに供給される。レベルシフト104-1~104-nは、水平シフトレジスタ122から与えられるレベルシフトパルスに基づいて、それぞれのサンプリングデータの信号レベルを、水平駆動回路システムの電圧V_{dd}レベルにシフトする。レベルシフト104-1~104-nによりシフトされたサンプリングデータは、それぞれ、ラッチ106-1~106-nにより区切られる1水平同期期間の間、保持される。

10

【0006】

ラッチ106-1~106-nのラッチデータは、それぞれ、DAC108-1~108-nにより、アナログ信号に転換され、バッファ110-1~110-nに供給される。バッファ110-1~110-nは、DAC108-1~108-nにより与えられるアナログ信号に基づいて、データライン114-1~114-nを駆動する。

20

【発明の開示】

【発明が解決しようとする課題】

【0007】

ところで、水平駆動回路システムの電圧V_{dd}よりも低い信号レベルを有しているデジタル信号は、一つの信号が対応するデータラインに入力されるまで伝送されて、対応する画素に供給されるものである。また、レベルシフターは、デジタル信号を対応するデータラインに入力する前に、当該デジタル信号を増幅している。よって、データラインへのデジタル信号伝送時に消耗される動的消費電力はその分増加する。この装置において、一つのレベルシフターは、一对の相補信号に結合されている。よって、Nビットのデジタル信号(Nは自然数)に、2Nデータバスが要求される。2Nデータバスのデジタル信号伝送時に消耗される電力は、Nデータバスのデジタル信号伝送時の消費電力を上回る。FPCのI/Oピン数とLCDのレイアウトサイズは、このようなことによって増加してしまう。

30

【0008】

本発明は、FPC上のI/Oピン数やLCDパネル上の信号ライン数の減数化が図られた駆動回路を有するLCDを提供することを課題とする。

【課題を解決するための手段】

【0009】

このような課題を解決する本発明は、駆動回路と複数の画素ユニットとを有しており、受信したデジタル信号入力に基づいて表示を行う液晶ディスプレイ(LCD)装置であって、前記駆動回路のソースドライバは、画素に対応した入力デジタル信号を一定間隔で連続的にサンプリングするために用いられるサンプルパルスを生成する、少なくとも一つのパルス生成器と、前記サンプルパルスにตอบสนองして、前記入力デジタル信号をサンプリングする、少なくとも一つのサンプラーと、参考電圧と比較し、比較結果を出力する、サンプリングされたデジタル信号を受信する、少なくとも一つの比較器と、前記比較結果を保持する、少なくとも一つのラッチと、前記受信されたデジタル信号に基づいてアナログ信号を生成し、前記アナログ信号を対応する画素に供給する少なくとも一つのD/Aコンバータと、からなるものであることを特徴とする。

40

【0010】

このように、本発明に係る液晶ディスプレイのソースドライバでは、参考電圧を受信する比較器によってサンプリングされたデジタル信号を受信し、当該デジタル信号を参考電圧と比較して得られる比較結果を出力するようにしたので、デジタル信号を相補信号の形

50

態で送信する必要がない。つまり、デジタル信号の送信に用いられるデータバスの数が半減することとなり、伝送時の消費電力が抑制される。これにより、液晶ディスプレイ装置のランニングコストが抑制される。また、LCDパネルの駆動回路としてFPCを用いる場合、データバスの数を減らすことができれば、FPC上のI/Oピン数およびLCDパネル上の信号ライン数が減少するので、液晶ディスプレイが必要とする面積が大幅に減少する。これにより、液晶ディスプレイの製造コストが抑制される。

【0011】

ソースドライバとしては、前記D/Aコンバータから形成された前記アナログ信号を受信して当該アナログ信号を対応する画素に供給するアナログバッファを備えるものが好ましい。アナログバッファは、前もって生成されるアナログ信号を受信し、対応する画素に供給するものである。また、ソースドライバとしては、前記ラッチに保持された比較結果であるデジタル信号を、高い信号レベルの信号に転換し、前記信号を前記D/Aコンバータに出力する信号レベルコンバータを備えるものが好ましい。

10

【0012】

そして、前記参考電圧のレベルは、前記入力デジタル信号の振幅の半分であることが好ましい。参考電圧のレベルを入力デジタル信号の振幅の半分にすると、比較器が受信する段階において受信したデジタル信号を増幅しなくてよくなる。これにより、デジタル信号伝送時に消耗される動的消費電力が抑制され、液晶ディスプレイ装置のランニングコストが抑制される。また、前記サンプラーは、スイッチであることが好ましい。さらに、前記パルス生成器は、シフトレジスタであることが好ましい。

20

【0013】

また、上記課題を解決する本発明は、駆動回路と複数の画素ユニットとを有しており、受信したデジタル信号入力に基づいて表示を行う液晶ディスプレイ装置であって、前記駆動回路のソースドライバは、画素に対応した入力デジタル信号を一定間隔で連続的にサンプリングするために用いられるサンプルパルスを生成するシフトレジスタと、データバスと、データバスライン上の入力デジタルデータを、前記サンプリングパルスにตอบสนองしてサンプリングし、数量が前記液晶ディスプレイ装置のデータラインの数と等しい一組のスイッチと、スイッチの一つに結合され、対応するスイッチによりサンプリングされるデジタル信号を受信する第一入力端を備えると共に参考電圧を受信する第二入力端を備えており、受信したデジタル信号と参考電圧とを比較して、比較結果を出力する一組の比較器と、前記比較器の一つに結合され、前記比較結果を保持する一組のラッチと、前記ラッチの一つに結合され、前記対応するラッチにより保持された比較結果であるデジタル信号に基づいて、アナログ信号を生成し、前記アナログ信号を対応する画素に供給する一組のD/Aコンバータと、からなることを特徴とするものである。

30

【0014】

この液晶ディスプレイのソースドライバにおいても、先に説明したように、参考電圧を受信する比較器によってサンプリングされたデジタル信号を受信し、当該デジタル信号を参考電圧と比較して得られる比較結果を出力するようにしたので、デジタル信号を相補信号の形態で送信する必要がない。したがって、データバスの数が半減して伝送時の消費電力が抑制され、液晶ディスプレイ装置のランニングコストが抑制される。また、LCDパネルの駆動回路としてFPCを用いる場合、データバスの数を減らすことができれば、FPC上のI/Oピン数およびLCDパネル上の信号ライン数が減少し、液晶ディスプレイが必要とする面積が大幅に減少する。これにより、液晶ディスプレイの製造コストが抑制される。

40

【0015】

このような液晶ディスプレイ装置において、ソースドライバとしては、前記D/Aコンバータの一つに結合され、前記対応するD/Aコンバータから形成された前記アナログ信号を受信し、前記アナログ信号を対応する画素に供給する一組のアナログバッファを備えるものが好ましい。アナログバッファは、前もって生成されるアナログ信号を受信し、対応する画素に供給するものである。そして、ソースドライバとしては、前記ラッチの一つ

50

と前記D/Aコンバータの一つの間に結合され、前記対応するラッチにより保持された前記デジタル信号を、高い信号レベルの信号に増幅し、前記信号を前記対応するD/AコンバータCに出力する一組の信号レベルコンバータを備えるものが好ましい。また、前記参考電圧のレベルは、前記入力デジタル信号の振幅の半分であることが好ましい。このようにすると、比較器が受信する段階において受信したデジタル信号を増幅しなくてよいので、デジタル信号伝送時に消耗される動的消費電力が抑制され、液晶ディスプレイ装置のランニングコストが抑制される。

【発明の効果】

【0016】

液晶ディスプレイ装置において、駆動回路としてFPCを用いる場合に、当該FPC上のI/Oピン数およびLCDパネル上の信号ライン数が減少すると、液晶ディスプレイが必要とする面積が大幅に減少すると共に駆動に必要な電力が減少し、液晶ディスプレイの製造コストおよび使用コストが抑制される。

10

【発明を実施するための最良の形態】

【0017】

以下、本発明に係るアクティブマトリクス型液晶ディスプレイの好適な実施形態を説明する。

【0018】

図2は、本発明に係る実施形態の液晶ディスプレイを示すブロック図である。図示されるように、本発明に係る具体例のアクティブマトリクス型液晶ディスプレイは、複数の画素（画素ユニット）と駆動回路とからなるものであり、これらは、ガラス基板上に形成されたものである。なお、駆動回路は、水平駆動回路の電圧V_{dd}より低い信号レベルのデジタル信号を受信するものである。そして、入力されるデジタル信号は、Nビットのデジタルデータである（カラーディスプレイの場合、データラインの総数は、R、B、G×平行プロセスの数である）。

20

【0019】

図2に示されるように、LCDは、水平シフトレジスタ222、一組の比較器204-1～204-n、一組のラッチ206-1～206-n、一組のレベルシフター208-1～208-n、一組のD/Aコンバータ210-1～210-n、一組のアナログバッファ212-1～212-n、複数の画素230、データライン216-1～216-n、スキャンライン214-1～214-n、垂直シフトレジスタ220、からなる。

30

【0020】

水平スキャン回路として機能する水平シフトレジスタ222は、水平開始パルスH_{st}と水平クロックパルスH_{ck}に基づいて、一定間隔で連続的に（in time series）、画素に対応するデジタル信号入力をサンプリングするサンプリングパルスを生成する。

【0021】

サンプリングスイッチ（サンプラー）202-1～202-nは、n列ライン216-1～216-nに対応して提供されているものであり、また、水平シフトレジスタ222から供給されるサンプリングパルスにตอบสนองして、データバスライン上のデジタルデータをサンプリングする。

40

【0022】

各比較器204-1～204-nは、サンプリングスイッチ202-1～202-nに結合されている。比較器204-1～204-nは、対応するサンプリングスイッチ202-1～202-nによりサンプリングされるデジタル信号と参考電圧V_{ref}を受信する。参考電圧V_{ref}のレベルは、入力デジタル信号の振幅の約半分である。デジタル信号と参考電圧V_{ref}とを比較した後、比較器204-1～204-nは比較結果を出力する。

【0023】

比較結果は対応するラッチ206-1～206-nにより、1水平同期期間の間（すなわち次の比較結果信号が入力されるまで）維持される。レベルシフト208-1～208-nは、対応するラッチ206-1～206-nにより、維持されるデジタル信号を、D

50

/ Aコンバータ210-1~210-nに適する高信号レベルの信号に増幅させ、信号を対応するD/Aコンバータ210-1~210-nに出力する。

【0024】

D/Aコンバータ210-1~210-nは、対応するレベルシフト208-1~208-nから伝送されるデジタル信号に基づいて、アナログ信号を生成する。アナログバッファ212-1~212-nは、対応するD/Aコンバータ210-1~210-nから生成されるアナログ信号を受信し、アナログ信号を対応する画素230に供給する。

【0025】

一方、スキャンライン214-1~214-nは、垂直スキャン回路とドライバとして機能する垂直シフトレジスタ220により、垂直にスキャンされる。

10

【0026】

液晶ディスプレイ装置において、画素230は、アレイ構造で配列されている。各画素230は、液晶234とトランジスタ232とを備える。トランジスタ232のドレイン端とゲート端は、データライン216-1~216-nとスキャンライン214-1~214-nにそれぞれ接続されている。トランジスタ232のソース端は、液晶234に接続されている。更に、データライン216-1~216-nとスキャンライン214-1~214-nは、水平シフトレジスタ222と垂直シフトレジスタ220とにそれぞれ、結合されている。これらのデータライン216-1~216-nとスキャンライン214-1~214-nは、イメージデータとスキャン制御データに従って、画素230を制御する。

20

【0027】

なお、ここまで説明した液晶ディスプレイ装置以外の装置としては、例えば、アナログバッファ212-1~212-nを除去したものが考えられる。

【0028】

図3は、本発明の具体例による比較器の例を示す図である。図2に示される水平シフトレジスタ222から生成される、一組の相補信号により、各比較器は、いつでも、対応するサンプリングスイッチ202からデジタル信号SDを受信するよう制御する。本具体例において、デジタル信号SDの振幅は、0~3.3である。以下は、水平シフトレジスタ222から生成された比較器204-2を制御する一組の相補信号SR_out1およびSR_out2を例として説明する。

30

【0029】

図3に示されるように、比較器204-2は、19個のトランジスタQ302、Q304、Q306、Q308、Q310、Q312、Q314、Q316、Q318、Q320、Q322、Q324、Q326、Q328、Q330、Q332、Q334、Q336、Q338からなる。トランジスタQ304のソース端は、デジタル信号SDを受信する。トランジスタQ302のソース端は、参考電圧Vrefを受信する。信号SR_out1は、トランジスタQ302、Q304、Q306のゲート端に入力される。信号SR_out2は、トランジスタQ306、Q322、Q328のゲート端に入力される。トランジスタQ318のゲート端は、信号SR_out0を受信する。信号SR_out0は、水平シフトレジスタ222から生成され、比較器204-1を制御する。電力がトランジスタQ316、Q324、Q330、Q334、Q338のソース端に供給される。トランジスタQ306、Q320、Q326、Q332、Q336、Q338のソース端はコモン電極(本具体例では、接地)に結合されている。

40

【0030】

トランジスタQ332、Q334のドレイン端の接続点と、トランジスタQ336、Q338のドレイン端の接続点は、それぞれ、一組の相補信号Q_out1およびQ_out2出力を生成する。信号Q_out1およびQ_out2の両方、またはQ_out1およびQ_out2から選択される1つがラッチに入力される。このような処理が各デジタル信号SDについて行われる。信号Q_out1およびQ_out2の中の一つだけがラッチに入力されないといけないため、信号ラインは減少する。以下では、ラッチに信号Q_out1が入力される場合を例とし

50

て説明する。

【0031】

なお、図3に示される回路は本発明の比較器の一例である。本実施形態の液晶ディスプレイ装置では、図3に示される回路以外にも、デジタル信号と参考電圧とを比較する他の回路を用いることができる。

【0032】

図4は、本発明の具体例によるラッチとレベルシフターの例を示す図である。図4に示されるラッチ430は、図2中のラッチ206-1~206-nのいずれかである。図4に示されるレベルシフター440は、選択されたラッチに対応するレベルシフターの具体例である。例えば、図4に示されるラッチ430は、ラッチ206-2の具体例である。図4に示されるレベルシフター440はレベルシフター208-2の具体例である。

10

【0033】

図4に示されるように、ラッチ430は4つのインバータ402、404、406および408からなる。レベルシフター440は、6個のトランジスタQ410、Q412、Q414、Q416、Q418およびQ420からなる。

【0034】

インバータ404、406の入力端は、比較器の出力端に結合されており、例えば信号Q_out1を受信する(図3参照)。インバータ404の出力端は、インバータ402および408の入力端に結合されている。インバータ402の出力端は、インバータ404および406の入力端に結合されている。インバータ406と408の出力端は、レベルシフター440に結合されている。

20

【0035】

トランジスタQ410およびQ412のドレイン端は、インバータ408の出力端に結合されている。トランジスタQ418とQ420のドレイン端は、インバータ406の出力端に結合されている。トランジスタQ410およびQ412のソース端と、トランジスタQ414、Q416、Q418およびQ420のドレイン端は、コモン電極(具体例では、接地)に結合されている。トランジスタQ418およびQ420のソース端の接続点は、D/Aコンバータに出力されるデジタル信号D_outを生成する。

【0036】

なお、図4に示される、ラッチとして動作する回路は一例である。ラッチとしては、図4に示される回路以外にも、デジタルデータを保持できる他の回路を用いることができる。さらに、他のアプリケーション(デバイス)として考えられるものとしては、レベルシフターの後に、必要に応じて、バッファやインバータを加えたものが考えられる。

30

【0037】

図5は、図2~図4の信号のタイミングを示す図である。縦軸は振幅で、横軸は時間である。ライン50は、比較器に入力されるデジタル信号SDである。ライン52は水平シフトレジスタ222から生成される信号SR_out1である。ライン54はラッチ430に保存される信号である。このタイミングチャートを基に本実施形態の装置が適切に動作することを説明する。

【0038】

水平シフトレジスタ222から生成される信号SR_out1がまずオンになり、デジタル信号SD(1)が比較器に入力される。参考電圧と比較した後、水平シフトレジスタ222から生成される信号SR_out1がオフになるとき、デジタル信号“1”は、ラッチに保存される。水平シフトレジスタ222から生成される信号SR_out1が次にオンになるとき、デジタル信号SD(0)は、比較器に入力される。参考電圧と比較した後、その後、水平シフトレジスタ222から生成される信号SR_out1がオフになるとき、デジタル信号“0”は、ラッチに保存される。水平シフトレジスタ222から生成される信号SR_out1がオンになるとき、デジタル信号SD“1”は、比較器に入力される。参考電圧と比較した後、水平シフトレジスタ222から生成される信号SR_out1がオフになるとき、デジタル信号“1”は、ラッチに保存される。参考電圧と比較した後、その後、水平シフ

40

50

トレジスタ 2 2 2 から生成される信号 S R_out 1 がオンになるとき、デジタル信号 S D “ 1 ” は、比較器に入力される。参考電圧と比較した後、水平シフトレジスタ 2 2 2 から生成される信号 S R_out 1 がオフになるとき、デジタル信号 “ 1 ” は、ラッチに保存される。

【 0 0 3 9 】

以上、本発明に係る液晶ディスプレイ装置について、好ましい実施例を前述の通り開示したが、これらは決して本発明に限定するものではなく、当該技術を熟知する者なら誰でも、本発明の精神と領域を脱しない範囲内で各種の変動や潤色を加えることができ、従って本発明の保護範囲は、特許請求の範囲で指定した内容を基準とする。

【 図面の簡単な説明 】

【 0 0 4 0 】

【 図 1 】 公知の L T P S T F T - L C D を示す図である。

【 図 2 】 本発明の具体例による液晶ディスプレイを示す図である。

【 図 3 】 本発明の具体例による比較器の例を示す図である。

【 図 4 】 本発明の具体例によるラッチとレベルシフターの例を示す図である。

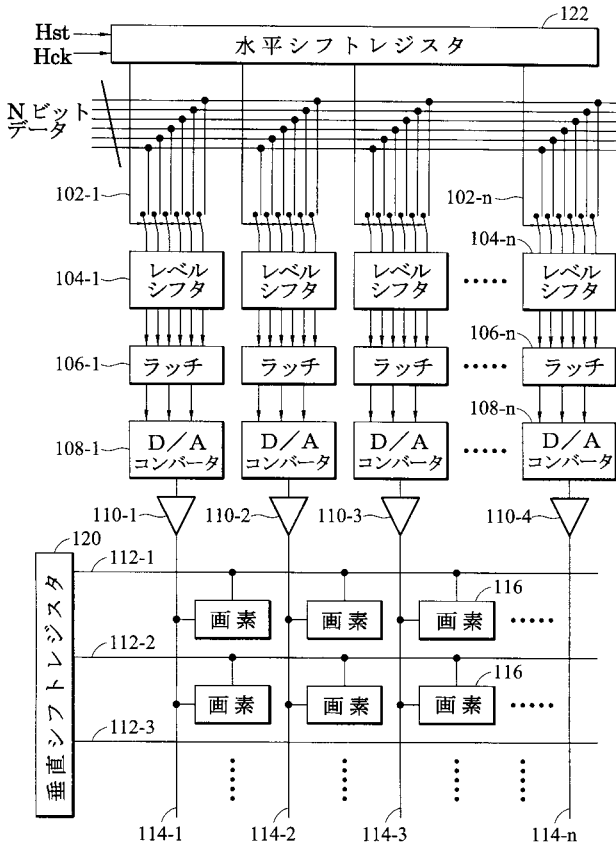
【 図 5 】 図 2 ~ 図 4 の信号のタイミング図である。

【 符号の説明 】

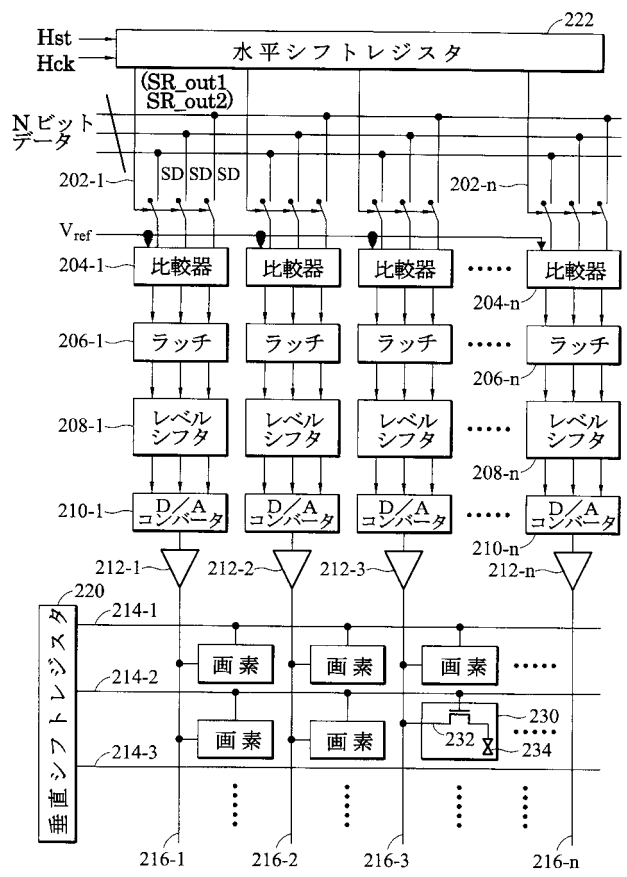
【 0 0 4 1 】

1 0 2 - 1 ~ 1 0 2 - n , 2 0 2 - 1 ~ 2 0 2 - n	一組のサンプリングスイッチ	
1 0 4 - 1 ~ 1 0 4 - n , 2 0 8 - 1 ~ 2 0 8 - n	一組のレベルシフト	20
1 0 6 - 1 ~ 1 0 6 - n , 2 0 6 - 1 ~ 2 0 6 - n	一組のラッチ	
1 0 8 - 1 ~ 1 0 8 - n , 2 1 0 - 1 ~ 2 1 0 - n	一組の D / A コンバータ	
1 1 0 - 1 ~ 1 1 0 - n , 2 1 2 - 1 ~ 2 1 2 - n	一組のバッファ	
1 1 2 - 1 ~ 1 1 2 - n , 2 1 4 - 1 ~ 2 1 4 - n	スキャンライン	
1 1 4 - 1 ~ 1 1 4 - n , 2 1 6 - 1 ~ 2 1 6 - n	データライン	
1 1 6 , 2 3 0	画素	
1 2 0 , 2 2 0	垂直シフトレジスタ (パルス生成器)	
1 2 2 , 2 2 2	水平シフトレジスタ (パルス生成器)	
2 0 4 - 1 ~ 2 0 4 - n	比較器	
2 3 2 , Q 3 0 2 , Q 3 0 4 , Q 3 0 6 , Q 3 0 8 , Q 3 1 0 , Q 3 1 2 , Q 3 1 4 ,		30
Q 3 1 6 , Q 3 1 8 , Q 3 2 0 , Q 3 2 2 , Q 3 2 4 , Q 3 2 6 , Q 3 2 8 , Q 3 3 0		
,		
Q 3 3 2 , Q 3 3 4 , Q 3 3 6 , Q 3 3 8 , Q 3 2 4 , Q 3 2 6 , Q 3 3 0 , Q 3 3 2		
,		
Q 3 3 4 , Q 3 3 6 , Q 3 3 8 , Q 4 1 0 , Q 4 1 2 , Q 4 1 4 , Q 4 1 6 , Q 4 1 8		
,		
Q 4 2 0	トランジスタ	
2 3 4	液晶	
4 0 2 , 4 0 4 , 4 0 6 , 4 0 8	バッファ	
Hst	水平開始パルス	40
Hck	水平クロックパルス	
S R_out 0 , S R_out 1 , S R_out 2 , S D , Q_out 1 , Q_out 2	信号	
V ref	参考電圧	

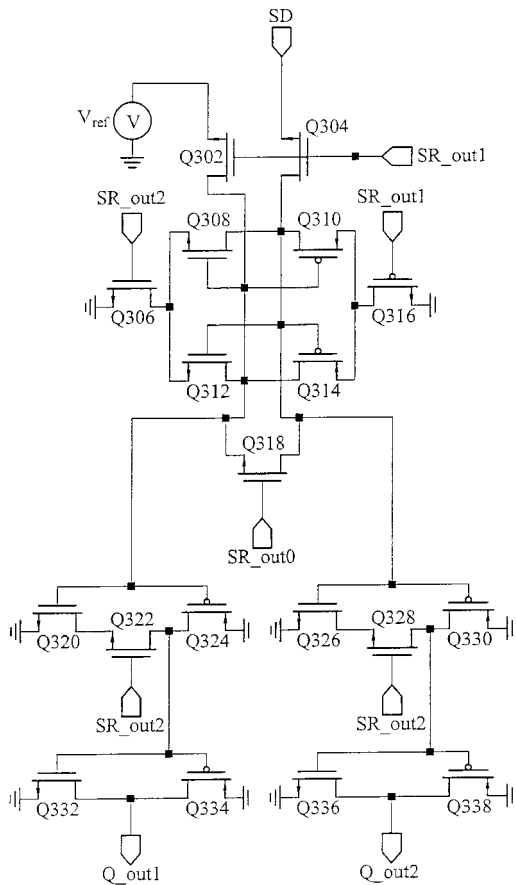
【 図 1 】



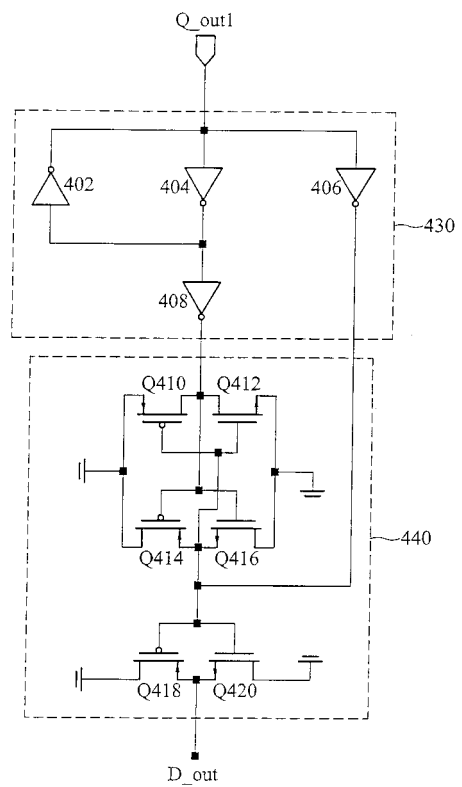
【 図 2 】



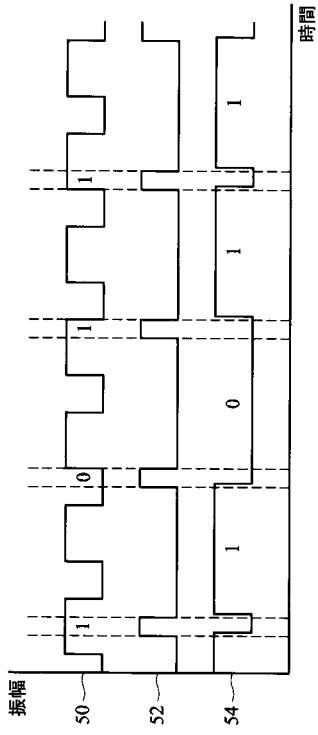
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 2 3 L
G 0 9 G	3/20	6 2 3 R

Fターム(参考) 5C080 AA10 BB05 DD23 EE29 FF11 JJ02 JJ03 JJ04