



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0022665
(43) 공개일자 2009년03월04일

(51) Int. Cl.

H01L 21/28 (2006.01)

(21) 출원번호 10-2007-0088212

(22) 출원일자 2007년08월31일

심사청구일자 2008년12월29일

(71) 출원인

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

이민석

성남시 분당구 정자동 121 상록우성아파트
305-1302

김원규

경기 이천시 고담동 고담기숙사 103-404

(74) 대리인

특허법인 신성

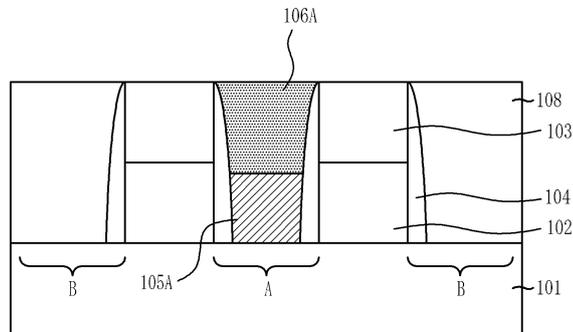
전체 청구항 수 : 총 12 항

(54) 반도체 소자의 콘택플러그 형성방법

(57) 요약

본 발명은 미세패턴 적용시 공정 마진 부족으로 초래되는 자기정렬콘택 페일 및 ID-바이어스 현상과 게이트 하드 마스크의 높이 증가로 인한 게이트패턴의 리닝(Leaning)현상 및 콘택플러그 매립불량의 문제를 방지할 수 있는 반도체 소자의 콘택플러그 형성방법을 제공하기 위한 것으로, 자신의 상부에 하드마스크막을 갖는 복수의 도전패턴을 기판상에 형성하는 단계; 상기 기판 및 도전패턴 표면을 덮는 스페이서용 절연막을 형성하는 단계; 상기 스페이서용 절연막을 식각하여 기판을 오픈시키는 단계; 상기 오픈된 기판상에 에피텍셀층을 형성하는 단계; 상기 에피텍셀층 상에 상기 도전패턴들 사이를 매립하는 도전층을 형성하는 단계; 예정된 콘택영역을 제외한 상기 도전층을 선택적으로 식각하는 단계; 및 상기 도전층이 식각된 영역을 절연막으로 매립하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 콘택플러그 형성방법을 제공한다.

대표도 - 도1e



특허청구의 범위

청구항 1

자신의 상부에 하드마스크막을 갖는 복수의 도전패턴을 기판상에 형성하는 단계;
 상기 기판 및 도전패턴 표면을 덮는 스페이서용 절연막을 형성하는 단계;
 상기 스페이서용 절연막을 식각하여 기판을 오픈시키는 단계;
 상기 오픈된 기판상에 에피텍셀층을 형성하는 단계;
 상기 에피텍셀층 상에 상기 도전패턴들 사이를 매립하는 도전층을 형성하는 단계;
 예정된 콘택영역을 제외한 상기 도전층을 선택적으로 식각하는 단계; 및
 상기 도전층이 식각된 영역을 절연막으로 매립하는 단계
 를 포함하는 것을 특징으로 하는 반도체 소자의 콘택플러그 형성방법.

청구항 2

제 1항에 있어서,
 상기 도전패턴은 비트라인패턴 또는 게이트패턴인 것을 특징으로 하는 반도체 소자의 콘택플러그 형성방법.

청구항 3

제 1항에 있어서,
 상기 도전층을 형성하는 단계는,
 상기 도전층을 증착하는 단계; 및
 상기 도전층을 상기 하드마스크막이 드러나도록 화학적기계적연마하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 콘택플러그 형성방법.

청구항 4

제 1항에 있어서,
 상기 도전층은 폴리실리콘인 것을 특징으로 하는 반도체 소자의 콘택플러그 형성방법.

청구항 5

제 1항에 있어서,
 상기 예정된 콘택영역을 제외한 상기 도전층을 선택적으로 식각하는 단계는,
 예정된 콘택영역을 보호하는 마스크를 형성하는 단계;
 상기 마스크를 베리어로하여 상기 도전층을 식각하는 단계; 및
 상기 마스크를 제거하는 단계를 포함하는 반도체 소자의 콘택플러그 형성방법.

청구항 6

제 5항에 있어서,
 상기 도전층의 식각은 건식식각 방법으로 수행하며, Cl_2 , Hbr, Ar, O_2 , N_2 , He, C_xF_y (x,y는 자연수) 및 $C_xH_yF_z$ (x,y,z는 자연수)로 이루어진 그룹으로부터 선택된 가스의 조합을 사용하는 것을 특징으로 하는 반도체 소자의 콘택플러그 형성방법.

청구항 7

제 1항에 있어서,

상기 도전층이 식각된 영역을 절연막으로 매립하는 단계는,
 절연막을 증착하는 단계; 및
 상기 예정된 콘택영역의 도전층이 드러나도록 상기 절연막을 화학적기계적연마하는 단계
 를 포함하는 것을 특징으로 하는 반도체 소자의 콘택플러그 형성방법.

청구항 8

제 7항에 있어서,
 상기 절연막은 BPSG, HDP옥사이드, Polyimide, PAE, HSQ, MSQ, SiLK, PHPs, SOD중에서 선택된 어느 하나인 것을
 특징으로 하는 반도체 소자의 콘택플러그 형성방법.

청구항 9

제 1항에 있어서,
 상기 하드마스크막은 500Å~1500Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 콘택플러그 형성방법.

청구항 10

제 1항에 있어서,
 상기 스페이서용 절연막은 질화막, 산화막, SiCN, SiBN 및 SiBCN 으로 이루어진 그룹으로 부터 선택된 어느 하
 나인 것을 특징으로 하는 반도체 소자의 콘택플러그 형성방법.

청구항 11

제 1항에 있어서,
 상기 스페이서용 절연막의 식각은 전면 건식 식각으로 하는 것을 특징으로 하는 반도체 소자의 콘택플러그 형성방
 법.

청구항 12

제 1항에 있어서,
 상기 하드마스크막은 질화막 또는 산화막으로 형성하는 것을 특징으로 하는 반도체 소자의 콘택플러그
 형성방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 반도체 소자의 형성방법에 관한 것으로, 특히 콘택플러그(Contact Plug)를 형성하는 방법에 관한 것
 이다.

배경기술

<2> 일반적으로 반도체소자 제조시 트랜지스터의 소오스 및 드레인에 콘택플러그(Contact Plug)를 먼저 형성한
 다음, 캐패시터 및 비트라인을 플러그에 콘택 시키므로서, 소오스 및 드레인과 비트라인 등을 연결하고 있다.
 이러한 콘택플러그 형성시, 공정 마진을 확보하기 위하여 자기정렬콘택(Self Aligned Contact; 이하 SAC) 공정
 을 진행하고 있다.

<3> 종래기술에 따른 콘택플러그(Contact Plug) 형성방법을 설명하면, 반도체기판상에 도전층 및 하드마스크질화막
 의 순서로 적층 되는 복수의 도전패턴을 형성하고, 식각정지용 질화막을 형성한 다음, 도전패턴 사이를 채우는
 층간절연막을 형성한다.

<4> 이어서, 하드마스크질화막을 정지막으로 하여 층간절연막을 화학적기계적연마(Chemical Mechanical Polishing;

이하 CMP)의 방법으로 평탄화한다.

- <5> 다음으로, 평탄화된 층간절연막상에 콘택 예정지역을 오픈할 식각마스크를 형성하고 식각공정을 진행하여 콘택 플러그(Contact Plug)가 형성될 지역의 기판을 노출시킨다.
- <6> 다음으로, 콘택플러그(Contact Plug) 지역의 오픈부를 충분히 매립하도록 결과물 전면에 폴리실리콘을 증착한 후, CMP공정을 진행하여 콘택플러그(Contact Plug)를 형성한다.
- <7> 그러나, SAC 방법에 의한 콘택플러그 형성은, 식각에 의한 콘택플러그(Contact Plug)오픈시 하드마스크질화막의 손실을 발생시킨다. 때문에, 오픈된 지역(Open area)과 밀폐된 지역(Closed area)간 하드마스크질화막의 두께 차이가 발생한다. 따라서, 후속 콘택플러그(Contact Plug) 분리를 위한 CMP시에 하드마스크질화막의 연마량을 늘려야하고, 이로 인한 공정 마진확보를 위하여 하드마스크질화막의 두께는 증가 될 수밖에 없다. 그러나 패턴의 미세화 진행 및 높아진 패턴의 중형비로 인하여, 패턴의 리닝(Leaning) 현상, SAC 콘택 페일 및 콘택 낮오픈과 같은 문제점이 발생하게 된다. 또한 높아진 중형비는 콘택플러그형성을 위한 폴리실리콘 매립에도 어려움을 주고 있다.

발명의 내용

해결 하고자하는 과제

- <8> 본 발명은 상기 종래기술의 문제점을 해결하기 위해 제안된 것으로, 도전패턴의 리닝(Leaning) 현상, SAC 콘택 페일, 콘택 낮오픈, 콘택매립 불량등의 문제를 방지할 수 있는 반도체 소자의 콘택플러그 형성방법을 제공하는 데 그 목적이 있다.

과제 해결수단

- <9> 상기의 목적을 달성하기 위한 본 발명의 콘택플러그 형성방법은, 자신의 상부에 하드마스크막을 갖는 복수의 도전패턴을 기판상에 형성하는 단계; 상기 기판 및 도전패턴 표면을 덮는 스페이서용 절연막을 형성하는 단계; 상기 스페이서용 절연막을 식각하여 기판을 오픈시키는 단계; 상기 오픈된 기판상에 에피텍셀층을 형성하는 단계; 상기 에피텍셀층 상에 상기 도전패턴들 사이를 매립하는 도전층을 형성하는 단계; 예정된 콘택영역을 제외한 상기 도전층을 선택적으로 식각하는 단계; 및 상기 도전층이 식각된 영역을 절연막으로 매립하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 콘택플러그 형성방법을 제공한다.

효과

- <10> 본 발명은, 자기정렬콘택 식각 방법을 배제하고 선택적 실리콘 단결정 성장(Selective Silicon Epitaxial Growth) 및 폴리실리콘 증착의 방법으로 콘택플러그를 형성한다. 이로 인해 SAC 공정시 발생할 수 있는 콘택 페일의 문제점을 피할 수 있다. 또한 일정부분 높이까지 실리콘 단결정 성장으로 콘택플러그를 형성하므로 폴리실리콘의 매립을 용이하게 할 수 있다. 또한 게이트 하드마스크의 두께를 줄여 패턴의 중형비를 낮출 수 있어 리닝현상 및 로딩에 의한 ID-바이어스(ID-Bias) 현상 개선이 가능하다.

발명의 실시를 위한 구체적인 내용

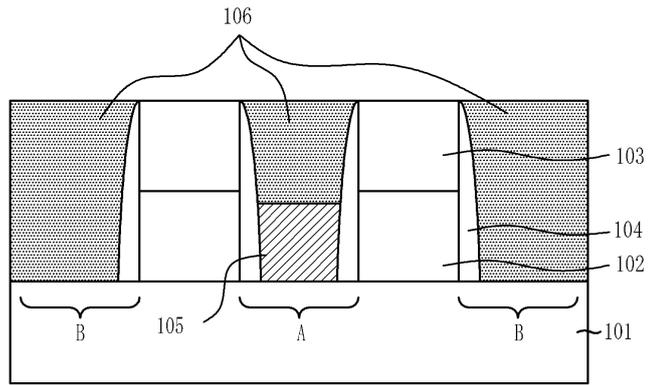
- <11> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여, 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명한다.
- <12> 도 1a 내지 도 1e는 본 발명의 실시예에 따른 반도체소자의 콘택플러그 형성방법을 도시한 도면이다.
- <13> 기판(101)상에 하드마스크막(103) 및 스페이서(104)를 갖는 복수의 도전패턴(102)을 형성한다. 여기서 도전패턴(102)은 게이트패턴이 될 수도 있고, 비트라인패턴 될 수도 있다. 도전패턴(102)이 게이트패턴일 경우 기판(101) 사이에 게이트 절연막을 도시 하여야 하나 본 도면에서는 생략하였다. 게이트패턴이 되는 경우, 지역(A)는 소오스 또는 드레인 영역이고, 지역(B)는 소자분리막 영역이다. 소오스/드레인의 형성은 선행된 게이트패턴 형성 과정에서 이온주입을 통하여 형성하거나, 후속 랜딩플러그 형성 과정에서 불순물을 기판으로 확산시키는 방법으로 형성 가능하다. 도전패턴(102)이 비트라인 패턴일 경우, 지역(A)는 하부전극이 위치하고 있는 지역이 되고, 지역(B)는 전극이 없는 절연막 부분이 된다. 여기서 하부 전극은 후속 에피텍셀성장예에 의해 콘택플러그가 형성되어야 하기 때문에, 실리콘 공유결합을 가질 수 있는 물질, 예를 들면 폴리실리콘으로 형성하는 것이 바람직하다.

- <14> 기존의 SAC 방법의 콘택플러그 형성에서 하드마스크(103)는 중간 절연 물질로 쓰이는 산화막 계열의 물질과 식각 선택비를 가지기 위해 질화막이 사용되었다. 그러나, 본 발명에서는 SAC공정을 사용하지 않고 콘택플러그를 형성하기 때문에, 하드마스크(103)는 질화막 또는 산화막 계열 등의 다양한 물질이 사용 가능하다. 또한 종래의 SAC 공정에서는 하드마스크(103)의 손실을 감안하여 두껍게 형성하였으나 본 발명을 적용할 경우 기존에 비해 낮은 500 Å~1500 Å에서 그 증착 두께를 결정할 수 있다.
- <15> 이어서, 주변회로 지역을 마스크로 보호하며(도면에서는 도시 생략), 스페이서용 절연막을 전면 건식 식각 하여 기판의 지역(A) 및 지역(B)를 오픈시킨다. 스페이서(104)는 후속 플러그 형성 전 세정을 BOE(BUFFERED OXIDE ETCHANT)를 사용하여 실시할 경우 BOE에 식각 저항성이 있는 물질, 예컨대 질화막 계열을 사용하여 형성함이 바람직하다. 습식 세정에서 HF를 사용하면 지역(A)에 하이드로젠 패시베이션(Hydrogen Passivation)이 발생하여, 후속 실리콘 에피텍셀 성장이 원활히 이루어지지 않는다.
- <16> 한편, 플러그 형성 전 세정으로 건식 세정(Dry Cleaning)의 방법도 사용 가능하다. 따라서, 건식 세정을 실시할 경우에는 산화막, SiCN, SiBN 및 SiBCN과 같은 절연막을 스페이서(104)로 사용할 수 있다.
- <17> 이어서, 도 1b에 도시된 바와 같이, 선택적 에피텍셀 성장방법(Selective Epitaxial Growth; SEG)을 이용하여 지역(A)에 에피텍셀성장층(105)을 형성한다. 이때 불순물을 포함시켜 전극으로서의 도전성을 확보할 수 있다. 에피텍셀성장은 산화막 계열인 지역(B)에 비해, 실리콘 공유 결합이 가능한 지역(A)에서 활발하게 이루어 지기 때문에 선택적 성장이 가능하다. 또한 질화막 계열인 스페이서(104)의 측면에도 성장이 원활하지 않기 때문에 에피텍셀성장층(105)은 지역(A)의 바닥부터 성장하게 된다. 여기서 에피텍셀 성장의 두께만큼 도전패턴의 종횡비는 낮아지게 되어 후속 폴리실리콘 증착 매립조건이 개선된다. 또한 에피텍셀 성장에 의한 실리콘 단결정은 도전성 및 콘택 저항 특성이 폴리실리콘보다 우수하므로, 패턴 미세화에 따른 콘택플러그의 저항 증가를 감소시키는데 도움이 된다.
- <18> 다음으로, 도 1c에 도시된 바와 같이 에피텍셀성장층(105) 및 기판 전체에 폴리실리콘(106)을 매립한다. 도전패턴(102)의 간격을 모두 메울 수 있게, 500 Å~3000 Å의 두께로 매립하는 것이 바람직하다.
- <19> 이어서, 폴리실리콘(106)과 하드마스크(103)와의 선택비를 가지는 슬러리를 이용하여 화학적기계적연마(Cheical Mechanical Polishing)를 실시하여, 하드마스크(103)가 드러나도록 평탄화시킨다.
- <20> 이어서, 도 1d에서 도시된 바와 같이, 콘택예정지역을 덮는 마스크(107)를 형성하고 이를 베리어로 하여 폴리실리콘(106)을 건식 식각으로 제거한다. 질화막 계열의 스페이서(104)와 폴리실리콘(106)과의 식각 선택비를 고려하여, Cl₂, Hbr, Ar, O₂, N₂, He, CxFy(x,y는 자연수) 및 CxHyFz(x,y,z는 자연수)로 이루어진 그룹으로부터 선택된 가스의 조합을 사용하여 건식 식각 하는 것이 바람직하다. 이어서, 식각 베리어로 사용된 마스크(107)를 제거하면, 콘택예정지역의 에피텍셀성장층(105A)과 폴리실리콘(106A)이 남게 되어 콘택플러그가 형성되게 된다.
- <21> 도전패턴(102)이 게이트패턴일 경우 상기 콘택플러그는 랜딩플러그콘택(Landing Plug Contact; LPC)이 되며, 비트라인패턴일 경우 콘택플러그는 스토리지노드콘택(Storage Node Contact; SNC)이 됨을 알 수 있다.
- <22> 다음으로, 도 1e에서 도시된 바와 같이, 결과물 전체 구조상에 중간절연막(108)을 증착한다. 매립특성이 우수한 물질, 예를 들면 BPSG(Boron Phosphorus Silicate Glass), HDP 옥사이드(High Density Plasma Oxide), Polyimide, PAE(Poly Arylene Ether), HSQ(Hydrogen SilsesQuioxane), MSQ(Methyl SisesQuioxane), SiLK(Silica low-k), PHPS(Perhydropolysilazane), SOD(Spin On Dielectric)에서 선택된 어느 하나를 절연막(108)으로 사용하는 것이 바람직하다.
- <23> 이어서 폴리실리콘(106A)과 상기 매립특성이 우수한 물질중 선택된 절연막(108)과의 선택비를 가지는 슬러리를 이용하여 화학적기계적연마(Cheical Mechanical Polishing)를 실시하여, 폴리실리콘(106A)이 드러나도록 평탄화시키면, LPC 또는 SNC 형성 과정이 완료된다.
- <24> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 통상의 전문가라면 본 발명의 기술사상의 범위내의 다양한 실시예가 가능함을 이해할 수 있을 것이다.

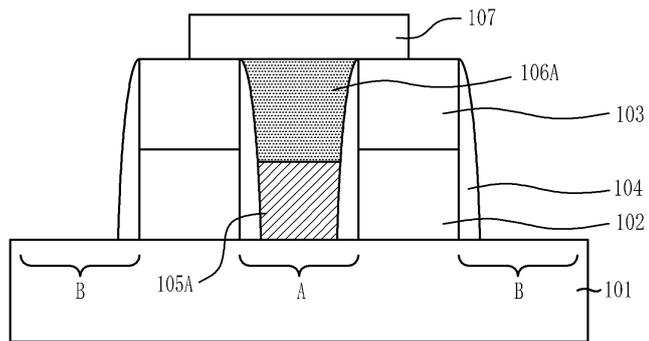
도면의 간단한 설명

- <25> 도 1a 내지 도 1e는 본 발명의 일 실시예에 따른 콘택플러그 형성방법을 도시한 도면.

도면1c



도면1d



도면1e

