



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I772183 B

(45)公告日：中華民國 111 (2022) 年 07 月 21 日

(21)申請案號：110134421

(22)申請日：中華民國 106 (2017) 年 03 月 10 日

(51)Int. Cl. : H01L23/485 (2006.01)

H01L27/105 (2006.01)

(30)優先權：2016/03/11 美國

15/068,329

(71)申請人：美商美光科技公司(美國) MICRON TECHNOLOGY, INC. (US)
美國(72)發明人：泰莎瑞爾 帕洛 TESSARIOL, PAOLO (IT)；沃思汀荷姆 葛拉罕 R
WOLSTENHOLME, GRAHAM R. (US)；亞波 亞倫 YIP, AARON (US)

(74)代理人：陳長文

(56)參考文獻：

US 2010/0224962A1

US 2013/0171809A1

US 2016/0148946A1

審查人員：何立璋

申請專利範圍項數：20 項 圖式數：10 共 44 頁

(54)名稱

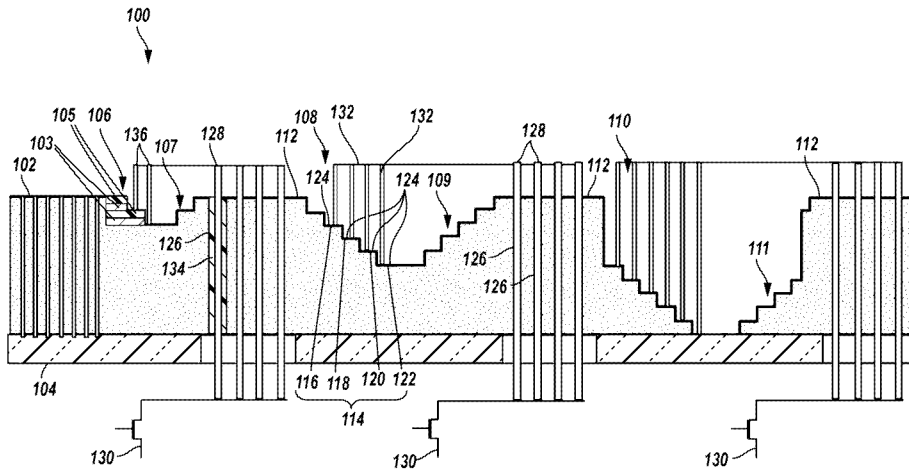
導電結構、包括導電結構之系統及裝置以及相關方法

(57)摘要

導電結構包含：階梯結構，其等沿該導電結構之一長度定位；及至少一個平台，其包括延伸穿過該導電結構之至少一個通路。該至少一個平台定位於該等階梯結構之一第一階梯結構與該等階梯結構之一第二階梯結構之間。裝置可包含此等導電結構。系統可包含一半導體裝置及藉由至少一個平台分離之階梯結構，該至少一個平台具有形成於該至少一個平台中之至少一個通路。形成導電結構之方法包含形成穿過定位於階梯結構之間之一平台之至少一個通路。

Conductive structures include stair step structures positioned along a length of the conductive structure and at least one landing comprising at least one via extending through the conductive structure. The at least one landing is positioned between a first stair step structure of the stair step structures and a second stair step structure of the stair step structures. Devices may include such conductive structures. Systems may include a semiconductor device and stair step structures separated by at least one landing having at least one via formed in the at least one landing. Methods of forming conductive structures include forming at least one via through a landing positioned between stair step structures.

指定代表圖：



【圖2】

符號簡單說明：

- 100: 導電結構
- 102: 半導體裝置
- 103: 導電材料
- 104: 基板
- 105: 絕緣材料
- 106: 階梯結構
- 107: 相對階梯結構
- 108: 階梯結構
- 109: 相對階梯結構
- 110: 階梯結構
- 111: 相對階梯結構
- 112: 平台
- 114: 台階
- 116: 台階
- 118: 台階
- 120: 台階
- 122: 台階
- 124: 接觸部分
- 126: 接觸孔
- 128: 導電接觸件
- 130: 控制單元
- 132: 存取線
- 134: 絕緣襯層
- 136: 選擇閘極



I772183

【發明摘要】

【中文發明名稱】

導電結構、包括導電結構之系統及裝置以及相關方法

【英文發明名稱】

CONDUCTIVE STRUCTURES, SYSTEMS AND DEVICES
INCLUDING CONDUCTIVE STRUCTURES AND RELATED
METHODS

【中文】

導電結構包含：階梯結構，其等沿該導電結構之一長度定位；及至少一個平台，其包括延伸穿過該導電結構之至少一個通路。該至少一個平台定位於該等階梯結構之一第一階梯結構與該等階梯結構之一第二階梯結構之間。裝置可包含此等導電結構。系統可包含一半導體裝置及藉由至少一個平台分離之階梯結構，該至少一個平台具有形成於該至少一個平台中之至少一個通路。形成導電結構之方法包含形成穿過定位於階梯結構之間之一平台之至少一個通路。

【英文】

Conductive structures include stair step structures positioned along a length of the conductive structure and at least one landing comprising at least one via extending through the conductive structure. The at least one landing is positioned between a first stair step structure of the stair step structures and a second stair step structure of the stair step structures. Devices may include such conductive structures. Systems may include a semiconductor device and stair step structures separated

by at least one landing having at least one via formed in the at least one landing. Methods of forming conductive structures include forming at least one via through a landing positioned between stair step structures.

【指定代表圖】

圖2

【代表圖之符號簡單說明】

100:導電結構

102:半導體裝置

103:導電材料

104:基板

105:絕緣材料

106:階梯結構

107:相對階梯結構

108:階梯結構

109:相對階梯結構

110:階梯結構

111:相對階梯結構

112:平台

114:台階

116:台階

118:台階

120:台階

122:台階

124:接觸部分

126:接觸孔

128:導電接觸件

130:控制單元

132:存取線

134:絕緣襯層

136:選擇閘極

【發明說明書】

【中文發明名稱】

導電結構、包括導電結構之系統及裝置以及相關方法

【英文發明名稱】

CONDUCTIVE STRUCTURES, SYSTEMS AND DEVICES
INCLUDING CONDUCTIVE STRUCTURES AND RELATED
METHODS

【技術領域】

本發明之實施例：係關於具有延伸穿過導電結構之至少一部分之接觸件之導電結構(例如，一長形階梯導電結構)；係關於包含此等導電結構之裝置；係關於包含此等裝置之系統；係關於形成此等導電結構之方法；且係關於形成一長形階梯導電結構之電連接之方法。

【先前技術】

記憶體裝置習知地以基於半導體積體電路之形式提供在電腦及其他電子器件中。存在許多不同類型之記憶體裝置，包含隨機存取記憶體(RAM)、唯讀記憶體(ROM)、同步動態隨機存取記憶體(SDRAM)、動態隨機存取記憶體(DRAM)及非揮發性記憶體。隨著電子系統之效能及複雜性增加，對於一記憶體系統中之額外記憶體之需求亦增加。半導體產業之趨勢係朝向可製造為一單一半導體晶片上之高密度電路之更小記憶體裝置。可藉由減小裝置之至少一些特徵之大小，使得所得裝置佔據一品圓之一較小表面積而達成電晶體裝置及電路之微型化。

為了降低製造此等高密度記憶體陣列之成本，零件數必須保持為一最小值。此意指能夠達成在一單一晶片上之記憶體之一較高密度，而非藉

由堆疊分開的記憶體晶片。然而，隨著記憶體裝置大小縮小，同時增加一記憶體陣列中之記憶體胞之數目，操作各記憶體裝置所需之內部連接之數目亦增加。

例如，在非揮發性記憶體(例如，NAND快閃記憶體)中，增加記憶體密度之一種方式係藉由使用一垂直記憶體陣列，其亦稱為一三維(3D)陣列。此等垂直記憶體陣列揭示於例如2011年5月3日頒佈之Kito等人的美國專利申請公開案第2007/0252201號(現在的美國專利案第7,936,004號)中。習知垂直記憶體陣列需要導電板及存取線(例如，字線)之間之電連接，使得可由控制單元唯一地選擇陣列中之記憶體胞用於寫入或讀取功能。一種類型之垂直記憶體陣列包含延伸穿過層狀導電板(亦稱為字線板或控制閘極板)中之孔之半導體支柱，在支柱與導電板之各接面處具有介電材料。因此，可沿各支柱形成多個電晶體。此結構藉由在一晶粒上向上(垂直地)建構陣列而使更大量電晶體能夠位於一單位的晶粒面積中。然而，在此一裝置中，各記憶體胞必須包含多個導電連接(例如，字線、位元線、選擇閘極等)，以讀取、寫入及擦除各個別記憶體胞或複數個記憶體胞。在具有一高密度之記憶體胞之此一記憶體陣列中，可能難以依一有效且高效率方式提供至各記憶體胞的連接。

隨著記憶體胞中之層疊(tier)之數目(且因此導電板之數目)增加，連接導電板所需之導電連接之數目亦增加。導電連接可增加直至在一區塊尺寸(例如，跨度)中無足夠空間來容納全部通路導電連接，此時，堆疊記憶體陣列之大小(例如，節距)需要增大以容納額外導電連接及控制單元。例如，在一3D NAND陣列中，按照透過導電連接路由字線信號之需要而指定區塊節距。增加陣列中之記憶體胞之數目通常需要區塊節距亦增加以容

納額外板及相關聯的連接。板之數目之此一增加亦增加總字線(WL)電容，此需要泵更努力工作，藉此使用更高電力且降低效能。此外，汲極選擇器之數目的增加亦成比例地增加，此增加對於每區塊需要較少量頁數之裝置(例如，其中需要一更精細擦除精細度之裝置)而言可係成問題的。

【發明內容】

【圖式簡單說明】

圖1係根據本發明之一實施例之包含一導電結構及一半導體裝置之一電子裝置之一實施例之一示意方塊圖；

圖2係根據本發明之一實施例之包含一導電結構及一半導體裝置之一電子裝置之一部分之一簡化剖面側視圖；

圖3係根據本發明之一實施例之包含一導電結構及一半導體裝置之一電子裝置之一部分之一等角視圖；

圖4係圖3之電子裝置之導電結構之一部分之一俯視圖；

圖5至圖9係一工件之一部分之簡化剖面側視圖且繪示可用來形成如圖1至圖4中所示之一導電結構之一部分之本發明之一方法之一實施例；及

圖10係繪示包含如圖1至圖4中所示之電子裝置之一電子裝置(例如，一記憶體裝置)之一電子系統之一實施例之一示意方塊圖。

【實施方式】

本申請案主張2016年3月11日申請之名為「CONDUCTIVE STRUCTURES, SYSTEMS AND DEVICES INCLUDING CONDUCTIVE STRUCTURES AND RELATED METHODS」之美國專利申請案第15/068,329號之申請日之權利。

如本文中所用，諸如「第一」、「第二」、「上方」、「下方」、

「上」、「下伏」、「上覆」等之任何關係術語用於清楚及方便理解本發明及圖式且並不意味著或取決於任何特定偏好、定向或順序。

如本文中所用，術語「遠端」及「近端」描述導電結構之元件相對於其上形成導電結構之一基板之位置。例如，術語「遠端」係指與基板距離相對更遠之一位置，且術語「近端」係指相對更緊鄰基板之一位置。

如本文中所用，術語「側向」及「縱向」描述導電結構之元件相對於其上形成導電結構之一基板之方向。特定言之，術語「側向」及「縱向」描述沿橫向(例如，垂直)於從導電結構之一近端開始至導電結構之一遠端結束之一軸延伸之一平面(例如，沿實質上置於導電結構之一最遠端部分上之一平面)之軸。例如，術語「側向」係指沿結構之一短軸橫向於(例如，垂直)於從導電結構之近端開始至導電結構之遠端結束之軸之一方向。術語「縱向」係指沿結構之一長軸平行於從導電結構之近端開始至導電結構之遠端結束之軸延伸之一方向。

下列描述提供特定細節(諸如材料類型及處理條件)以提供本發明之實施例之一透徹描述。然而，一般技術者應理解，可在不採用此等特定細節之情況下實踐本發明之該等實施例。事實上，可結合業界中所採用之習知半導體製造技術而實踐本發明之該等實施例。此外，下文所提供之描述可能未形成用於製造一裝置或系統之一完整流程。下文所描述之結構不形成一完整裝置或系統。僅在下文詳細描述理解本發明之實施例必需之該等程序動作及結構。可藉由習知製造技術執行用以形成完整導電結構及半導體裝置之額外動作。此外，可於多個動作中執行下文所描述之動作，或可實質上同時執行多個動作。

在下列實施方式中，參考形成其之一部分之隨附圖式，且其中藉由

圖解說明展示可實踐本發明之特定實施例。足夠詳細地描述此等實施例以使熟習此項技術者能夠實踐本發明。然而，可利用其他實施例且可在不脫離本發明之範疇之情況下作出結構、邏輯及電改變。本文中呈現之繪示不意在作為任何特定系統、裝置、結構或記憶體胞之實際視圖，而僅僅為用於描述本發明之實施例之理想化表示。本文中呈現之圖式未必按比例繪製。此外，圖式之間所共有之元件可保持相同數字標示。

如本文中所用，針對一給定參數、性質或條件之術語「實質上」意指且包含為熟習此項技術者將理解之給定參數、性質或條件在一小變動程度下(諸如在可接受製造容限內)滿足之一程度。例如，實質上滿足之一參數可係至少約90%滿足、至少約95%滿足或甚至至少約99%滿足。

圖1係包含一或多個導電結構100及一或多個半導體裝置102 (例如，複數個記憶體胞、一CMOS裝置等)之一電子裝置(舉例而言，諸如一非揮發性記憶體裝置(例如，一垂直記憶體裝置，諸如一三維NAND記憶體裝置))之一示意方塊圖。例如，電子裝置可包含直接或間接連接至一或多個半導體裝置102且與一或多個半導體裝置102連通(例如，電連通、直接或間接接觸)之一或多個導電結構100。注意，雖然本文中所描述之導電結構可具體參考搭配一NAND裝置使用，但本發明並不受限於此且可適用於其他半導體及記憶體裝置。

在一些實施例中，電子裝置可包含半導體裝置(例如，控制裝置101)，該半導體裝置包含用於控制導電結構100及半導體裝置102之一或多者之電路，如下文更詳細論述。

圖1中所示之電子裝置可包括例如一電腦或電腦硬體組件、一伺服器或其他網路硬體組件、一蜂巢式電話、一數位相機、一個人數位助理

(PDA)、可攜式媒體(例如，音樂)播放器等。電子裝置進一步可包含至少一個電子信號處理器裝置(常稱為一「微處理器」)。電子裝置可(可選地)進一步包含用於由一使用者將資訊輸入至電子裝置中之一或多個輸入裝置(舉例而言，諸如一滑鼠或其他指標裝置、一鍵盤、一觸控板、一觸控螢幕、一按鈕或一控制面板)及用於將資訊(例如，視覺或音訊輸出)輸出給一使用者之一或多個輸出裝置(舉例而言，諸如一監視器、顯示器、印表機、揚聲器等)。

圖2係包含一導電結構100及一半導體裝置102之一電子裝置之一簡化剖面繪示，該電子裝置可包含用於與半導體裝置102之一或多個部分連通(例如，控制)之一基板104(例如，陣列基底)上之一或多個堆疊(例如，層疊)之導電及絕緣材料。在一些實施例中，基板104可包含用於來往於導電結構100及/或半導體裝置102路由信號之一或多個導電材料及絕緣材料。例如，基板104可形成控制導電結構100及半導體裝置102之一或多者之半導體或控制裝置101(圖1)之至少一部分。基板104可包含可支撐及/或隔離導電結構100及半導體裝置102之一或多者之多個部分，其中電路(例如，下文論述之控制單元)及/或陣列下方之互連經提供用於電子裝置。

在一些實施例中，導電結構100及半導體裝置102可包括一整合式結構(例如，同時一起形成)。在額外實施例中，導電結構100及半導體裝置102可係電連接在一起之分開的結構(例如，分開形成)。

在一些實施例中，本文中所論述之導電材料可由舉例而言諸如一金屬材料(例如，W、Ni、氮化鈮(TaN)、Pt、氮化鎢(WN)、Au、氮化鈦(TiN)或氮化鋁鈦(TiAlN))、多晶矽、其他導電材料或其等之組合之一材料形成。

在一些實施例中，基板104可包含任何結構，該結構包含一半導體類型之材料，包含例如矽(例如，多晶矽)、鍺、砷化鎵、磷化銦及其他III-V或II-VI類型之半導體材料。基板104可不僅包含例如習知基板，而且亦包含其他塊體半導體基板，諸如(舉實例而言但不限制)：絕緣體上矽(SOI)類型之基板、藍寶石上矽(SOS)類型之基板及由另一材料支撐之矽之磊晶層。此外，當下列描述中對一「基板」進行參考時，可利用先前程序步驟來至少部分地在基板之一表面中或上方形成一電路或裝置之元件或組件。在一些實施例中，基板104可包含可在其上方(例如，上)形成導電結構100之任何結構，包含例如一電子裝置之其他部分或半導體裝置102(圖1)。

舉實例而言且不限制，本文中所論述之絕緣材料(例如，一電絕緣材料，諸如一介電材料)可包含任何適合的至少部分電絕緣材料，諸如氧化物材料(例如， SiO_2 、 Al_2O_3 等)、氮化物材料(例如， Si_3N_4 、 AlN 等)或氧化物材料及氮化物材料之一組合，舉例而言，諸如氮氧化物材料、再氧化氮氧化物材料或所謂的「氧化物-氮化物-氧化物」(ONO)結構。在一些實施例中，絕緣材料可各自包括類似材料、不同材料或其等之組合。

導電結構100之一或多個部分可形成為包含複數個台階或層疊之一所調的「階梯」結構，其中各台階包含至少一個導電材料103(例如，多晶矽、其他導電材料(諸如金屬)或其等之組合)。階梯結構106、108、110(例如，其等可用作或用以選擇字線板、位元線、選擇閘極)之台階可包含與半導體裝置102之一部分(例如，一列記憶體胞)連通之導電材料103。一台階之導電材料103(例如，藉由絕緣材料105)與相鄰台階之導電材料103至少部分地(例如，電及/或實體)分離或隔離。為清楚起見，為了清楚僅展示兩組(例如，台階)導電材料103及絕緣材料105之一部分。

如所描繪，導電結構100可包含多個階梯或層疊狀結構(例如，定位於半導體裝置102之一側上之兩個或兩個以上階梯結構106、108、110)，其中至少兩個接近(例如，側向相鄰)的階梯結構(例如，階梯結構106、108)藉由一平台112(例如，實質上平坦或否則無一階狀組態之平台112)而分離。換言之，各對階梯結構可藉由一平台112而分離。例如，階梯結構106、108、110可各自藉由一平台112而與其他階梯結構106、108、110(例如，各相鄰階梯結構106、108、110)分離。階梯結構106、108、110之一或多者可包含一相對階梯結構107、109、111。在一些實施例中，階梯結構107、109、111可係主階梯結構106、108、110之形成之一副產物且可不包含任何電連接(例如，可包括與主動階梯結構106、108、110相比未在導電結構100中被主動利用之虛設階梯結構)。各組階梯結構(例如，106、107)可界定導電結構100之一凹部(stadium)(例如，一凹陷部分)而平台112界定導電結構100之一凸部(crest)。

在一些實施例中，導電結構100可包含多個階梯或層疊狀結構可類似於揭示於例如2016年2月25日申請之發明者為Aaron Yip之題為MEMORY DEVICES WITH STAIRS IN A STAIRCASE COUPLED TO TIERS OF MEMORY CELLS AND TO PASS TRANSISTORS DIRECTLY UNDER THE STAIRCASE之美國專利申請案第15/053,291號中之層疊狀結構，該案之全部揭示內容以引用的方式併入本文中。

在一些實施例中，台階114之導電材料103可形成用於將電信號供應至半導體裝置102(舉例而言，諸如將電信號供應至複數個記憶體胞)之一導電板(例如，一字線板)。

為清楚起見，特定言之對階梯結構108進行參考，但是應理解，其他

階梯結構之任何者可具有相同組態及元件。階梯結構108之台階114 (例如，台階116、118、120、122)可各自包含一接觸部分124 (例如，定位於一絕緣材料下方之一導電平台墊)以促成形成與個別台階114之各者之一或多個連接(例如，電連接)，如下文進一步詳細論述。在一些實施例中，各台階114可包含自一或多個相鄰台階114偏移(例如，相對於一縱軸)之一接觸部分124。例如，台階118包含縱向延伸超過一相鄰台階(例如，台階116)之一接觸部分124 (例如，台階118之導電材料103之一暴露端部)。

仍參考圖2，一開口(舉例而言，諸如一或多個接觸孔126，例如，貫穿陣列通路)可在平台112之一或多者處延伸穿過導電結構100。例如，與階梯結構108相關聯之平台112可包含自導電結構100之一遠端側延伸至下伏導電結構100之基板104之接觸孔126。一導電接觸件128可安置於接觸孔126之各者中。接觸件128可延伸穿過階梯結構108且穿過基板104至可定位於導電結構100下方之另一導電元件，諸如一或多個控制單元130。在一些實施例中，接觸件128可由舉例而言諸如一金屬材料(例如，鎢(W)、鎳(Ni)、氮化鈮(TaN)、Pt、氮化鎢(WN)、Au、氮化鈦(TiN)或氮化鋁鈦(TiAlN))、多晶矽或其他導電材料之一導電材料形成。

各階梯結構(例如，階梯結構106、108、110)可與一或多個平台112相關聯。例如，階梯結構106、108、110可各自與相鄰於階梯結構106、108、110或相鄰於一相關聯的相對階梯結構107、109、111之一個各自的平台112相關聯。在額外實施例中，階梯結構106、108、110可與定位於階梯結構106、108、110或相關聯的相對階梯結構107、109、111之相對側上之兩個平台112相關聯。

平台112提供實質上與導電結構100 (例如，在導電結構100之邊界內

且非導電結構100外部)成直線之導電通路(例如，接觸孔126及接觸件128)。例如，定位於導電結構100之邊界內且延伸穿過界定階梯結構106、107、108、109、110、111之材料堆疊(例如，交替的介電材料103及導電材料105)之此等導電通路(例如，接觸孔126及接觸件128)使存取線132能夠延伸穿過導電結構100，而不需要圍繞導電結構100之側向側路由存取線以接達接近基板104之區域。

注意，為方便及清楚起見，圖式中將本發明之實施例展示為具有實質上定位於相同剖面平面中之接觸孔126及接觸件128。預期接觸孔及接觸件可形成於相同剖面平面中、不同剖面平面中或其等之組合中。

在一些實施例中，且如一例項中所描繪，在接近階梯結構106之平台112中，接觸孔126可包含安置於接觸件128與接觸孔126之壁之間以使接觸件128與下伏於平台112之導電結構100之至少一部分絕緣之一絕緣襯層134。例如，在其中導電結構100之平台112類似於作為階梯結構106、108、110之絕緣及導電材料103、105之夾層型結構之例項中，絕緣襯層134可使接觸件128與台階114之導電材料103絕緣。然而，在額外實施例中，此一襯層可能係不必要的，其中導電結構100包含一取代閘極組態(諸如下文論述之組態)，其中下伏於平台之導電結構100之部分自取代閘極程序排除(例如，屏蔽或遮罩)且包括(例如，僅包括)介電材料。

可自台階114之導電材料103垂直及/或水平延伸之存取線132可將台階114之導電材料103電耦合至一控制單元130(例如，透過接觸件128)。控制單元或諸控制單元130可包含串驅動器電路、通閘、用於選擇閘極之電路、用於選擇導電線(例如，存取線132)之電路、用於放大信號之電路及用於感測信號之電路之至少一者。例如且如所描繪，一或多個控制單元

130可包含電耦合至存取線132用於選擇台階114之導電材料103之一所要求者之電晶體(例如，所謂的「通閘」)。

以一類似方式，階梯結構106、108、110之各者可包含透過通路(例如，接觸孔126及接觸件128)自各自的台階114延伸至一下伏導電元件(例如，控制單元130)之存取線132。

在一些實施例中，階梯結構(例如，階梯結構106)之一或多者可包括另一或多個選擇閘極(例如，與上文論述之字線板存取線132分離)。例如，階梯結構106可經組態為用於與半導體裝置102連通(例如，以選擇特定記憶體胞陣列)之一選擇閘極汲極(SGD)結構且可經由接觸件128藉由選擇閘極136耦合至一SGD控制單元130。如所描繪，SGD階梯結構106可與其他階梯結構108、110分離。然而，在額外實施例中，SGD階梯結構106可形成為另一階梯結構之一部分(例如，另一階梯結構相對於基板104之一遠端部分，諸如兩個最遠端台階)。例如，SGD階梯結構106可包括階梯結構108之最遠端台階114，其中其餘台階114用作用於不同電連接之平台墊(例如，用於字線板之接觸部分124)。

圖3係包含一導電結構200及一半導體裝置202之一電子裝置之一部分之一等角視圖。導電結構200及/或半導體裝置202可類似於且包含與上文參考圖1及圖2論述之導電結構100及半導體裝置102相同之特徵及功能之一或多者。如圖3中所示，導電結構200可包含多個階梯或層疊狀結構(例如，兩個或兩個以上階梯結構206、208、210)，其中至少兩個接近(例如，相鄰)的階梯結構(例如，階梯結構206、208)藉由一平台212(例如，實質上平坦或否則無一階狀組態之平台212)而分離。例如，階梯結構206、208、210可各自藉由一平台212而與其他階梯結構206、208、210

(例如，各相鄰階梯結構206、208、210)分離。階梯結構206、208、210之一或多者可包含一相對階梯結構207、209、211。在一些實施例中，此等階梯結構207、209、211可係主階梯結構206、208、210之形成之一副產物且可能不包含任何電連接(例如，可包括並不主動利用於導電結構200中之虛設階梯結構)。各組階梯結構(例如，206、207)可界定導電結構200之一凹部(例如，一凹陷部分)而平台212界定導電結構200之一凸部。

如圖3中所描繪，一系列階梯結構206、207、208、209、210、211及平台212可繼續例如直至達到用以控制對應半導體裝置202之必要梯數目。在一些實施例中，與半導體裝置202相對之導電結構200之端可包括一絕緣材料以在該端處隔離導電結構200之導電部分(例如，字線板之導電部分)。此一絕緣材料可安置於沿導電結構200之一側向長度或側向軸 LT_{200} 延伸之一狹槽(例如，透過一取代閘極(RG)程序界定之一狹槽，如下文所論述)中。

存取線232可耦合至階梯結構206、208、210之各者中之梯之導電部分。存取線232可沿長形導電結構200延伸至平台212之一或多者中之接觸件228。接觸件228可延伸穿過階梯結構208至可定位於導電結構200下方之另一導電元件，諸如一或多個控制單元230。

圖4係圖3之電子裝置之導電結構200之一部分之一俯視圖。參考圖3及圖4，導電結構200可包含沿導電結構200(例如，沿導電結構200之縱向長度或縱向軸 LG_{200} 之一部分或大部分)延伸之堆疊開槽。例如，堆疊開槽可包含定位於導電結構200之側向範圍內之內堆疊狹槽元件238及經定位而接近(例如，處於)導電結構200之相對外側向範圍處之外堆疊狹槽元件240。如所描繪，外堆疊狹槽元件240可在導電結構200之各側向側上界定

導電結構200之最外側向範圍或邊界。

如下文更詳細論述，堆疊狹槽元件238、240可包含至少部分地沈積於一溝槽或狹槽(例如，透過一取代閘極(RG)程序)中且用以形成階梯結構206、208、210之台階之導電部分之導電及絕緣材料兩者。如上文提及，在一些實施例中，堆疊狹槽元件亦可安置於導電結構200之相對於半導體裝置202之一縱向端處，以使導電結構200之縱向端(例如，板之縱向端)與任何相鄰裝置及/或導電材料隔離。

如進一步描繪，堆疊狹槽元件之至少一部分(例如，內堆疊狹槽元件238)可係不連續的。例如，內堆疊狹槽元件238可在沿主動階梯結構206、208、210之台階之區域中僅沿導電結構200之一部分延伸。在此一實施例中，圍繞接觸件228之導電結構之平台212或部分可能無內堆疊狹槽元件238。例如，圍繞接觸件228之導電結構200之平台212或部分可僅包含外堆疊狹槽元件240且無內堆疊狹槽元件238。

如又描繪，堆疊狹槽元件之另一部分(例如，外堆疊狹槽元件240)可沿導電結構200實質上連續。例如，外堆疊狹槽元件240可沿導電結構200(例如，及半導體裝置202)之至少大部分(例如，一整體)延伸以界定導電結構200之一或多側之一最外範圍或邊界。

在一些實施例中，內堆疊狹槽元件238可用以界定階梯結構206、208、210之子區塊(例如，子台階、子層疊、子板)。

在一些實施例中，堆疊狹槽元件238、240可至少部分地包括透過一取代閘極(RG)程序形成之一介電或絕緣材料且可界定導電結構200之絕緣側。

圖5至圖9係一工件(諸如製造中之一前驅結構)之一部分之簡化剖面側

視圖且繪示可用來形成導電結構200之一部分之本發明之一方法之一實施例。特定言之，圖5至圖9繪示堆疊狹槽元件238、240可透過其形成於導電結構200中之一取代閘極(RG)程序之一簡化或理想化實例。

在下文所論述之實施例之各者中，形成導電結構之材料可藉由例如生長、擴散、沈積或以其他方式提供於其上而形成。各種材料可使用例如積體電路製造之技術中已知之沈積技術(例如，化學氣相沈積(CVD)、物理氣相沈積(PVD)、原子層沈積(ALD)、濺鍍、熱蒸鍍或電鍍)、氧化程序(例如，熱氧化、ISSG氧化)及圖案化技術(例如，遮罩及蝕刻)來形成。絕緣材料可藉由化學氣相沈積、藉由分解正矽酸四乙酯(TEOS)或藉由積體電路製造之技術中已知之任何其他程序而形成。

此外，可使用例如一磨蝕或拋光程序(例如，一化學機械平坦化(CMP)程序、一化學拋光程序、一機械平坦化程序)、一蝕刻程序、一剝離程序或其等之一組合來移除導電結構之材料或部分。蝕刻程序可包含例如濕式或乾式蝕刻，諸如使用一遮罩及一各向異性蝕刻程序(例如，一反應性離子蝕刻程序，諸如使用一電漿)來移除一材料之部分，或使用一遮罩及一各向同性程序(例如，一化學蝕刻程序)來移除一材料之部分。注意，可基於遮罩、待蝕刻之材料及周圍材料之組成物來選擇用來產生反應性離子之氣體之特定組成物、化學蝕刻劑之特定組成物及蝕刻程序之操作參數。

如圖5中所示，一材料堆疊300(例如，用於最終界定一層疊狀或階狀結構)提供於一基板302上。材料堆疊300可包含交替材料(例如，交替絕緣(其可特性化為介電)材料)。例如，材料堆疊300可包含與犧牲材料306交錯之絕緣材料304(例如，氧化物)，犧牲材料306包括不同於絕緣材料304

之一材料(例如，氮化物)。注意，下文所描述之動作可在階梯結構之形成之前、之後或同時執行。

如圖6中所示，一或多個狹槽308可經形成穿過材料堆疊300，延伸至基板302 (例如，透過一各向同性蝕刻，透過一各向異性蝕刻、後續接著一各向同性蝕刻等)。狹槽308可運用對犧牲材料306之材料(例如，氮化物)有選擇性之一等向蝕刻劑形成，以提供自狹槽308延伸至犧牲材料306中之側向開口。

如圖7中所示，一導電材料310 (例如，一金屬，諸如鎢)可沈積於其中已移除犧牲材料306之狹槽308中。

如圖8中所示，狹槽308中之導電材料310之至少一部分經移除以形成狹槽312。例如，可藉由一各向異性蝕刻移除狹槽308中之導電材料310以形成狹槽312。導電材料310之一部分之此移除可用以使材料堆疊300之一個台階(例如，層級)之導電材料310與相鄰於台階之導電材料310分離(例如，以降低例如形成字線板之材料堆疊300之各台階之導電部分之間之短路之可能性)。換言之，材料堆疊300之各台階之導電材料310經移除使得剩餘材料將係藉由絕緣材料304分離之導電材料310 (即，導電材料將不在材料堆疊300之台階之間延伸)。

如圖8中所示，另一絕緣材料314沈積於狹槽312中。以類似方式，堆疊狹槽元件(例如，如參考圖4論述之堆疊狹槽元件238、240)可運用導電材料310及絕緣材料314形成。材料堆疊300之犧牲材料306之台階中之導電材料310現可至少部分地界定可耦合至存取線132、232 (圖2至圖4)之一階梯結構之一接觸部分(例如，參考圖2描述之接觸部分124)。

再參考圖3及圖4，在其中階梯結構206、208、210之導電部分使用

一取代閘極程序(例如，諸如上文所描述之該程序)形成之實施例中，無接近圍繞接觸件228之導電結構200之平台212及/或部分之內堆疊狹槽元件238可使針對各自接觸件228提供之接觸孔226之形成能夠形成為直接穿過導電結構100，而不需要另外使接觸孔226絕緣。例如，圍繞接觸件228之平台區域242可在自導電結構200之近端部分延伸至導電結構200之遠端部分之一方向上(例如，沿在平台區域242與一下伏基板(例如，基板104 (圖2))之間延伸之一軸)無任何導電材料。即，如上文參考圖5至圖9所描述，可僅將導電材料310引入其中形成堆疊狹槽元件238、240 (例如，導電材料310及絕緣材料314)之材料堆疊300中。因此，無僅包括絕緣材料之堆疊狹槽元件238、240之平台區域242使通路(例如，接觸孔226及相關聯的接觸件228)能夠直接延伸穿過此等絕緣材料。相比之下，當平台212之另一外區域244接近外堆疊狹槽元件240時，此等區域244可包含自導電結構200之近端部分延伸至遠端部分之一方向上之導電材料310。平台212之此等外區域244可確保階梯結構206、208、210之台階保持與半導體裝置202電連通。

在一些實施例中，堆疊狹槽元件238、240 (例如，內堆疊狹槽元件238)之形成將用以使階梯結構206、208、210之分段子區塊保持至少部分地電連通。例如，界定階梯結構之一者(例如，階梯結構206)之最底(例如，近端)台階之一板246 (例如，字線板)可沿導電結構200之一長度(例如，在遠離半導體裝置202之一縱向方向上)繼續至一或多個其他階梯結構(例如，階梯結構208)。例如，板246自階梯結構206延伸至階梯結構208以亦界定階梯結構208之最上連接台階(例如，連接至一存取線232之一台階)。為了在階梯結構206處電連接在取代閘極(RG)程序中劃分之板246之

子區塊，板246可圍繞接近階梯結構206（例如，在導電階梯結構206與絕緣平台區域242之間）之內堆疊狹槽元件238之一或多端短路（例如，在一或多個短路區域248處）。

特定言之，在內堆疊狹槽元件238之形成（例如，透過上文參考圖5至圖9論述之程序）期間，導電材料310（例如，鎢）可部分地滲入犧牲材料306中。在此一組態中，甚至在絕緣材料314安置於形成於導電材料310中之狹槽312中之後，導電材料310可圍繞絕緣材料314之一端延伸，從而在內堆疊狹槽元件238之端處產生板246之導電材料之子區塊之間之短路區域248（例如，一電連接或短路）。雖然已特定於階梯結構206論述此短路，但階梯結構之任何者可包含此一特徵。

如圖1至圖4中所示之電子裝置之電子裝置（例如，記憶體裝置）可用於本發明之電子系統之實施例中。例如，圖10係根據本發明之一闡釋性電子系統400之一方塊圖。電子系統400可包括例如一電腦或電腦硬體組件、一伺服器或其他網路硬體組件、一蜂巢式電話、一數位相機、一個人數位助理(PDA)、可攜式媒體（例如，音樂）播放器等。電子系統400包含至少一個電子裝置401，諸如上文參考圖1至圖4展示及描述之電子裝置之實施例之一者（例如，導電結構100、200及半導體裝置102、202）。電子系統400可進一步包含至少一個電子信號處理器裝置402（常稱為一「微處理器」）。電子系統400可（可選地）進一步包含用於由一使用者將資訊輸入至電子系統400中之一或多個輸入裝置404，舉例而言，諸如一滑鼠或其他指標裝置、一鍵盤、一觸控板、一按鈕或一控制面板。電子系統400可進一步包含用於將資訊（例如，視覺或音訊輸出）輸出給一使用者之一或多個輸出裝置406，舉例而言，諸如一監視器、顯示器、印表機、揚聲器等。

一或多個輸入裝置404及輸出裝置406可與電子裝置401及電子信號處理器裝置402之至少一者電連通。

本發明之實施例可尤其實用於藉由在無面積損失及/或不需特殊自絕緣接觸程序之情況下中斷階梯結構內側之金屬化而形成導電結構(例如，具有多個階梯區域之一長形階梯結構)，該等導電結構利用實現與下方電路之直接連通之接觸件(例如，定位於階梯區域之間之平台中之貫穿陣列通路(TAV))而實現與一或多個半導體裝置(例如，一CMOS裝置，諸如一字線驅動器、記憶體胞等)之連通。與習知導電結構相比，此等組態可實現穿過導電結構之連接之一相對更直接路由，在習知導電結構中，接觸件在階梯導電結構外部以自階梯導電結構之側面向上延伸及在側面上方延伸之組態延伸。此外，接觸件延伸穿過導電結構之此一組態可降低對藉由實現至定位於導電結構下方之導電元件之連接之一相對簡化及縮短路由而在階梯導電結構上方形成緊密節距佈線之需要。此外，在其中實施一取代閘極(RG)程序之實施例中，通路可經形成直接穿過絕緣或介電材料，藉此消除對用以使通路與周圍導電材料絕緣之額外處理步驟之需要。又進一步，由本文中所揭示之取代閘極程序提供之不連續堆疊開槽使電連接能夠形成於階梯結構之台階之子區塊之間，而不需要用以連接子區塊之額外導電台階。不連續堆疊開槽可進一步提供供TAV延伸穿過之在取代閘極程序(該程序通常需要移除及再沈積介電材料)中尚未變動之介電區域。用於TAV之未在取代閘極程序中變動之此等介電區域可較不易受由可能在介電材料之再沈積期間發生之非均質性及/或缺陷性銼削(filing)引入之問題。又進一步，長形階梯結構提供階梯之間之斷續性平台區域，該等斷續性平台區域可用來自相對較小群組之層疊狀字線板穿過階梯結構高效率地路由

存取線，而不必增大階梯之節距以容納圍繞階梯結構延伸之外部存取線。最後，包含僅沿一個軸延伸之階梯(例如，僅沿縱向軸成階狀之階梯)之長形階梯結構可相對較不複雜地製造(例如，可包含材料蝕刻之較大變動容限)，同時與包含側向延伸台階之縱向相鄰層疊(即，沿縱向及側向軸兩者成階狀之階梯)之習知階梯結構相比仍在各台階上提供足夠平台區域。

因此，一種導電結構包含沿導電結構之一長度定位之階梯結構，各階梯結構包括至少兩個導電台階。至少兩個導電台階之各導電台階藉由絕緣材料而與至少兩個導電台階之一相鄰導電台階至少部分地分離。導電結構進一步包含包括延伸穿過導電結構之至少一個通路之至少一個平台。該至少一個平台定位於階梯結構之一第一階梯結構與階梯結構之定位為與第一階梯結構相鄰之一第二階梯結構之間。

此外，一種裝置可包含記憶體胞及定位為與記憶體胞相鄰之一導電結構。導電結構進一步包含：至少一個控制裝置，其用於選擇記憶體胞之部分；及至少一個平台，其包括延伸穿過該至少一個平台至至少一個控制裝置之通路。該至少一個平台定位於該等階梯結構之一第一階梯結構與該等階梯結構之一第二階梯結構之間。

又進一步，一種系統可包含至少一個電子信號處理器、經組態以與至少一個電子信號處理器電連通之一半導體裝置及一導電結構。導電結構包含沿導電結構之一長度定位之階梯結構，其中各階梯結構與半導體裝置電連通。導電結構進一步包含定位於該等階梯結構之一第一階梯結構與該等階梯結構之一第二階梯結構之間之至少一個平台。該至少一個平台包含交替的第一材料及第二材料，其中第一材料及第二材料包括一絕緣材料及延伸穿過交替的第一材料及第二材料之通路。

又進一步，一種形成一導電結構之方法可包含：在界定於兩個階梯結構之間之導電結構之一平台處形成穿過一材料堆疊之開口，其中兩個階梯結構定位於一半導體裝置之一側上且與該半導體裝置電連通；在堆疊中之開口中形成接觸件，及使階梯結構之至少一個台階之一導電部分與接觸件之至少一個接觸件電耦合。

下文描述額外非限制性實例實施例。

實施例1：一種導電結構，其包括：階梯結構，其等沿導電結構之一長度定位，各階梯結構包括至少兩個導電台階，至少兩個導電台階之各導電台階藉由絕緣材料而與至少兩個導電台階之一相鄰導電台階至少部分地分離；至少一個平台，其包括延伸穿過導電結構之至少一個通路，至少一個平台定位於階梯結構之一第一階梯結構與階梯結構之一第二階梯結構之間，該第二階梯結構定位為與該第一階梯結構相鄰；及存取線，各存取線自階梯結構之至少兩個導電台階之一個導電台階之一導電部分延伸至至少一個通路。

實施例2：如實施例1之導電結構，其中至少一個通路包括複數個通路，且其中各存取線自階梯結構之至少兩個導電台階之一個導電台階之一導電部分延伸至複數個通路之一個通路。

實施例3：如先前實施例中任一項之導電結構，其進一步包括至少一對額外階梯結構及至少一個額外平台，至少一對額外階梯結構之各額外階梯結構與該至少一對之另一階梯結構相對，至少一個額外平台在該等額外階梯結構之間。

實施例4：如先前實施例中任一項之導電結構，其中階梯結構之至少一者無連接至至少一個階梯結構之導電台階之存取線。

實施例5：如先前實施例中任一項之導電結構，其中至少一個平台包括複數個平台，該複數個平台之各平台定位於一對階梯結構之間。

實施例6：如先前實施例中任一項之導電結構，其中至少一個平台由交替的第一材料及第二材料之一堆疊界定，其中第一材料及第二材料各自包括一絕緣材料。

實施例7：如先前實施例中任一項之導電結構，其中至少一個平台由交替的第一材料及第二材料之一堆疊界定，其中第一材料包括一導電材料且第二材料包括一絕緣材料。

實施例8：如實施例7之導電結構，其進一步包括至少部分地圍繞至少一個通路且使至少一個通路與至少一個平台之導電材料絕緣之一絕緣襯層。

實施例9：如先前實施例中任一項之導電結構，其中至少一個通路可操作地耦合至下伏於階梯結構之至少一個控制單元及至少一個平台。

實施例10：如先前實施例中任一項之導電結構，其中至少一些階梯結構各自包括一字線板結構。

實施例11：如先前實施例中任一項之導電結構，其中階梯結構之一個階梯結構包括一選擇閘極汲極(SGD)結構。

實施例12：如先前實施例中任一項之導電結構，其進一步包括沿導電結構之一長度延伸之堆疊狹槽元件。

實施例13：如實施例12之導電結構，其中堆疊狹槽元件包括：外堆疊狹槽元件，其等沿導電結構之大部分長度連續延伸；及內堆疊狹槽元件，其等沿導電結構之長度不連續延伸。

實施例14：如實施例13之導電結構，其中內堆疊狹槽元件定位為接

近階梯結構。

實施例15：如實施例14之導電結構，其中至少一個平台無內堆疊狹槽元件。

實施例16：如實施例13至15之導電結構，其中堆疊狹槽元件包括定位於在一取代閘極程序中沈積之一導電材料上方之一絕緣材料。

實施例17：一種導電結構，其包括：層疊狀結構，其等沿導電結構之一長度定位，各層疊狀結構包括具有一導電部分之至少兩個層疊，至少兩個層疊之各導電部分藉由絕緣材料而與至少兩個層疊之一相鄰導電部分至少部分地分離；及一平台，其包括在平台處延伸穿過導電結構之通路，平台定位於層疊狀結構之一第一層疊狀結構與層疊狀結構之定位為與該第一層疊狀結構相鄰之一第二層疊狀結構之間。

實施例18：如實施例17之導電結構，其進一步包括將層疊狀結構之至少兩個層疊之導電部分耦合至通路之一各自通路之存取線。

實施例19：如實施例17或18之導電結構，其進一步包括沿導電結構之長度延伸之堆疊狹槽元件，其中堆疊狹槽元件之至少一個堆疊狹槽元件沿導電結構之長度不連續地延伸。

實施例20：如實施例19之導電結構，其中至少一個不連續堆疊狹槽元件至少部分地將該等層疊狀結構之層疊狀結構之至少一個層疊實體及電分離成一第一子層疊部分及一第二子層疊部分。

實施例21：如實施例20之導電結構，其中沿至少一個不連續堆疊狹槽元件之一端界定之至少一個層疊中之一短路電連接第一子層疊部分與第二子層疊部分。

實施例22：如實施例19至21之導電結構，其中至少一個不連續堆疊

狹槽元件側向定位於與導電結構之側向側分離之層疊狀結構之一個層疊狀結構內。

實施例23：如實施例22之導電結構，其中堆疊狹槽元件之至少另一堆疊狹槽元件沿導電結構之長度連續地延伸，其中至少一個連續堆疊狹槽元件界定導電結構之一側向側之至少一部分。

實施例24：一種裝置，其包括：一記憶體胞陣列；及一導電結構，其定位為與記憶體胞陣列相鄰，導電結構包括：階梯結構，其等沿導電結構之一長度定位，各階梯結構與陣列之記憶體胞電連通；至少一個控制裝置，其用於選擇陣列之記憶體胞；至少一個平台，其包括延伸穿過至少一個平台至至少一個控制裝置之通路，至少一個平台定位於階梯結構之一第一階梯結構與階梯結構之一第二階梯結構之間；及存取線，其等耦合於階梯結構之導電部分與通路之一第一端之間，其中通路之一第二端電耦合至至少一個控制裝置。

實施例25：如實施例24之裝置，其中階梯結構包括字線板。

實施例26：如實施例24或25之裝置，其中該等字線板之各字線板包括自字線板之一相鄰字線板之一接觸部分側向偏移之一接觸部分，且其中存取線之各存取線與字線板之一各自者連通且將字線板之各自者耦合至通路之一各自通路。

實施例27：一種系統，其包括：至少一個電子信號處理器；一半導體裝置，其經組態以與至少一個電子信號處理器電連通；及一導電結構，其包括：階梯結構，其等沿導電結構之一長度定位，各階梯結構與半導體裝置電連通；至少一個平台，其定位於階梯結構之一第一階梯結構與階梯結構之一第二階梯結構之間，該至少一個平台包括：交替的第一材料及第

二材料，其中第一材料及第二材料包括一絕緣材料；及通路，其等延伸穿過第一材料及第二材料。

實施例28：如實施例27之系統，其進一步包括與導電結構之一外側向邊界側向間隔之至少一個堆疊狹槽元件，該至少一個堆疊狹槽元件僅沿接近階梯結構之導電結構之長度延伸。

實施例29：如實施例28之系統，其中該堆疊狹槽元件包括一絕緣材料及一導電材料，導電材料界定階梯結構之一個台階之一導電部分。

實施例30：如實施例29之導電結構，其進一步包括存取線，各存取線將階梯結構之一個台階之導電部分耦合至通路之一各自通路。

實施例31：一種形成一導電結構之方法，該方法包括：在界定於兩個階梯結構之間之導電結構之一平台處形成穿過一材料堆疊之開口，兩個階梯結構定位於一半導體裝置之一側上且與該半導體裝置電連通；在材料堆疊中之開口中形成接觸件；及使階梯結構之至少一個台階之一導電部分與接觸件之至少一個接觸件電耦合。

實施例32：如實施例31之方法，其進一步包括運用交替的絕緣材料及導電材料形成材料堆疊。

實施例33：如實施例32之方法，其進一步包括在開口之各開口中形成一襯層以圍繞其中之一接觸件。

實施例34：如實施例31至33之方法，其進一步包括運用包括一第一絕緣材料及一第二犧牲絕緣材料之交替的絕緣材料形成材料堆疊。

實施例35：如實施例34之方法，其進一步包括：形成穿過材料堆疊之一開口；在下伏於第一絕緣材料之第二犧牲材料之一體積中移除鄰近開口之第二犧牲絕緣材料之一部分；及在開口中及在自其移除第二犧牲材料

之部分之體積中沈積一導電材料以形成階梯結構之至少一個台階之導電部分。

實施例36：如實施例35之方法，其進一步包括：

移除開口內之導電材料之一部分；及
在開口內沈積另一絕緣材料。

實施例37：如實施例36之方法，其進一步包括圍繞另一絕緣材料在階梯結構之至少一個台階之導電部分與至少一個台階之另一相鄰導電部分之間形成一電連接。

實施例38：如實施例31至37之方法，其進一步包括在遮罩導電結構之平台的同時對階梯結構之至少一個階梯結構執行一取代閘極程序。

儘管本發明可容許各種修改及替代形式，然圖式中已以舉例方式展示具體實施例且本文中已詳細描述具體實施例。然而，本發明不意欲受限於所揭示之特定形式。相反，本發明涵蓋落於如由下列隨附發明申請專利範圍及其等之合法等效物所界定之本發明之範疇內之全部修改、組合、等效物及替代。

【符號說明】

100:導電結構

101:控制裝置

102:半導體裝置

103:導電材料

104:基板

105:絕緣材料

106:階梯結構

- 107:相對階梯結構
- 108:階梯結構
- 109:相對階梯結構
- 110:階梯結構
- 111:相對階梯結構
- 112:平台
- 114:台階
- 116:台階
- 118:台階
- 120:台階
- 122:台階
- 124:接觸部分
- 126:接觸孔
- 128:導電接觸件
- 130:控制單元
- 132:存取線
- 134:絕緣襯層
- 136:選擇閘極
- 200:導電結構
- 202:半導體裝置
- 206:階梯結構
- 207:相對階梯結構
- 208:階梯結構

- 209:相對階梯結構
- 210:階梯結構
- 211:相對階梯結構
- 212:平台
- 226:絕緣接觸孔
- 228:接觸件
- 230:控制單元
- 232:存取線
- 238:內堆疊狹槽元件
- 240:外堆疊狹槽元件
- 242:平台區域
- 244:外區域
- 246:板
- 248:短路區域
- 300:材料堆疊
- 302:基板
- 304:絕緣材料
- 306:犧牲材料
- 308:狹槽
- 310:導電材料
- 312:狹槽
- 314:絕緣材料
- 400:電子系統

401:電子裝置

402:電子信號處理器裝置

404:輸入裝置

406:輸出裝置

LG₂₀₀:縱向軸

LT₂₀₀:側向軸

【發明申請專利範圍】

【請求項1】

一種形成一記憶體裝置之方法，其包括：

在至少兩個階梯(stair step)結構之間之一平台(landing)處形成穿過一堆疊之開口，該堆疊包括與介電材料交替(alternate)之導電材料，該至少兩個階梯結構定位於穿過該堆疊延伸之半導體支柱之一側上且與該等半導體支柱電連通；

在該等開口中形成導電接觸件，該等導電接觸件與下伏於該堆疊之一控制單元電連通；及

使該等導電接觸件與額外導電接觸件在該至少兩個階梯結構之一或多者之台階(step)上電耦合以使該堆疊之該導電材料之至少一些與該控制單元電耦合。

【請求項2】

如請求項1之方法，其進一步包括：

形成一初步堆疊，該初步堆疊包括與該介電材料交替之犧牲材料；

形成狹槽(slot)，該等狹槽穿過該初步堆疊延伸；

穿過該等狹槽挖掘(exhume)該初步堆疊之該犧牲材料之至少一些；及

在藉由挖掘該初步堆疊之該犧牲材料之該至少一些所形成之凹陷(recess)中形成該導電材料以形成該堆疊。

【請求項3】

如請求項2之方法，其中形成該初步堆疊包括：

形成該犧牲材料以包括介電氧化物材料；及

形成該介電材料以包括介電氮化物材料。

【請求項4】

如請求項2之方法，其中挖掘該初步堆疊之該犧牲材料之該至少一些包括僅部分地挖掘該犧牲材料，使得該犧牲材料之部分維持側向相鄰該等凹陷。

【請求項5】

如請求項2之方法，其中在藉由挖掘該初步堆疊之該犧牲材料之該至少一些所形成之該等凹陷中形成該導電材料包括：

以導電材料填充該等凹陷及該等狹槽；及

在維持該等凹陷之區域之該導電材料之額外部分的情況下，移除該等狹槽之區域內之該導電材料之部分以形成額外狹槽。

【請求項6】

如請求項5之方法，其進一步包括以額外介電材料填充該等額外狹槽。

【請求項7】

如請求項1之方法，其進一步包括在該平台之一區域內形成該等開口，該平台之該區域無(free of)與該介電材料交替之該導電材料。

【請求項8】

如請求項1之方法，其進一步包括於在該等開口中形成該導電材料之前在該等開口內形成一介電襯層(liner)。

【請求項9】

如請求項8之方法，其中在該等開口內形成該介電襯層包括將該介電襯層形成於暴露於該等開口內之該堆疊之該導電材料之部分上。

【請求項10】

如請求項1之方法，其中該控制單元包含串驅動器電路。

【請求項11】

一種形成一記憶體裝置之方法，其包括：

形成一堆疊結構，其包括以層疊(tier)排列之絕緣結構及導電結構之一交替序列，該堆疊結構包括：

一階梯結構，其具有包括該等層疊之末端之台階；

一額外階梯結構，其具有包括該等層疊之額外末端之額外台階；及

一平台區域，其插入(interpose)於該階梯結構及該額外階梯結構之間；

在該堆疊結構之該平台區域內並完全穿過該堆疊結構形成導電接觸件結構，該等導電接觸件結構與下伏該堆疊結構之串驅動器電路電連通；及

通過自該等導電接觸件結構延伸至該階梯結構之該等台階及該額外階梯結構之該等額外台階之一或多者之路由(routing)結構使該等導電接觸件結構與該堆疊結構之該等層疊之該等導電結構電耦合。

【請求項12】

如請求項11之方法，其中形成該堆疊結構包括：

形成一初步堆疊結構，該初步堆疊包括絕緣材料及犧牲材料之一交替序列；及

至少部分將該初步堆疊結構之該犧牲材料以導電材料取代以形成該堆疊結構，該堆疊結構之該等導電結構包括該導電材料，且該堆疊結構之該等絕緣結構包括該初步堆疊結構之該絕緣材料之剩餘部分。

【請求項13】

如請求項12之方法，其中至少部分將該初步堆疊結構之該犧牲材料以該導電材料取代包括僅以該導電材料取代該犧牲材料之一部分，該堆疊結構之該等層疊之該等導電結構側向相鄰該犧牲材料之剩餘部分。

【請求項14】

如請求項13之方法，其中僅以該導電材料取代該犧牲材料之該部分包括在該平台區域內形成該堆疊結構之該等層疊之該導電結構之部分以在該平台區域內向外(outwardly)側向圍繞該犧牲材料之該等剩餘部分。

【請求項15】

如請求項14之方法，其中在該堆疊結構之該平台區域內形成該等導電接觸件結構包括在該犧牲材料之該等剩餘部分之側向區域內形成該等導電接觸件結構。

【請求項16】

如請求項12之方法，其中至少部分將該初步堆疊結構之該犧牲材料以導電材料取代包括：

形成延伸穿過該初步堆疊結構之狹槽；

藉由該等狹槽選擇性地蝕刻該犧牲材料之部分以使該犧牲材料相對於該絕緣材料側向凹陷；及

沈積該導電材料於藉由選擇性地蝕刻該犧牲材料之該等部分而形成之凹陷中。

【請求項17】

如請求項16之方法，其進一步包括：

在該等狹槽之側向區域內移除該導電材料之部分以形成額外狹槽；及

以至少一介電材料實質上填充該等額外狹槽。

【請求項18】

如請求項11之方法，其進一步包括形成該堆疊結構以進一步包括：

一進一步階梯結構，其相對於該階梯結構並具有包括該等層疊之進一步

末端之進一步台階；

一其他階梯結構，其相對於該額外階梯結構並具有包括該等層疊之其他末端之其他台階；

一額外平台區域，其側向相鄰該進一步階梯結構，該階梯結構及該進一步階梯結構各自插入該平台區域及該額外平台區域之間；及

一進一步平台區域，其側向相鄰該其他階梯結構，該額外階梯結構及該其他階梯結構各自插入該平台區域及該進一步平台區域之間。

【請求項19】

一種形成一記憶體裝置之方法，其包括：

形成包含層疊之一堆疊結構，該等層疊各自包含一絕緣結構及垂直相鄰該絕緣結構之一導電結構，該堆疊結構包括：

一第一凹部(stadium)結構，其包括第一相對階梯結構，該等第一相對階梯結構各自具有包括該等層疊之末端之台階；

一第二凹部結構，其包括第二相對階梯結構，該等第二相對階梯結構各自具有包括該等層疊之額外末端之額外台階；及

一凸部(crest)區域，其側向插入該第一凹部結構及該第二凹部結構之間；

形成穿過該堆疊結構垂直延伸並位於該堆疊結構之該凸部區域之一側向區域內之接觸件結構，該等接觸件結構與該堆疊結構下方之一控制單元之電路電耦合；及

穿過自該等接觸件結構至該第一凹部結構之該等台階之至少一些及該第二凹部結構之該等額外台階之至少一些之一或多者使該接觸件結構之各者與該堆疊結構之該等層疊之該導電結構電耦合。

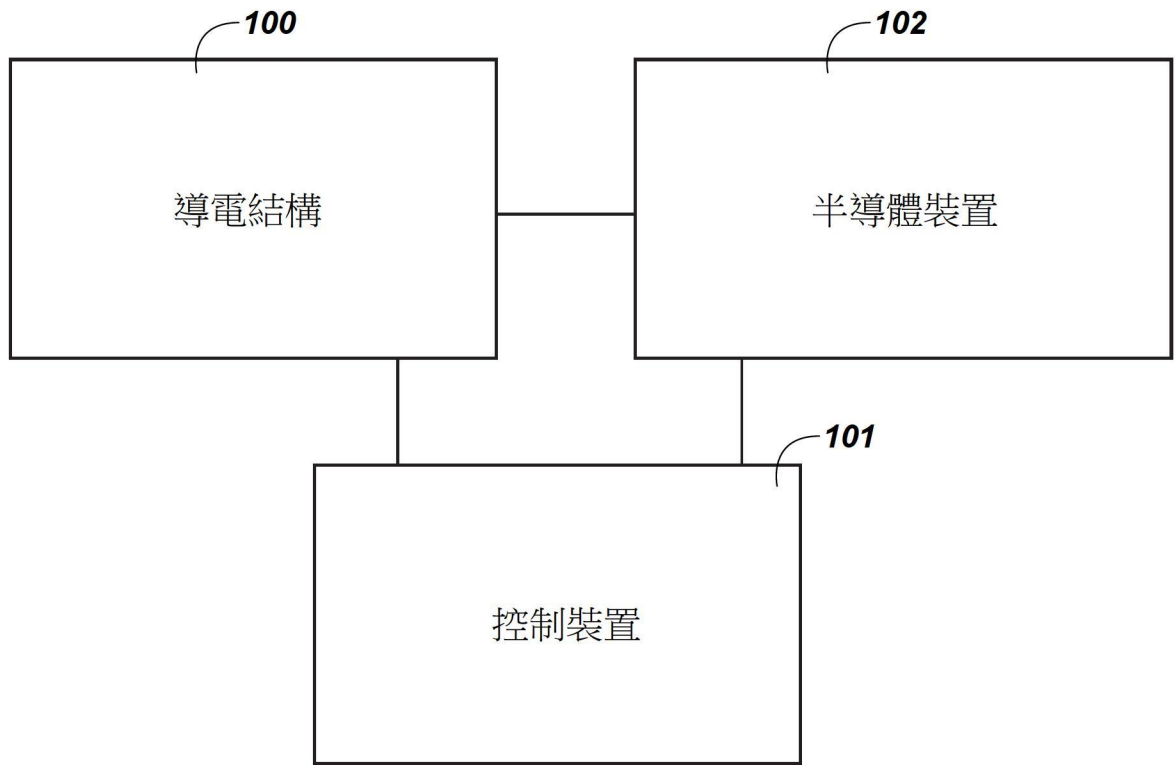
【請求項20】

如請求項19之方法，其中形成該等接觸件結構包括：

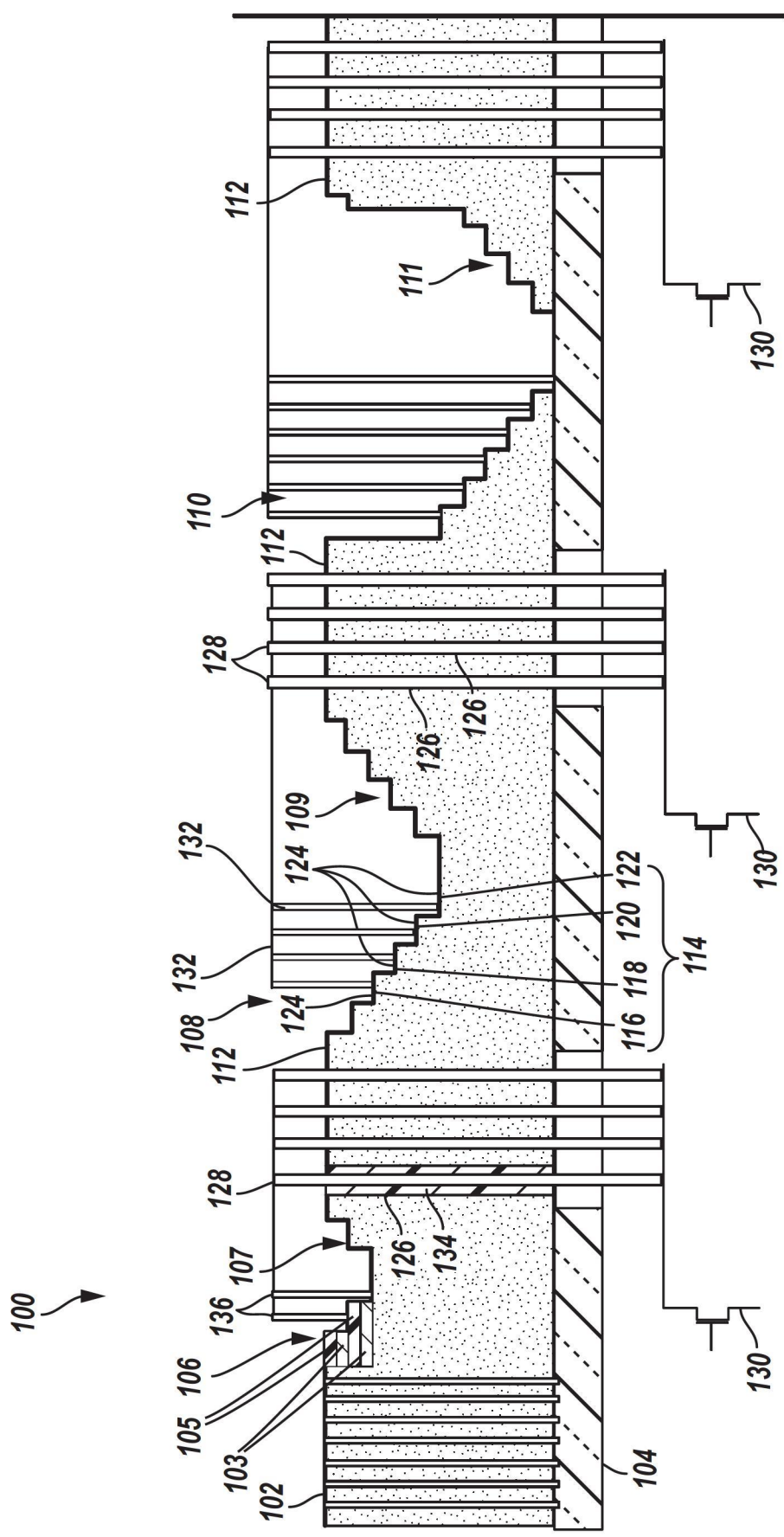
形成穿過該堆疊結構垂直延伸並位於該凸部區域之該側向區域之一部分內之開口，該凸部區域之該側向區域之該部分無該堆疊結構之該等層疊之各者之該導電結構；及

以至少一導電材料填充該等開口。

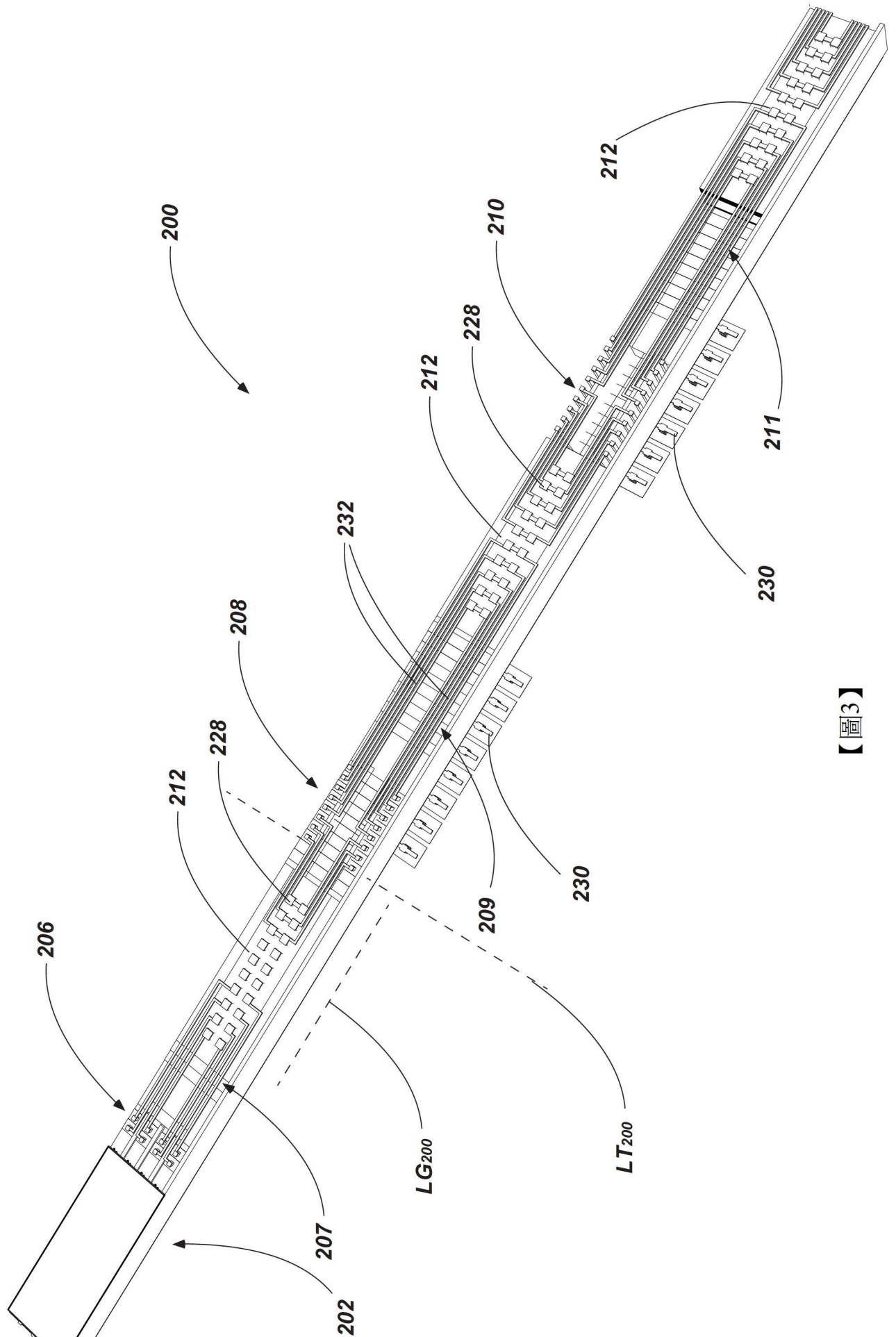
【發明圖式】



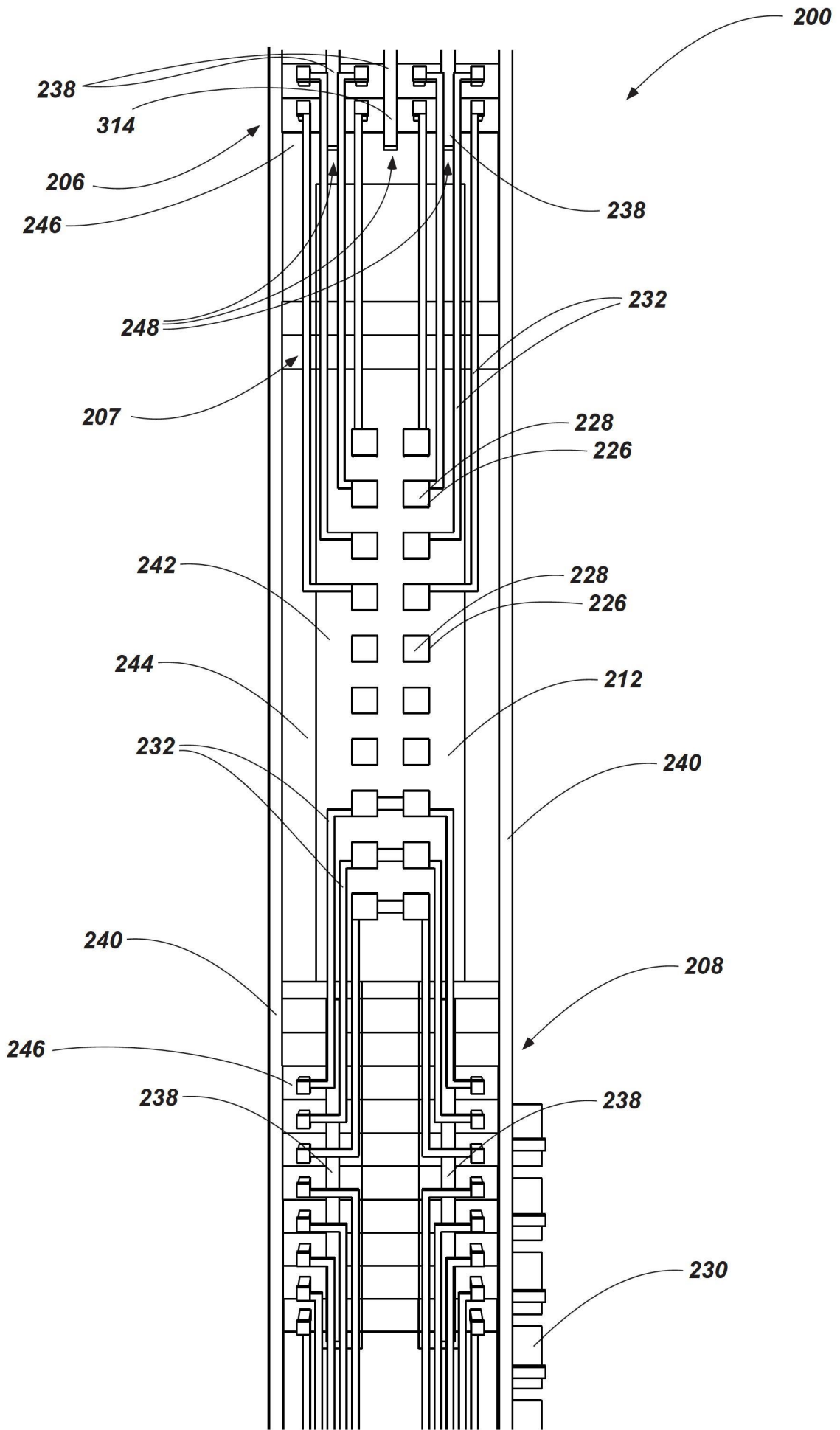
【圖1】



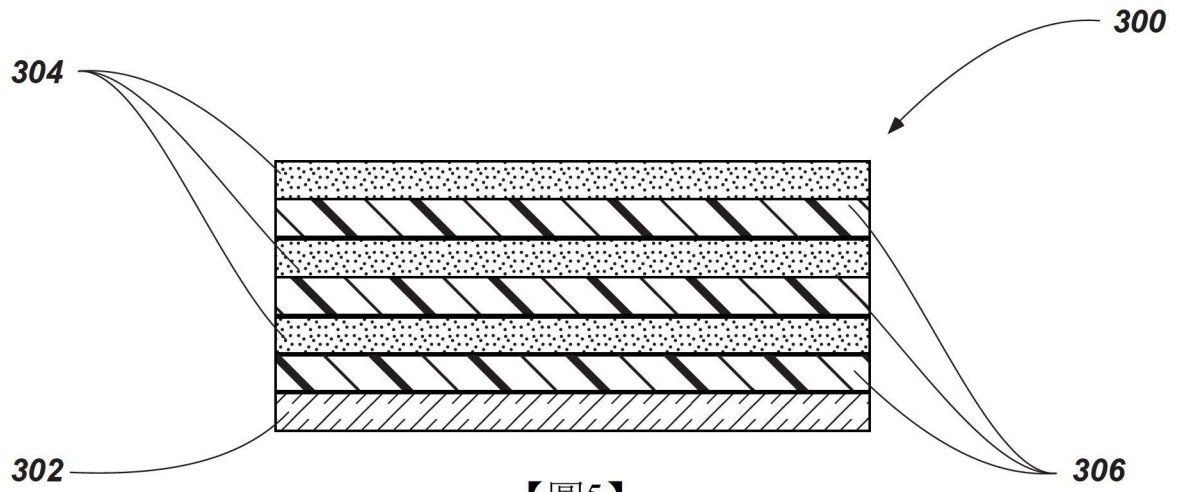
【圖2】



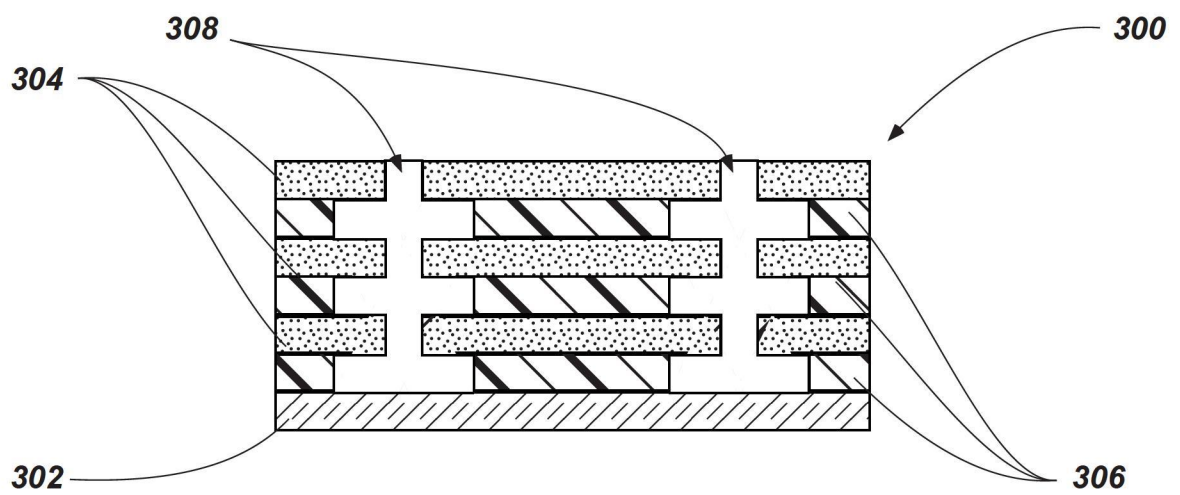
【圖3】



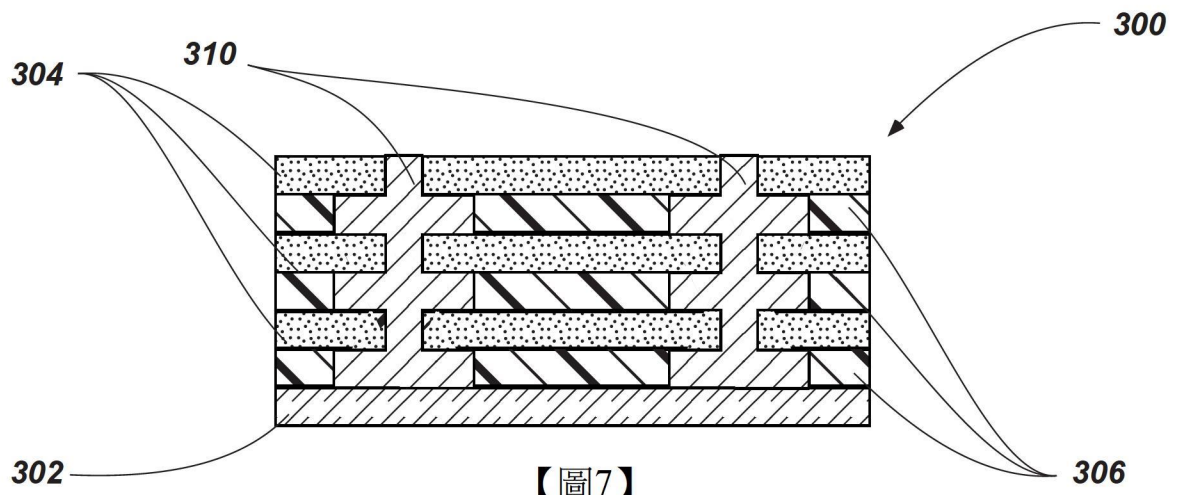
【圖4】



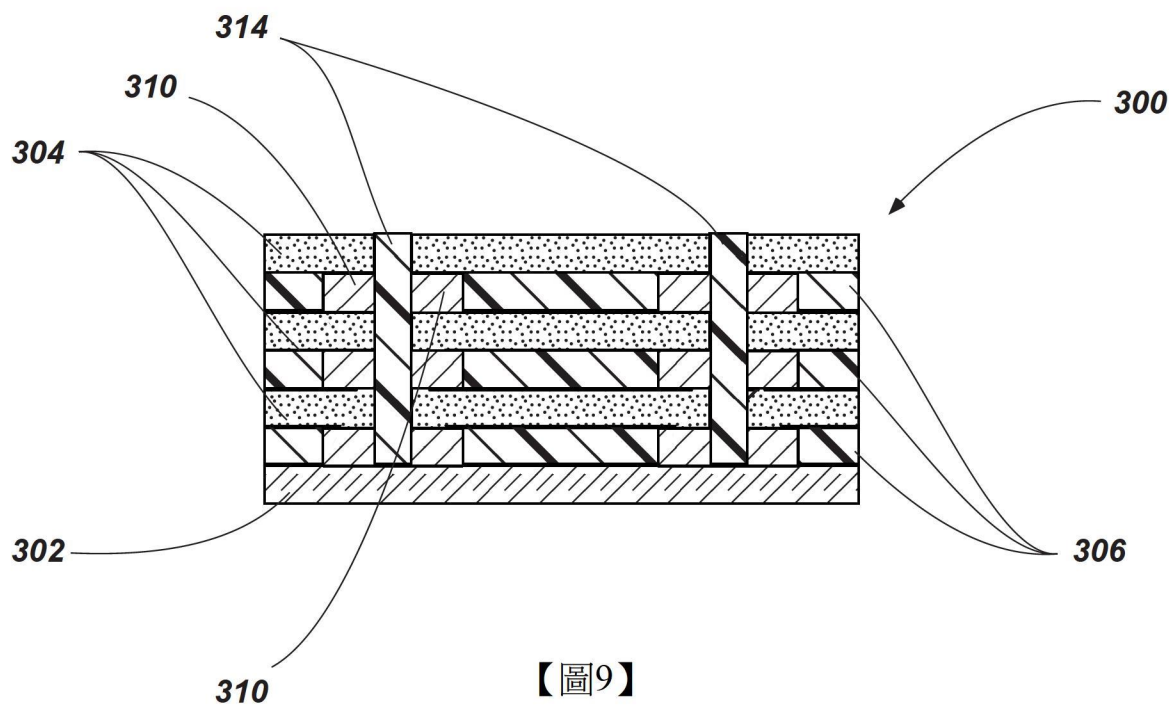
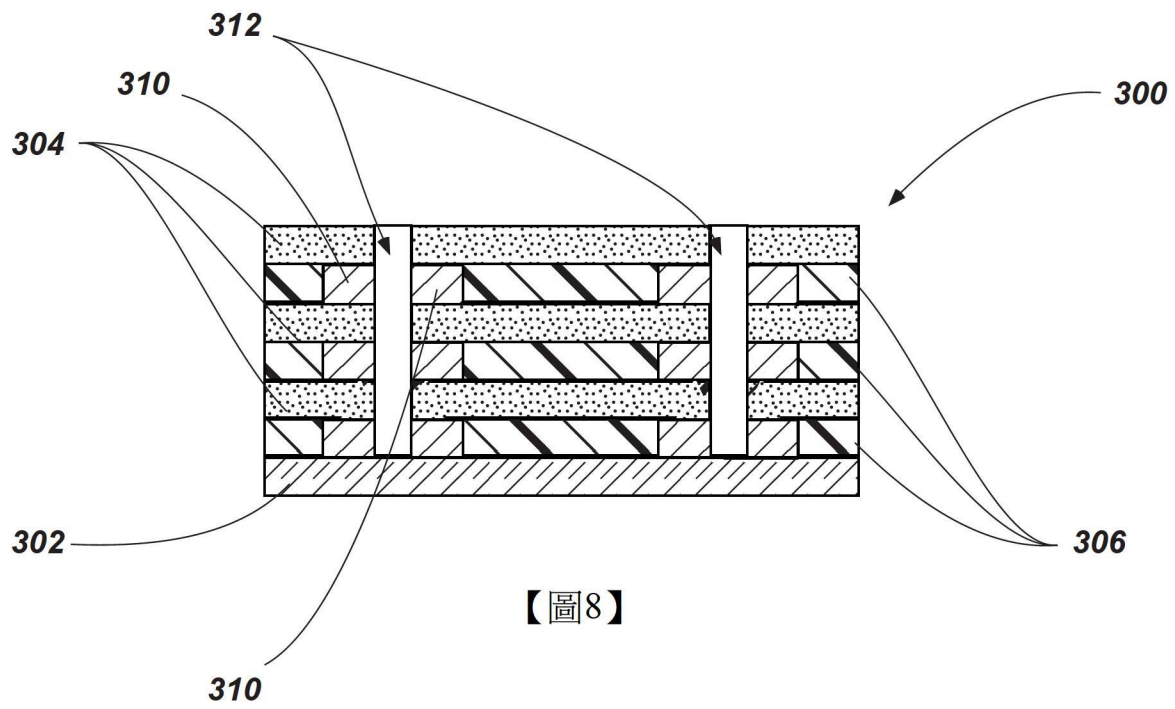
【圖5】

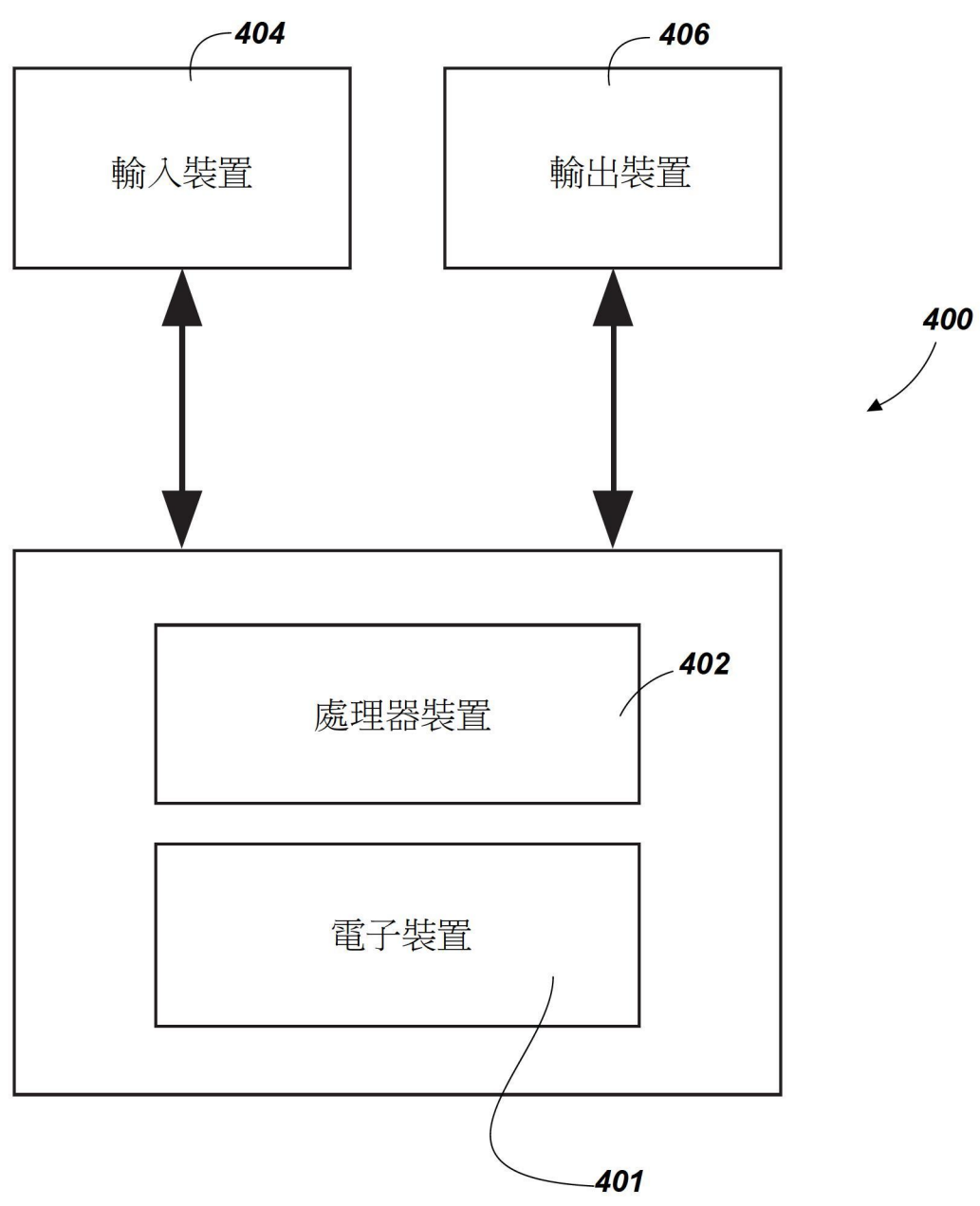


【圖6】



【圖7】





【圖10】