

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4445398号  
(P4445398)

(45) 発行日 平成22年4月7日(2010.4.7)

(24) 登録日 平成22年1月22日(2010.1.22)

(51) Int. Cl.		F I		
HO 1 L 27/105	(2006.01)	HO 1 L 27/10	4 4 8	
G 1 1 C 13/00	(2006.01)	G 1 1 C 13/00	A	
HO 1 L 45/00	(2006.01)	HO 1 L 45/00	A	

請求項の数 23 (全 22 頁)

(21) 出願番号	特願2004-570548 (P2004-570548)	(73) 特許権者	000003078
(86) (22) 出願日	平成15年4月3日(2003.4.3)		株式会社東芝
(65) 公表番号	特表2006-514440 (P2006-514440A)		東京都港区芝浦一丁目1番1号
(43) 公表日	平成18年4月27日(2006.4.27)	(74) 代理人	100092820
(86) 国際出願番号	PCT/JP2003/004275		弁理士 伊丹 勝
(87) 国際公開番号	W02004/090984	(74) 代理人	100106389
(87) 国際公開日	平成16年10月21日(2004.10.21)		弁理士 田村 和彦
審査請求日	平成17年9月15日(2005.9.15)	(72) 発明者	戸田 春希
			神奈川県川崎市幸区小向東芝町1番地 株 株式会社東芝 マイクロエレクトロニクスセ ンター内
		審査官	正山 旭

最終頁に続く

(54) 【発明の名称】 相変化メモリ装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、

前記半導体基板上に積層形成された、それぞれ相変化により決まる抵抗値をデータとして記憶するマトリクス配列された複数のメモリセル、マトリクスの第1の方向に並ぶ複数のメモリセルの一端を共通接続するビット線及びマトリクスの第2の方向に並ぶ複数のメモリセルの他端を共通接続するワード線を有する複数のセルアレイと、

前記半導体基板の前記セルアレイの下に位置するように形成された、前記セルアレイのデータの読み出し及び書き込みを行うための読み出し/書き込み回路と、

前記セルアレイと前記読み出し/書き込み回路とを接続するため前記半導体基板に対し垂直方向に延びるように形成された垂直配線とを備え、

積層方向において隣接する2つの前記セルアレイは、前記ビット線及び/又は前記ワード線を共有しており、

前記垂直配線は、

前記セルアレイが積層されるセル配置領域同士を区画する境界線のうち前記第1の方向と交わる第1の境界線に沿って配置された第1配線領域に配置されて、同時に活性化されない2つのセルアレイのビット線を共通に前記読み出し/書き込み回路に接続する第1の垂直配線と、

前記セル配置領域同士を区画する境界線のうち前記第1の方向と交わり且つ前記第1の

10

20

境界線とは反対側の第2の境界線に沿って配置された第2配線領域に配置されて、積層方向において互いに隣接する2つのセルアレイのビット線を前記読み出し/書き込み回路に接続する第2の垂直配線と、

前記セル配置領域同士を区画する境界線のうち前記第2の方向と交わる第3の境界線に沿って配置された第3配線領域に配置されて、前記各セルアレイのワード線を前記読み出し/書き込み回路に接続する第3の垂直配線と、  
を有することを特徴とする相変化メモリ装置。

【請求項2】

前記各セルアレイのメモリセルは、前記ビット線とワード線の各交差部に配置されたカルコゲナイドとダイオードの積層構造を有する  
ことを特徴とする請求項1記載の相変化メモリ装置。

10

【請求項3】

前記メモリセルのダイオードは、前記ビット線側をカソード、ワード線側をアノードとする極性で前記カルコゲナイドと直列接続されており、

非選択時に前記ビット線とワード線は前記ダイオードが逆バイアスとなるように電位固定され、データ読み出し又は書き込み時に選択された前記ビット線及びワード線がそれぞれ負方向及び正方向にパルス駆動される

ことを特徴とする請求項2記載の相変化メモリ装置。

【請求項4】

前記複数のセルアレイは、各層間で前記ビット線及ワード線を共有して積層されている  
ことを特徴とする請求項1記載の相変化メモリ装置。

20

【請求項5】

前記第1乃至第3の垂直配線は、前記セルアレイを取り囲む絶縁層に埋め込まれたコンタクトプラグである

ことを特徴とする請求項1記載の相変化メモリ装置。

【請求項6】

前記各セルアレイ内で近接する二つのメモリセルは、一方が高抵抗値、他方が低抵抗値状態である相補的データを記憶するペアセルを構成し、その相補的データがビット線対に1ビットデータとして読み出される

ことを特徴とする請求項1記載の相変化メモリ装置。

30

【請求項7】

前記ペアセルは、その相補的データが出力されるビット線対の間に他のビット線が配置されるように選択される

ことを特徴とする請求項6記載の相変化メモリ装置。

【請求項8】

前記読み出し/書き込み回路は、

前記セル配置領域の中央部を前記第2の方向に横切って配設された、読み出しデータが転送される複数のデータ線とビット線に書き込みパルスを転送する複数の書き込みパルス信号線を有するグローバルバス領域と、

前記セル配置領域の前記第1の境界線及び第2の境界線に沿って配置された第1配置領域及び第2配置領域にそれぞれ配置されて、積層方向において隣接する2つのセルアレイのビット線がそれぞれ接続される第1及び第2のビット線選択回路と、

40

前記第1及び第2のビット線選択回路と前記グローバルバス領域の間にそれぞれ配置された、前記第1及び第2のビット線選択回路により選択されたビット線のデータをセンスするための第1及び第2のセンスアンプ列と、

前記セル配置領域の前記第3の境界線に沿って配置された第3配置領域に配置され、前記隣接する2つのセルアレイの共有ワード線が接続されるワード線選択回路と、

前記セル配置領域の第3の境界線とは反対側の第4の境界線に沿って配置された第4配置領域に配置されて、前記書き込みパルス信号線に供給される前記書き込みパルスを発生するための書き込み回路とを有する

50

ことを特徴とする請求項 1 記載の相変化メモリ装置。

【請求項 9】

前記共有ワード線は、前記ワード線選択回路により選択された所定範囲が同時に活性化され、前記隣接する 2 つのセルアレイの各ビット線は、前記第 1 及び第 2 のビット線選択回路によってそれぞれ所定範囲が同時に選択されて、積層方向において隣接する 2 つのセルアレイの複数ずつのメモリセルが同時にアクセスされる

ことを特徴とする請求項 8 記載の相変化メモリ装置。

【請求項 10】

前記第 1 及び第 2 のセンスアンプ列は、前記隣接する 2 つのセルアレイから同時に選択される複数ずつのメモリセルのデータを同時にセンスするセンスアンプを有し、それらの

10

センスデータは、前記グローバルバス領域の前記データ線に同時に転送される

ことを特徴とする請求項 9 記載の相変化メモリ装置。

【請求項 11】

前記書き込み回路は、前記隣接する 2 つのセルアレイから同時に選択される複数ずつのビット線に供給されるべき書き込みパルスを、前記グローバルバス領域の前記書き込みパルス信号線に同時に出力するように構成されている

ことを特徴とする請求項 9 記載の相変化メモリ装置。

【請求項 12】

前記各セルアレイ内で近接する二つメモリセルは、その一方が高抵抗値、他方が低抵抗値状態の相補的データを記憶するペアセルを構成し、

20

前記第 1 及び第 2 のセンスアンプ列は、前記ペアセルが接続されるビット線対に接続されて前記相補的データによるセル電流差を検出する差動型の電流検出アンプを配列して構成される

ことを特徴とする請求項 8 記載の相変化メモリ装置。

【請求項 13】

前記書き込み回路は、

前記各セルアレイの選択されたワード線に与えられるべき正論理パルスと選択されたビット線に与えられるべき負論理パルスを、書き込みデータに応じてそれらのパルスの重なり幅を調整して発生する論理パルス発生回路と、

この論理パルス発生回路から出力される前記負論理パルスを書き込みデータに応じて選択的に昇圧して前記書き込みパルス信号線に出力する書き込みパルス発生回路とを有する

30

ことを特徴とする請求項 8 記載の相変化メモリ装置。

【請求項 14】

前記論理パルス発生回路は、

パルス幅が同じで位相がずれた二つのパルスを発生するパルス発生回路と、

前記パルス発生回路が出力する二つのパルスの書き込みデータに応じて決まる組み合わせ論理によって重なり時間が決定される前記負論理パルスと正論理パルスとを出力する論理ゲート回路とを有する

ことを特徴とする請求項 13 記載の相変化メモリ装置。

【請求項 15】

40

前記複数のセルアレイは、

前記読み出し / 書き込み回路を覆う層間絶縁膜上に形成された複数の第 1 のビット線、各第 1 のビット線上に所定ピッチで配列された複数のメモリセル、及びそのメモリセル上に前記第 1 のビット線と交差する方向に並ぶ複数のメモリセルを共通接続するように配設された複数の第 1 のワード線を有する第 1 のセルアレイと、

前記第 1 のセルアレイと前記第 1 のワード線を共有して前記第 1 のセルアレイ上に形成された、前記第 1 のセルアレイと同じレイアウトで配列された複数のメモリセル、及びそのメモリセル上に前記第 1 のワード線と交差する方向に並ぶ複数のメモリセルを共通接続するように配設された複数の第 2 のビット線を有する第 2 のセルアレイと、

前記第 2 のセルアレイと前記第 2 のビット線を共有して前記第 2 のセルアレイ上に形成

50

された、前記第2のセルアレイと同じレイアウトで配列された複数のメモリセル、及びそのメモリセル上に前記第2のビット線と交差する方向に並ぶ複数のメモリセルを共通接続するように配設された複数の第2のワード線を有する第3のセルアレイと、

前記第3のセルアレイと前記第2のワード線を共有して前記第3のセルアレイ上に形成された、前記第3のセルアレイのメモリセルと同じレイアウトで配列された複数のメモリセル、及びそのメモリセル上に前記第2のワード線と交差する方向に並ぶ複数のメモリセルを共通接続するように配設された複数の第3のビット線を有する第4のセルアレイとを有する

ことを特徴とする請求項1記載の相変化メモリ装置。

【請求項16】

前記各セルアレイのメモリセルは、前記第1乃至第3のビット線と前記第1及び第2のワード線の各対応する交差部に積層されたカルコゲナイドとダイオードを有する

ことを特徴とする請求項15記載の相変化メモリ装置。

【請求項17】

前記カルコゲナイドとダイオードの積層順が上下に隣接するセルアレイの間で逆であり且つ、ダイオードは前記第1乃至第3のビット線側をカソードとする極性をもって形成されている

ことを特徴とする請求項16記載の相変化メモリ装置。

【請求項18】

前記読み出し/書き込み回路は、

前記セル配置領域の中央部を前記第2の方向に横切って配設された、読み出しデータが転送される複数のデータ線とビット線に書き込みパルスを転送する複数の書き込みパルス信号線を有するグローバルバス領域と、

前記セル配置領域の前記第1の境界線に沿って配置された第1配置領域に配置されて前記第1及び第3のビット線が共通に接続される第1のビット線選択回路と、

前記セル配置領域の第2の境界線に沿って配置された第2配置領域に配置されて、前記第2のビット線が接続される第2のビット線選択回路と、

前記第1及び第2のビット線選択回路と前記グローバルバス領域の間にそれぞれ配置された、前記第1及び第2のビット線選択回路により選択されたビット線のデータをセンスするための第1及び第2のセンスアンプ列と、

前記セル配置領域の前記第3の境界線に沿って配置された第3配置領域に配置されて、前記第1及び第2のワード線が接続されるワード線選択回路と、

前記セル配置領域の第4の境界線に沿って配置された第4配置領域に配置されて、前記書き込みパルス信号線に供給される前記書き込みパルスを発生するための書き込み回路とを有する

ことを特徴とする請求項15記載の相変化メモリ装置。

【請求項19】

前記ワード線選択回路は、前記第1及び第2のワード線のいずれか一方の所定範囲を同時に活性化するように構成され、

前記第1及び第2のビット線選択回路はそれぞれ、前記第1又は第3のビット線の所定範囲と、前記第2のビット線の所定範囲を同時に選択するように構成されている

ことを特徴とする請求項18記載の相変化メモリ装置。

【請求項20】

前記第1及び第2のセンスアンプ列は、前記第1及び第2のセルアレイ又は前記第3及び第4のセルアレイのいずれかから同時に選択される複数ずつのメモリセルのデータをセンスするセンスアンプを有し、それらのセンスデータは、前記グローバルバス領域のデータ線に同時に転送される

ことを特徴とする請求項19記載の相変化メモリ装置。

【請求項21】

前記書き込み回路は、前記第1及び第2のセルアレイ又は前記第3及び第4のセルアレイ

10

20

30

40

50

イのいずれかから同時に選択される複数ずつのビット線に供給されるべき書き込みパルスを、前記グローバルバス領域の書き込みパルス信号線に同時に出力するように構成されている

ことを特徴とする請求項 19 記載の相変化メモリ装置。

【請求項 22】

前記第 1 乃至第 4 のセルアレイのそれぞれの中で、前記第 1 又は第 2 のワード線を共有して近接する二つのメモリセルは、一方が高抵抗値、他方が低抵抗値状態である相補的データを記憶するペアセルを構成し、その相補的データがビット線対に 1 ビットデータとして読み出される

ことを特徴とする請求項 15 記載の相変化メモリ装置。

10

【請求項 23】

前記ペアセルは、その相補的データが出力されるビット線対の間に他のビット線が配置されるように選択される

ことを特徴とする請求項 22 記載の相変化メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、記憶材料の結晶状態と非晶質状態との間の相変化により決まる抵抗値を不揮発に記憶する、電氣的書き換え可能な相変化メモリ装置に関する。

【背景技術】

20

【0002】

従来より、大容量、多機能な不揮発性半導体メモリとして、EEPROMフラッシュメモリが知られている。この種の半導体メモリにおいては、リソグラフィ技術やエッチング技術の進歩により、平面上では最小加工寸法 100nm 以下の微細回路が実現されている。平面上で考える限り、メモリ容量を大きくするには単位面積あたりのセル数を増やすために更に微細化を進めなければならない。しかし、更なる微細化は容易ではない。

【0003】

微細化を進めることなくメモリ容量を増やすには、複数のメモリチップを積層してパッケージに封入したり、シリコン上でメモリセルアレイを積層して 3 次元メモリチップとする方法が採られる。しかし従来考えられているセルアレイの積層化は、単純に従来の平面セルアレイを重ねるものであった。この場合、積層数 N なら平面セルアレイの N 倍の容量が得られるものの、アクセスは各層別々であり、複数層のセルの同時アクセスは容易ではなかった。

30

【0004】

一方、将来の不揮発性メモリとして有望視される、カルコゲナイドガラスの結晶 - 非結晶の相転移を利用した相変化メモリが提案されている（例えば、Jpn. J. Appl. Phys. Vol. 39 (2000) PP.6157-6161 Part 1, NO.11, November 2000 "Submicron Nonvolatile Memory Cell Based on Reversible Phase Transition in Chalcogenide Glasses" Kazuya Nakayama et al 参照）。これは、カルコゲナイドの非晶質状態と結晶状態の抵抗比が 100 : 1 以上と大きいことを利用して、その異なる抵抗値状態を二値データとして記憶する。カルコゲナイドの相変化は可逆的であり、加熱の仕方に変化をコントロールでき、加熱の仕方はこの物質を流れる電流量で制御できる。

40

【0005】

この様な相変化メモリを大容量化する場合、セルアレイと読み出し / 書き込み回路とを如何に小さいチップ面積に集積するかが重要な技術課題となる。更に、高速のデータ入出力を可能とする読み出し / 書き込み回路の設計も重要な技術課題となる。

【発明の開示】

【0006】

この発明の一実施の形態による相変化メモリ装置は、半導体基板と、前記半導体基板上に積層形成された、それぞれ相変化により決まる抵抗値をデータとして記憶するマトリク

50

ス配列された複数のメモリセル、マトリクス第1の方向に並ぶ複数のメモリセルの一端を共通接続するビット線及びマトリクス第2の方向に並ぶ複数のメモリセルの他端を共通接続するワード線を有する複数のセルアレイと、前記半導体基板の前記セルアレイの下に位置するように形成された、前記セルアレイのデータの読み出し及び書き込みを行うための読み出し/書き込み回路と、前記セルアレイと前記読み出し/書き込み回路とを接続するため前記半導体基板に対し垂直方向に延びるように形成された垂直配線とを備え、積層方向において隣接する2つの前記セルアレイは、前記ビット線及び/又は前記ワード線を共有しており、前記垂直配線は、前記セルアレイが積層されるセル配置領域同士を区画する境界線のうち前記第1の方向と交わる第1の境界線に沿って配置された第1配線領域に配置されて、同時に活性化されない2つのセルアレイのビット線を共通に前記読み出し/書き込み回路に接続する第1の垂直配線と、前記セル配置領域同士を区画する境界線のうち前記第1の方向と交わり且つ前記第1の境界線とは反対側の第2の境界線に沿って配置された第2配線領域に配置されて、積層方向において互いに隣接する2つのセルアレイのビット線を前記読み出し/書き込み回路に接続する第2の垂直配線と、前記セル配置領域同士を区画する境界線のうち前記第2の方向と交わる第3の境界線に沿って配置された第3配線領域に配置されて、前記各セルアレイのワード線を前記読み出し/書き込み回路に接続する第3の垂直配線と、を有する。

【発明を実施するための最良の形態】

【0007】

図1は、実施の形態による相変化メモリの基本セルアレイ構成を、3×3セルマトリクスについて示している。複数本のビット線BLが平行に配設され、これと交差して複数本のワード線WLが配設される。これらのワード線WLとビット線BLの各交差部にメモリセルMCが配置される。メモリセルMCは、可変抵抗素子VRとダイオードSDの直列接続回路である。可変抵抗素子VRは、カルコゲナイドにより形成され、その結晶状態と非晶質状態の相転移による抵抗値の大小を二値データとして不揮発に記憶する。

【0008】

ダイオードSDは、好ましくはショットキーダイオードであるが、PN接合ダイオードをも用いる。メモリセルMCの一端はビット線BLに接続され、他端はワード線WLに接続される。図では、ダイオードSDは、ワード線WL側がアノードになっているが、ワード線WLとビット線BLの電位関係でセルの選択性が得られればよいので、ダイオードSDの極性を逆にする、可変抵抗素子VRとダイオードSDの配置を逆にすることもできる。

【0009】

データは前述のように、各メモリセルMCの抵抗素子VRの抵抗値により記憶される。非選択状態では例えば、全てのワード線WLは“L”レベル、全てのビット線BLは“H”レベルとする。一例を挙げれば、“H”レベルを1.8V、“L”レベルを0Vとする。この非選択状態では、全てのメモリセルMCのダイオードSDが逆バイアス状態でオフであり、抵抗素子VRには電流は流れない。図1のセルアレイの破線で囲んだ真中のメモリセルMCを選択する場合を考えると、選択されたワード線WLを“H”とし、選択されたビット線BLを“L”に設定する。この様なパルス駆動により、選択セルでは、ダイオードSDが順バイアスになって電流が流れる。

【0010】

このとき選択セルに流れる電流量は、抵抗素子VRを構成するカルコゲナイドの相によって決まるから、電流量の大小を検知することにより、データの読み出しができる。また、読み出し時に比べて、選択ワード線の“H”レベル電位を高く、或いは選択ビット線の“L”レベルを低くすることによって電流量を増やし、この電流によるセル部の加熱を利用して、抵抗素子VRのカルコゲナイドに相転移を生じさせることができる。従って、セルアレイ中特定のセルを選択して、そのセルの情報を書き換えることが可能である。

【0011】

この様にこの実施の形態のセルアレイでは、アクセスはワード線WLとビット線BLの

10

20

30

40

50

各々1本の電位レベル設定のみによって行われる。セル選択のためのトランジスタを設けた場合には、セルアレイ内にトランジスタのゲートを選択する信号線が必要になるが、この実施の形態ではその様な信号線は必要がない。またトランジスタに比べてダイオードの構造が簡単であることから、信号線が少なく済むことと相俟って、セルアレイ構成は簡単になり、セルの高集積化が可能である。

【0012】

ここまで、基本セルアレイの構成を説明したが、この実施の形態では、基板上に複数のセルアレイが積層された3次元セルアレイ構造を用いる。以下にそのような3次元セルアレイ構造を説明する。

【0013】

図2及び図3は、4層のセルアレイMA0～MA3を積層した3次元(3D)セルアレイのレイアウトとそのI-I'断面図である。各層セルアレイの対応する部分には、“a”、“b”、“c”、“d”を付け、共有部分には“ab”、“bc”、“cd”を付けて区別した同じ番号を用いている。シリコン酸化膜等の絶縁膜11で覆われたシリコン基板10上に、互いに平行な複数本のビット線(BL0)12aが配列形成される。このビット線12aの上に、カルコゲナイド層13aからなる可変抵抗素子VRとショットキーダイオードSDを積層した柱状のメモリセルMCが飛び飛びに配列形成される。これらのメモリセルMCの上端をビット線12aとは直交する方向に共通接続するワード線(WL0)18abが形成されて、第1層セルアレイMA0が構成される。

【0014】

具体的にメモリセルMCは、カルコゲナイド層13a、オーミック電極14a、n<sup>+</sup>型シリコン層15a及びn型シリコン層16aの積層膜をパターニングして形成される。ワード線18abがショットキーダイオードSDのアノード電極となる。メモリセルMCの周囲は層間絶縁膜17で埋められて平坦化される。

【0015】

なお、より好ましいショットキーダイオードを作るために、ワード線18abとは別に、n型シリコン層16aにショットキー接触する金属膜を形成してもよい。

【0016】

第2層セルアレイMA1は、第1層セルアレイMA0とワード線(WL0)18abを共有して構成される。即ち、ワード線18ab上に、n型シリコン層16b、n<sup>+</sup>型シリコン層15b、オーミック電極14b及びカルコゲナイド13bの積層膜をパターニングして、ショットキーダイオードSDと可変抵抗素子VRの積層体である円柱状のメモリセルMCが飛び飛びに形成される。そのメモリセルMCの配列は、第1層セルアレイMA0と同じである。ワード線18abとn型シリコン層16bの間にショットキー接合が形成される。ワード線18abと直交する方向に配列されたカルコゲナイド層13bを共通接続するように、ビット線(BL1)12bcがパターン形成される。メモリセルMCの周囲は層間絶縁膜19で埋められて平坦化される。

【0017】

以下、セルアレイMA0、MA1の積層構造が同様に繰り返されて、第3層セルアレイMA2、第4層セルアレイMA3が積層される。第2層セルアレイMA1と第3層セルアレイMA2の間でビット線(BL1)12bcが共有される。また、第3層セルアレイMA2と第4層セルアレイMA3の間でワード線(WL1)18cdが共有される。最下層セルアレイMA0のビット線(BL0)12aと最上層セルアレイMA3のビット線(BL2)12dはそれぞれ、単独に用意されている。

【0018】

前述のように、メモリセルMCを構成するダイオードとしてショットキーダイオードSDに代わって、PN接合ダイオードを用いることも可能である。図3に対応して、PN接合ダイオードDiを用いた3次元セルアレイ構造を示すと、図4のようになる。各層セルアレイのビット線とワード線の交差部に配置されるメモリセルには、n型シリコン層25とp型シリコン層26のPN接合により構成されたダイオードDiが形成されている。そ

10

20

30

40

50

れ以外は図3と同様である。

【0019】

図5は、以上のように構成される3次元セルアレイの3次元的等価回路である。ビット線は相互干渉を防止するために、2本でペアを構成し且つ、各ビット線対の間に他のビット線が挟まれる状態にする。BL00、/BL00、BL01、/BL01、...は、第1層セルアレイMA0のビット線対、BL10、/BL10、BL11、/BL11、...は、第2層セルアレイMA1と第3層セルアレイMA2の共有ビット線対、BL20、/BL20、BL21、/BL21、...は、第4層セルアレイMA3のビット線対である。また、WL0(WL00~WL03)は、第1層セルアレイMA0と第2層セルアレイMA1の共有ワード線であり、WL1(WL10~WL13)は、第3層セルアレイMA2と第4層セルアレイMA3の共有ワード線である。

10

【0020】

以上のような3次元セルアレイとして相変化メモリセルが多数集積されると、その特性のばらつきが問題になる。具体的に、カルコゲナイドの相変化を利用するセルのデータ状態は、履歴や環境によって変化する。例えば、データ“0”(高抵抗値状態)を書き込むには、カルコゲナイド層を非晶質部分が多い状態に、データ“1”(低抵抗値状態)を書き込むには、カルコゲナイド層を結晶質部分が多い状態に設定するが、そのセルの初期状態は履歴や位置によって異なる。

【0021】

そこでこの実施の形態では、近接する二つのメモリセルをペアとして、その一方に“0”、他方に“1”という相補データを記憶する。読み出しは、ペアを構成する二つのセルのセル電流の差を検出する。この様にすれば、3次元セルアレイ全体でセルの高抵抗値状態と低抵抗値状態の分布にたとえ一部重なりがある場合でも、確実にセルデータの読み/書きができる。

20

【0022】

図5には、代表的に二つのセルペアを示している。セルアレイMA0内で、ワード線WL00を共有してビット線対BL00、/BL00に接続される二つのメモリセルの一方を真値セル(true cell)T-cell0、他方を相補セル(complementary cell)C-cell0として、ペアを構成する。同様に、セルアレイMA1内で、ワード線WL00を共有してビット線対BL10、/BL10に接続される二つのメモリセルの一方を真値セルT-cell1、他方を相補セルC-cell1として、ペアを構成する。いずれも、真値セルT-cellには、二値データの正論理値が、相補セルC-cellには、負論理値が書き込まれるものとする。第2層、第4層セルアレイMA2、MA3でも同様である。図5には、各ペアセルの選択時の電流の向きを矢印で示している。

30

【0023】

ここまでは、セルアレイ構成を説明したが、この発明においては、上述のような3次元セルアレイが形成されるシリコン基板10には、予めセルデータの読み書きを行うための読み出し/書き込み回路が形成される。具体的に、3次元セルアレイは、読み出し/書き込み回路に重なる状態で積層される。

【0024】

図6は、上述した4層の3次元セルアレイとして構成されるセルブロック100と読み出し/書き込み回路200の積層状態と両者の間の配線接続関係を模式的に示している。3次元セルアレイは、必要に応じて適当な容量単位で複数のセルブロック100を構成して、例えばビット線方向に二つ配置される。図示のように、セルブロック100のデータ読み出し及び書き込みを行う読み出し/書き込み回路200は、基板10上のセルブロック100が積層される領域として定義される矩形のセル配置領域210に主要部が収まるように配置される。セル配置領域210は、ビット線方向の2つの境界A1、A2と、ワード線方向の2つの境界B1、B2により区画される。

40

【0025】

第1層セルアレイMA0のビット線群BL0と第4層セルアレイMA3のビット線群B

50

L 2 は、第 1 の境界 A 1 側に引き出されて、第 1 の境界 A 1 に沿って配置された垂直配線（即ち、基板に垂直に走る配線）1 0 1 により、読み出し / 書き込み回路 2 0 0 の第 1 の境界 A 1 に沿って配置されるビット線選択回路 2 0 1 に接続される。第 2 層セルアレイ M A 1 と第 3 層セルアレイ M A 2 が共有するビット線群 B L 1 は、第 2 の境界 A 2 側に引き出されて、同様に垂直配線 1 0 2 により、読み出し / 書き込み回路 2 0 0 の第 2 の境界 A 2 に沿って配置されるビット線選択回路 2 0 2 に接続される。

【 0 0 2 6 】

ビット線群 B L 0、B L 2 が同じ方向に引き出されて垂直配線 1 0 1 により共通にビット線選択回路 2 0 1 に接続されるのは、これらのビット線群が同時に活性化されることはないためである。即ち、セルアレイ M A 0、M A 1 はワード線 W L 0 を共有して同時に活性化され、同様に、セルアレイ M A 2、M A 3 はワード線 W L 1 を共有して同時に活性化される。しかし、セルアレイ M A 2、M A 3 は、ビット線群 B L 1 を共有しているため、下部セルアレイ M A 0 及び M A 1 と上部セルアレイ M A 2 及び M A 3 とが同時に活性化されることはない。ビット線選択回路 2 0 1、2 0 2 は、ビット線デコーダとマルチプレクサ（B L - D E C / M U X）である。

10

【 0 0 2 7 】

ワード線群 W L 0、W L 1 は、共に第 3 の境界 B 1 から引き出されて、それぞれ垂直配線 1 0 3、1 0 4 により、読み出し / 書き込み回路 2 0 0 の中の第 3 の境界 B 1 に沿って配置されるワード線選択回路 2 0 8 に接続される。ワード線選択回路 2 0 8 は、ワード線デコーダとマルチプレクサ（W L - D E C / M U X）である。

20

【 0 0 2 8 】

読み出し / 書き込み回路 2 0 0 の中央部はこれをワード線方向に横切るように入出力データ線や書き込みパルス信号線が配設されるグローバルバス領域 2 0 7 となっている。このグローバルバス領域 2 0 7 と、二つのビット線選択回路 2 0 1、2 0 2 の間にはそれぞれ、センスアンプ列 2 0 3、2 0 4 が配置される。グローバルバス領域 2 0 7 に配設される信号線は二つのセンスアンプ列 2 0 3、2 0 4 で共有される。二つのセンスアンプ列 2 0 3、2 0 4 の各センスアンプはそれぞれ、ローカルバス領域 2 0 5、2 0 6 に配設される信号線を介して、ビット線選択回路 2 0 1、2 0 2 に接続される。従って、ビット線群 B L 0、B L 2 の中のビット線選択回路 2 0 1 で選択されたものが、センスアンプ列 2 0 3 に接続され、同様にビット線群 B L 1 の中のビット線選択回路 2 0 2 で選択されたものが、センスアンプ列 2 0 4 に接続されることになる。

30

【 0 0 2 9 】

グローバルバス領域 2 0 7 に配設されるデータ線や書き込みパルス信号線は、セル配置領域 2 1 0 の第 4 の境界 B 2 側から引き出される。そしてこの第 4 の境界 B 2 に沿って、書き込みパルスを選択セルに供給するための書き込み回路 2 0 9 が配置される。書き込み回路 2 0 9 は、後に説明するように、シリコン基板面に形成されるトランジスタ回路部 2 0 9 a と、セルアレイの形成工程を利用して、基板上部にセルアレイと同時に形成されるダイオード回路部 2 0 9 b により構成される。

【 0 0 3 0 】

図 6 で説明したように、セルアレイのビット線及びワード線は、垂直配線 1 0 1 ~ 1 0 4 によって基板 1 0 に形成された読み出し / 書き込み回路 2 0 0 に接続される。これらの垂直配線 1 0 1 ~ 1 0 4 は、実際にはセルアレイの周囲に形成される層間絶縁膜に埋め込まれるコンタクトプラグである。その構造を具体的に、図 7 及び図 8 に示す。図 7 は、セルアレイのビット線に沿った断面でビット線の読み出し / 書き込み回路 2 0 0 への接続状態を示し、図 8 はワード線に沿った断面でワード線の読み出し / 書き込み回路 2 0 0 への接続状態を示している。

40

【 0 0 3 1 】

図 7 及び図 8 に示すように、読み出し / 書き込み回路 2 0 0 は、必要なトランジスタと、これを覆う層間絶縁膜 1 1 a 上に形成されたメタル配線を有する。この読み出し / 書き込み回路 2 0 0 上は層間絶縁膜 1 1 b で覆われ、この上に 4 層のセルアレイが積層される

50

。従って、図7、8における層間絶縁膜11a、11bは、図3、4に示した絶縁膜11に相当する。

【0032】

セルアレイ領域の境界A1側に引き出されたビット線BL0、BL2をビット線選択回路201に接続する垂直配線101は、図7に示すように、層間絶縁膜11、17、19、20、21に埋め込まれたコンタクトプラグ101a~101eにより構成される。同様に、セルアレイ領域の境界A2側に引き出されたビット線BL1をビット線選択回路202に接続する垂直配線102は、層間絶縁膜11、17、19に埋め込まれたコンタクトプラグ102a~102cにより構成される。

【0033】

セルアレイ領域の境界B1側に引き出されたワード線WL0をワード線選択回路208に接続する垂直配線103は、図8に示すように、層間絶縁膜11、17に埋め込まれたコンタクトプラグ103a、103bにより構成される。ワード線WL0と同じ方向に引き出されたワード線WL1をワード線選択回路208に接続する垂直配線104は、層間絶縁膜11、17、19、20に埋め込まれたコンタクトプラグ104a~104dにより構成される。

【0034】

図7及び図8では、積層セルアレイの最下層コンタクトプラグ101a、102a、103a、104aが読み出し/書き込み回路200のメタル配線に接続されているが、これらはトランジスタの拡散層に直接コンタクトするようにしてもよい。また、図7及び図8では、コンタクトプラグとして、ビット線やワード線に用いるメタル配線材料を利用した例を示しているが、その製造工程は後に説明する。更にコンタクトプラグとして、ビット線やワード線とは別のメタルや多結晶シリコン等を用いることもできる。

【0035】

図6に示した一つのセルブロック100が例えば、1セルアレイ当たり512ビット線(BL)×128ワード線(WL)であるとする。前述のようにこの実施の形態では、2つのメモリセルで1ビットデータを記憶するので、1セルブロック当たり、256Column×128Rowとなる。なおメモリ容量の増大は、配置するセルブロック数を増すことにより可能である。この様な大容量メモリで高速アクセスを実現するためには、多ビットデータの並列アクセスが必須になる。例えば、32ビットが並列アクセスされるようにするには、1セルブロックを、図9に示すように、ワード線WL方向に2分割、ビット線BL方向に32分割して、64個のセルユニットUC(UC0~UC63)に分ける。これにより、1セルユニット単位で、32IO×4Col×4Row×4の容量となり、グローバルバス領域207には、64IO分のメインデータ線と書き込みパルス信号線を配設すればよい。

【0036】

図10は、上述のようなセルブロック構成としたときの、図6に示す一つのセルブロック100に着目した読み出し/書き込み回路200の概略レイアウトを示している。図10の右端に配置されたワード線選択回路(WL-DEC/MUX)208には、セルブロック100の128×2本のワード線から上下の一本ずつを選択するためのロウアドレス(RA)信号線301が縦方向に走る。左端に配置された書き込み回路209からは、書き込み時選択されたビット線に供給される書き込みパルスが出力される。この書き込みパルスが供給される書き込みパルス信号線(WP)305は、グローバルバス領域207を横方向に走る。これと並行して、グローバルバス領域207には読み出しデータが転送されるメインデータ線304が配設される。一つのセルブロック内では一つのセルユニットが選択され、各セルユニットでは、下部2層セルアレイ又は上部2層セルアレイのデータが同時にアクセスされる。従って、セルブロック当たり、データ線304は、32IO×2=64IO分の信号線となる。書き込みパルス信号線305も同じ本数の信号線からなる。

【0037】

10

20

30

40

50

読み出し／書き込み回路200の下端及び上端には、ビット線選択回路201、202が配置され、それぞれの領域を、ビット線を選択するカラムアドレス(CA)信号線302、303が横方向に走る。一方のビット線選択回路201は、上部2セルアレイの512ビット線対(=64IO×4Col)から32ビット線対を選択し、他方のビット線選択回路202は、下部2セルアレイの512ビット線対から32ビット線対を選択する。従って、ローカルバス領域205、206には、各ビット線選択回路201、202で選択されたビット線に、書き込みパルス信号線305の書き込みパルスを供給するための、4カラム(=8ビット線)分のデータに共通の64対の電流パス線BP、/BPがセンスアンプ列203、204を横切って配設される。ローカルバス領域205、206にはそれぞれ更に、4カラム分のデータに共通の64対のローカルデータ線DL、/DLが配設され、これがセンスアンプ列203、204の各センスアンプSAに接続される。

10

#### 【0038】

図10の中に一点鎖線で示す4row×2=8ワード線につながる回路領域310と、4カラム=8ビット線につながる回路領域312の具体的な構成を示すとそれぞれ、図11及び図12のようになる。

#### 【0039】

図11に示す二つのマルチプレクサMUX0、MUX1はそれぞれ、セルアレイMA0、MA1が共有する下部ワード線WL0、セルアレイMA2、MA3が共有する上部ワード線WL1の選択ゲート回路である。図11のマルチプレクサMUX0に入る8本のワード線WLは、図9における2セルユニット分の下部ワード線を示している。デコーダDECは、32セルユニットの中の一つを選択するデコードゲートG1、G2、...により構成される。マルチプレクサMUX0は、選択信号S10~S13によって、4本のワード線から1本を選択するように、PMOSトランジスタQP11~QP14、QP15~QP18、...により構成された選択ゲート回路401を有する。選択されたワード線には、選択ビット線と協働してセルのダイオードを順バイアスにするための高レベル電圧(正論理パルス)が与えられる。マルチプレクサMUX0はまた、非選択ワード線を低レベルVssの非選択状態に保持するためのNMOSトランジスタQN11~QN14、QN15~QN18、...からなるリセット回路402を備えている。マルチプレクサMUX1もマルチプレクサMUX0と同様に構成される。

20

#### 【0040】

図12に示すセンスアンプSAは、図10に示す、32個のセンスアンプからなるセンスアンプ列203の中の一つである。センスアンプSAにつながる8本のビット線BL0、/BL0~BL3、/BL3は、図6におけるビット線群BL0又はBL2のいずれかから選ばれた8本(=4対)ということになる。前述のように、セルブロック100の下部2セルアレイMA0、MA1と上部2セルアレイMA2、MA3は同時には活性化はされないため、センスアンプSAは、下部2セルアレイMA0、MA1と上部2セルアレイMA2、MA3の間で共有される。

30

#### 【0041】

センスアンプSAは、活性化信号/SEにより駆動される活性化用PMOSトランジスタQP30を持つ、CMOSフリップフロップ型電流検出アンプである。その二つのノードN1、N2は、グローバルデータ線304の中の一対GBi、/GBiに直接接続される。センス用NMOSトランジスタQN61、QN62のドレインは、データセンス時に読み出し制御信号RによりオンになるNMOSトランジスタQN31、QN32を介して、データ線DL、/DLに接続される。またデータセンス初期は、NMOSトランジスタQN73によりノードN1、N2は短絡されている。セル電流がセンス用トランジスタQN61、QN62に供給された後、そのドレインは、クロックCLKにより制御されるNMOSトランジスタQN71、QN72により、Vssにクランプされるようになっている。データ線DL、/DLは、ビット線デコーダ/マルチプレクサBL-DEC/MUXにより選択されたビット線対に接続される。

40

#### 【0042】

50

ビット線デコーダ/マルチプレクサBL-DEC/MUXは、デコード信号S20～S23により、4対のビット線から1対を選択してデータ線対DL、/DLに接続する、NMOSトランジスタQN51～QN54、QN55～QN58からなる選択ゲート403を有する。ビット線デコーダ/マルチプレクサBL-DEC/MUXはまた、非選択ビット線を高レベルVddの非選択状態に保持するための、PMOSトランジスタQP51～QP54、QP55～QP58からなるリセット回路404を有する。

【0043】

データ線対DL、/DLは、データ書き込み時は、書き込み制御信号WによりオンになるNMOSトランジスタQN41、QN42を介し、信号線対BP、/BPを介して、グローバルバス領域207に配置される書き込みパルス信号線305の中の一対Wpi、/Wpiに接続されるようになっている。

10

【0044】

この様な構成として、データ読み出し時は、選択ゲート回路401により選択されたワード線が“H”となり、選択ゲート回路403により選択されたビット線対が“L”となる。そのビット線対の選択された相補セルのセル電流は、データ線対DL、/DLを介し、NMOSトランジスタQN31、QN32を介してセンスアンプSAのNMOSトランジスタQN61、QN62のドレインに転送される。このとき、NMOSトランジスタQN71、QN72はオフである。その後、CLK=HになってNMOSトランジスタQN71、QN72がオンし、センス用NMOSトランジスタQN61、QN62のドレインがVssにクランプされる。これによって、セル電流差によりノードN1、N2に生じる差電圧は正帰還されて、一方がVcc、他方がVssになるまで増幅される。増幅されたセルデータは、メインデータ線Gbi、/Gbiに出力される。

20

【0045】

データ書き込み時は、選択されたワード線にVddレベルの正論理書き込みパルスが、選択ビット線対には、書き込みパルス信号線Wpi、/WpiからVssレベル又はこれが昇圧された負論理書き込みパルスが与えられる。これらの正論理書き込みパルスと負論理書き込みパルスは、重なり状態及びレベルが書き込みデータに応じて調整されて、相補セルに与えられ、データ書き込みがなされる。書き込み回路と書き込み動作の詳細は後述する。

【0046】

なお、一本のワード線は多数のペアセルに共通接続され、それらのペアセルに大きな電流を供給する必要がある。その電流値を考慮して、ワード線デコーダの駆動能力やワード線自体の抵抗、選択トランジスタの寸法等を設計することが必要である。図11の8本のワード線選択を行うワード線マルチプレクサMUX0と、図12の8本のビット線選択を行うビット線デコーダ/マルチプレクサBL-DEC/MUXとは、同様の回路構成となっている。従ってこれらの回路部は、図13に示すように、同様のレイアウトにより実現することができる。

30

【0047】

図13には、図11の回路におけるトランジスタQP11～QP18、QN11～QN18、選択信号S10～S13、及び低レベル電源Vssが示され、これらに対応して、図12の回路における対応するトランジスタQN51～QN58、QP51～QP58、選択信号S20～S23及び高レベル電源Vddが括弧内に示されている。対応するトランジスタは導電型が異なるが、レイアウトは同じになる。

40

【0048】

図13の縦方向配線410は、選択信号線となるトランジスタのゲート配線及び、Vdd、Vss等の電源線であり、これらは多結晶シリコン膜をパターンニングして同時に形成される。図13での電源線Vss、Vddは、非選択のビット線やワード線をフローティングにならないように電位固定すればよい。従ってこれらは、それほどの低抵抗は要求されないため、ゲート電極と同じ多結晶シリコンを用い得る。横方向配線411は、模式的に直線で示しているが、トランジスタのソース、ドレインに接続されるメタル配線である

50

。コンタクト部 4 1 2 は、メタル配線 4 1 1 をセルアレイのビット線やワード線に接続するための、図 6 で説明した垂直配線 1 0 1 ~ 1 0 4、即ちコンタクトプラグが接続される部分である。

【 0 0 4 9 】

前述したセルアレイのビット線及びワード線は、好ましくは、ライン/スペース = 1 F / 1 F ( F : 最小加工寸法 ) で形成される。そしてこれらのビット線及びワード線は、図 6 に示すように、その配線ピッチを保ったまま、基板上の読み出し/書き込み回路 2 0 0 まで接続される。このとき、図 1 3 のメタル配線 4 1 1 もライン/スペース = 1 F / 1 F となる。一方メタル配線 4 1 1 の途中に挿入されるトランジスタは、必要な電流を流すために、ある程度大きな面積を必要とする。そこで図 1 3 では、各トランジスタのゲート幅は、メタル配線 4 1 1 の 3 ピッチ分としている。

10

【 0 0 5 0 】

この様にトランジスタ寸法とメタル配線ピッチが決められたとき、トランジスタを有効配置するために、選択信号線 S 1 0 ( S 2 0 )、S 1 1 ( S 2 1 )、S 1 2 ( S 2 2 )、S 1 3 ( S 2 3 ) をアドレス順 0、1、2、3 ではなく、S 1 0 ( S 2 0 )、S 1 2 ( S 2 2 )、S 1 1 ( S 2 1 )、S 1 3 ( S 2 3 ) の順に配置する。従って、選択信号線 S 1 0 ( S 2 0 ) で選択されるトランジスタ Q P 1 1 ( Q N 5 1 )、Q P 1 3 ( Q N 5 3 ) の列と、選択信号線 S 1 1 ( S 2 1 ) で選択されるトランジスタ Q P 1 2 ( Q N 5 2 )、Q P 1 4 ( Q N 5 4 ) の列の間に、選択信号線 S 1 2 ( S 2 2 ) で選択されるトランジスタ Q P 1 5 ( Q N 5 5 )、Q P 1 7 ( Q N 5 7 ) の列が配置されるようにする。このようなトランジスタ配置により、小さいメタル配線ピッチの配線領域に、大きな寸法のトランジスタを無駄なく配置することができる。

20

【 0 0 5 1 】

次に、先に図 7 及び図 8 で説明したビット線及びワード線とその読み出し/書き込み回路 2 0 0 へのコンタクトを、具体的にデュアルダマシオン法によって同時に形成する方法を、図 1 4 ~ 図 1 6 を参照して説明する。図 1 4 は、読み出し/書き込み回路 2 0 0 が形成された基板 1 0 を覆う層間絶縁膜 1 1 上にビット線 B L 0 が形成された状態を示している。これらのビット線 B L 0 と同時に、この上に積層形成されるワード線群 W L 0、W L 1 を読み出し/書き込み回路 2 0 0 に接続するためのコンタクトプラグ 1 0 3 a、1 0 4 a がデュアルダマシオン法によって層間絶縁膜 1 1 に埋め込み形成される。図 1 4 では示していないが、ビット線 B L 0 をその端部で読み出し/書き込み回路 2 0 0 に接続するためのコンタクトプラグも同時に形成される。

30

【 0 0 5 2 】

この後、図 1 5 に示すように、ビット線 B L 0 上にカルコゲナイドとダイオードの積層構造からなるメモリセル M C を一定ピッチで配列形成する。次に、図 1 6 に示すように、メモリセル M C が形成された面を層間絶縁膜 1 7 で覆い、この層間絶縁膜 1 7 にデュアルダマシオン法によって、ワード線群 W L 0 を形成すると同時に、これらをコンタクトプラグ 1 0 3 a に接続するためのコンタクトプラグ 1 0 3 b、更にその上に積層されるワード線群 W L 1 をコンタクトプラグ 1 0 4 a に接続するためのコンタクトプラグ 1 0 4 b を埋め込み形成する。

40

【 0 0 5 3 】

図 1 7 A ~ 図 1 7 C は、図 1 6 に示すワード線 W L 0 とコンタクトプラグ 1 0 3 b、1 0 4 b の具体的な埋め込み工程を、ワード線 W L 0 に沿った断面で示している。図 1 7 A は、メモリセル M C が形成された面に層間絶縁膜 1 7 を堆積して平坦化した状態である。この後、図 1 7 B に示すように、層間絶縁膜 1 7 にメモリセル M C の上端を露出させるワード線埋め込み用の配線溝 5 0 1 を R I E により形成する。更にコンタクトプラグ 1 0 3 a、1 0 4 a の埋め込み位置に、配線溝 5 0 1 より深いコンタクト孔 5 0 2 を R I E により形成する。続いて、配線材料であるメタル層を堆積し、これを C M P 処理する。これにより、図 1 7 C に示すように、ワード線 W L 0 と同時にコンタクトプラグ 1 0 3 b、1 0 4 b が埋め込み形成される。

50

## 【 0 0 5 4 】

以下同様に、メモリセルの形成、層間絶縁膜の堆積、ダマシオン法による配線とコンタクトプラグ形成を繰り返す。これにより、図 7 及び図 8 で説明したように、4 層セルアレイを、各層のビット線及びワード線を基板上の読み出しノ書き込み回路に接続した状態で積層することができる。

## 【 0 0 5 5 】

図 1 8 は、図 6 に示した書き込み回路 2 0 9 の、セルアレイと同時に形成される回路部 2 0 9 b に着目した構造を示している。書き込み回路 2 0 9 には後に説明するように、パルス昇圧用のキャパシタとダイオードが必要になる。そのダイオードをセルアレイのダイオード形成工程と同時に形成することにより、図 1 8 の構造が得られる。具体的に説明する。前述のように、シリコン基板 1 0 にはセルアレイ形成前にトランジスタ回路が形成される。図 1 8 の MOS キャパシタ 5 1 0 は、トランジスタ形成工程で同時に形成される。この MOS キャパシタ 5 1 0 に重なるように、第 1 層セルアレイ M A 0 のダイオード S D を形成する工程をそのまま利用してダイオード 5 1 1 を形成する。更に第 2 層セルアレイ M A 1 のダイオード S D の形成工程を利用してダイオード 5 1 2 を形成する。

## 【 0 0 5 6 】

図 1 8 の例では、一方のダイオード 5 1 1 はアノードを直下の MOS キャパシタ 5 1 0 に接続し、もう一方のダイオード 5 1 2 はカソードを直下の MOS キャパシタ 5 1 0 に接続している。この様に、MOS キャパシタ上に、これに対して任意の極性で接続されるダイオードを、セルアレイの工程を利用して重ねて形成することが可能である。ダイオード 5 1 1、5 1 2 と MOS キャパシタ 5 1 0 の間には層間絶縁膜 5 1 3、5 1 4 が埋め込まれるが、これらの層間絶縁膜 5 1 3、5 1 4 の部分に、セルアレイ領域で用いられるメタル膜を必要に応じて残すようにすることもできる。

## 【 0 0 5 7 】

図 1 8 のような構造を用いると、MOS キャパシタに大きな面積が必要であるとしても、その MOS キャパシタ上にダイオードを重ねることによって、書き込み回路 2 0 9 領域のチップ占有面積を小さいものとすることができる。

## 【 0 0 5 8 】

図 1 9 は、前述の書き込み回路 2 0 9 に用いられる、書き込みパルス信号線 W P i を介して選択ビット線に負論理書き込みパルスを供給するための書き込みパルス発生回路 6 0 0 である。図の H、/ L はそれぞれ、書き込み時に選択されたワード線、ビット線に与えられるべき正論理パルス、負論理パルスである。これらの正論理パルス H と負論理パルス / L は、書き込むべきデータに応じてパルスの重なりが調整され、その重なり状態に応じて負論理パルスが負方向に昇圧された書き込みパルスが得られるようになっている。

## 【 0 0 5 9 】

正論理パルス H と負論理パルス / L は、NAND ゲート G 1 2 によりその重なり状態が検出される。NAND ゲート G 1 2 の出力は、遅延回路 6 0 5 により一定の遅延を受けて、OR ゲート G 1 1 の一方の入力端子に供給される。遅延回路 6 0 5 の遅延時間  $t_1$  は、正、負論理パルス H、/ L のパルス幅 T の約  $1/2$  である。負論理パルス / L は、遅延回路 6 0 6 により一定の遅延を受けて、OR ゲート G 1 1 の他の入力端子に供給される。遅延回路 6 0 6 の遅延時間  $t_2$  は、遅延回路 6 0 5 のそれ  $t_1$  に比べて十分に小さい。

## 【 0 0 6 0 】

キャパシタ 6 0 1 の一端 N b は OR ゲート G 1 1 の出力端子に、他端 N a は書き込みパルス信号線 W P i に接続されている。端子 N a には、負論理パルス / L により、その負論理パルス / L のレベル (例えば V s s) にキャパシタ 6 0 1 を充電するためのダイオード 6 0 2 が接続されている。端子 N a にはまた、非選択状態で書き込みパルス信号線 W P i を高レベルに保持するための PMOS トランジスタ 6 0 3 が接続されている。即ちトランジスタ 6 0 3 は、負論理パルス / L が入力されるインバータ 6 0 4 により駆動されて、非選択時はオン状態を保持し、書き込みパルス信号線 W P i を V d d に保持する。負論理パルス / L が発生されると、トランジスタ 6 0 3 はオフになる。

10

20

30

40

50

## 【 0 0 6 1 】

図 2 0 を参照して、この書き込みパルス発生回路 6 0 0 の動作を説明する。非選択状態では、OR ゲート G 1 1 の出力により端子 N b は “ H ” ( = V d d ) であり、端子 N a はトランジスタ 6 0 3 により “ H ” ( = V d d ) である。従って前述のように書き込みパルス信号線 W P i は “ H ” レベルに保持される。“ 1 ” 書き込み時は、正、負論理パルス H 、 / L が同時に発生される。このとき、N A N D ゲート G 1 2 の出力は、“ H ” レベルを保持し、端子 N b も “ H ” レベルを保持する。またこのとき、トランジスタ 6 0 3 はオフになるから、端子 N a は、負論理パルス / L が与えられたダイオード 6 0 2 により放電され、“ L ” レベル ( = V s s ) になる。従って、書き込みパルス信号線 W P i には、負論理パルス / L がほぼそのまま負論理書き込みパルスとして供給される。

10

## 【 0 0 6 2 】

これに対して、“ 0 ” 書き込み時は、正論理パルス H に対して、 $1$  ( 約  $T / 2$  ) だけ遅れて負論理パルス / L が発生される。このとき、端子 N b が “ H ” レベルを保持している間に、端子 N a がダイオード 6 0 2 により放電されて “ L ” となる。その後、負論理パルス / L が遅延回路 6 0 6 により  $2$  だけ遅れて、端子 N b が “ L ” になると、端子 N a には、約  $T / 2$  の期間、負方向に昇圧された負論理書き込みパルスが得られる。

## 【 0 0 6 3 】

この様な書き込みパルス制御によるデータ書き込みの原理は、次の通りである。“ 1 ” 書き込み時には、正論理パルス H と負論理パルス / L の重なり時間 T の間、選択セルに書き込み電流が流れる。これにより、セルのカルコゲナイドは、自己発熱によりアニールされて、結晶質部分の多い低抵抗状態になる。“ 0 ” 書き込みの際は、図 2 0 から明らかなように、“ 1 ” 書き込み時に比べてより短時間の間により大きなセル電流が流れる。これにより、セルのカルコゲナイドは、溶融状態になった後急冷されて、アモルファス質の多い高抵抗状態になる。

20

## 【 0 0 6 4 】

図 1 9 の書き込みパルス発生回路 6 0 0 は、一つの書き込みパルス信号線 W P i に着目して示されている。実際にはこの実施の形態では、前述のように、4 層のセルアレイ M A 0 ~ M A 3 の下部 2 セルアレイ M A 0 、 M A 1 が同時活性化され、上部 2 セルアレイ M A 2 、 M A 3 はこれと異なる時間に同時活性化される。またセルアレイ内でビット線対に接続される二つのセルが相補的データを保持するペアセルを構成する。

30

## 【 0 0 6 5 】

図 2 1 は、この実施の形態において、同時活性化される 2 セルアレイの 2 対のビット線に書き込みパルスを与える書き込みパルス発生回路 6 0 0 a ~ 6 0 0 d の入出力関係を示している。この書き込みパルス発生回路 6 0 0 a ~ 6 0 0 d の出力は、図 1 1 に示したマルチプレクサ M U X 0 、 M U X 1 により選択されて、上部 2 セルアレイ又は下部 2 セルアレイに与えられることになる。図 2 1 において、W P i @ 1 s t 、 W P i @ 2 n d はそれぞれ、同時活性化される 2 層セルアレイの中の第 1 層、第 2 層のビット線 ( 例えば図 5 の B L 0 0 、 B L 1 0 ) につながる書き込みパルス信号線を示している。 / W P i @ 1 s t 、 / W P i @ 2 n d はそれらのビット線と対をなすビット線 ( 例えば図 5 の / B L 0 0 、 / B L 1 0 ) につながる書き込みパルス信号線である。H は、2 セルアレイで共有されるワード線に与えられるべき正論理パルスであり、 / L 0 n 、 / L 1 n 、 / L 0 n ' 、 / L 1 n ' は、ビット線に与えられるべき負論理パルスである。 / L 0 n と / L 0 n ' が 2 層セルアレイの下部セルアレイの対をなすビット線 ( 例えば、B L 0 0 と / B L 0 0 ) に与えられ、 / L 1 n と / L 1 n ' が上部セルアレイの対をなすビット線 ( 例えば、B L 1 0 と / B L 1 0 ) に与えられる負論理パルスである。図 1 9 で説明したように、これらの正、負論理パルスの重なり状態が書き込みデータに応じて決定され、それに応じて、書き込みパルス信号線 W P i に与えられる負論理書き込みパルスが選択的に昇圧される。

40

## 【 0 0 6 6 】

図 2 2 は、図 2 1 に示す正、負論理パルスを発生するための論理パルス発生回路 7 0 0 の構成を示している。この論理パルス発生回路 7 0 0 は、パルス幅が同じで位相がずれた

50

2種のパルスP0、P1を発生するパルス発生回路710と、その2種のパルスの組み合わせにより必要な書き込みパルスを生成する論理ゲート回路720とから構成される。

【0067】

原パルス発生回路711は、パルス幅TのパルスP0を発生し、遅延回路712は、このパルスP0を約T/2だけ遅延させたパルスP1を発生する。原パルス発生回路711の出力パルスP0は、ドライバを介して、ワード線に与えられる正論理パルスHとなる。

【0068】

論理ゲート回路720に入るビットデータB0、B1はそれぞれ、2セルアレイの中の下部セルアレイ、上部セルアレイのペアセルに書き込むべきデータビットである。具体的に、図5の二つのセルアレイMA0、MA1のペアセルに着目して説明すれば、B0は、セルアレイMA0のペアセルT-cell10、C-cell10の書き込みデータであり、B1は、セルアレイMA1のペアセルT-cell11、C-cell11の書き込みデータである。

【0069】

ANDゲートG21、G22の組、G31、G32の組はそれぞれ、ビットデータB0の“0”、“1”に応じて、原パルス発生回路711の出力パルスP0か、遅延回路712による遅延パルスP1を選択する。これにより、NORゲートG23、G33の出力/L0n'、/L0nは、一方が正論理パルスHと同相の“1”書き込み用の負論理パルス、他方が正論理パルスHに対して位相が遅れた“0”書き込み用の負論理パルスとなる。つまり、/L0n、/L0n'は、ビットデータB0に応じて、T-cell10、C-cell10の一方に“0”、他方に“1”を書き込むための負論理パルスとなる。

【0070】

ビットデータB1が入るANDゲートG41、G42の組、G51、G52の組も同様に、パルスP0、P1を選択する。そして、NORゲートG43、G53の出力/L1n'、/L1nは同様に、ビットデータB1に応じて、T-cell11、C-cell11の一方に“0”、他方に“1”を書き込むための負論理パルスとなる。

【0071】

図23は、具体的に図22により得られる正、負論理パルスに基づいて、図5に示す二つのペアセルT-cell10、C-cell10、T-cell11、C-cell11が接続されたビット線BL00、/BL00、BL10、/BL10に与えられる負論理書き込みパルス波形を、書き込みデータ毎に示している。信号波形の上に記述してある4ビットデータは、第1ビットがT-cell11、第2ビットがC-cell11、第3ビットがT-cell10、第4ビットがC-cell10に対応している。図21及び図22に示す正論理パルスHは、そのままワード線WL00に正論理書き込みパルスとして供給される。これを基準パルスとして、各ビット線対に与えられる負論理書き込みパルスは、データ“0”、“1”に応じて、パルス幅が調整され、また昇圧されている。これにより、前述のように、“0”書き込みセルは、カルコゲナイドが溶融され急冷されて高抵抗状態になり、“1”書き込みセルは、カルコゲナイドが結晶化されて、低抵抗状態になる。即ち、同時活性化される2セルアレイの中のペアセルに同時にデータ書き込みが可能になる。

[産業上の利用可能性]

この発明によれば、3次元セルアレイと読み出し/書き込み回路とを小さいチップ面積に集積して、しかも高速のデータ読み/書きを可能とした相変化メモリ装置を提供することができる。

【図面の簡単な説明】

【0072】

図1は、この発明の実施の形態による基本セルアレイの等価回路構成を示す図である。

図2は、実施の形態の4層セルアレイの概略レイアウトを示す図である。

図3は、メモリセルにショットキーダイオードを用いた場合の図2のI-I'断面図である。

図4は、メモリセルにPN接合ダイオードを用いた場合の図2のI-I'断面図である

10

20

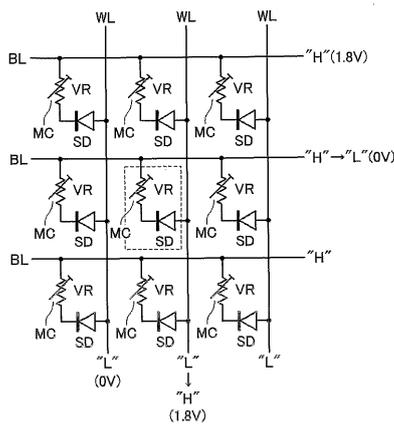
30

40

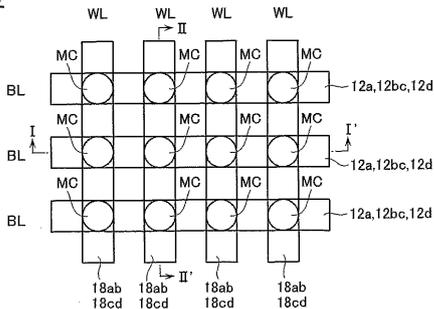
50

- 図5は、4層セルアレイの立体的等価回路を示す図である。
- 図6は、4層セルアレイと読み出し/書き込み回路の配置関係を示す図である。
- 図7は、ビット線両端の読み出し/書き込み回路への接続構造を示す断面図である。
- 図8は、ワード線の読み出し/書き込み回路への接続構造を示す断面図である。
- 図9は、4層セルアレイのユニット構成を示す図である。
- 図10は、読み出し/書き込み回路のレイアウト構成を示す図である。
- 図11は、ワード線選択回路部の構成を示す図である。
- 図12は、ビット線選択回路部の構成を示す図である。
- 図13は、ワード線選択回路及びビット線選択回路部のレイアウトを示す図である。 10
- 図14は、ビット線形成工程を示す斜視図である。
- 図15は、メモリセル形成工程を示す斜視図である。
- 図16は、ワード線形成工程を示す斜視図である。
- 図17A~図17Cは、図16のワード線形成工程を具体的に示す断面図である。
- 図18は、書き込み回路のキャパシタ及びダイオードとセルアレイの関係を示す断面図である。
- 図19は、ビット線に供給する負論理書き込みパルスを発生する書き込みパルス発生回路を示す図である。
- 図20は、同書き込みパルス発生回路の動作波形を示す図である。
- 図21は、同時活性化される2セルアレイに対する書き込みパルス発生回路の入出力関係を示す図である。 20
- 図22は、図21の入力論理パルスを発生する論理パルス発生回路を示す図である。
- 図23は、2ペアセルに対する書き込みパルス波形を示す図である。

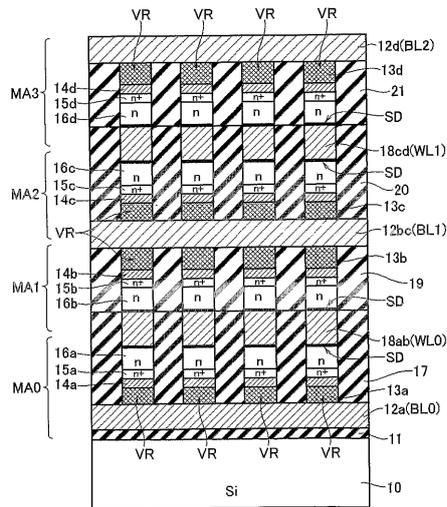
【図1】  
FIG. 1



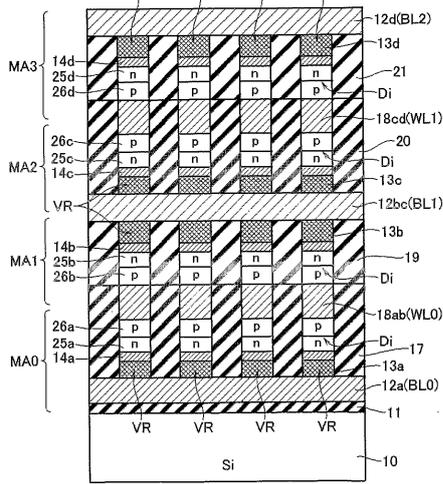
【図2】  
FIG. 2



【図3】  
FIG. 3



【 図 4 】  
FIG. 4



【 図 5 】

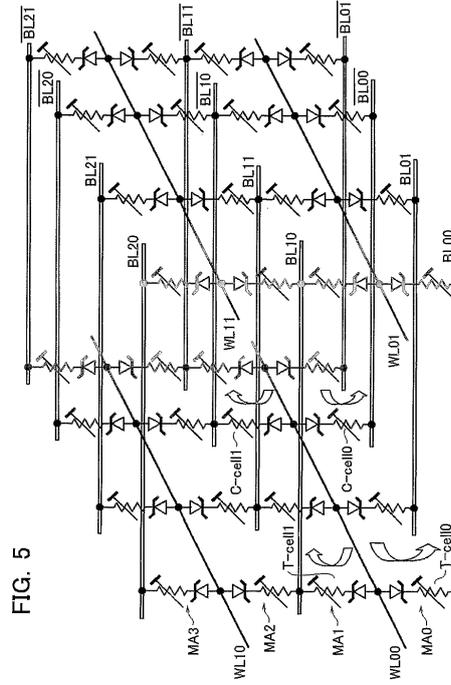
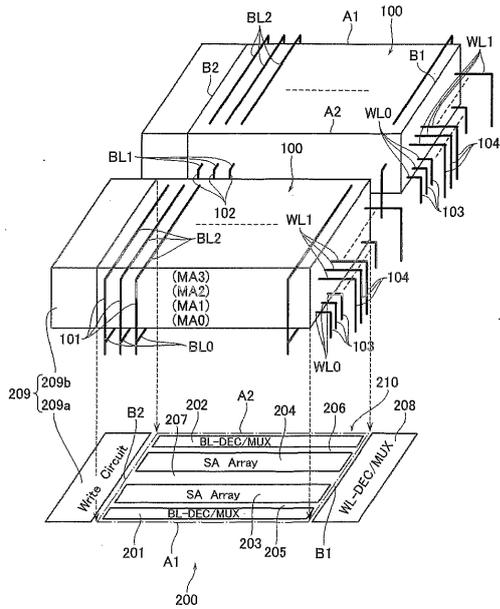


FIG. 5

【 図 6 】  
FIG. 6



【 図 7 】

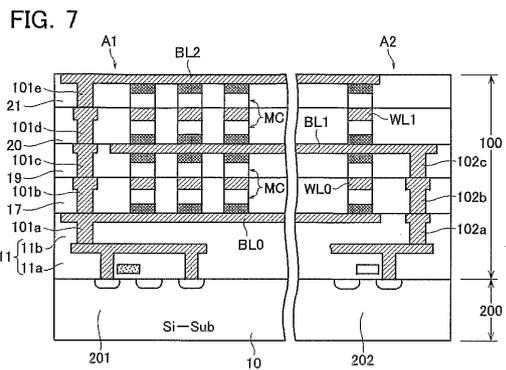


FIG. 7

【 図 8 】  
FIG. 8

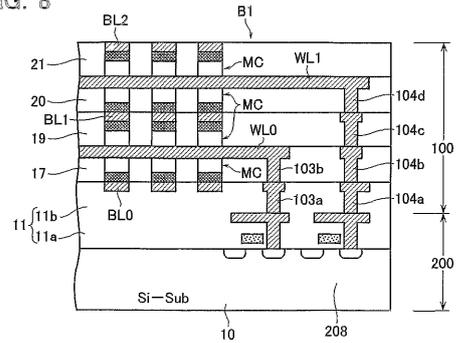
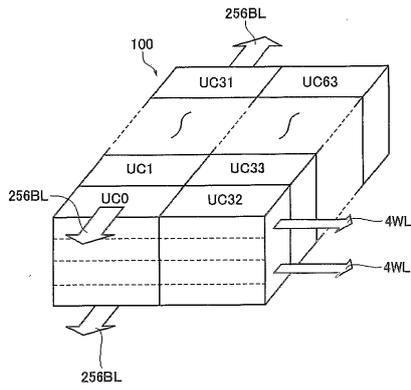


FIG. 8

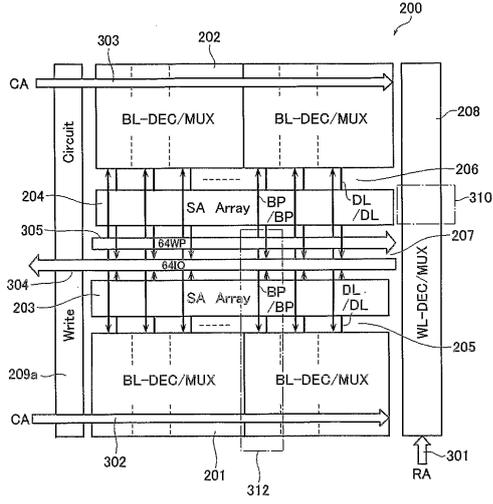
【 図 9 】

FIG. 9



【 図 10 】

FIG. 10



【 図 11 】

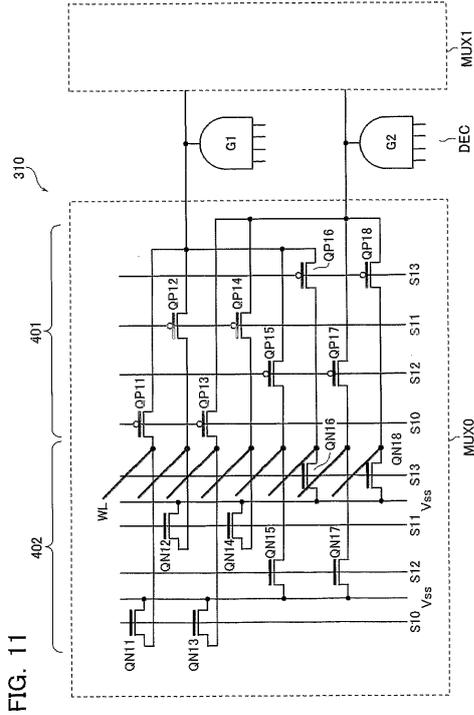


FIG. 11

【 図 12 】

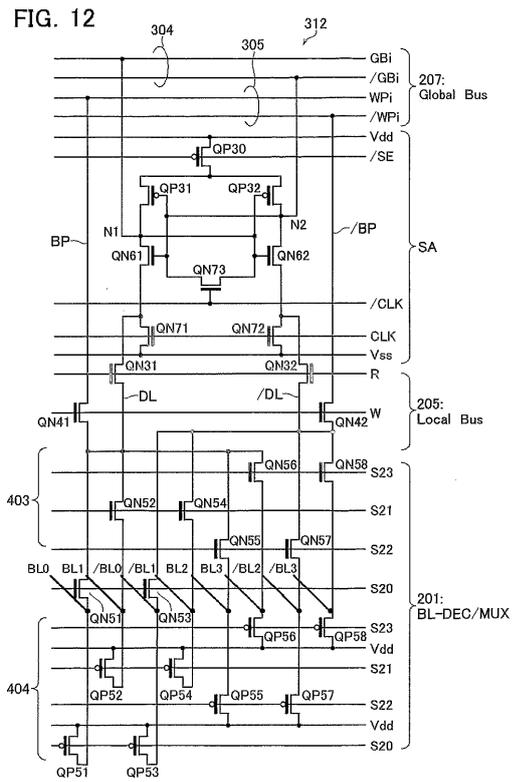


FIG. 12

【 図 1 3 】

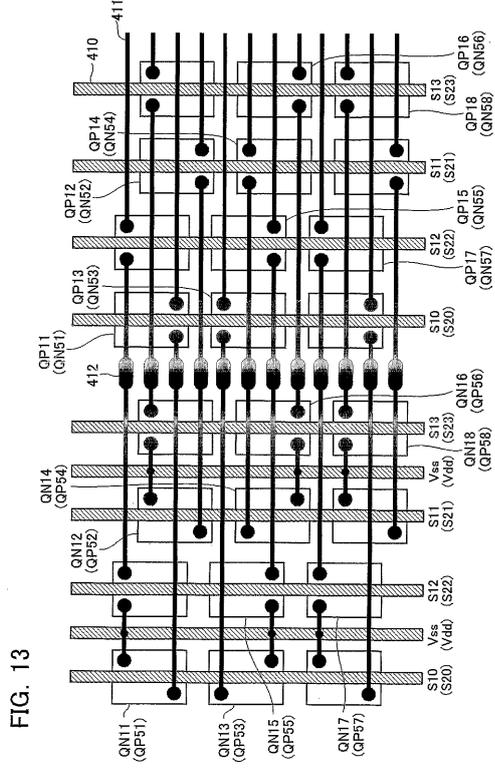
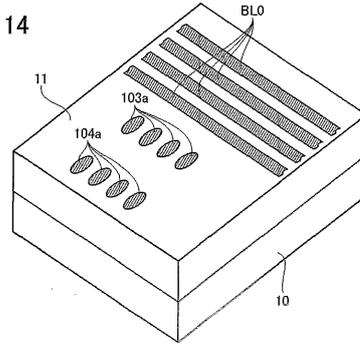


FIG. 13

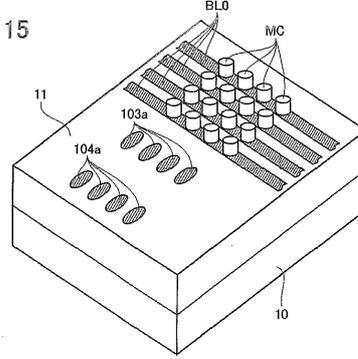
【 図 1 4 】

FIG. 14



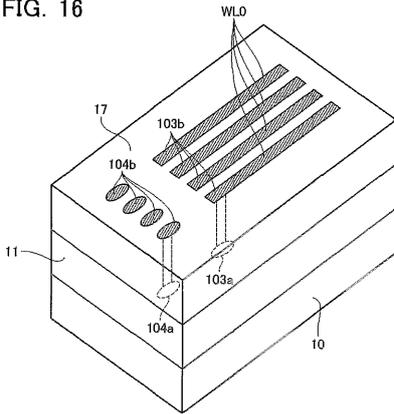
【 図 1 5 】

FIG. 15



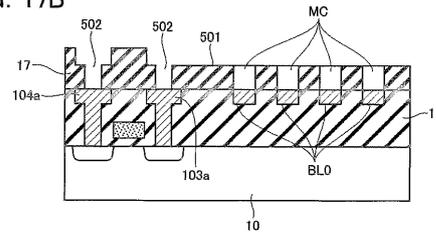
【 図 1 6 】

FIG. 16



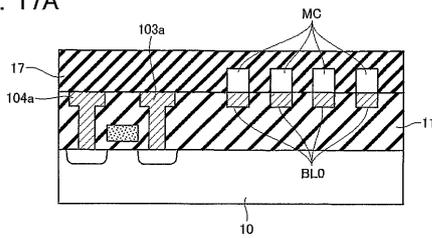
【 図 1 7 B 】

FIG. 17B



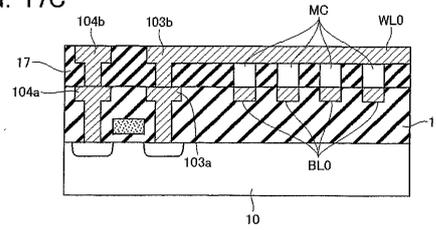
【 図 1 7 A 】

FIG. 17A



【 図 1 7 C 】

FIG. 17C



【 図 18 】

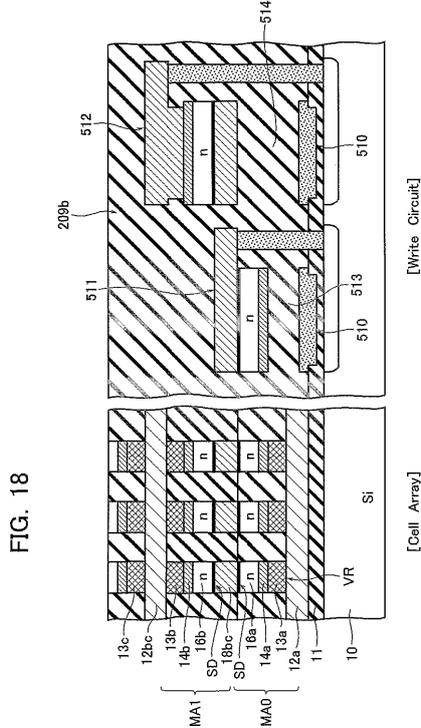
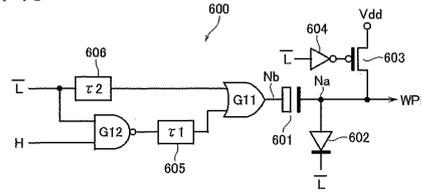


FIG. 18

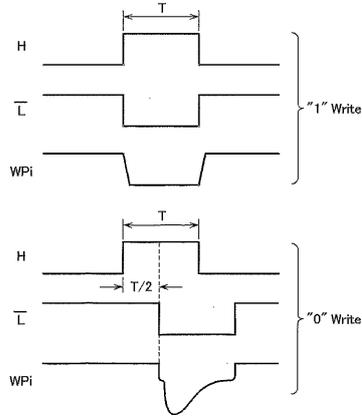
【 図 19 】

FIG. 19



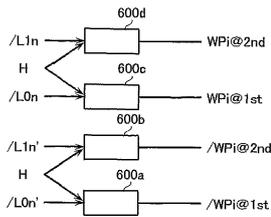
【 図 20 】

FIG. 20



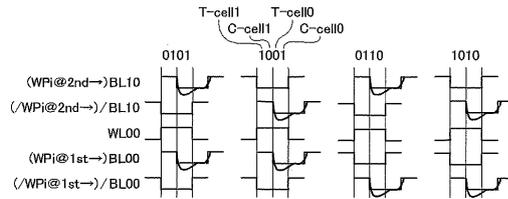
【 図 21 】

FIG. 21



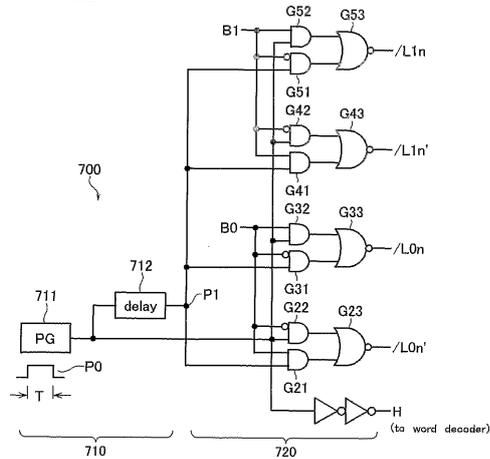
【 図 23 】

FIG. 23



【 図 22 】

FIG. 22



---

フロントページの続き

- (56)参考文献 特開2001-127263(JP,A)  
特開2001-168294(JP,A)  
特開2002-203390(JP,A)  
特開2003-059282(JP,A)  
特表2001-502848(JP,A)  
特表平11-514150(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/105  
G11C 13/00  
H01L 45/00