



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년12월20일
(11) 등록번호 10-1930779
(24) 등록일자 2018년12월13일

(51) 국제특허분류(Int. Cl.)
G11C 7/10 (2015.01) G11C 7/22 (2015.01)
G11C 8/10 (2006.01)
(21) 출원번호 10-2012-0035019
(22) 출원일자 2012년04월04일
심사청구일자 2017년04월04일
(65) 공개번호 10-2013-0112552
(43) 공개일자 2013년10월14일
(56) 선행기술조사문헌
US20100124131 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
이동욱
서울 송파구 올림픽로33길 17, 3동 405호 (신천동, 미성아파트)
(74) 대리인
김성남

전체 청구항 수 : 총 1 항

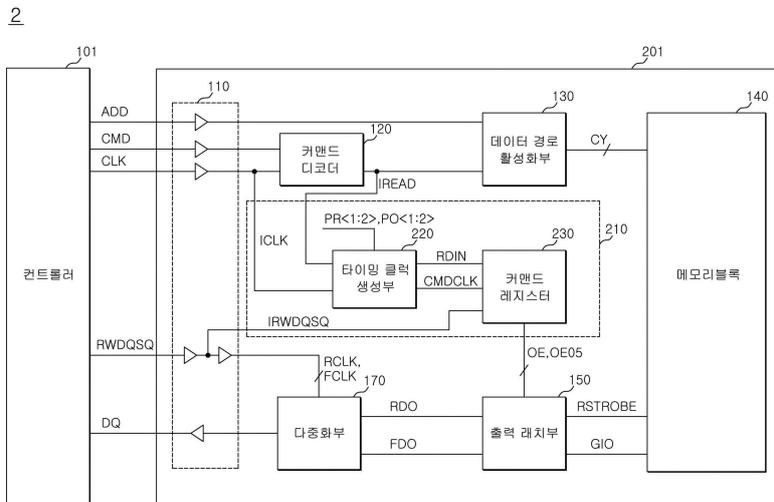
심사관 : 윤석채

(54) 발명의 명칭 반도체 메모리 회로 및 이를 이용한 데이터 처리 시스템

(57) 요약

고주파 동작에서 안정적인 데이터 전송이 가능하도록 한 반도체 메모리 회로 및 이를 이용한 데이터 처리 시스템에 관한 것으로서, 외부에서 제공된 스트로브 신호에 응답하여 리드(Read) 명령에 상응하는 데이터 출력이 이루어지도록 구성된 반도체 메모리 회로; 및 상기 리드 명령 및 상기 리드 명령과 관련된 상기 스트로브 신호를 상기 반도체 메모리 회로에 제공하도록 구성된 컨트롤러를 포함한다.

대표도



명세서

청구범위

청구항 1

명령 신호를 디코딩하여 리드 명령을 생성하도록 구성된 커맨드 디코더;
 어드레스 신호 및 상기 리드 명령에 응답하여 선택 신호를 생성하도록 구성된 데이터 경로 활성화부;
 상기 선택 신호에 해당하는 데이터를 신호 라인에 제공하도록 구성된 메모리 블록;
 데이터 출력 인에이블 신호에 응답하여 상기 신호 라인의 데이터를 출력하도록 구성된 출력 래치부; 및
 클럭 신호를 기준으로 입력된 상기 리드 명령의 타이밍을 조정하여 스트로브 신호 기준의 상기 데이터 출력 인에이블 신호를 생성하도록 구성된 출력 타이밍 조정부를 포함하는 반도체 메모리 회로.

청구항 2

◆청구항 2은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 메모리 블록은

상기 신호 라인을 통해 데이터가 출력되는 것을 알리기 위한 알림 신호를 출력하도록 구성되는 반도체 메모리 회로.

청구항 3

◆청구항 3은(는) 설정등록료 납부시 포기되었습니다.◆

제 2 항에 있어서,

상기 출력 래치부는

상기 알림 신호 및 상기 데이터 출력 인에이블 신호에 응답하여 상기 신호 라인의 데이터를 출력하도록 구성되는 반도체 메모리 회로.

청구항 4

◆청구항 4은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 출력 래치부의 출력 신호를 상기 스트로브 신호의 위상을 분리한 위상 분리 스트로브 신호에 응답하여 패드(DQ)를 통해 다중화하도록 구성된 다중화부를 더 포함하는 반도체 메모리 회로.

청구항 5

◆청구항 5은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 출력 타이밍 조정부는

상기 리드 명령을 상기 클럭 신호를 기준으로 프리앰블 신호 및 포스트앰블 신호에 맞도록 시프트시켜 복수의 타이밍 클럭을 생성하도록 구성된 타이밍 클럭 생성부, 및

상기 복수의 타이밍 클럭 중에서 어느 하나의 타이밍 클럭을 기준으로 다른 하나의 타이밍 클럭을 래치하고, 래치한 타이밍 클럭을 상기 스트로브 신호를 기준으로 상기 데이터 출력 인에이블 신호로서 출력하도록 구성된 커맨드 레지스터를 포함하는 반도체 메모리 회로.

청구항 6

◆청구항 6은(는) 설정등록료 납부시 포기되었습니다.◆

제 5 항에 있어서,

상기 어느 하나의 타이밍 클럭의 펄스 수는 하나의 명령에 대하여 프리앰블 펄스의 수와 포스트앰블 펄스의 수에 따라 가변되는 반도체 메모리 회로.

청구항 7

◆청구항 7은(는) 설정등록료 납부시 포기되었습니다.◆

제 5 항에 있어서,

상기 타이밍 클럭 생성부는

상기 클럭 신호에 응답하여 상기 리드 명령을 카운트함으로써 예비 타이밍 클럭을 생성하도록 구성된 카운터,

상기 예비 타이밍 클럭을 시프트시켜 복수의 예비 타이밍 클럭을 생성하도록 구성된 복수의 플립플롭,

상기 프리앰블 신호에 응답하여 상기 복수의 예비 타이밍 클럭을 선택적으로 출력하며, 상기 복수의 예비 타이밍 클럭 중에서 하나를 상기 다른 하나의 타이밍 클럭으로서 출력하도록 구성된 복수의 다중화기,

상기 포스트앰블 신호 및 상기 프리앰블 신호에 응답하여 상기 클럭 신호를 상기 복수의 플립플롭에 제공하도록 구성된 제 1 논리 게이트 그룹,

상기 복수의 예비 타이밍 클럭을 논리합하고, 논리합 결과를 상기 클럭 신호와 논리곱하여 상기 어느 하나의 타이밍 클럭으로서 출력하도록 구성된 제 2 논리 게이트 그룹을 포함하는 반도체 메모리 회로.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 회로에 관한 것으로서, 특히 반도체 메모리 회로 및 이를 이용한 데이터 처리 시스템에 관한 것이다.

배경 기술

[0002] 데이터 처리 시스템은 반도체 집적회로들 예를 들어, 반도체 메모리 회로와 컨트롤러(예를 들어, CPU 또는 GPU 등)를 포함하여 이루어질 수 있다.

[0003] 반도체 메모리 회로는 컨트롤러에서 리드(Read) 명령이 입력되면 내부에 저장된 데이터를 클럭 신호를 기준으로 내부적으로 정해진 타이밍에 따라 컨트롤러로 출력하게 된다.

[0004] 한편, 반도체 메모리 회로는 라이트(Write) 명령이 입력되면, 컨트롤러에서 제공하는 스트로브 신호(Strobe Signal)에 따라 컨트롤러에서 제공하는 데이터를 내부의 메모리 블록에 기록하게 된다.

[0005] 근래에 들어서는 휴대 전화, 컴퓨터 등과 같은 전자기기가 고속 동작을 요구하고, 그에 따라 동작 주파수가 점차적으로 증가하고 있다.

[0006] 따라서 반도체 메모리 회로는 데이터 전송 과정에서의 타이밍 마진(Timing Margin)을 충분히 확보하여 고속 동작에도 안정적인 성능을 유지할 필요성이 커지고 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 실시예는 고주파 동작에서 안정적인 데이터 전송이 가능하도록 한 반도체 메모리 회로 및 이를 이용한 데이터 처리 시스템을 제공하고자 한다.

과제의 해결 수단

[0008] 본 발명의 실시예는 외부에서 제공된 스트로브 신호에 응답하여 리드(Read) 명령에 상응하는 데이터 출력이 이루어지도록 구성된 반도체 메모리 회로; 및 상기 리드 명령 및 상기 리드 명령과 관련된 상기 스트로브 신호를 상기 반도체 메모리 회로에 제공하도록 구성된 컨트롤러를 포함할 수 있다.

[0009] 본 발명의 실시예는 명령 신호를 디코딩하여 상기 리드 명령을 생성하도록 구성된 커맨드 디코더, 어드레스 신호 및 상기 리드 명령에 응답하여 선택 신호를 생성하도록 구성된 데이터 경로 활성화부, 상기 선택 신호에 해당하는 데이터를 신호 라인에 제공하도록 구성된 메모리 블록, 데이터 출력 인에이블 신호에 응답하여 상기 신호 라인의 데이터를 출력하도록 구성된 출력 래치부, 및 클럭 신호를 기준으로 입력된 상기 리드 명령의 타이밍을 조정하여 상기 스트로브 신호 기준의 상기 데이터 출력 인에이블 신호를 생성하도록 구성된 출력 타이밍 조정부를 포함할 수 있다.

발명의 효과

[0010] 본 발명의 실시예는 컨트롤러에서 제공하는 스트로브 신호를 이용하여 안정적이며 고속의 데이터 리드 및 라이트가 가능하다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 실시예에 따른 데이터 처리 시스템(1)의 구성을 나타낸 블록도,
 도 2는 도 1의 출력 래치부(150)의 구성을 나타낸 회로도,
 도 3은 본 발명의 다른 실시예에 따른 데이터 처리 시스템(2)의 구성을 나타낸 블록도,

도 4는 도 3의 타이밍 클럭 생성부(220)의 구성을 나타낸 회로도,
 도 5 및 도 6은 도 4의 타이밍 클럭 생성부(220)의 동작 타이밍도,
 도 7은 도 3의 커맨드 레지스터(230)의 구성을 나타낸 회로도,
 도 8은 본 발명의 실시예에 따른 리드 동작을 나타낸 타이밍도,
 도 9는 본 발명의 또 다른 실시예에 따른 데이터 처리 시스템(3)의 구성을 나타낸 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 이하에서는 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하기로 한다.
- [0013] 도 1은 본 발명의 실시예에 따른 데이터 처리 시스템(1)의 구성을 나타낸 블록도이다.
- [0014] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 데이터 처리 시스템(1)은 컨트롤러(101) 및 반도체 메모리 회로(102)를 포함할 수 있다.
- [0015] 컨트롤러(101)는 반도체 메모리 회로(102)에 어드레스 신호(ADD), 명령 신호(CMD), 클럭 신호(CLK) 및 스트로브 신호(RWDQSQ)를 제공할 수 있다.
- [0016] 컨트롤러(101)는 라이트 명령을 인가하는 경우 메모리 회로(102)에 스트로브 신호(RWDQSQ)를 제공하며, 리드 명령을 인가하는 경우에도 반도체 메모리 회로(102)에 스트로브 신호(RWDQSQ)를 제공할 수 있다.
- [0017] 컨트롤러(101)는 CPU 또는 GPU 등을 포함할 수 있다.
- [0018] 반도체 메모리 회로(102)는 외부 즉, 컨트롤러(101)에서 제공된 스트로브 신호(RWDQSQ)에 응답하여 리드 동작을 수행할 수 있다.
- [0019] 반도체 메모리 회로(102)는 명령 신호(CMD)가 리드 명령을 정의하는 경우, 어드레스 신호(ADD)에 해당하는 데이터를 스트로브 신호(RWDQSQ)에 응답하여 외부 즉, 컨트롤러(101)에 출력할 수 있다.
- [0020] 반도체 메모리 회로(102)는 복수의 버퍼(110), 커맨드 디코더(120), 데이터 경로 활성화부(130), 메모리 블록(140), 출력 래치부(150), 시프트 레지스터(160) 및 다중화부(170)를 포함할 수 있다.
- [0021] 복수의 버퍼(110)는 어드레스 신호(ADD), 명령 신호(CMD) 및 클럭 신호(CLK) 및 스트로브 신호(RWDQSQ)를 수신하고, 다중화부(170)에서 출력된 데이터를 패드(DQ)를 통해 컨트롤러(101)로 송신할 수 있다.
- [0022] 이때 클럭 신호(CLK)는 복수의 버퍼(110) 중에서 어느 하나를 경유하여 내부 클럭 신호(ICLK)로서 출력될 수 있다.
- [0023] 스트로브 신호(RWDQSQ)는 복수의 버퍼(110) 중에서 어느 하나를 경유하여, 위상 분리 스트로브 신호(RCLK, FCLK)로서 출력될 수 있다.
- [0024] 커맨드 디코더(120)는 명령 신호(CMD)를 디코딩하여 내부 리드 명령(IREAD)을 생성할 수 있다.
- [0025] 데이터 경로 활성화부(130)는 내부 리드 명령(IREAD) 및 어드레스 신호(ADD)에 응답하여 메모리 블록(140)의 데이터 전송 경로를 활성화시키기 위한 선택 신호(CY)를 생성할 수 있다.
- [0026] 메모리 블록(140)은 선택 신호(CY)에 해당하는 데이터를 글로벌 데이터 라인(GIO)을 통해 출력할 수 있다.
- [0027] 메모리 블록(140)은 글로벌 데이터 라인(GIO)을 통해 데이터가 출력되는 것을 알리기 위한 알림 신호(RSTROBE)를 출력할 수 있다.
- [0028] 시프트 레지스터(160)는 내부 리드 명령(IREAD), 카스 레이턴시 신호(CL) 및 내부 클럭 신호(ICLK)에 응답하여 데이터 출력 인에이블 신호(OE, OE5)를 생성할 수 있다.
- [0029] 출력 래치부(150)는 글로벌 데이터 라인(GIO)에 실린 데이터를 데이터 출력 인에이블 신호(OE, OE5)에 응답하여 래치하여 리드 명령에 따른 출력 데이터(이하, 리드 데이터)(RDO, FDO)를 생성할 수 있다.
- [0030] 다중화부(170)는 리드 데이터(RDO, FDO)를 위상 분리 스트로브 신호(RCLK, FCLK)에 응답하여 선택적으로 출력할 수 있다.

- [0031] 도 2는 도 1의 출력 래치부(150)의 구성을 나타낸 회로도이다.
- [0032] 도 2에 도시된 바와 같이, 출력 래치부(150)는 FIFO(first-in first-out) 레지스터로 구성할 수 있다.
- [0033] 출력 래치부(150)는 복수의 플립플롭(151 ~ 153), 복수의 링 카운터(CNTR)(154, 158), 복수의 스위치(155 ~ 157) 및 역 다중화부(159)를 포함할 수 있다.
- [0034] 링 카운터(154)는 메모리 블록(140)에서 출력된 알림 신호(RSTROBE)에 응답하여 카운트 신호(dpin<0:2>)를 생성할 수 있다.
- [0035] 복수의 플립플롭(151 ~ 153)은 글로벌 데이터 라인(GIO)을 통해 출력되는 데이터를 카운트 신호(dpin<0:2>)에 응답하여 순차적으로 래치할 수 있다.
- [0036] 링 카운터(158)는 출력 인에이블 신호(OE)에 응답하여 카운트 신호(dpout<0:2>)를 생성할 수 있다.
- [0037] 복수의 스위치(155 ~ 157)는 복수의 플립플롭(151 ~ 153)에 래치된 데이터를 카운트 신호(dpout<0:2>)에 응답하여 순차적으로 출력할 수 있다.
- [0038] 역 다중화부(159)는 출력 인에이블 신호(OE5)에 응답하여 복수의 스위치(155 ~ 157)의 출력을 리드 데이터(RDO, FDO)로서 출력할 수 있다.
- [0039] 도 3은 본 발명의 다른 실시예에 따른 데이터 처리 시스템(2)의 구성을 나타낸 블록도이다.
- [0040] 도 3에 도시된 바와 같이, 본 발명의 실시예에 따른 데이터 처리 시스템(2)은 컨트롤러(101) 및 반도체 메모리 회로(201)를 포함할 수 있다.
- [0041] 컨트롤러(101)는 반도체 메모리 회로(201)에 어드레스 신호(ADD), 명령 신호(CMD), 클럭 신호(CLK) 및 스트로브 신호(RWDQSQ)를 제공할 수 있다.
- [0042] 컨트롤러(101)는 리드 명령을 인가하는 경우 반도체 메모리 회로(201)에 스트로브 신호(RWDQSQ)를 제공하며, 라이트 명령을 인가하는 경우에도 반도체 메모리 회로(201)에 스트로브 신호(RWDQSQ)를 제공할 수 있다.
- [0043] 스트로브 신호(RWDQSQ)는 리드 동작 시 반도체 메모리 회로(201)가 데이터를 출력하는 시점의 기준이 되는 신호로 사용될 수 있다.
- [0044] 스트로브 신호(RWDQSQ)는 라이트 동작 시 반도체 메모리 회로(201)가 컨트롤러(101)에서 제공한 데이터를 읽어들이는 시점의 기준이 되는 신호로 사용될 수 있다.
- [0045] 컨트롤러(101)는 CPU 또는 GPU 등을 포함할 수 있다.
- [0046] 반도체 메모리 회로(201)는 외부 즉, 컨트롤러(101)에서 제공된 스트로브 신호(RWDQSQ)에 응답하여 리드 동작을 수행할 수 있다.
- [0047] 반도체 메모리 회로(201)는 리드 동작 시, 스트로브 신호(RWDQSQ)를 기준으로 어드레스 신호(ADD)에 해당하는 데이터의 출력 타이밍을 조정할 수 있다.
- [0048] 반도체 메모리 회로(201)는 복수의 버퍼(110), 커맨드 디코더(120), 데이터 경로 활성화부(130), 메모리 블록(140), 출력 래치부(150), 다중화부(170) 및 출력 타이밍 조정부(210)를 포함할 수 있다.
- [0049] 복수의 버퍼(110)는 어드레스 신호(ADD), 명령 신호(CMD) 및 클럭 신호(CLK) 및 스트로브 신호(RWDQSQ)를 수신하고, 다중화부(170)에서 출력된 데이터를 패드(DQ)를 통해 컨트롤러(101)로 송신할 수 있다.
- [0050] 이때 클럭 신호(CLK)는 복수의 버퍼(110) 중에서 어느 하나를 경유하여 내부 클럭 신호(ICLK)로서 출력될 수 있다.
- [0051] 스트로브 신호(RWDQSQ)는 복수의 버퍼(110) 중에서 어느 하나를 경유하여 내부 클럭 신호(ICLK)와 동일한 지연 시간이 적용된 스트로브 신호(IRWDQSQ)로서 출력될 수 있다.
- [0052] 스트로브 신호(IRWDQSQ)는 복수의 버퍼(110) 중에서 어느 하나를 경유하여, 위상 분리 스트로브 신호(RCLK, FCLK)로서 출력될 수 있다.

- [0053] 커맨드 디코더(120)는 명령 신호(CMD)를 디코딩하여 내부 리드 명령(IREAD)을 생성할 수 있다.
- [0054] 데이터 경로 활성화부(130)는 내부 리드 명령(IREAD) 및 어드레스 신호(ADD)에 응답하여 메모리 블록(140)의 데이터 전송 경로를 활성화시키기 위한 선택 신호(CY)를 생성할 수 있다.
- [0055] 메모리 블록(140)은 선택 신호(CY)에 해당하는 데이터를 글로벌 데이터 라인(GIO)을 통해 출력할 수 있다.
- [0056] 메모리 블록(140)은 글로벌 데이터 라인(GIO)을 통해 데이터가 출력되는 것을 알리기 위한 알림 신호(RSTROBE)를 출력할 수 있다.
- [0057] 출력 래치부(150)는 글로벌 데이터 라인(GIO)에 실린 데이터를 데이터 출력 인에이블 신호(OE, OE5)에 응답하여 래치하여 리드 명령에 따른 출력 데이터(이하, 리드 데이터)(RDO, FDO)를 생성할 수 있다.
- [0058] 다중화부(170)는 리드 데이터(RDO, FDO)를 위상 분리 스트로브 신호(RCLK, FCLK)에 응답하여 선택적으로 출력할 수 있다.
- [0059] 출력 타이밍 조정부(210)는 도메인 크로싱 블록(Domain Crossing Block)으로서, 클럭 신호(ICLK)를 기준으로 입력된 리드 명령의 타이밍을 조정하여 스트로브 신호(RWDQSQ) 기준의 데이터 출력 인에이블 신호(OE, OE5)를 생성할 수 있다.
- [0060] 출력 타이밍 조정부(210)는 프리앰블 신호(PR<1:2>), 포스트앰블 신호(PO<1:2>), 내부 리드 명령(IREAD), 내부 클럭 신호(ICLK) 및 스트로브 신호(IRWDQSQ)에 응답하여 데이터 출력 인에이블 신호(OE, OE5)를 생성할 수 있다.
- [0061] 이때 프리앰블 신호(PR<1:2>)는 프리앰블(Preamble) 정보 즉, 시스템이 지원하는 프리앰블(Preamble) 펄스의 수에 관한 정보를 정의할 수 있다. 예를 들어, 시스템이 지원하는 프리앰블 펄스의 수가 0 ~ 2라면 2 비트의 프리앰블 신호(PR<1:2>)를 이용하여 프리앰블 펄스의 수를 정의할 수 있다.
- [0062] 포스트앰블 신호(PO<1:2>) 또한 프리앰블 신호(PR<1:2>)와 동일한 방식으로 포스트앰블(Postamble) 정보를 정의할 수 있다.
- [0063] 출력 타이밍 조정부(210)는 타이밍 클럭 생성부(220) 및 커맨드 레지스터(230)를 포함할 수 있다.
- [0064] 타이밍 클럭 생성부(220)는 내부 리드 명령(IREAD)을 내부 클럭 신호(ICLK)를 기준으로 프리앰블 신호(PR<1:2>) 및 포스트앰블 신호(PO<1:2>)에 맞도록 시프트시켜 복수의 타이밍 클럭(RDIN, CMDCLK)을 생성할 수 있다.
- [0065] 이때 타이밍 클럭(CMDCLK)의 펄스 수는 하나의 명령에 대하여 프리앰블 펄스의 수 + 포스트앰블 펄스의 수 + 1이다. 예를 들어, 1회의 리드 명령이 입력되고, 프리앰블 펄스와 포스트앰블 펄스가 각각 2개로 정해져 있다면, 타이밍 클럭(CMDCLK)의 펄스 수는 5가 될 수 있다.
- [0066] 물론, 이전의 리드 명령 또는 이후의 리드 명령이 입력됨에 따라 프리앰블 펄스 또는 포스트앰블 펄스가 서로 겹치게 되면 그 만큼의 타이밍 클럭(CMDCLK)의 펄스 수가 감소할 수 있다.
- [0067] 커맨드 레지스터(230)는 타이밍 클럭(RDIN)을 타이밍 클럭(CMDCLK)을 기준으로 래치하고, 래치한 타이밍 클럭(RDIN)을 스트로브 신호(IRWDQSQ)를 기준으로 데이터 출력 인에이블 신호(OE, OE5)로서 출력할 수 있다.
- [0068] 도 4는 도 3의 타이밍 클럭 생성부(220)의 구성을 나타낸 회로도이다.
- [0069] 도 4에 도시된 바와 같이, 타이밍 클럭 생성부(220)는 링 카운터(221), 복수의 플립플롭(222 ~ 225), 복수의 다중화기(226, 227) 및 복수의 논리 게이트(OR1, AND1 ~ AND5)를 포함할 수 있다.
- [0070] 링 카운터(221)는 내부 클럭 신호(ICLK)에 응답하여 내부 리드 명령(IREAD)을 카운트함으로써 예비 타이밍 클럭(RDCMD0)를 생성할 수 있다.
- [0071] 복수의 플립플롭(222 ~ 225)은 예비 타이밍 클럭(RDCMD0)을 내부 복수의 논리 게이트(AND1 ~ AND4)의 출력 신호에 응답하여 시프트시켜 복수의 예비 타이밍 클럭(RDCMD<1:4>)을 생성할 수 있다.
- [0072] 복수의 다중화기(226, 227)는 프리앰블 신호(PR<1:2>)에 응답하여 복수의 예비 타이밍 클럭(RDCMD<0:2>)을 선택적으로 출력할 수 있다.
- [0073] 다중화기(226)는 프리앰블 신호(PR<2>)에 응답하여 예비 타이밍 클럭(RDCMD<0>) 또는 예비 타이밍 클럭

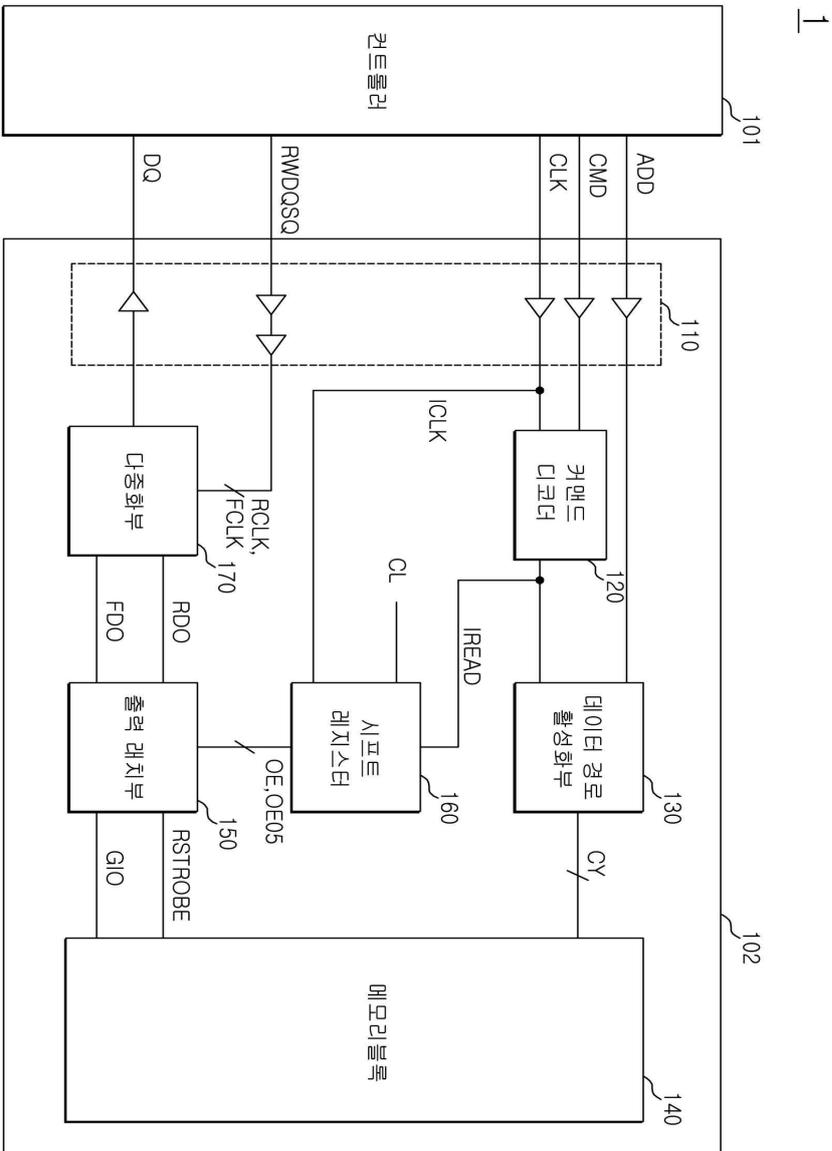
(RDCMD<1>)을 출력할 수 있다.

- [0074] 다중화기(227)는 프리앰블 신호(PR<1>)에 응답하여 예비 타이밍 클럭(RDCMD<0>) 또는 예비 타이밍 클럭(RDCMD<2>)을 타이밍 클럭(RDIN)으로서 출력할 수 있다.
- [0075] 복수의 논리 게이트(AND1 ~ AND4)는 포스트앰블 신호(PO<1:2>) 및 프리앰블 신호(PR<1:2>)에 응답하여 내부 클럭 신호(ICLK)를 복수의 플립플롭(222 ~ 225)에 제공할 수 있다.
- [0076] 논리 게이트들(OR1, AND5)는 복수의 예비 타이밍 클럭(RDCMD<0:4>)을 논리합하고, 논리합 결과를 내부 클럭 신호(ICLK)와 논리곱하여 타이밍 클럭(CMDCLK)을 생성할 수 있다.
- [0077] 도 5 및 도 6은 도 4의 타이밍 클럭 생성부(220)의 동작 타이밍도이다.
- [0078] 예를 들어, 프리앰블 펄스와 포스트앰블 펄스가 각각 2개라면, 프리앰블 신호 PR1 = H, PR2 = H가 될 수 있고, 포스트앰블 신호 PO1 = H, PO2 = H가 될 수 있다.
- [0079] 따라서 도 5와 같이, 타이밍 클럭 생성부(220)는 상승한 값을 갖는 프리앰블 신호(PR<1:2>) 및 포스트앰블 신호(PO<1:2>)에 응답하여 복수의 예비 타이밍 클럭(RDCMD<1:4>)을 활성화시키고, 5개의 펄스를 갖는 타이밍 클럭(CMDCLK)을 생성할 수 있다.
- [0080] 예를 들어, 프리앰블 펄스와 포스트앰블 펄스가 각각 1개라면, 프리앰블 신호 PR1 = H, PR2 = L가 될 수 있고, 포스트앰블 신호 PO1 = H, PO2 = L가 될 수 있다.
- [0081] 따라서 도 6과 같이, 타이밍 클럭 생성부(220)는 상승한 값을 갖는 프리앰블 신호(PR<1:2>) 및 포스트앰블 신호(PO<1:2>)에 응답하여 복수의 예비 타이밍 클럭(RDCMD<0, 2, 3>)을 활성화시키고, 3개의 펄스를 갖는 타이밍 클럭(CMDCLK)을 생성할 수 있다.
- [0082] 도 7은 도 3의 커맨드 레지스터(230)의 구성을 나타낸 회로도이다.
- [0083] 도 7에 도시된 바와 같이, 커맨드 레지스터(230)는 FIFO(first-in first-out) 레지스터로 구성할 수 있다.
- [0084] 커맨드 레지스터(230)는 복수의 플립플롭(231 ~ 233), 복수의 링 카운터(CNTR)(234, 238), 복수의 스위치(235 ~ 237) 및 역 다중화부(239)를 포함할 수 있다.
- [0085] 링 카운터(234)는 타이밍 클럭(CMDCLK)에 응답하여 카운트 신호(cpin<0:2>)를 생성할 수 있다.
- [0086] 복수의 플립플롭(231 ~ 233)은 타이밍 클럭(RDIN)을 카운트 신호(cpin<0:2>)에 응답하여 순차적으로 래치할 수 있다.
- [0087] 링 카운터(238)는 스트로브 신호(IRWDQSQ)에 응답하여 카운트 신호(cpout<0:2>)를 생성할 수 있다.
- [0088] 복수의 스위치(235 ~ 237)는 복수의 플립플롭(231 ~ 233)에 래치된 신호를 카운트 신호(cpout<0:2>)에 응답하여 순차적으로 출력할 수 있다.
- [0089] 역 다중화부(239)는 스트로브 신호(IRWDQSQ)에 응답하여 복수의 스위치(235 ~ 237)의 출력을 데이터 출력 인에이블 신호(OE, OE5)로서 출력할 수 있다.
- [0090] 도 8은 본 발명의 실시예에 따른 리드 동작을 나타낸 타이밍도이다.
- [0091] 먼저, 순차적으로 리드 명령, 노오퍼레이션(No Operation: NOP), 리드 명령이 입력되며, 프리앰블 펄스와 포스트앰블 펄스가 각각 1개인 것으로 가정한다.
- [0092] 리드 명령 각각과 정해진 지연시간(tCMD) 간격을 두고 2회의 내부 리드 명령(IREAD)이 발생된다.
- [0093] 내부 리드 명령(IREAD)에 따라 타이밍 클럭(CMDCLK)이 생성되고, 각 내부 리드 명령(IREAD)을 기준으로 1tCK 이후에 타이밍 클럭(RDIN)이 발생된다.
- [0094] 카스 레이턴시(CL) 이후에 발생된 스트로브 신호(RWDQSQ)에 의해 데이터 출력 인에이블 신호(OE)가 생성된다.

- [0095] 데이터 출력 인에이블 신호(OE)에 따라 패드(DQ)를 통해 데이터가 출력된다.
- [0096] 상술한 방식에 따르면, 데이터 출력 인에이블 신호(OE)를 스트로브 신호(RWDQSQ) 도메인으로 생성할 수 있고, tDQSS와 전원 노이즈 등에 의한 스트로브 신호(RWDQSQ)와 클럭 신호(CLK)의 타이밍 오차를 보상할 수 있다.
- [0097] 도 9는 본 발명의 또 다른 실시예에 따른 데이터 처리 시스템(3)의 구성을 나타낸 블록도이다.
- [0098] 도 9에 도시된 바와 같이, 본 발명의 실시예에 따른 데이터 처리 시스템(3)은 컨트롤러(101) 및 반도체 메모리 회로(301)를 포함할 수 있다.
- [0099] 컨트롤러(101)는 반도체 메모리 회로(301)에 어드레스 신호(ADD), 명령 신호(CMD), 클럭 신호(CLK) 및 스트로브 신호(RWDQSQ)를 제공할 수 있다.
- [0100] 컨트롤러(101)는 라이트 명령을 인가하는 경우 반도체 메모리 회로(301)에 스트로브 신호(RWDQSQ)를 제공하며, 리드 명령을 인가하는 경우에도 반도체 메모리 회로(301)에 스트로브 신호(RWDQSQ)를 제공할 수 있다.
- [0101] 스트로브 신호(RWDQSQ)는 라이트 동작 시 반도체 메모리 회로(301)가 컨트롤러(101)에서 제공한 데이터를 읽어들이는 시점의 기준이 되는 신호로 사용될 수 있다.
- [0102] 스트로브 신호(RWDQSQ)는 리드 동작 시 반도체 메모리 회로(301)가 데이터를 출력하는 시점의 기준이 되는 신호로 사용될 수 있다.
- [0103] 컨트롤러(101)는 CPU 또는 GPU 등을 포함할 수 있다.
- [0104] 반도체 메모리 회로(301)는 외부 즉, 컨트롤러(101)에서 제공된 스트로브 신호(RWDQSQ)에 응답하여 라이트 동작을 수행할 수 있다.
- [0105] 반도체 메모리 회로(301)는 라이트 동작 시, 스트로브 신호(RWDQSQ)를 기준으로 데이터를 라이트하는 타이밍을 조정할 수 있다.
- [0106] 반도체 메모리 회로(301)는 복수의 버퍼(111), 커맨드 디코더(120), 데이터 경로 활성화부(302), 메모리 블록(140), 입력 래치부(350), 래치(340) 및 입력 타이밍 조정부(310)를 포함할 수 있다.
- [0107] 복수의 버퍼(111)는 어드레스 신호(ADD), 명령 신호(CMD) 및 클럭 신호(CLK), 스트로브 신호(RWDQSQ)를 수신하고, 패드(DQ)를 통해 데이터를 수신할 수 있다.
- [0108] 이때 클럭 신호(CLK)는 복수의 버퍼(111) 중에서 어느 하나를 경유하여 내부 클럭 신호(ICLK)로서 출력될 수 있다.
- [0109] 스트로브 신호(RWDQSQ)는 복수의 버퍼(111) 중에서 어느 하나를 경유하여 내부 클럭 신호(ICLK)와 동일한 지연 시간이 적용된 스트로브 신호(IRWDQSQ)로서 출력될 수 있다.
- [0110] 스트로브 신호(IRWDQSQ)는 복수의 버퍼(111) 중에서 어느 하나를 경유하여, 위상 분리 스트로브 신호(DQSRP, DQSFP)로서 출력될 수 있다.
- [0111] 커맨드 디코더(120)는 명령 신호(CMD)를 디코딩하여 내부 라이트 명령(IWRITE)을 생성할 수 있다.
- [0112] 데이터 경로 활성화부(302)는 내부 라이트 명령(IWRITE) 및 어드레스 신호(ADD)에 응답하여 메모리 블록(140)의 데이터 전송 경로를 활성화시키기 위한 선택 신호(CY)를 생성할 수 있다.
- [0113] 데이터 경로 활성화부(302)는 라이트 동작에 따른 데이터 입력을 알리기 위한 알림 신호(DINSTROBE)를 출력할 수 있다.
- [0114] 메모리 블록(140)은 글로벌 데이터 라인(GIO)을 통해 입력되는 데이터를 선택 신호(CY)에 해당하는 영역에 기록할 수 있다.
- [0115] 래치(340)는 패드(DQ)를 통해 입력되는 데이터를 위상 분리 스트로브 신호(DQSRP, DQSFP)에 응답하여 래치할 수 있다.
- [0116] 입력 래치부(350)는 래치(340)에 래치된 데이터(DINR, DINF)를 알림 신호(DINSTROBE) 및 데이터 라이트 인에이블 신호(WE, WE5)에 응답하여 래치하여 글로벌 데이터 라인(GIO)을 통해 메모리 블록(140)에 입력시킬 수 있다.

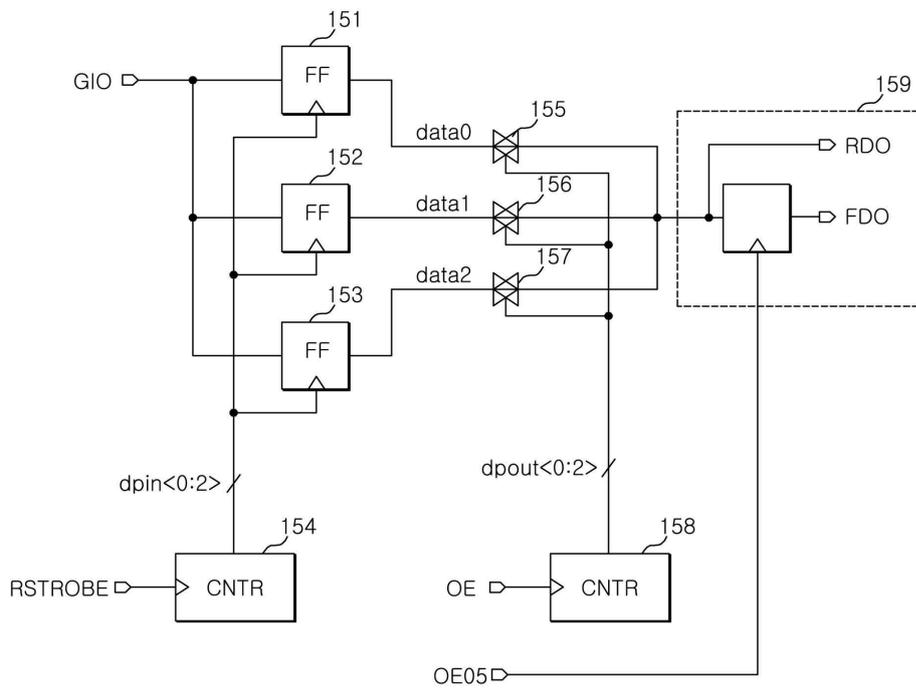
- [0117] 입력 타이밍 조정부(310)는 도메인 크로싱 블록(Domain Crossing Block)으로서, 클럭 신호(ICLK)를 기준으로 입력된 라이트 명령의 타이밍을 조정하여 스트로브 신호(RWDQSQ) 기준의 데이터 라이트 인에이블 신호(WE, WE5)를 생성할 수 있다.
- [0118] 입력 타이밍 조정부(310)는 프리앰블 신호(PR<1:2>), 포스트앰블 신호(PO<1:2>), 내부 라이트 명령(IWRITE), 내부 클럭 신호(ICLK) 및 스트로브 신호(IRWDQSQ)에 응답하여 데이터 라이트 인에이블 신호(WE, WE5)를 생성할 수 있다.
- [0119] 이때 프리앰블 신호(PR<1:2>)는 프리앰블(Preamble) 정보 즉, 시스템이 지원하는 프리앰블(Preamble) 펄스의 수에 관한 정보를 정의할 수 있다. 예를 들어, 시스템이 지원하는 프리앰블 펄스의 수가 0 ~ 2라면 2 비트의 프리앰블 신호(PR<1:2>)를 이용하여 프리앰블 펄스의 수를 정의할 수 있다.
- [0120] 포스트앰블 신호(PO<1:2>) 또한 프리앰블 신호(PR<1:2>)와 동일한 방식으로 포스트앰블(Postamble) 정보를 정의할 수 있다.
- [0121] 입력 타이밍 조정부(310)는 타이밍 클럭 생성부(320) 및 커맨드 레지스터(330)를 포함할 수 있다.
- [0122] 타이밍 클럭 생성부(320)는 내부 라이트 명령(IWRITE)을 내부 클럭 신호(ICLK)를 기준으로 프리앰블 신호(PR<1:2>) 및 포스트앰블 신호(PO<1:2>)에 맞도록 시프트시커 복수의 타이밍 클럭(WTIN, CMDCLK)을 생성할 수 있다.
- [0123] 이때 타이밍 클럭(CMDCLK)의 펄스 수는 하나의 명령에 대하여 프리앰블 펄스의 수 + 포스트앰블 펄스의 수 + 1이다. 예를 들어, 1회의 라이트 명령이 입력되고, 프리앰블 펄스와 포스트앰블 펄스가 각각 2개로 정해져 있다면, 타이밍 클럭(CMDCLK)의 펄스 수는 5가 될 수 있다.
- [0124] 물론, 이전의 리드 명령 또는 이후의 리드 명령이 입력됨에 따라 프리앰블 펄스 또는 포스트앰블 펄스가 서로 겹치게 되면 그 만큼의 타이밍 클럭(CMDCLK)의 펄스 수가 감소할 수 있다.
- [0125] 타이밍 클럭 생성부(320)는 도 4와 유사한 방식으로 구성할 수 있다.
- [0126] 커맨드 레지스터(330)는 타이밍 클럭(WTIN)을 타이밍 클럭(CMDCLK)을 기준으로 래치하고, 래치한 타이밍 클럭(WTIN)을 스트로브 신호(IRWDQSQ)를 기준으로 데이터 라이트 인에이블 신호(WE, WE5)로서 출력할 수 있다.
- [0127] 커맨드 레지스터(330)는 도 7과 유사한 방식으로 구성할 수 있다.
- [0128] 상술한 방식에 따르면, 데이터 라이트 인에이블 신호(WE)를 스트로브 신호(RWDQSQ) 도메인으로 생성할 수 있고, tDQSS와 전원 노이즈 등에 의한 스트로브 신호(RWDQSQ)와 클럭 신호(CLK)의 타이밍 오차를 보상할 수 있다.
- [0129] 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면
도면1

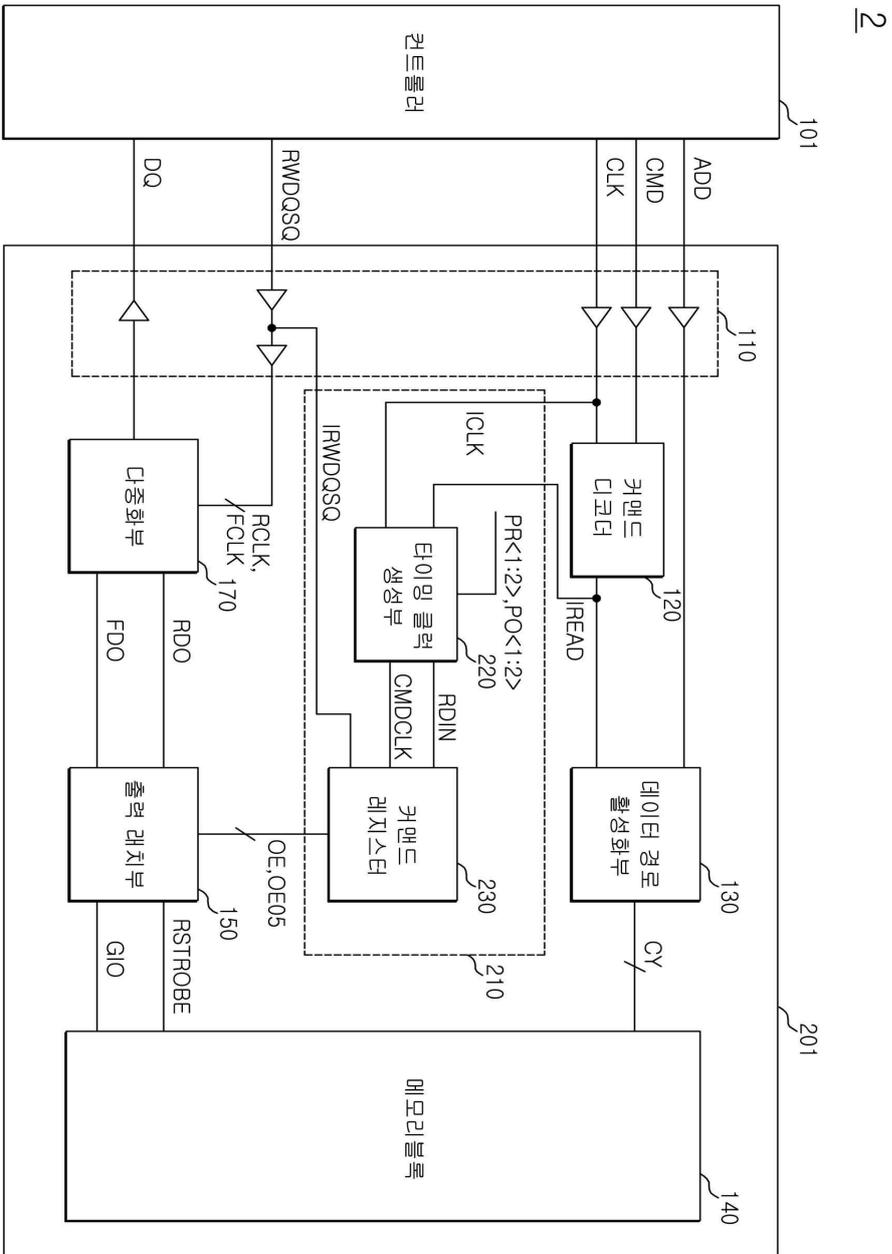


도면2

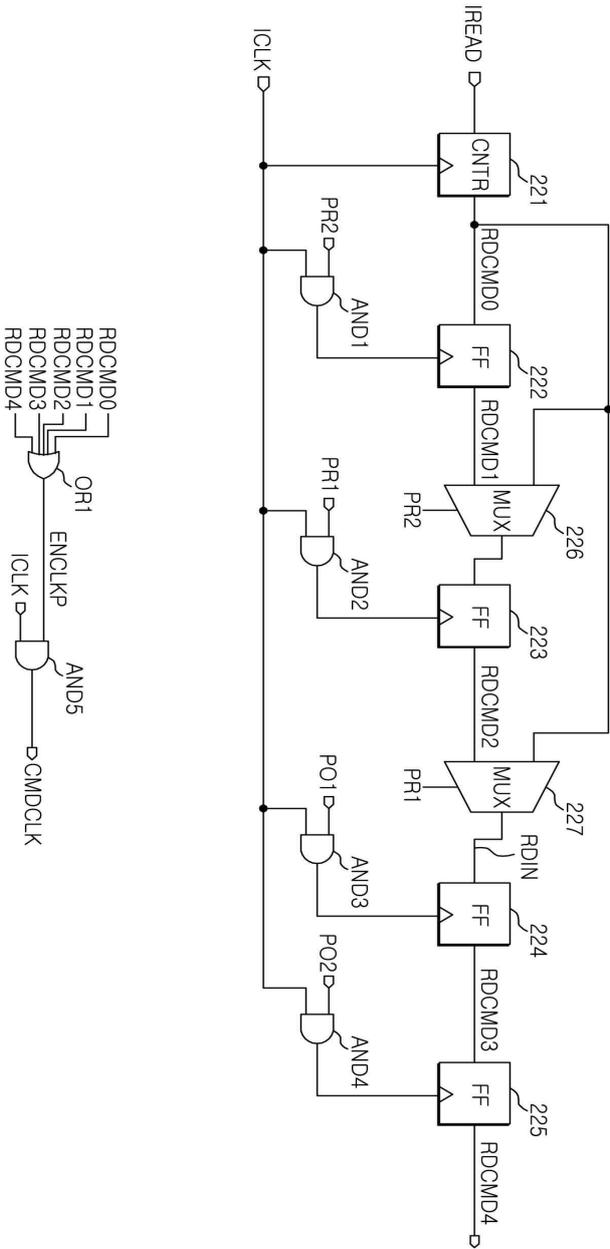
150



도면3

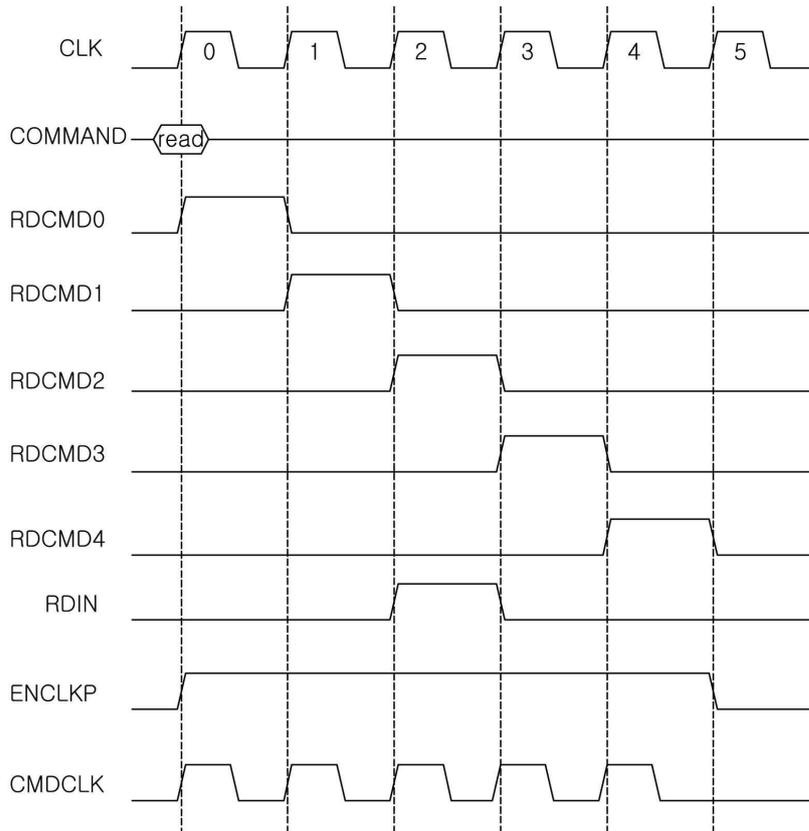


도면4



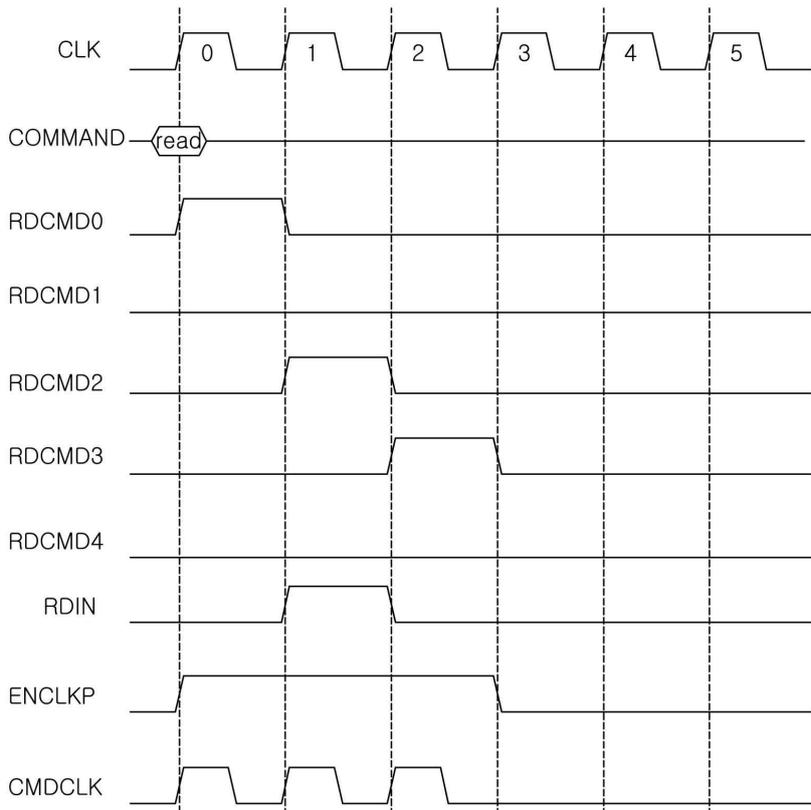
220

도면5



*Preamble=2,Postamble=2
 PR1=H ,PR2=H ,PO1=H ,PO2=H

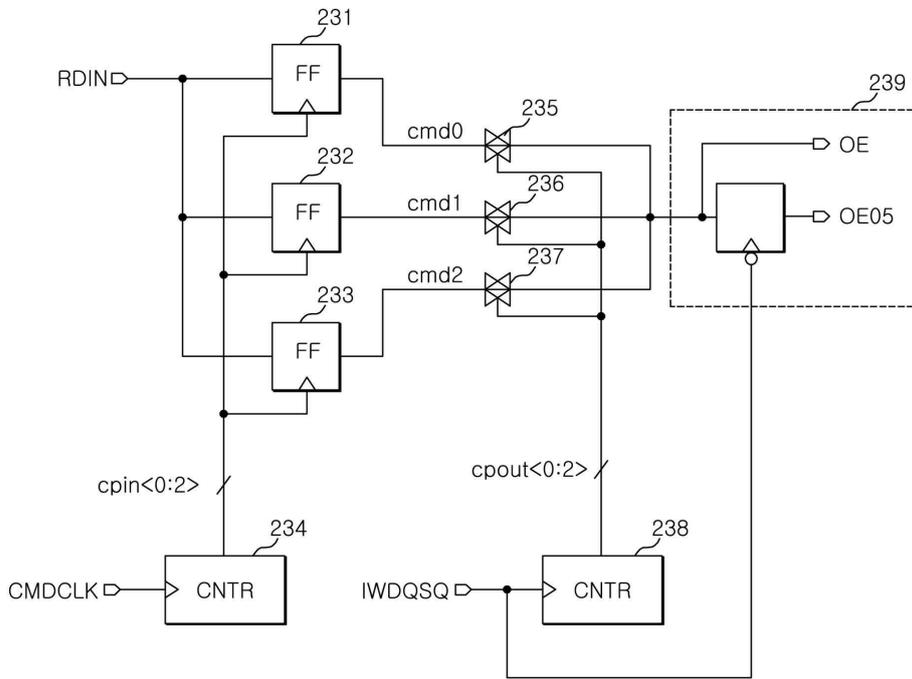
도면6



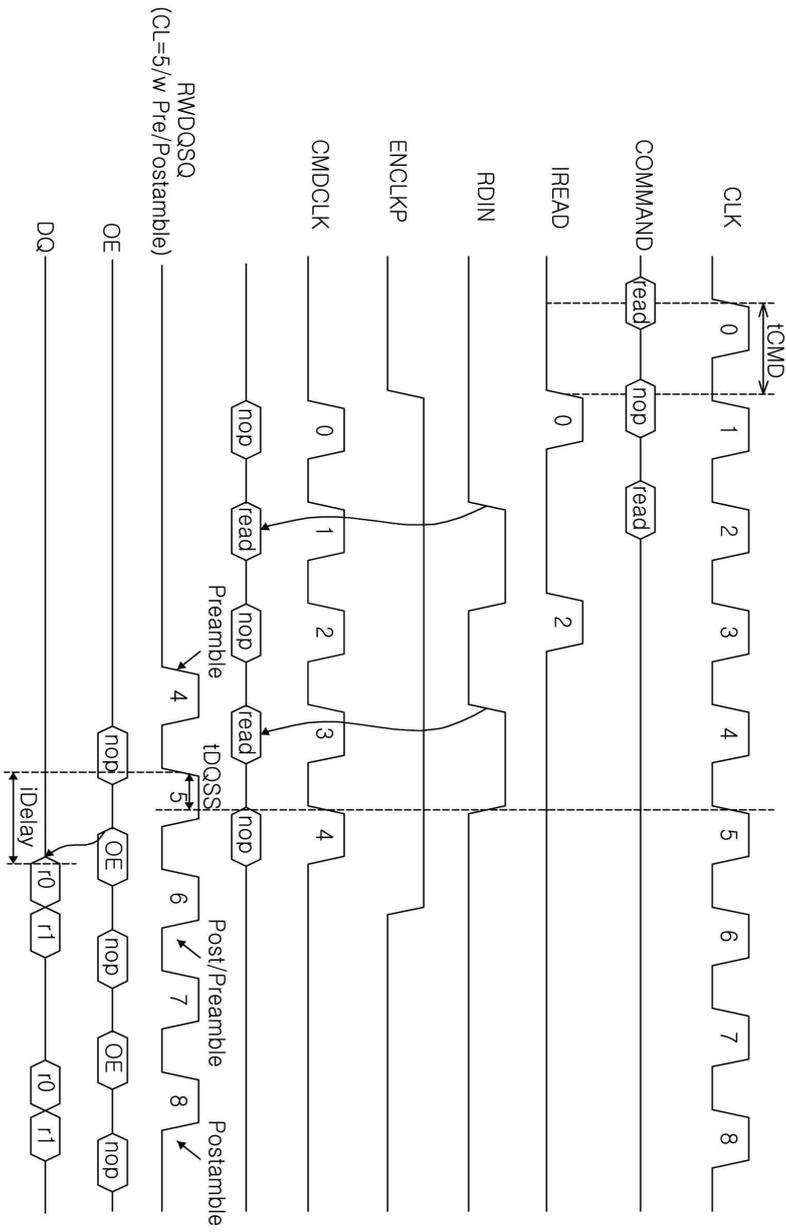
*Preamble=1,Postamble=1
PR1=H ,PR2=L ,PO1=H ,PO2=L

도면7

230

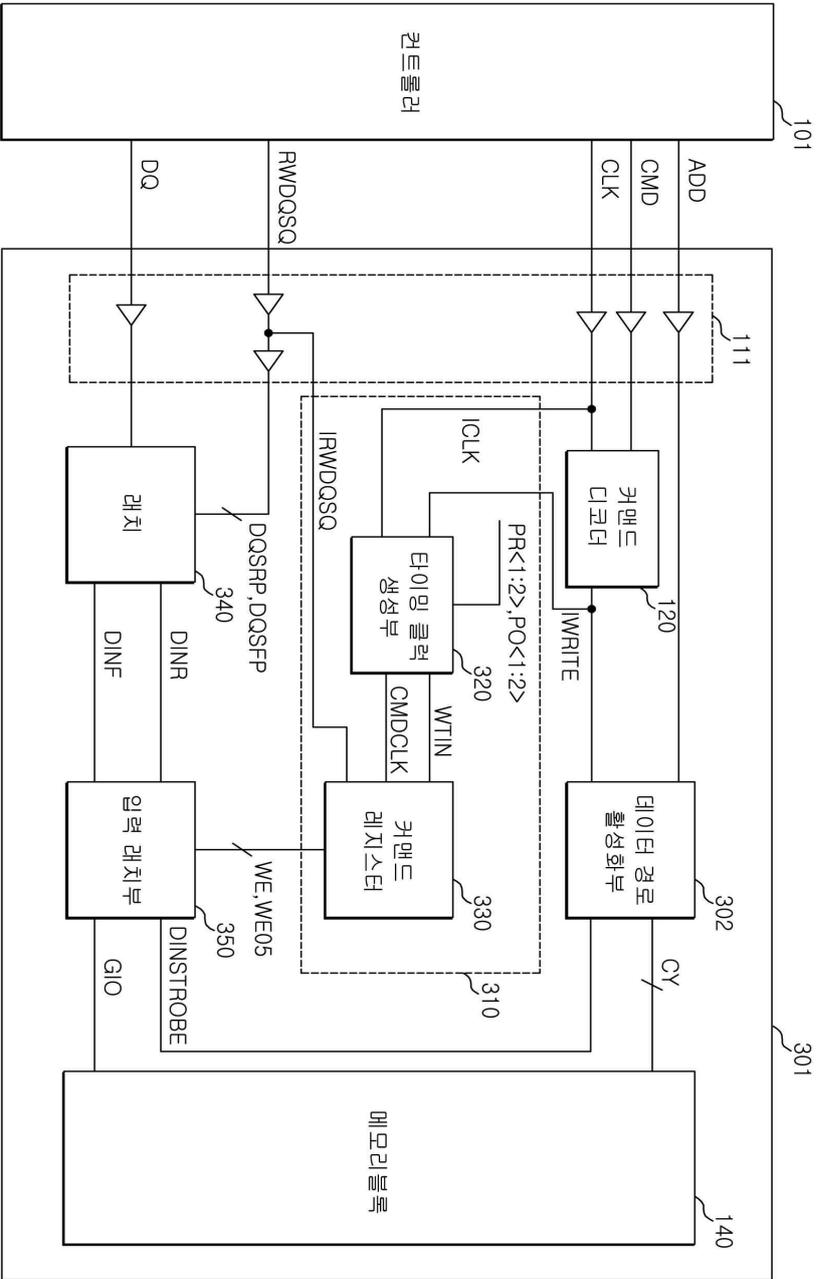


도면8



*Preamble=1, Postamble=1

도면9



3