(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. 6
G11C 11/401

(45) 공고일자 2002년04월24일
(11) 등록번호 10 - 0333700
(24) 등록일자 2002년04월10일

(21) 출원번호 10 - 1999 - 0025736
(22) 출원일자 1999년06월30일
(65) 공개번호 특2001 - 0004958
(43) 공개일자 2001년01월15일

(73) 특허권자
주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136 - 1

(72) 발명자
이승현
서울특별시도봉구도봉동595럭키아파트104 - 1006

(74) 대리인
특허법인 신성
최종식
정지원

심사관 : 곽준영

(54) 동기식 디램의 데이터 스트로브 버퍼

요약

본 발명은 반도체 메모리 기술에 관한 것으로, 특히 데이터 스트로브 신호(data strobe signal)를 사용하는 동기식 디램(synchronous dynamic random access memory)에 관한 것이며, 더 자세히는 동기식 디램의 데이터 스트로브 버퍼에 관한 것이다. 본 발명은 데이터 스트로브(DS) 신호의 동요에 의한 칩의 오동작을 방지할 수 있는 동기식 디램의 데이터 스트로브 버퍼를 제공하는데 그 목적이 있다. 본 발명은 데이터 스트로브(DS) 신호의 폴링 에지를 받아서 펄스로 만드는 다이나믹 버퍼에 사용되는 비교전압을 하이 임피던스(Hi - Z) 상태보다 소정 전압만큼 낮춰 줌으로써 DS 신호의 작은 동요에는 이 다이나믹 버퍼가 동작을 하지 않도록 하는 기술이다.

대표도

도 1

색인어

동기식 디램, 데이터 스트로브 신호, 버퍼, 기준전압, 전압강하

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 데이터 스트로브(DS) 버퍼의 회로도.

도 2는 본 발명의 일 실시예에 적용된 공지의 다이나믹 버퍼의 상세 회로도.

도 3은 본 발명의 일 실시예에 따른 데이터 스트로브 버퍼의 타이밍도.

* 도면의 주요 부분에 대한 부호의 설명

ds : 데이터 스트로브 신호

vref : 비교전압

vref_f : 전압강하된 비교전압

en : 버퍼 인에이블 신호

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 기술에 관한 것으로, 특히 데이터 스트로브 신호(data strobe signal)를 사용하는 동기식 디램(synchronous dynamic random access memory)에 관한 것이며, 더 자세히는 동기식 디램의 데이터 스트로브 버퍼에 관한 것이다.

근래 디램 개발 분야의 가장 두드러진 이슈(issue)는 SDRAM, DDR SDRAM(double data rate SDRAM), 램버스 디램(RAMBUS DRAM)과 같은 동기식 DRAM이라 할 수 있다. 동기식 디램은 일반 디램에 비해 고속 동작이 가능하여 향후의 메모리 시장을 주도할 것으로 기대된다.

DDR SDRAM에서 데이터 스트로브(이하, DS라 칭함) 신호는 sstl-2 인터페이스(interface)를 사용하기 때문에, 비활성 상태 즉, 신호가 발생하지 않을 때 하이 임피던스(Hi-Z) 상태를 나타낸다. 이에 따라 DS 신호가 칩에 인가되고 나서 다시 Hi-Z 상태로 되돌아 갈 때, 신호의 동요(fluctuation)가 빈번하게 발생한다.

DS 버퍼는 통상 2개의 다이나믹 버퍼(danamic buffer)로 구성되는데, 그 중 하나는 DS 신호의 라이징 에지(rising edge)를 받아서 펄스로 만들기 위한 것이고, 다른 하나는 DS 신호의 폴링 에지(falling edge)를 받아서 펄스로 만들기 위한 것이다.

이러한 종래의 DS 버퍼는 쓰기 동작시 2개의 다이나믹 버퍼가 항상 동작하기 때문에 DS 신호의 작은 동요에도 불필요한 출력이 발생하는 문제점이 있었다. 이는 DS 신호의 초기 상태가 Hi-Z 상태이기 때문에 다이나믹 버퍼의 비교전위에 대해 Hi-Z 상태가 조금이라도 동요가 발생하면 DS 버퍼가 동작을 하기 때문이다. 이렇게 발생되는 DS 버퍼의 불필요한 동작은 칩의 속도가 빨라지거나, 동작 조건이 타이트(tight)해지면 칩의 오동작을 발생시키는 요인이 되며, 2개의 다이나믹 버퍼의 출력 중 DS 신호의 라이징 에지를 받아서 만든 펄스는 칩의 동작에 거의 영향을 주지 않으며, DS 신호의 폴링 에지를 받아서 만든 펄스가 칩의 오동작을 일으키는 주요한 원인이 된다.

이러한 문제점은 DDR SDRAM 뿐만 아니라, 데이터 스트로브 신호를 사용하는 모든 종류의 동기식 디램에서 나타날 수 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 데이터 스트로브(DS) 신호의 동요에 의한 칩의 오동작을 방지할 수 있는 동기식 디램의 데이터 스트로브 버퍼를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

본 발명은 데이터 스트로브(DS) 신호의 폴링 에지를 받아서 펄스로 만드는 다이나믹 버퍼에 사용되는 비교전압을 하이 임피던스(Hi-Z) 상태보다 소정 전압만큼 낮춰 줌으로써 DS 신호의 작은 동요에는 이 다이나믹 버퍼가 동작을 하지 않도록 하는 기술이다.

상기의 기술적 과제를 달성하기 위한 본 발명은, 데이터 스트로브 신호의 라이징 에지를 받아 제1 펄스를 생성하는 제1 다이나믹 버퍼와 상기 데이터 스트로브 신호의 폴링 에지를 받아 제2 펄스를 생성하는 제2 다이나믹 버퍼를 구비한 동기식 디램의 데이터 스트로브 버퍼에 있어서, 상기 데이터 스트로브 신호의 하이 임피던스 상태보다 소정 전압만큼 전압강하된 비교전압을 발생시키기 위한 전압발생회로를 구비하며, 상기 데이터 스트로브 신호와 상기 전압발생회로로부터 출력된 상기 비교전압을 상기 제2 다이나믹 버퍼의 입력으로 하여, 상기 데이터 스트로브 신호의 마지막 폴링 에지 이후에 발생한 동요에 의해 상기 제2 다이나믹 버퍼가 동작하지 않도록 하는 것을 특징으로 한다.

또한, 상기 전압발생회로는 상기 데이터 스트로브 신호의 하이 임피던스 상태와 같은 레벨의 비교전압과 접지전압을 입력으로 하는 전압 분배기로 구성하는 것이 바람직하다.

이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.

첨부된 도면 도 1는 본 발명의 일 실시예에 따른 데이터 스트로브(DS) 버퍼의 회로도로서, 이하 이를 참조하여 설명한다.

본 실시예에 따른 DS 버퍼는 도시된 바와 같이 2개의 다이나믹 버퍼(r_buf, f_buf)를 구비한다. 이 중 하나의 다이나믹 버퍼(r_buf)는 DS 신호의 라이징 에지를 받아서 펄스로 만드는 버퍼이며, 다른 하나의 다이나믹 버퍼(f_buf)는 DS 신호의 폴링 에지를 받아서 펄스로 만드는 버퍼이다.

우선, 다이나믹 버퍼 r_buf는 그의 제1 입력단인 vref단으로 Hi-Z 상태와 동일한 레벨의 비교전압(vref)을 인가 받고, 그의 제2 입력단인 clk단으로 데이터 스트로브(ds) 신호를 인가 받으며, 입력 인에이블단인 clk_en단으로 버퍼 인에이블 신호(en)를 인가 받아, 그 출력단(clkt2)으로 ds 신호의 라이징 에지를 받아서 만든 펄스(r_ds)를 출력한다.

한편, 다이나믹 버퍼 f_buf는 그의 제1 입력단인 vref단으로 데이터 스트로브(ds) 신호를 인가 받으며, 그의 제2 입력단인 clk단으로 Hi-Z 상태와 동일한 레벨의 비교전압(vref)을 전압강하시킨 vref_f 신호를 인가 받고, 입력 인에이블단인 clk_en단으로 버퍼 인에이블 신호(en)를 인가 받아, 그 출력단(clkt2)으로 ds 신호의 폴링 에지를 받아서 만든 펄스(f_ds)를 출력한다. 즉, 다이나믹 버퍼 r_buf는 종래와 동일한 구성을 가지며, 다이나믹 버퍼 f_buf의 경우 그의 제2 입력단으로 vref_f 신호를 인가 받는 것이 종래와 다른 점이라 할 수 있다.

vref_f 신호는 원내와 같이 Hi-Z 상태와 동일한 레벨을 가지는 비교전압(vref)을 분배하는 2개의 저항(R17, R18)으로 구성된 전압 분배기(voltage divider)에서 만들어 진다. 이때, 본 실시예에서는 2개의 저항(R17, R18)의 저항값이 각각 47kΩ, 8kΩ을 사용하였으나, 저항값을 조절하여 전압강하되는 레벨을 결정할 수 있다.

첨부된 도면 도 2는 본 발명의 일 실시예에 적용된 공지의 다이나믹 버퍼의 상세 회로를 도시한 것으로, 크게 전류 미러형 차동 증폭부(20)와, 펄스 발생부(21)로 구성되며, 전류 미러형 차동 증폭부(20)는 clk_en단을 버퍼 인에이블 단으로 하여 vref단과 clk단의 입력 신호를 비교한다. 이때, 전류 미러형 차동 증폭부(20)는 그 공급전원으로 qVDD(quiet VDD)를 사용하며, 그 접지전원으로 qVSS(quiet VSS)를 사용한다.

도시된 다이나믹 버퍼에서 전류 미러형 차동 증폭부(20)는 vref단과 clk단을 비교하여 clk단이 vref단보다 높으면, 결국 하이 레벨의 신호를 출력하고, clk단이 vref단보다 낮으면 로우 레벨의 신호를 출력하게 되며, 펄스 발생부(21)는 전류 미러형 차동 증폭부(21)의 출력을 입력으로 하여 하이 액티브 펄스(high active pulse)를 생성하여 clkt2단으로 출력한다.

도시된 다이나믹 버퍼는 공지된 회로이므로 그 상세 구성 및 동작 설명은 생략하기로 한다.

다시 상기 도 1을 참조하여 그 동작을 설명하기로 한다.

다이나믹 버퍼 r_buf에서는 입력 ds 신호와 비교전압 vref 신호가 각각 clk단 및 vref단에 정상적으로 연결되어 있으며, 다이나믹 버퍼 f_buf에서는 이들이 반대로 연결되어 있다. 이런 식으로, 다이나믹 버퍼 r_buf에서는 ds 신호의 라이징 에지에서 펄스 r_ds를 발생시키고, 다이나믹 버퍼 f_buf에서는 ds 신호의 폴링 에지에서 펄스 f_ds를 발생시키게 된다.

DDR SDRAM에서 ds 신호는 그 초기 상태(Hi-Z)가 다이나믹 버퍼의 비교전압 vref 신호와 같은 레벨이다. 그리고, 칩이 쓰기 동작을 할 때에는 하이나 로우 상태를 반복하다가 쓰기 동작이 끝나면, 다시 비교전압 vref와 같은 Hi-Z 상태로 돌아 간다. 전술한 바와 같이 이러한 다이나믹 버퍼가 동작하는 동안에 ds 신호가 Hi-Z 상태에서 약간의 동요가 발생하게 되면, 버퍼가 불필요한 동작을 하게 되며, 이러한 불필요한 동작은 r_ds 펄스인 경우에는 칩의 동작에 영향을 주지 않지만, f_ds 펄스의 경우에는 칩의 오동작을 유발하는 원인이 된다.

도면에서와 같이 다이나믹 버퍼 r_buf의 비교전압 vref는 그대로 사용하고, f_buf 버퍼의 비교전원을 vref 신호(Hi-Z 레벨과 동일)보다 낮은 vref_f 신호로 바꾸게 되면 즉, 도 2에 도시된 다이나믹 버퍼에서 vref단으로 ds 신호가 들어가고, clk단으로 전압강하된 비교전원 vref_f가 들어가게 되면, 첨부된 도면 도 3에 도시된 바와 같이 ds 신호가 모든 정보를 칩에 제공하고 다시 Hi-Z 상태로 돌아갈 때 ds 신호에 약한 동요(A)가 발생할 경우, 동요(A)에 의해 발생한 로우 레벨이 강하된 기준전압 vref_f보다 높기 때문에 동요(A)에 의한 라이징 에지에서 다이나믹 버퍼(f_buf)가 동작하지 않고 f_ds 펄스는 로우 레벨을 유지하게 된다.

참고적으로, 동요(A)에 의한 ds 신호의 라이징 에지에서 r_ds 펄스가 뜨지만, 전술한 바와 같이 칩의 동작에는 영향을 미치지 않는다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

예컨대, 전술한 실시예에서는 비교전압 vref를 강하시키기 위해 전압 분배기를 사용하는 경우를 일례로 들어 설명하였으나, 본 발명은 전압 분배기 외의 다른 수단을 사용하여 데이터 스트로브 신호의 하이 임피던스 상태보다 소정 전압만큼 전압강하된 비교전압을 생성하는 모든 경우에 적용될 수 있다.

발명의 효과

전술한 본 발명은 데이터 스트로브(DS) 신호의 요동에 의한 오동작을 사전에 방지할 수 있어, 칩의 속도가 빨라지거나 동작 조건이 타이트해질 경우에 DDR SDRAM의 tDQSS 파라메터(parameter)의 최소(minimum)값을 보장할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

데이터 스트로브 신호의 라이징 에지를 받아 제1 펄스를 생성하는 제1 다이나믹 버퍼와 상기 데이터 스트로브 신호의 폴링 에지를 받아 제2 펄스를 생성하는 제2 다이나믹 버퍼를 구비한 동기식 디램의 데이터 스트로브 버퍼에 있어서,

상기 데이터 스트로브 신호의 하이 임피던스 상태보다 소정 전압만큼 전압강하된 비교전압을 발생시키기 위한 전압발생회로를 구비하며,

상기 데이터 스트로브 신호와 상기 전압발생회로로부터 출력된 상기 비교전압을 상기 제2 다이나믹 버퍼의 입력으로 하여,

상기 데이터 스트로브 신호의 마지막 폴링 에지 이후에 발생한 동요에 의해 상기 제2 다이나믹 버퍼가 동작하지 않도록 하는 것을 특징으로 하는 동기식 디램의 데이터 스트로브 버퍼.

청구항 2.

제1항에 있어서,

상기 전압발생회로가,

상기 데이터 스트로브 신호의 하이 임피던스 상태와 같은 레벨의 비교전압과 접지전압을 입력으로 하는 전압 분배기를 구비하는 것을 특징으로 하는 동기식 디램의 데이터 스트로브 버퍼.

청구항 3.

제1항 또는 제2항에 있어서,

상기 제2 다이나믹 버퍼가,

상기 데이터 스트로브 신호와 상기 전압강하된 비교전압을 입력으로 하는 전류 미러형 차동증폭부와,

상기 전류 미러형 차동증폭부의 출력을 입력으로 하여 하이 액티브 펄스를 생성하는 펄스 발생부를 구비한 것을 특징으로 하는 동기식 디램의 데이터 스트로브 버퍼.

청구항 4.

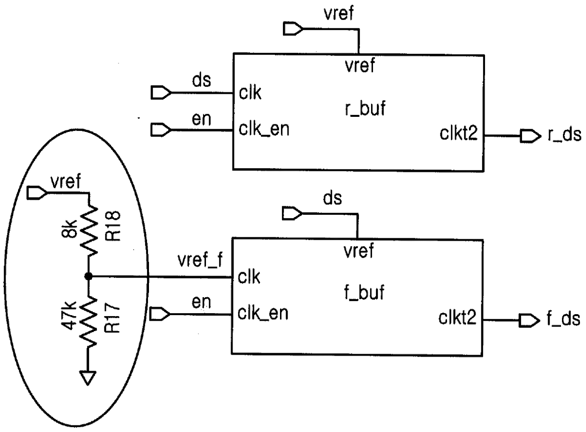
제3항에 있어서,

상기 전류 미러형 차동증폭부가,

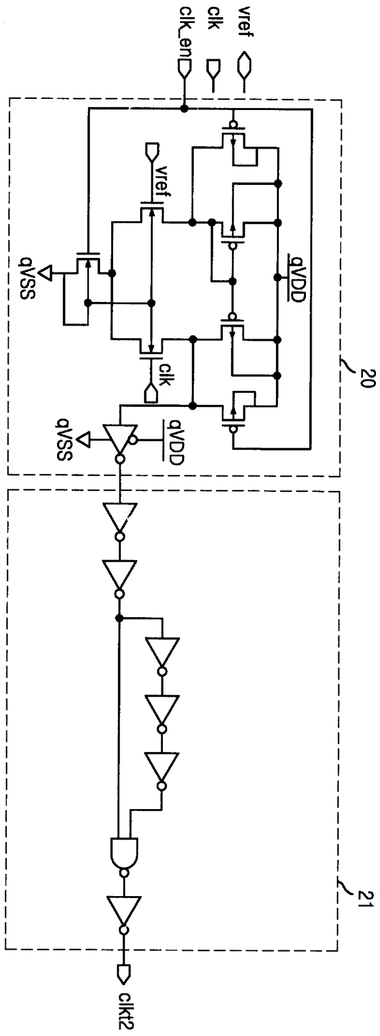
공급전원으로 qVDD(quiet VDD)를 사용하며, 접지전원으로 qVSS(quiet VSS)를 사용하는 것을 특징으로 하는 동기식 디램의 데이터 스트로브 버퍼.

도면

도면 1


vref
ds
clk
en
clk_en
vref
r_buf
clkt2
r_ds
vref
8k
R18
47k
R17
vref_f
ds
vref
clk
en
clk_en
f_buf
clkt2
f_ds

도면 2



도면 3