



(12)发明专利

(10)授权公告号 CN 106298627 B

(45)授权公告日 2019.06.28

(21)申请号 201510259140.5

H01L 21/306(2006.01)

(22)申请日 2015.05.20

(56)对比文件

(65)同一申请的已公布的文献号  
申请公布号 CN 106298627 A

CN 102347338 A,2012.02.08,  
CN 104143550 A,2014.11.12,  
US 2012244657 A1,2012.09.27,  
CN 104428887 A,2015.03.18,  
CN 102810631 A,2012.12.05,

(43)申请公布日 2017.01.04

(73)专利权人 中芯国际集成电路制造(上海)有限公司

审查员 张淑玮

地址 201203 上海市浦东新区张江路18号

专利权人 中芯集成电路(宁波)有限公司

(72)发明人 朱继光 李海艇

(74)专利代理机构 北京市磐华律师事务所  
11336

代理人 董巍 高伟

(51)Int.Cl.

H01L 21/76(2006.01)

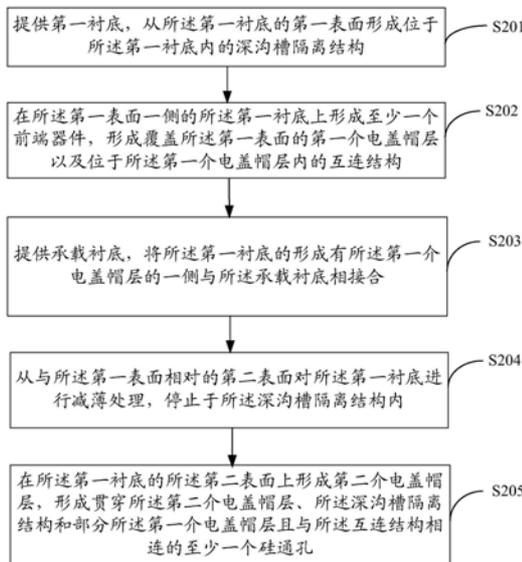
权利要求书2页 说明书8页 附图3页

(54)发明名称

一种半导体器件的制造方法和电子装置

(57)摘要

本发明提供一种半导体器件的制造方法和电子装置,涉及半导体技术领域。包括:提供第一衬底,从第一衬底的第一表面形成位于第一衬底内的深沟槽隔离结构;在第一表面一侧的第一衬底上形成至少一个前端器件,形成覆盖第一表面的第一介电盖帽层以及位于第一介电盖帽层内的互连结构;提供承载衬底,将第一衬底的形成有第一介电盖帽层的一侧与承载衬底相接合;从与第一表面相对的第二表面对第一衬底进行减薄处理,停止于深沟槽隔离结构内;在第一衬底的第二表面上形成第二介电盖帽层,形成至少一个硅通孔。本发明的方法采用更简单和成熟的制作工艺实现了对体硅衬底的加工而获得与使用SOI衬底基本相同的器件结构,可以降低成本。



1. 一种半导体器件的制造方法,其特征在于,所述方法包括:

步骤S201:提供第一衬底(100),从所述第一衬底(100)的第一表面(1001)形成位于所述第一衬底(100)内的深沟槽隔离结构(101);

步骤S202:在所述第一表面(1001)一侧的所述第一衬底(100)上形成至少一个前端器件(102),形成覆盖所述第一表面(1001)的第一介电盖帽层(103)以及位于所述第一介电盖帽层(103)内的互连结构(104);

步骤S203:提供承载衬底(200),将所述第一衬底(100)的形成有所述第一介电盖帽层(103)的一侧与所述承载衬底(200)相接合;

步骤S204:从与所述第一表面(1001)相对的第二表面(1002)对所述第一衬底(100)进行减薄处理,停止于所述深沟槽隔离结构(101)内;

步骤S205:在所述第一衬底(100)的所述第二表面(1002)上形成第二介电盖帽层(105),形成贯穿所述第二介电盖帽层(105)、所述深沟槽隔离结构(101)和部分所述第一介电盖帽层(103)且与所述互连结构(104)相连的至少一个硅通孔(106)。

2. 根据权利要求1所述的制造方法,其特征在于,形成所述深沟槽隔离结构的步骤包括:

步骤S2011:在所述第一衬底的第一表面上形成图案化的掩膜层,所述掩膜层内定义有所述深沟槽隔离结构的尺寸;

步骤S2012:以所述图案化的掩膜层为掩膜,刻蚀所述第一衬底形成深沟槽;

步骤S2013:在所述深沟槽内填充深沟槽隔离材料。

3. 根据权利要求2所述的制造方法,其特征在于,所述步骤S2013包括:

在所述深沟槽内填充多晶硅层;

回蚀刻所述多晶硅层;

在所述多晶硅层上形成氧化硅层;

对所述氧化硅层进行化学机械研磨,停止于所述第一衬底的第一表面上。

4. 根据权利要求3所述的制造方法,其特征在于,采用对所述多晶硅层进行氧化的方法形成所述氧化硅层。

5. 根据权利要求2所述的制造方法,其特征在于,在所述步骤S2012和所述步骤S2013之间,还包括在所述深沟槽的侧壁上形成衬垫层的步骤。

6. 根据权利要求1所述的制造方法,其特征在于,所述深沟槽隔离结构的填充材料包括自下而上层叠的多晶硅层和氧化硅层。

7. 根据权利要求1所述的制造方法,其特征在于,所述深沟槽隔离结构的深度范围为1~3 $\mu\text{m}$ 。

8. 根据权利要求1所述的制造方法,其特征在于,在所述步骤S204中,所述减薄处理包括:

步骤S2041:对所述第一衬底进行背面研磨处理;

步骤S2042:对所述第一衬底进行CMP并使所述CMP停止于所述深沟槽隔离结构的底部。

9. 根据权利要求8所述的制造方法,其特征在于,在所述步骤S2041与所述步骤S2042之间还包括对所述第一衬底进行湿法刻蚀的步骤。

10. 根据权利要求1所述的制造方法,其特征在于,在所述步骤S205之后还包括以下步

骤:

在所述第一衬底的所述第二表面上形成与所述硅通孔相连的焊盘;  
形成覆盖所述第一衬底的所述第二表面但暴露出所述焊盘的打线区的钝化层。

11. 根据权利要求1所述的制造方法,其特征在于,所述前端器件包括晶体管。

12. 根据权利要求11所述的制造方法,其特征在于,所述晶体管包括源极、漏极和栅极结构,其中,所述源极和所述漏极位于所述第一表面的下方,所述栅极结构位于所述第一表面的上方。

13. 根据权利要求1所述的制造方法,其特征在于,所述第一衬底包括体硅衬底。

14. 一种电子装置,其特征在于,包括电子组件以及与该电子组件相连的半导体器件,其中所述半导体器件的制造方法包括:

步骤S201:提供第一衬底,从所述第一衬底的第一表面形成位于所述第一衬底内的深沟槽隔离结构;

步骤S202:在所述第一表面一侧的所述第一衬底上形成至少一个前端器件,形成覆盖所述第一表面的第一介电盖帽层以及位于所述第一介电盖帽层内的互连结构;

步骤S203:提供承载衬底,将所述第一衬底的形成有所述第一介电盖帽层的一侧与所述承载衬底相接合;

步骤S204:从与所述第一表面相对的第二表面对所述第一衬底进行减薄,停止于所述深沟槽隔离结构内;

步骤S205:在所述第一衬底的所述第二表面上形成第二介电盖帽层,形成贯穿所述第二介电盖帽层、所述深沟槽隔离结构和部分所述第一介电盖帽层且与所述互连结构相连的至少一个硅通孔。

## 一种半导体器件的制造方法和电子装置

### 技术领域

[0001] 本发明涉及半导体技术领域,具体而言涉及一种半导体器件的制造方法和电子装置。

### 背景技术

[0002] SOI (Silicon-On-Insulator,即绝缘体上硅)是指在硅的绝缘衬底上再形成一薄层单晶硅,或者是单晶薄硅层被绝缘层从硅衬底分开,这种结构的材料可以使器件和衬底完全隔离,而传统的采用体硅作为衬底的所有器件共享一个衬底不存在任何物理介电隔离。

[0003] 与常规的体硅技术相比,SOI技术具有以下优点:寄生效应小、功耗减小、速度提高、集成度高、抗辐射能力增强、消除了闭锁效应、漏电流小、能为器件和电路提供良好的全介质隔离等,鉴于上述优点的存在,SOI技术在低压、低功耗电路、高频微波电路以及耐高温抗辐射电路及三维集成电路中有着广泛的应用。

[0004] 虽然SOI技术有着诸多体硅不可比拟的优点,但SOI衬底的制备复杂,使得SOI衬底成本较高,直接制约了其在半导体产业的应用。相应地,使用绝缘体上硅衬底的半导体器件(例如射频前端器件),往往成本比较高。

[0005] 深沟槽隔离(DTI)工艺已被广泛研究和应用了很长一段时间,与此同时,硅晶圆的熔融键合/堆叠和背面工艺在薄膜硅器件的背面工艺中的应用也更加成熟,背面减薄到 $2\mu\text{m}$ 并具有总厚度变化(TTV)为 $0.3\mu\text{m}$ 的工艺标准要求已经应用大量器件产品。

[0006] 因此,有必要提出一种半导体器件的制造方法,以在不使用绝缘体上硅衬底的情况下,采用现有的深沟槽隔离等成熟工艺完成半导体器件的制造,从而降低半导体器件的成本。

### 发明内容

[0007] 在发明内容部分中引入了一系列简化形式的概念,这将在具体实施方式部分中进一步详细说明。本发明的发明内容部分并不意味着要试图限定出所要求保护的技术方案的关键特征和必要技术特征,更不意味着试图确定所要求保护的技术方案的保护范围。

[0008] 针对现有技术的不足,本发明实施例一提供一种半导体器件的制造方法,所述方法包括:

[0009] 步骤S201:提供第一衬底,从所述第一衬底的第一表面形成位于所述第一衬底内的深沟槽隔离结构;

[0010] 步骤S202:在所述第一表面一侧的所述第一衬底上形成至少一个前端器件,形成覆盖所述第一表面的第一介电盖帽层以及位于所述第一介电盖帽层内的互连结构;

[0011] 步骤S203:提供承载衬底,将所述第一衬底的形成有所述第一介电盖帽层的一侧与所述承载衬底相接合;

[0012] 步骤S204:从与所述第一表面相对的第二表面对所述第一衬底进行减薄处理,停

止于所述深沟槽隔离结构内；

[0013] 步骤S205:在所述第一衬底的所述第二表面上形成第二介电盖帽层,形成贯穿所述第二介电盖帽层、所述深沟槽隔离结构和部分所述第一介电盖帽层且与所述互连结构相连的至少一个硅通孔。

[0014] 在一个示例中,形成所述深沟槽隔离结构的步骤包括:

[0015] 步骤S2011:在所述第一衬底的第一表面上形成图案化的掩膜层,所述掩膜层内定义有所述深沟槽隔离结构的尺寸;

[0016] 步骤S2012:以所述图案化的掩膜层为掩膜,刻蚀所述第一衬底形成深沟槽;

[0017] 步骤S2013:在所述深沟槽内填充深沟槽隔离材料。

[0018] 进一步,所述步骤S2013包括:

[0019] 在所述深沟槽内填充多晶硅层;

[0020] 回蚀刻所述多晶硅层;

[0021] 在所述多晶硅层上形成氧化硅层;

[0022] 对所述氧化硅层进行化学机械研磨,停止于所述第一衬底的第一表面上。

[0023] 进一步,采用对所述多晶硅层进行氧化的方法形成所述氧化硅层。

[0024] 进一步,在所述步骤S2012和所述步骤S2013之间,还包括在所述深沟槽的侧壁上形成衬垫层的步骤。

[0025] 进一步,所述深沟槽隔离结构的填充材料包括自下而上层叠的多晶硅层和氧化硅层。

[0026] 进一步,所述深沟槽隔离结构的深度范围为 $1\sim 3\mu\text{m}$ 。

[0027] 进一步,在所述步骤S204中,所述减薄处理包括:

[0028] 步骤S2041:对所述第一衬底进行背面研磨处理;

[0029] 步骤S2042:对所述第一衬底进行CMP并使所述CMP停止于所述深沟槽隔离结构的底部。

[0030] 进一步,在所述步骤S2041与所述步骤S2042之间还包括对所述第一衬底进行湿法刻蚀的步骤。

[0031] 进一步,在所述步骤S205之后还包括以下步骤:

[0032] 在所述第一衬底的所述第二表面上形成与所述硅通孔相连的焊盘;

[0033] 形成覆盖所述第一衬底的所述第二表面但暴露出所述焊盘的打线区的钝化层。

[0034] 进一步,所述前端器件包括晶体管。

[0035] 进一步,所述晶体管包括源极、漏极和栅极结构,其中,所述源极和所述漏极位于所述第一表面的下方,所述栅极结构位于所述第一表面的上方。

[0036] 进一步,所述第一衬底包括体硅衬底。

[0037] 本发明实施例二提供一种电子装置,包括电子组件以及与所述电子组件相连的半导体器件,其中所述半导体器件的制造方法包括:

[0038] 步骤S201:提供第一衬底,从所述第一衬底的第一表面形成位于所述第一衬底内的深沟槽隔离结构;

[0039] 步骤S202:在所述第一表面一侧的所述第一衬底上形成至少一个前端器件,形成覆盖所述第一表面的第一介电盖帽层以及位于所述第一介电盖帽层内的互连结构;

[0040] 步骤S203:提供承载衬底,将所述第一衬底的形成有所述第一介电盖帽层的一侧与所述承载衬底相接合;

[0041] 步骤S204:从与所述第一表面相对的第二表面对所述第一衬底进行减薄,停止于所述深沟槽隔离结构内;

[0042] 步骤S205:在所述第一衬底的所述第二表面上形成第二介电盖帽层,形成贯穿所述第二介电盖帽层、所述深沟槽隔离结构和部分所述第一介电盖帽层且与所述互连结构相连的至少一个硅通孔。

[0043] 本发明实施例的半导体器件的制造方法,通过在第一衬底上接合承载衬底并对第一衬底进行减薄处理,可以用普通的体硅衬底而非绝缘体上硅衬底作为第一衬底,且本发明的方法采用更简单和成熟的制作工艺实现了对体硅衬底的加工而获得与使用SOI衬底基本相同的器件结构,可以降低成本。本发明的电子装置,包括采用该方法制造的半导体器件,因而同样具有上述优点。

## 附图说明

[0044] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。

[0045] 附图中:

[0046] 图1A、图1B、图1C、图1D和图1E为本发明的一个实施例的一种半导体器件的制造方法的相关步骤形成的结构的剖视图;

[0047] 图2为本发明的一个实施例的一种半导体器件的制造方法的示意性流程图。

## 具体实施方式

[0048] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0049] 应当理解的是,本发明能够以不同形式实施,而不应当解释为局限于这里提出的实施例。相反地,提供这些实施例将使公开彻底和完全,并且将本发明的范围完全地传递给本领域技术人员。在附图中,为了清楚,层和区的尺寸以及相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

[0050] 应当明白,当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本发明教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

[0051] 空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之

上”、“上面的”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,然后,描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在...下面”和“在...下”可包括上和下两个取向。器件可以另外地取向(旋转90度或其它取向)并且在此使用的空间描述语相应地被解释。

[0052] 在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0053] 这里参考作为本发明的理想实施例(和中间结构)的示意图的横截面图来描述发明的实施例。这样,可以预期由于例如制造技术和/或容差导致的从所示形状的变化。因此,本发明的实施例不应当局限于在此所示的区的特定形状,而是包括由于例如制造导致的形状偏差。例如,显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度,而不是从注入区到非注入区的二元改变。同样,通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此,图中显示的区实质上是示意性的,它们的形状并不意图显示器件的区的实际形状且并不意图限定本发明的范围。

[0054] 为了彻底理解本发明,将在下列的描述中提出详细的步骤以及详细的结构,以便阐释本发明提出的技术方案。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0055] 实施例一

[0056] 下面,参照图1A至图1E和图2来描述本发明的一个实施例提出的一种半导体器件的制造方法。其中,图1A至图1E为本发明的一个实施例的一种半导体器件的制造方法的相关步骤形成的结构的剖视图;图2为本发明的一个实施例的一种半导体器件的制造方法的示意性流程图。

[0057] 示例性地,本发明的一个实施例的半导体器件的制造方法,包括如下步骤:

[0058] 首先,如图1A所示,提供第一衬底100,从所述第一衬底100的第一表面1001形成位于所述第一衬底100内的深沟槽隔离结构101。

[0059] 第一衬底100可以为体硅(bulk Si)衬底或其他各种合适的衬底。而不需如现有技术一样,采用绝缘体上硅衬底(SOI)或高阻衬底(high-resistance substrate)。

[0060] 其中,与第一衬底100的第一表面(也称上表面)1001相对的表面称作第二表面(也称下表面)1002,如图1A所示。

[0061] 示例性地,所述深沟槽隔离结构的深度范围为1~3 $\mu\text{m}$ 。

[0062] 在一个示例中,形成所述深沟槽隔离结构101的步骤以下包括:

[0063] 首先,在所述第一衬底的第一表面上形成图案化的掩膜层,所述掩膜层内定义有所述深沟槽隔离结构的尺寸;掩膜层通常可以包括数种掩膜材料的任何一种,包括但不限于:硬掩膜材料和光刻胶掩膜材料。较佳地,掩膜层包括光刻胶掩膜材料。

[0064] 接着,以所述图案化的掩膜层为掩膜,刻蚀所述第一衬底形成深沟槽。该刻蚀较佳地为干刻蚀工艺,例如反应离子刻蚀、离子束刻蚀、等离子刻蚀、激光烧蚀或者这些方法的任意组合。可以使用单一的刻蚀方法,或者也可以使用多于一个的刻蚀方法。根据预定形成的深沟槽隔离结构的深度来设定刻蚀的深度,例如,形成深度范围为1~3 $\mu\text{m}$ 的深沟槽。

[0065] 接着,在所述深沟槽内填充深沟槽隔离材料。可选地,所述深沟槽隔离结构的填充材料包括自下而上层叠的多晶硅层和氧化硅层。示例性地,填充深沟槽隔离材料包括以下步骤:在所述深沟槽内填充多晶硅层,回蚀刻所述多晶硅层,在所述多晶硅层上形成氧化硅层,可采用对所述多晶硅层进行氧化的方法形成所述氧化硅层,也可以采用化学气相衬底等方法形成所述氧化硅层,之后,对所述氧化硅层进行化学机械研磨,停止于所述第一衬底的第一表面上,该化学机械研磨步骤将深沟槽顶部以外的。第一衬底的第一表面以上的材料层(包括多余的氧化硅层)研磨去除。

[0066] 在填充深沟槽隔离材料之前,还包括在所述深沟槽的侧壁上形成衬垫层(未示出)的步骤。衬垫层可以包括数种衬垫材料的任何一种,包括但不限于:氧化硅衬垫材料和氮化硅衬垫材料,本实施例中,衬垫层较佳地选择为包括氧化硅衬垫材料。形成衬垫层之后还可进行一步退火步骤,以释放衬垫材料中所累积的应力。

[0067] 之后,如图1B所示,在所述第一表面1001一侧的所述第一衬底100上形成至少一个前端器件102,形成覆盖所述第一表面1001的第一介电盖帽层103以及位于所述第一介电盖帽层103内的互连结构104。

[0068] 示例性地,所述前端器件包括晶体管102。形成前端器件的步骤包括前段工艺和后段工艺。所述晶体管102包括源极1022、漏极1023和栅极结构1021,其中,所述源极1022和所述漏极1023位于所述第一表面1001的下方,所述栅极结构1021位于所述第一表面1001的上方。可采用本领域技术人员熟知的工艺形成所述前端器件。栅极结构1021包括自下而上的栅极介电层和栅极材料层。形成栅极结构1021的方法可以为先栅极工艺或后栅极工艺。

[0069] 其中,在形成晶体管的同时,还可以形成其他器件,例如二极管、电阻、电容等,在此并不进行限定。

[0070] 本发明实施例的方法,直接在体硅衬底而非绝缘体上硅衬底之上形成晶体管等器件。形成晶体管等器件的工艺与在体硅衬底上形成CMOS器件的工艺完成相同。

[0071] 形成覆盖所述第一表面1001的第一介电盖帽层103,该第一介电盖帽层覆盖同时覆盖前端器件102,第一介电盖帽层103可以包括数种电介质材料的任何一种。非限制性实例包括氧化物、氮化物和氮氧化物,尤其是,硅的氧化物、氮化物和氮氧化物,但不包括其他元素的氧化物、氮化物和氮氧化物。第一介电盖帽层103可以包括晶体或非晶体电介质材料。通常高度优选晶体电介质材料。可以采用数种方法中的任何一种形成第一介电盖帽层103。非限制性实例包括化学汽相沉积方法和物理汽相沉积方法。

[0072] 位于所述第一介电盖帽层103内的互连结构104。互连结构104用于连接源极1022、漏极1023和栅极结构1021中的至少一个。互连结构104的材料可以为导电金属(例如铜)或其他合适的材料。

[0073] 接着,如图1C所示,提供承载衬底200,将所述第一衬底100的形成有所述第一介电盖帽层103的一侧与所述承载衬底200相接合。

[0074] 在一个示例中,在将第一衬底100的形成有第一介电盖帽层103的一侧与承载衬底

200相接合之前,先在第一衬底100的形成有第一介电盖帽层103的一侧的表面上以及承载衬底200相应的表面上分别形成键合盖帽层。示例性地,键合盖帽层300的材料可以为氧化硅或其他合适的材料。

[0075] 示例性地,将第一衬底100与承载衬底200相接合的方法可以为熔融键合(fusion bonding)或其他合适的方法。本实施例中,较佳地为氧化物熔融键合。

[0076] 其中,承载衬底200可以为硅衬底或其他合适的衬底。在一个示例中,承载衬底200与第一衬底100具有相同的形状和尺寸。

[0077] 其中,承载衬底200可以在后续对第一衬底100进行减薄处理的过程中对第一衬底100提供支撑。

[0078] 接着,如图1D所示,从与所述第一表面1001相对的第二表面1002对所述第一衬底100进行减薄处理,停止于所述深沟槽隔离结构101内。

[0079] 所述减薄处理包括:对所述第一衬底100进行背面研磨(backside grinding)处理,然后对第一衬底100进行湿法刻蚀。其中,所采用的背面研磨方法可以为CMP(化学机械研磨)或其他合适的工艺。所述湿法刻蚀可以采用各种可行的刻蚀液,例如TMAH等,在此并不进行限定。

[0080] 继续从与第一表面1001相对的第二表面1002对第一衬底100进行减薄处理,包括:对所述第一衬底100进行CMP并使所述CMP停止于所述深沟槽隔离结构101的底部。示例性地,深沟槽隔离结构内的填充材料(例如多晶硅层)作为该CMP的停止层,经过该步骤,形成的结构如图1D所示。其中,该CMP可以采用各种可行的CMP工艺。减薄工艺可很轻易的实现接近 $2\mu\text{m}$ 的减薄厚度和总厚度变化为 $0.3\mu\text{m}$ 的工艺标准,因此可很好的保证衬底的质量。

[0081] 本发明实施例的方法,由于包括在第一衬底上接合承载衬底并对第一衬底进行减薄处理的步骤,因此,第一衬底可以采用普通的体硅(bulk Si)衬底作为基本的器件层衬底,而不必采用绝缘体上硅衬底(SOI)或高阻衬底(high-resistance substrate),因此本发明的方法采用更简单和成熟的制作工艺实现了对体硅衬底的加工而获得与使用SOI衬底基本相同的器件结构,可以降低成本。

[0082] 并且,本实施例的方法通过同时使用深沟槽隔离、背面研磨、CMP、湿法刻蚀等方法(通过多个停止层相配合)进行减薄处理,可以对第一衬底进行精确减薄处理至希望的厚度,并保证所希望的均一性。

[0083] 此外,由于深沟槽隔离工艺、硅衬底之间的键合工艺以及减薄工艺已经越来越成熟,因此本实施例的方法在降低成本的同时,也可以保证制得的半导体器件的良率。

[0084] 接着,如图1E所示,在所述第一衬底100的所述第二表面1002上形成第二介电盖帽层105,形成贯穿所述第二介电盖帽层105、所述深沟槽隔离结构101和部分所述第一介电盖帽层103且与所述互连结构104相连的至少一个硅通孔106。

[0085] 示例性地,形成硅通孔(TSV)106的方法包括:刻蚀形成贯穿第二介电盖帽层105、所述深沟槽隔离结构101和部分所述第一介电盖帽层103的过孔;

[0086] 在该过孔内填充导电材料;

[0087] 通过CMP去除过量的导电材料以形成硅通孔106。

[0088] 其中,导电材料可以为金属或其他合适的材料,金属可以为铜、铝、钨、锡等。

[0089] 之后还包括以下步骤:在所述第一衬底100的所述第二表面1002上形成与所述硅

通孔106相连的焊盘107,形成覆盖所述第一衬底100的所述第二表面1002但暴露出所述焊盘107的打线区的钝化层(未示出)。

[0090] 焊盘107的材料可以为金属或其它合适的材料,金属较佳地为铝金属。

[0091] 至此,完成了本发明实施例的半导体器件的制造方法的关键步骤的介绍。本领域的技术人员可以理解,除上述的步骤之外,以及在相邻的步骤之间,还可以包括其他可行的步骤,在此并不进行限定。

[0092] 本发明实施例的半导体器件的制造方法,通过在第一衬底上接合承载衬底并对第一衬底进行减薄处理,可以用普通的体硅衬底而非绝缘体上硅衬底作为第一衬底,且本发明的方法采用更简单和成熟的制作工艺实现了对体硅衬底的加工而获得与使用SOI衬底基本相同的器件结构,可以降低成本。

[0093] 图2示出了本发明实施例提出的一种半导体器件的制造方法的一种示意性流程图,用于简要示出上述方法的典型流程。具体包括:

[0094] 在步骤S201中,提供第一衬底,从所述第一衬底的第一表面形成位于所述第一衬底内的深沟槽隔离结构;

[0095] 在步骤S202中,在所述第一表面一侧的所述第一衬底上形成至少一个前端器件,形成覆盖所述第一表面的第一介电盖帽层以及位于所述第一介电盖帽层内的互连结构;

[0096] 在步骤S203中,提供承载衬底,将所述第一衬底的形成有所述第一介电盖帽层的一侧与所述承载衬底相接合;

[0097] 在步骤S204中,从与所述第一表面相对的第二表面对所述第一衬底进行减薄处理,停止于所述深沟槽隔离结构内;

[0098] 在步骤S205中,在所述第一衬底的所述第二表面上形成第二介电盖帽层,形成贯穿所述第二介电盖帽层、所述深沟槽隔离结构和部分所述第一介电盖帽层且与所述互连结构相连的至少一个硅通孔。

[0099] 实施例二

[0100] 本发明的另一个实施例提供一种电子装置,其包括电子组件以及与该电子组件相连的半导体器件。其中,该半导体器件为根据如上所述的半导体器件的制造方法所制得的半导体器件。该电子组件可以为任何合适的组件。

[0101] 示例性地,该半导体器件的制造方法包括:

[0102] 步骤S201:提供第一衬底,从所述第一衬底的第一表面形成位于所述第一衬底内的深沟槽隔离结构;

[0103] 步骤S202:在所述第一表面一侧的所述第一衬底上形成至少一个前端器件,形成覆盖所述第一表面的第一介电盖帽层以及位于所述第一介电盖帽层内的互连结构;

[0104] 步骤S203:提供承载衬底,将所述第一衬底的形成有所述第一介电盖帽层的一侧与所述承载衬底相接合;

[0105] 步骤S204:从与所述第一表面相对的第二表面对所述第一衬底进行减薄,停止于所述深沟槽隔离结构内;

[0106] 步骤S205:在所述第一衬底的所述第二表面上形成第二介电盖帽层,形成贯穿所述第二介电盖帽层、所述深沟槽隔离结构和部分所述第一介电盖帽层且与所述互连结构相连的至少一个硅通孔。

[0107] 本实施例的电子装置,可以是手机、平板电脑、笔记本电脑、上网本、游戏机、电视机、VCD、DVD、导航仪、照相机、摄像机、录音笔、MP3、MP4、PSP等任何电子产品或设备,也可可为任何包括该半导体器件的中间产品。

[0108] 本发明实施例的电子装置,由于使用了根据上述方法制得的半导体器件,因而同样具有上述优点。

[0109] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

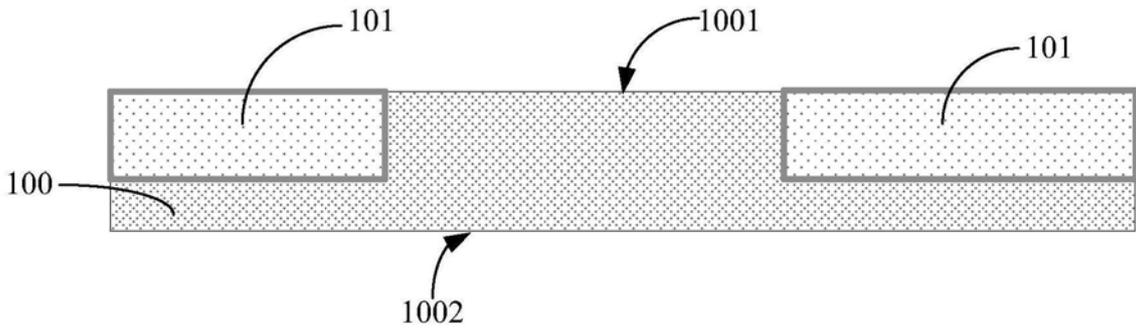


图1A

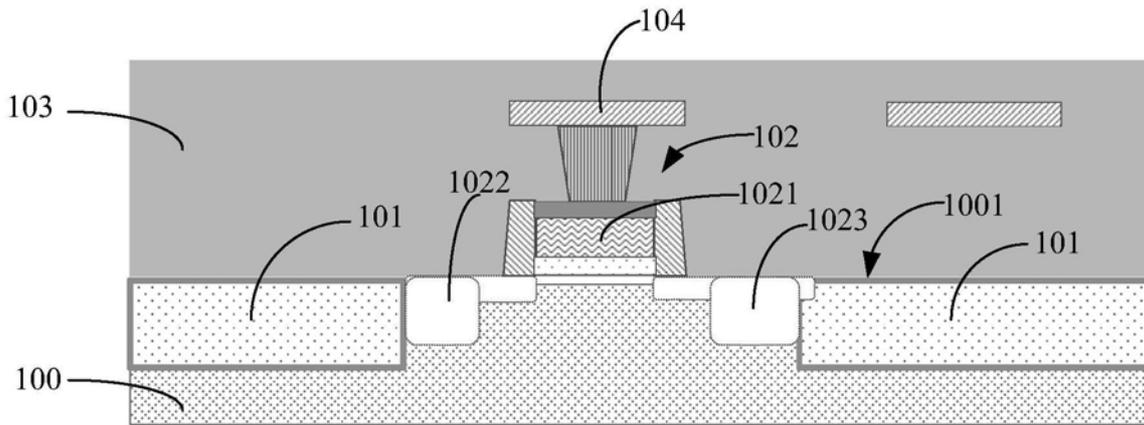


图1B

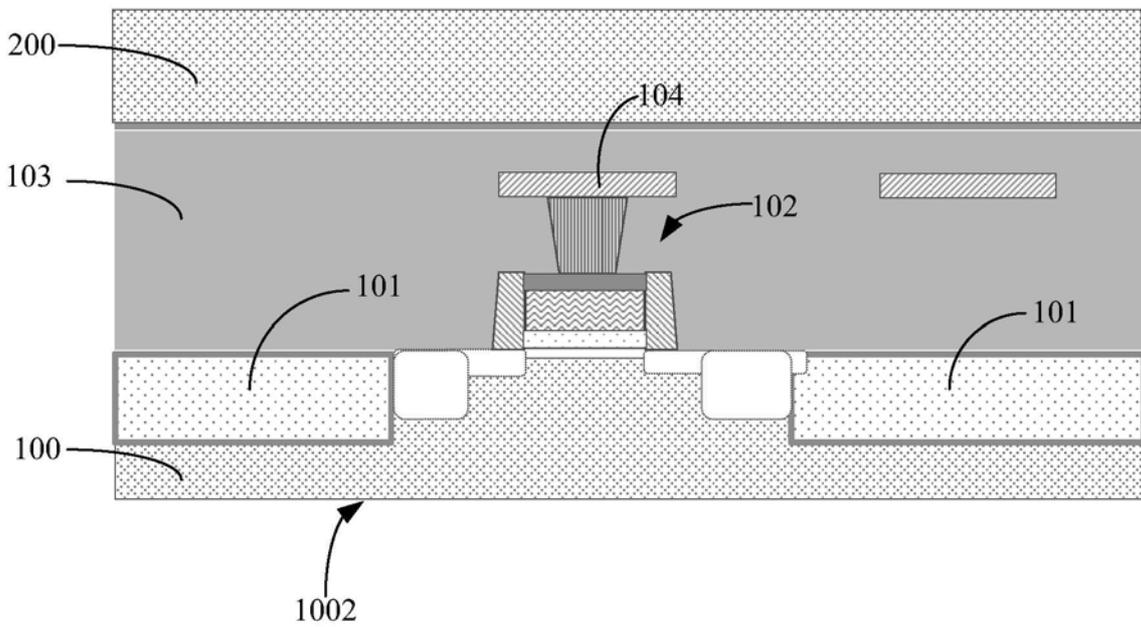


图1C

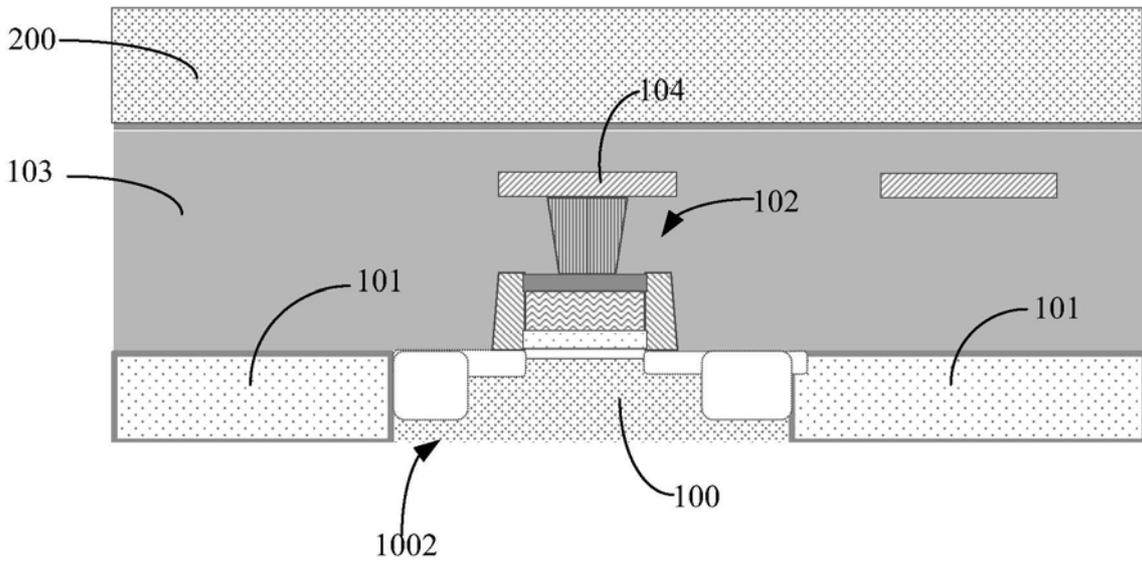


图1D

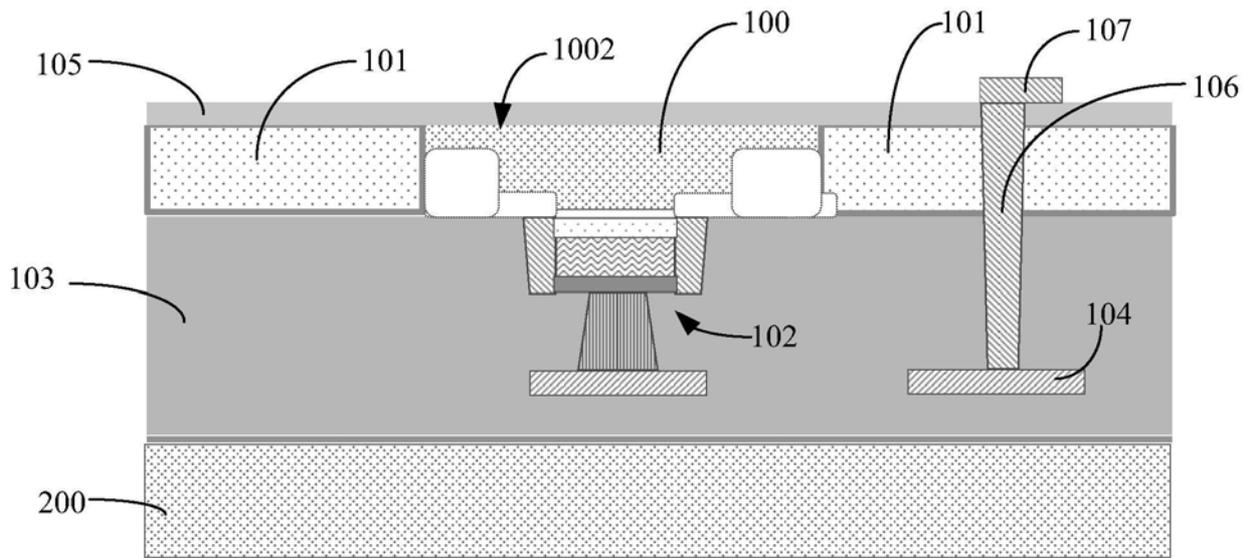


图1E

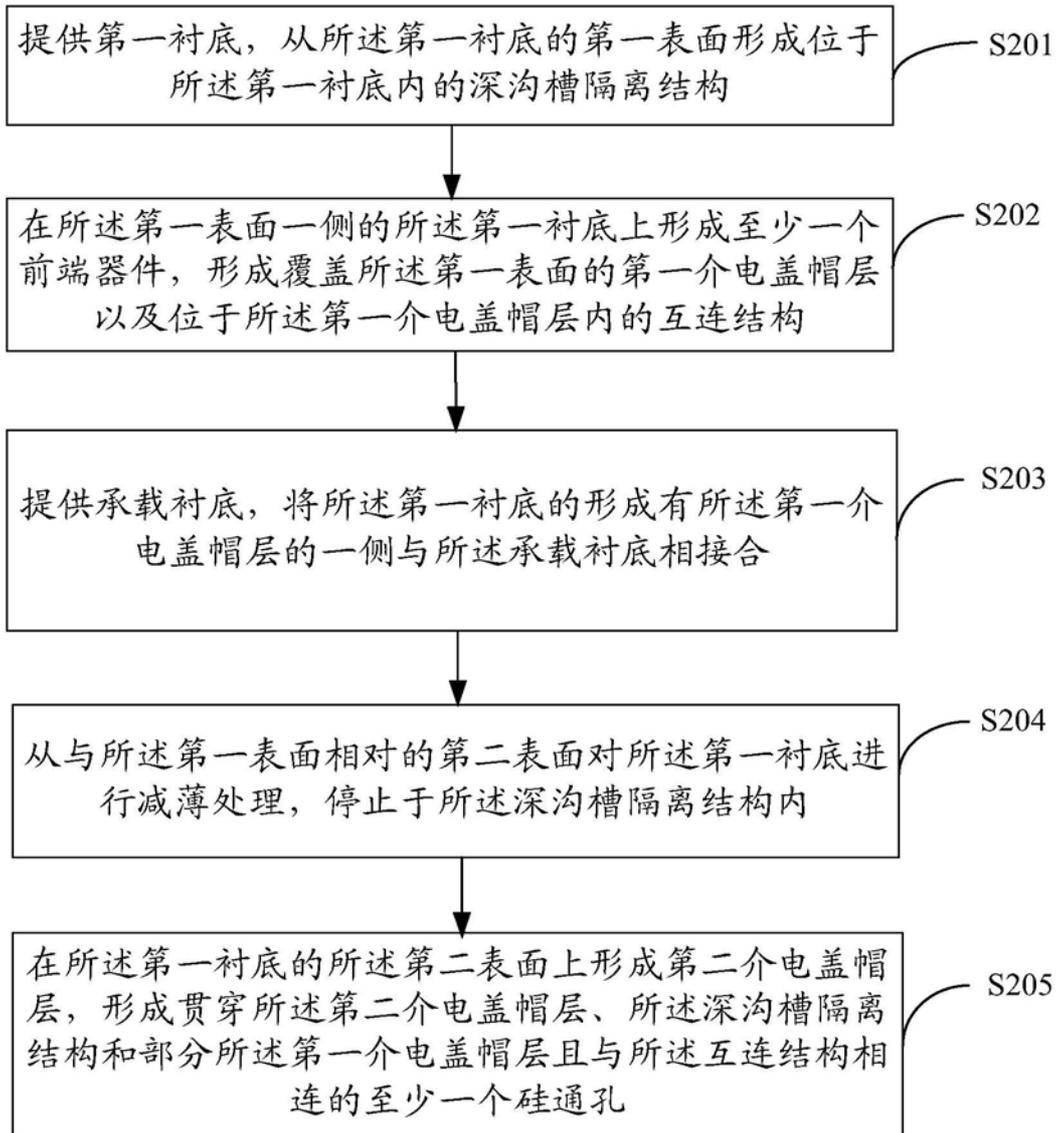


图2