

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4759089号  
(P4759089)

(45) 発行日 平成23年8月31日 (2011.8.31)

(24) 登録日 平成23年6月10日 (2011.6.10)

(51) Int.Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 2 D
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 51/05 (2006.01)	HO 1 L 29/78 6 1 9 A
GO 2 F 1/1368 (2006.01)	HO 1 L 29/28 1 0 0 A
	GO 2 F 1/1368

請求項の数 10 (全 19 頁)

(21) 出願番号	特願2010-1747 (P2010-1747)	(73) 特許権者	501426046
(22) 出願日	平成22年1月7日 (2010.1.7)		エルジー ディスプレイ カンパニー リ
(62) 分割の表示	特願2005-189152 (P2005-189152)		ミテッド
原出願日	平成17年6月29日 (2005.6.29)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
(65) 公開番号	特開2010-114459 (P2010-114459A)	(74) 代理人	100094112
(43) 公開日	平成22年5月20日 (2010.5.20)		弁理士 岡部 譲
審査請求日	平成22年1月7日 (2010.1.7)	(74) 代理人	100064447
(31) 優先権主張番号	2004-075984		弁理士 岡部 正夫
(32) 優先日	平成16年9月22日 (2004.9.22)	(74) 代理人	100104352
(33) 優先権主張国	韓国 (KR)		弁理士 朝日 伸光
前置審査			

最終頁に続く

(54) 【発明の名称】 液晶表示装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板上にゲート電極を形成する段階と、  
上部面を有するゲート絶縁膜を形成する段階と、  
前記ゲート絶縁膜上に金属層を形成する段階と、  
露光技術を用いて前記金属層上に形成したマスク層をマスクとして前記金属層をパターニングしてソース電極及びドレイン電極を形成し、前記ゲート絶縁膜上部の前記ソース電極とドレイン電極間に位置するチャンネル領域を定義する段階と、  
前記マスク層上及び前記ゲート絶縁膜上部に定義された前記チャンネル領域に低分子有機半導体物質を蒸着する段階と、  
前記低分子有機半導体物質上に、前記ソース電極とドレイン電極それぞれの上表面の下に位置する上部面を有する第1保護膜を形成する段階と、  
前記ソース電極とドレイン電極それぞれの厚さを前記低分子有機半導体物質の厚さと前記第1保護膜の厚さの合計より大きくした状態で、前記マスク層の側面部をストリップ液と接触させて、前記マスク層と共に前記マスク層上部面に位置する前記第1保護膜及び前記低分子有機半導体物質を除去し、前記ゲート絶縁膜上部に定義されたチャンネル領域に半導体層と第1保護膜を形成する段階とを含む液晶表示装置の製造方法。

【請求項 2】

前記ゲート絶縁膜の上表面は平坦なことを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

## 【請求項 3】

前記ゲート絶縁膜は画素領域にさらに位置して、前記第 1 保護膜は前記画素領域で前記ゲート絶縁膜の上表面と直接的に接触することを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

## 【請求項 4】

前記半導体層は画素領域にさらに位置することを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

## 【請求項 5】

前記低分子有機半導体物質は透明物質であることを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

10

## 【請求項 6】

前記低分子有機半導体物質は 85% 以上の光透過度を有することを特徴とする請求項 5 に記載の液晶表示装置の製造方法。

## 【請求項 7】

前記低分子有機半導体物質はペンタセンを含むことを特徴とする請求項 6 に記載の液晶表示装置の製造方法。

## 【請求項 8】

前記ソース電極及び前記ドレイン電極の厚さは 3、000 以上の厚さを有することを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

## 【請求項 9】

前記第 1 保護膜上部に位置して、前記ソース電極及びドレイン電極それぞれの上表面と直接的に接触する第 2 保護膜をさらに含むことを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

20

## 【請求項 10】

前記基板はプラスチック基板であることを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は液晶表示装置に係り、さらに詳細には低分子有機半導体物質を利用した液晶表示装置及びその製造方法に関する。

30

## 【背景技術】

## 【0002】

近来になって社会が本格的な情報化時代に入るによって大量の情報を処理及び表示するディスプレイ分野が急速に発展し、最近では特に薄形化、軽量化、低消費電力化の優秀な性能をもった薄膜トランジスタ (Thin Film Transistor: TFT) 型液晶表示装置 (TFT-LCD) が開発されて既存のブラウン管を取り替えている。

## 【0003】

液晶表示装置の画像具現原理は液晶の光学的異方性と分極性質を利用することであって、周知のように液晶は分子構造が細長くて配列に方向性を有する光学的異方性と電界内に置かれる場合に分子配列方向が変化する分極性質を帯びる。ここに液晶表示装置は液晶層を間に置いて相互に向い合う面でそれぞれ画素電極と共通電極が形成されたアレイ基板とカラーフィルター基板を合着させて構成された液晶パネルを構成要素にしており、これら電極間の電界変化を介して液晶分子の配列方向を人為的に調節してこの時変化する光の透過率を利用していろいろな画像を表示する非発光素子である。

40

## 【0004】

最近には特に画像表現の基本単位である画素をマトリックス方式に配列してスイッチング素子を各画素に配置させて独立的に制御するアクティブマトリックス方式が解像度及び動画像具現能力で優れて注目されているが、このようなスイッチング素子として薄膜トランジスタ (TFT) を用いた TFT-LCD が知られている。

50

## 【 0 0 0 5 】

図 1 は従来による液晶表示装置の分解斜視図である。

## 【 0 0 0 6 】

図示したように、液晶層 3 0 を間に置いてアレイ基板 1 0 とカラーフィルター基板 2 0 が対面合着された構成を有するが、このうち下部のアレイ基板 1 0 は第 1 透明基板 1 2 及びこれの上面で縦横交差配列されて複数の画素領域 P を定義する複数のゲート配線 1 4 とデータ配線 1 6 を含み、これら両配線 1 4、1 6 の交差点には薄膜トランジスタ T が具備されて各画素領域 P に用意された画素電極 1 8 と 1 対 1 対応接続されている。

## 【 0 0 0 7 】

またこれと向い合う上部のカラーフィルター基板 2 0 は第 2 透明基板 2 2 及びこれの背面に前記ゲート配線 1 4 とデータ配線 1 6 そして薄膜トランジスタ T などの非表示領域を遮るように各画素領域 P を縁取りする格子形状のブラックマトリクス 2 5 が形成されており、これら格子内部で各画素領域 P に対応するように順次的に繰り返し配列された赤、緑、青色カラーフィルター層 2 6 が形成されており、前記ブラックマトリクス 2 5 と赤、緑、青色カラーフィルター層 2 6 の全面にかけて透明な共通電極 2 8 が用意されている。

## 【 0 0 0 8 】

そして図面上に明確に図示しなかったが、これら両基板 1 0、2 0 はその間に介在した液晶層 3 0 の漏洩を防止するために縁に沿ってシーリング剤等で封止した状態で各基板 1 0、2 0 と液晶層 3 0 の境界部分には液晶の分子配列方向に方向性を付与する上、下部配向膜が介在され、各基板 1 0、2 0 の少なくとも一つの外側面には偏光板が付着される。

## 【 0 0 0 9 】

液晶パネル背面にはバックライトが具備されて光を供給するので、ゲート配線 1 4 で薄膜トランジスタ T のオン/オフ信号が順次的にスキャンされて選択された画素領域 P の画素電極 1 8 にデータ配線 1 6 の画像信号が伝えられるとこれら間の垂直電界によりその間の液晶分子が駆動されて、これによる光の透過率変化でいろいろな画像を表示することができる。

## 【 0 0 1 0 】

一方、このような液晶表示装置においてアレイ基板 1 0 とカラーフィルター基板 2 0 の母体になる第 1 及び第 2 透明基板 1 2、2 2 は伝統的にガラス基板が使われてきたが、最近になってノート・パソコンや P D A のような小型の携帯用端末機が広く普及するによってこれらに適用可能なようにガラスより軽くて軽量と同時に柔軟な特性をもっていて破損危険が少ないプラスチック基板を利用した液晶パネルが紹介されたことがある。

## 【 0 0 1 1 】

しかし、プラスチック基板を利用した液晶パネルは液晶表示装置の製造特性上特にスイッチング素子である薄膜トランジスタが形成されるアレイ基板の製造には 2 0 0 以上の高温を必要とする高温工程が多くて耐熱性及び耐化学性がガラス基板より悪いプラスチック基板で前記アレイ基板を製造することには難しさがあって、上部基板を形成するカラーフィルター基板のみをプラスチック基板で製造して下部基板であるアレイ基板は通常的なガラス基板を利用して液晶表示装置を製造しているのが実情であった。

## 【 0 0 1 2 】

このような問題を解決しようとして最近には低分子有機物質等を利用した 2 0 0 以下の低温工程を進行してプラスチック材質のフレキシブルなアレイ基板を製造する技術が提案された。

## 【 0 0 1 3 】

以後には 2 0 0 以下の低温工程を進行するプラスチック基板を利用したフレキシブルなアレイ基板の製造方法に対して説明する。

## 【 0 0 1 4 】

2 0 0 以下の低温工程で薄膜トランジスタを含む画素を形成することにおいて、電極と配線を形成する金属物質と絶縁膜と保護膜等の形成は低温蒸着またはコーティングの方

10

20

30

40

50

法などを介して形成しても薄膜トランジスタの特性に別影響を与えないが、チャンネルを形成する半導体層を一般的な半導体物質であるシリコンを用いて低温工程により形成するようになれば、耐久構造が緻密ではなく電気伝導度等の重要特性が低下する問題が発生する。したがって、これを克服しようとシリコンなどの従来の半導体物質の代わりに半導体特性を有した有機物質を利用して半導体層を形成している。このような半導体特性を有する有機物質は大別して高分子半導体物質と低分子半導体物質に分けられており、前記低分子半導体物質は高分子半導体物質に対して電気伝導度等の優秀な物性を持っているので主にシリコンを代わる半導体物質に利用されているが、水分に非常に脆弱で溶液形態で作りにくい短所がある。

以下図面を参照して従来のフレキシブルなアレイ基板の製造方法に対して説明する。

10

#### 【0015】

図2は従来によるフレキシブルプラスチック基板を利用する液晶表示装置用に用いられる低分子有機半導体物質からなった半導体層を含むアレイ基板の概略的な断面図である。

#### 【0016】

図示したように、プラスチック基板50上に金属物質を蒸着してパターニングしてゲート配線(図示せず)を含んでゲート電極53を形成して、続いて前記ゲート配線(図示せず)とゲート電極53上に全面に有機絶縁物質をコーティングしてゲート絶縁膜57を全面に形成する。

#### 【0017】

次に、低分子有機半導体物質をシャドーマスク70を利用した蒸発法を利用して前記ゲート電極53と重なるように各画素毎に分離された半導体層60を形成する。ガラス基板を利用した場合はシリコンさらに正確にはSiH<sub>4</sub>をCVD法を利用して蒸着してマスクを利用してパターニングすることによって形成したが、ペンタセン(pentacene)(C<sub>22</sub>H<sub>14</sub>)のような粉末形態である低分子有機半導体物質の特性上前述したCVD法による蒸着が難しくまたこれをパターニングすることにおいてフォトリソ法による場合水分を含有するフォトリソ液と接触するようになりまたはフォトリソ液を現像または除去するために現像液やストリップ液に露出することによってその特性低下などが発生する問題があり、図示したようなパターニングされたシャドーマスク70を利用して蒸発法により形成されている。

20

#### 【0018】

しかし、前述したシャドーマスク70を利用した蒸発法による有機半導体物質パターン形成はパターン間隔w<sub>2</sub>及びパターン自体サイズの制限を有するようになる。さらに詳細に説明すると金属物質で形成されるシャドーマスク70を製作するにおいてそのパターンの幅w<sub>1</sub>または長さが最小40μm以上にならない問題がある。すなわち、シャドーマスク70の開口部はその幅w<sub>1</sub>または長さが最小限40μm以上になるように形成され、また、前記開口部と開口部間の間隔w<sub>2</sub>においても120μm以上になってこそシャドーマスク70製作が可能である。これはそれより小さい開口部と開口部間の間隔を有するシャドーマスクを製作するにしても蒸発法の特長上材料の拡散を防止できないのでそれより小さいパターンを得にくい。したがってこのような構造を有するシャドーマスク70を利用して基板50上に形成される低分子有機半導体層60は最小限その幅または長さが40μm以上になっている。画素内に形成される薄膜トランジスタにおいて半導体層に形成されるチャンネルのサイズは10μm以下になっており、実際的にこのようなチャンネル領域を除いては半導体層の体積またはサイズを減らすことが画素の開口率向上に寄与し、同一なサイズを有するアクティブ領域なら同一サイズ内に画素が多く形成されるほど解像度が増加するようになるが解像度が増加するほど画素のサイズは小さくなるようになって、共に前記画素内部に形成される例えば薄膜トランジスタのサイズは小さくならなければならないし、この場合チャンネルの大きさも小さくすべきことは明らかである。

30

40

#### 【0019】

しかし前述したシャドーマスクを利用した低分子有機半導体層パターンの形成は40μm以上のサイズを有するようになるので高解像度のアレイ基板の製造にはその限界がある

50

## 【 0 0 2 0 】

また、前述したように、半導体層を形成すると言ってもその上部にソース及びドレイン電極をパターニングする過程において、その下部に半導体層がフォトレジストの現像液またはソース及びドレイン電極を成す金属物質のストリップ液等により損傷される等の問題が発生することによってアレイ基板の製造に困難が多い。

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 2 1 】

前述した問題を解決するために本発明は提案されたものであって、水分に非常に弱い特性を有する低分子有機半導体物質をシャドーマスクを利用しないで数  $\mu\text{m}$  まで調節可能な微細パターンで形成することができ、前記微細パターンされた低分子有機半導体層の損傷なしに低分子有機半導体物質を利用した液晶表示装置用アレイ基板の製造方法を提供することにその目的がある。また、半導体層を形成して、その上部にソース及びドレイン電極をパターニングする過程において、半導体層がフォトレジストの現像液またはソース及びドレイン電極を成す金属物質のストリップ液等により損傷されることを防止する液晶表示装置を提供することに目的がある。

## 【 課題を解決するための手段 】

## 【 0 0 2 2 】

前記のような目的を達成するために、本発明の第 1 特徴では画素領域と；ゲート電極と、上部面を有するゲート絶縁膜と、前記ゲート絶縁膜の上部面に形成されたソース電極及びドレイン電極と、前記ゲート絶縁膜の上部面に配置されて、前記ソース電極とドレイン電極間でチャンネル領域を定義して、低分子有機半導体物質からなった半導体層を含み、基板上に前記画素領域に隣接するように位置する薄膜トランジスタと；前記チャンネル領域を覆っており、前記ソース電極とドレイン電極それぞれの上部面と一致したりまたはその下に位置する上部面を有する第 1 保護膜を含む液晶表示装置を提供する。

## 【 0 0 2 3 】

前記ゲート絶縁膜の上部面は平坦なことを特徴として、前記ソース電極とドレイン電極の厚さは前記半導体層の厚さと前記第 1 保護膜の厚さの合計と同一であったりまたは大きいことを特徴とする。

## 【 0 0 2 4 】

前記ゲート絶縁膜は前記画素領域にさらに位置して、前記第 1 保護膜は前記画素領域で前記ゲート絶縁膜の上部面と直接的に接触することを特徴とする。

## 【 0 0 2 5 】

前記半導体層は前記画素領域にさらに位置することを特徴とする。

## 【 0 0 2 6 】

前記低分子有機半導体物質は透明物質であることを特徴として、前記低分子有機半導体物質は大体 85% 以上の光透過度を有することを特徴としており、前記低分子有機半導体物質はペンタセンを含むことを特徴とする。

## 【 0 0 2 7 】

前記ソース電極及び前記ドレイン電極の厚さは 3、000 以上の厚さを有することを特徴として、前記チャンネル領域は大体 40  $\mu\text{m}$  より小さい幅を有することを特徴とする。

## 【 0 0 2 8 】

前記第 1 保護膜上部に位置して、前記ソース電極及びドレイン電極それぞれの上部面と直接的に接触する第 2 保護膜をさらに含む。

## 【 0 0 2 9 】

前記基板はプラスチック基板であることを特徴とする。

## 【 0 0 3 0 】

本発明の第 2 特徴では、基板上にゲート電極を形成する段階と；ゲート絶縁膜を形成する段階と；ソース電極と、ドレイン電極と、前記ゲート絶縁膜上部の前記ソース電極とド

10

20

30

40

50

レイン電極間に位置するチャンネル領域を形成する段階と；前記チャンネル領域に蒸発（evaporating）法により低分子有機半導体物質からなった半導体層を形成する段階と；前記ソース電極及び前記ドレイン電極のそれぞれの上部面と一致したりまたはその下に位置する上部面を有するように第1保護膜を形成する段階を含む液晶表示装置の製造方法を提供する。

【0031】

前記ゲート絶縁膜を形成する段階は平坦な上部面を有するゲート絶縁膜を形成する段階を含むことを特徴とする。

【0032】

前記半導体層と前記第1保護膜を形成する段階は、前記半導体層の厚さと前記第1保護膜の厚さの合計が前記ソース電極と前記ドレイン電極の厚さと同一であり又はより小さいように前記半導体層と前記第1保護膜を形成する段階を含むことを特徴とする。

10

【0033】

前記第1保護膜上部に位置して、前記ソース電極と前記ドレイン電極それぞれの上部面に直接接触する第2保護膜を形成する段階をさらに含むことを特徴とする。

【0034】

前記ソース電極、前記ドレイン電極と前記チャンネル領域を形成する段階は：前記ゲート絶縁膜上に金属層を形成する段階と；前記ソース電極、前記ドレイン電極そして前記チャンネル領域を形成するために、前記ソース電極と前記ドレイン電極の上部面にあるパターニングされたマスク層を有して前記金属層をパターニングする段階を含むことを特徴とする。

20

【0035】

前記半導体層を形成する段階は前記パターニングされたマスク層の上部面上に低分子有機半導体物質を蒸発法により形成する段階をさらに含むことを特徴として、前記第1保護膜を形成する段階は前記パターニングされたマスク層の上部面に第1保護膜を形成する段階を含むことを特徴としており、前記パターニングされたマスク層を除去することによって前記パターニングされたマスク層上部面に位置する前記第1保護膜及び前記半導体層を除去する段階をさらに含むことを特徴とする。

【0036】

前記半導体層を形成する段階は、画素領域に前記低分子有機半導体物質を蒸発法により形成する段階を含むことを特徴とする。

30

【0037】

前記ゲート絶縁膜を形成する段階は画素領域に前記ゲート絶縁膜を形成する段階を含むことを特徴とする。

【0038】

前記半導体層を形成する段階は：前記画素領域に前記低分子有機半導体物質を蒸発法によりパターニングする段階と；前記画素領域で前記ゲート絶縁膜の上部面に前記低分子有機半導体物質を直接的に接触する段階を含むことを特徴とする液晶表示装置の製造方法を提供する。

【0039】

前記チャンネル領域に半導体層を形成する段階は：前記チャンネル領域、前記ソース電極そして前記ドレイン電極に対応するオープニングを有するシャドーマスクを適用する段階と；前記チャンネル領域に前記低分子有機半導体物質を蒸発法によりパターニングする段階を含むことを特徴として、前記ゲート絶縁膜を形成する段階は、画素領域に前記ゲート絶縁膜を形成する段階を含むことを特徴とする。

40

【0040】

前記画素領域に前記第1保護膜を形成する段階と；前記画素領域で、前記ゲート絶縁膜の上部に前記第1保護膜を直接的に接触する段階をさらに含むことを特徴とする。

【0041】

前記ゲート電極を形成する段階は、プラスチック基板上に前記ゲート電極を形成する段

50

階を含むことを特徴として、前記形成段階のそれぞれは大体 200 より低い温度下でなされることを特徴とする。

【発明の効果】

【0042】

本発明による低分子有機半導体物質を利用した液晶表示装置用アレイ基板はシャドーマスクを利用しないで数 $\mu\text{m}$ まで調節可能な微細パターンを形成したり、またはシャドーマスクを利用して低分子有機半導体層を形成しても今後工程でパターニングが可能な製造方法を提供することによって開口率及び輝度を向上させる効果がある。

【0043】

また、水分に弱い低分子有機半導体物質を利用して損傷なしに半導体層を微細パターンニングすることができる製造方法を提供することによって高解像度を有する有機薄膜トランジスタを具備したフレキシブルな液晶表示装置を提供する効果がある。

10

【図面の簡単な説明】

【0044】

【図1】従来による液晶表示装置の分解斜視図。

【図2】従来によるフレキシブルプラスチック基板を利用する液晶表示装置用低分子有機半導体物質からなった半導体層を含むアレイ基板の概略的な断面図。

【図3A】本発明の第1実施形態の液晶表示装置のアレイ基板を製造する工程の1を示す図。

【図3B】本発明の第1実施形態の液晶表示装置のアレイ基板を製造する工程の2を示す図。

20

【図3C】本発明の第1実施形態の液晶表示装置のアレイ基板を製造する工程の3を示す図。

【図4A】本発明の第1実施形態の液晶表示装置のアレイ基板を製造する工程の4を示す図。

【図4B】本発明の第1実施形態の液晶表示装置のアレイ基板を製造する工程の5を示す図。

【図4C】本発明の第1実施形態の液晶表示装置のアレイ基板を製造する工程の6を示す図。

【図5A】本発明の第1実施形態の液晶表示装置のアレイ基板を製造する工程の7を示す図。

30

【図5B】本発明の第1実施形態の液晶表示装置のアレイ基板を製造する工程の8を示す図。

【図5C】本発明の第1実施形態の液晶表示装置のアレイ基板を製造する工程の9を示す図。

【図6A】本発明の第1実施形態の液晶表示装置のアレイ基板を製造する工程の10を示す図。

【図6B】本発明の第1実施形態の液晶表示装置のアレイ基板を製造する工程の11を示す図。

【図6C】本発明の第1実施形態の液晶表示装置のアレイ基板を製造する工程の12を示す図。

40

【図7A】本発明の第1実施形態の液晶表示装置のアレイ基板を製造する工程の13を示す図。

【図7B】本発明の第1実施形態の液晶表示装置のアレイ基板を製造する工程の14を示す図。

【図7C】本発明の第1実施形態の液晶表示装置のアレイ基板を製造する工程の15を示す図。

【図8A】本発明の第1実施形態の液晶表示装置のアレイ基板を製造する工程の16を示す図。

【図8B】本発明の第1実施形態の液晶表示装置のアレイ基板を製造する工程の17を示す

50

す図。

【図 8 C】本発明の第 1 実施形態の液晶表示装置のアレイ基板を製造する工程の 18 を示す図。

【図 9 A】本発明の第 1 実施形態の液晶表示装置のアレイ基板を製造する工程の 19 を示す図。

【図 9 B】本発明の第 1 実施形態の液晶表示装置のアレイ基板を製造する工程の 20 を示す図。

【図 9 C】本発明の第 1 実施形態の液晶表示装置のアレイ基板を製造する工程の 21 を示す図。

【図 10 A】本発明の第 2 実施形態の液晶表示装置のアレイ基板を製造する工程の 1 を示す図。

10

【図 10 B】本発明の第 2 実施形態の液晶表示装置のアレイ基板を製造する工程の 2 を示す図。

【図 10 C】本発明の第 2 実施形態の液晶表示装置のアレイ基板を製造する工程の 3 を示す図。

【図 11 A】本発明の第 2 実施形態の液晶表示装置のアレイ基板を製造する工程の 4 を示す図。

【図 11 B】本発明の第 2 実施形態の液晶表示装置のアレイ基板を製造する工程の 5 を示す図。

【図 11 C】本発明の第 2 実施形態の液晶表示装置のアレイ基板を製造する工程の 6 を示す図。

20

【図 12 A】本発明の第 2 実施形態の液晶表示装置のアレイ基板を製造する工程の 7 を示す図。

【図 12 B】本発明の第 2 実施形態の液晶表示装置のアレイ基板を製造する工程の 8 を示す図。

【図 12 C】本発明の第 2 実施形態の液晶表示装置のアレイ基板を製造する工程の 9 を示す図。

【図 13 A】本発明の第 2 実施形態の液晶表示装置のアレイ基板を製造する工程の 10 を示す図。

【図 13 B】本発明の第 2 実施形態の液晶表示装置のアレイ基板を製造する工程の 11 を示す図。

30

【図 13 C】本発明の第 2 実施形態の液晶表示装置のアレイ基板を製造する工程の 12 を示す図。

【図 14 A】本発明の第 2 実施形態の液晶表示装置のアレイ基板を製造する工程の 13 を示す図。

【図 14 B】本発明の第 2 実施形態の液晶表示装置のアレイ基板を製造する工程の 14 を示す図。

【図 14 C】本発明の第 2 実施形態の液晶表示装置のアレイ基板を製造する工程の 15 を示す図。

【発明を実施するための形態】

40

【0045】

以下図面を参照して本発明をさらに詳細に説明する。

< 第 1 実施形態 >

【0046】

図 3 A ないし図 3 C、図 4 A ないし図 4 C、図 5 A ないし図 5 C、図 6 A ないし図 6 C、図 7 A ないし図 7 C、図 8 A ないし図 8 C、そして図 9 A ないし図 9 C は本発明の第 1 実施形態による液晶表示装置のアレイ基板を製造する工程を示す概略的な断面図であって、図 3 B、図 4 B、図 5 B、図 6 B、図 7 B、図 8 B 及び図 9 B はゲートパッド領域 GP に対する製造工程断面図であり、図 3 C、図 4 C、図 5 C、図 6 C、図 7 C、図 8 C 及び図 9 C はデータパッド部 DP に対する製造工程断面図である。

50



## 【0047】

図面には示さなかったが、プラスチック基板を利用するとその柔軟性により工程進行のための搬送進行時に撓みが甚だしく発生するのでこのようなことを防止するためにガラス材質のリジッド基板に付着して工程は進められる。

## 【0048】

まず図3Aないし図3Cに示したように、プラスチック基板101上に金属物質を200以下の低温工程でスパッタリングを行って全面に蒸着して、フォトレジストを前記蒸着された金属物質上に塗布して光が通過する透過領域と光が通過しない遮断領域を有するマスク(図示せず)を位置させた後露光し、前記露光されたフォトレジストを現像することによってゲート配線(図示せず)とゲート電極105及びゲートパッド電極107が形成されなければならない部分にフォトレジストパターン(図示せず)を形成する。以後、前記フォトレジストパターン(図示せず)外部に露出された金属物質をエッチングすることによって基板101上にゲート配線(図示せず)とゲート電極105及びゲートパッド電極107を形成する。以後前記ゲート配線(図示せず)とゲート電極105及びゲートパッド電極107上部に残っているフォトレジストパターン(図示せず)をアッシングまたはストリップして除去する。

## 【0049】

次に、図4Aないし図4Cに示したように、前記ゲート配線(図示せず)とゲート電極105及びゲートパッド電極107が形成された基板101上に有機絶縁物質例えばPVP(polyvinylpyrrolidone)、BCB(benzocyclobutene)のうちから選択される物質を基板101全面に塗布してゲート絶縁膜110を形成する。この時、前記ゲート絶縁膜110は有機絶縁物質で形成されたので下部のゲート配線(図示せず)とゲート電極105及びゲートパッド電極107の段差に影響を受けなくてその表面が平坦に形成される。

## 【0050】

しかし、本発明は前記ゲート絶縁膜110が段差構造を有する場合も含む。これに対する具体的な説明は以後に説明する。

## 【0051】

次に、前記ゲート絶縁膜110上に形成されたゲート配線(図示せず)と同一な金属物質を200以下の低温雰囲気中で蒸着して金属層(図示せず)を形成する。この時、前記金属層(図示せず)の厚さは従来には1500ないし2000の厚さで形成されているが、本発明においては後に行なわれるリフトオフ工程の特性上3000以上の厚さであり、後工程で形成される低分子有機半導体層とその上部に形成された第1保護膜の厚さを合せた厚さより厚い厚さになるように形成することが望ましい。

## 【0052】

次に、前記金属層(図示せず)上にフォトレジストを全面に塗布して、透過領域と遮断領域を有するマスク(図示せず)を位置させた後露光して、前記露光されたフォトレジストを現像することによってデータ配線(図示せず)とソース及びドレイン電極113、115とデータパッド電極117などを形成するための金属パターンが形成されなければならない領域にだけフォトレジストパターン120が残っているようにする。以後、前記現像されなくて残っているフォトレジストパターン120外部に露出された金属層(図示せず)をエッチングすることによって最小3000の厚さを有するデータ配線(図示せず)、前記データ配線(図示せず)から分岐するソース電極113、前記ソース電極113で第1間隔d1を有して離隔したドレイン電極115、データパッド部DPにおけるデータパッド電極117とを形成する。この時、前記データ配線(図示せず)とソース及びドレイン電極113、115とデータパッド電極117上部に残っているフォトレジストパターン120は前記データ配線(図示せず)とソース及びドレイン電極113、115とデータパッド電極117が形成された後にもアッシングまたはストリップ工程を行なわないため、そのまま残っているようにすることが本発明の特徴的なことになる。この時、前記ソース及びドレイン電極113、115の離隔された第1間隔d1は半導体層形成後電

10

20

30

40

50

子の移動通路になるチャンネルを形成するようになる部分であるので、最終完成した液晶表示装置のモデルによってその間隔のサイズが変わるだろうが高解像度具現のためには10 μm以下に形成されることが望ましい。しかし、高解像度モデルだけでなく通常の解像度具現のための間隔で従来のシャドーマスクのパターンサイズの最小限界である40 μmより狭く形成されることもできる。

#### 【0053】

次に、図5Aないし図5Cに示したように、前記データ配線（図示せず）とソース及びドレイン電極113、115とデータパッド電極117が形成された基板101上に前記フォトリソパターン120を含むゲート絶縁膜110の全面に、シャドーマスクを利用せず透過度が85%以上であるペンタセン（pentacene； $C_{22}H_{14}$ ）のような低分子有機半導体物質を蒸発する工程を行って500程度の厚さを有する低分子有機半導体層123を形成する。この時、蒸発工程特性上蒸発により形成される物質層は段差になった部分の側面部には蒸着比率が非常に落ちることによって、段差がある限界値以上になれば平面垂直な状態の前記段差になった部分の側面においては蒸着されなくなり、物質層の切断が発生するようになることが生ずる。したがってこのような蒸発工程の特性を利用して、本発明の第1実施形態ではデータ配線（図示せず）とソース及びドレイン電極113、115とデータパッド電極117を3000以上の厚さ（または高さ）を有するように形成し、その上部に残っているフォトリソパターンの厚さが加えられて蒸着される低分子有機半導体層123の切断が発生するようになる。すなわち、ソース及びドレイン電極113、115とデータパッド電極117の上部に残っているフォトリソパターン120の側面部には低分子有機半導体層が形成されないようになる。そして前記低分子半導体層は本発明の特徴上その後の工程においても画素領域に形成された低分子半導体層は除去されなくて残っているようになるのでその透過度が85%以上になる低分子有機半導体物質で形成されている。

#### 【0054】

次に、図6Aないし図6Cに示したように、前記低分子有機半導体層123が形成された基板101全面に無機絶縁物質である酸化シリコン（ $SiO_2$ ）を全面に蒸着して第1保護膜127を形成する。この時、前記酸化シリコン（ $SiO_2$ ）の蒸着においても蒸着特性上段差が大きい部分すなわちソース及びドレイン電極113、115とデータパッド電極117とその上部のフォトリソパターン120の側面部には蒸着物質すなわち酸化シリコン（ $SiO_2$ ）が蒸着されなくなって第1保護膜127の切断が発生するようになる。この時、前記ソース及びドレイン電極113、115とデータパッド電極117はその厚さ $t_1$ が前記低分子有機半導体層123とその上部の第1保護膜127の厚さを合せた厚さ $t_2$ より厚く形成されることによって、前記フォトリソパターン120との接触面121が前記画素領域Pに形成された第1保護膜127の表面より高い所に形成されることが本発明の特徴である。

#### 【0055】

次に、図7Aないし図7Cに示したように、第1保護膜127まで形成された基板101をフォトリソを除去するためのストリップ液にディッピングしてデータ配線（図示せず）、ソース及びドレイン電極113、115とデータパッド電極117上部に残っているフォトリソパターン120を除去する。この場合前述したようにソース及びドレイン電極113、115とデータパッド電極117の厚さ $t_1$ が有機低分子半導体層123とその上部の第1保護膜127の厚さを合せた厚さ $t_2$ より厚く形成されて前記ソース及びドレイン電極113、115そしてデータパッド電極117と前記フォトリソパターン120との接触面121が画素領域Pに形成された第1保護膜127の表面より高い所に形成されることによって、前記接触面121の露出した両側面部でストリップ液が前記フォトリソパターン120を溶かして浸透し、最終的に前記フォトリソパターン120がストリップ液により溶けたりまたは反応して前記ソース及びドレイン電極113、115とデータパッド電極117との接触面121から除去されることによって、前記フォトリソパターン120上部に形成された低分子有機半導体層123とその上

10

20

30

40

50

部の第1保護膜127も共に除去される。このようなフォトリソパターン120及びその上部に積層されたパターンまで共に除去する方法をリフトオフ法というが、さらに詳細に説明するとフォトリソパターン120と反応するストリップ液は前述した構造においては上部には低分子有機半導体層123及び第1保護膜127が形成されているのでフォトリソパターン120と直接接触することができないが、前記ソース及びドレイン電極113、115とデータパッド電極117により段差が発生した部分すなわち、前記ソース及びドレイン電極113、115とデータパッド電極117上部に形成されたフォトリソパターン120の側面部はストリップ液と接触するようになって、前記ストリップ液がソース及びドレイン電極113、115とその上部に形成されたフォトリソパターン120の接触面121で浸透して前記フォトリソパターン120と反応することによって前記フォトリソパターン120を基板101から分離される。この時、ソース及びドレイン電極113、115とデータ配線(図示せず)とデータパッド電極117が形成された領域以外の基板101上領域に形成された低分子有機半導体層123とその上部の第1保護膜127は相変わらず基板101上に残っているようになって、前述したストリップ工程進行時ストリップ液に非常に弱い低分子有機半導体層は上部の第1保護膜により前記ストリップ液との接触が遮断されることによって水分と反応しなくなるのでストリップ液と接触による低分子有機半導体層の損傷は発生しない。

10

## 【0056】

前述したように、前記第1実施形態では、前記有機絶縁物質で構成されたゲート絶縁膜110は段差なしに平坦な上部面を有して、前記データライン、前記ソース電極113、前記ドレイン電極115そしてデータパッド電極117それぞれの厚さ $t_1$ は前記半導体層123及び前記第1保護膜127の総厚さ $t_2$ と同一であるか又は大きい。しかし、前記ゲート絶縁膜110は段差構造で形成された上部面を有することもできる。前記ゲート絶縁膜110が段差構造を有する上部面を有する時、前記第1保護膜127の上部面は、前記リフトオフ工程が容易いように前記ソース電極113と前記ドレイン電極115それぞれの上部面と一致するかまたはその下に位置することもできる。

20

## 【0057】

言い換えると、前記ソース電極113と前記ドレイン電極115それぞれの上部面と一致するか又はその下に位置するように前記第1保護膜127の上部面を調節することによって前記フォトリソパターン120の側壁は前記第1保護膜127により覆われないことである。したがって、前記フォトリソパターン120は効果的に除去されることによって、前記リフト工程中に前記フォトリソパターン120と重なる前記半導体層123と前記第1保護膜127を除去することができる。

30

## 【0058】

したがって、こういう場合前記ゲート絶縁膜110は平坦な上部面を有する必要がなく、前記ソース電極113とドレイン電極115の厚さ $t_1$ は前記第1保護膜127と前記半導体層123の総厚さ $t_2$ と同一であったり大きい。もしも前記第1保護膜127の上部面が前記ソース電極113及び前記ドレイン電極115それぞれの上部面と一致するかその下にあるならば、前記フォトリソパターン120の全体側壁は前記リフトオフ工程を遂行する時露出するので前記フォトリソパターン120は効果的に除去される。

40

## 【0059】

この時、前記ソース及びドレイン電極113、115間に形成された低分子有機半導体層123は前記ソース及びドレイン電極113、115の間隔 $d_1$ によりパターンングされることでその幅または長さが $40\ \mu\text{m}$ 以下である微細パターン形成が可能になる。

## 【0060】

次に、図8Aないし図8Cに示したように、前記データ配線(図示せず)を含むソース及びドレイン電極113、115とデータパッド電極117上部のフォトリソパターン(図7Aないし図7Cの120)が除去された基板101上に有機絶縁物質例えばPVP(polyvinylpyrrolidone)、BCB(benzocyclobu

50

t e n e ) のうちから選択される物質をコーティングすることによって全面に第 2 保護膜 1 4 0 を形成する。この時、前記第 2 保護膜 1 4 0 は前述した有機物質でコーティングされて形成されることによってその表面が平坦に形成される。

【 0 0 6 1 】

以後、前記第 2 保護膜 1 4 0 をマスク ( 図示せず ) を利用してパターニングすることによってドレイン電極 1 1 5 とゲートパッド電極 1 0 7 とデータパッド電極 1 1 7 を露出させるドレインコンタクトホール 1 4 2 と、ゲートパッドコンタクトホール 1 4 4 とデータパッドコンタクトホール 1 4 6 を形成する。

【 0 0 6 2 】

次に、図 9 A ないし図 9 C に示したように、透明導電性物質例えばインジウム - スズ - オキサイド ( i n d i u m - t i n - o x i d e ) またはインジウム - ジンク - オキサイド ( i n d i u m - z i n c - o x i d e ) のうちから選択される物質を全面に蒸着してパターニングすることによって前記ドレインコンタクトホール 1 4 2 を介してドレイン電極 1 1 5 と接触する画素電極 1 5 0 を各画素領域 P 別に形成すると同時にゲートパッド部 G P においてはゲートパッドコンタクトホール 1 4 4 を介してゲートパッド電極 1 0 7 と接触するゲート補助パッド電極 1 5 2 を形成して、データパッド部 D P においてはデータパッドコンタクトホール 1 4 6 を介してデータパッド電極 1 1 7 と接触するデータ補助パッド電極 1 5 4 を形成することによってアレイ基板を完成する。

< 第 2 実施形態 >

【 0 0 6 3 】

本発明の第 1 実施形態はシャドーマスクを利用せず、低分子有機半導体物質を形成することによってシャドーマスク特性上からくる微細パターンの困難さを解決するための発明であったが、低分子有機半導体層が画素領域にも形成されているので、たとえばその透過度が 8 5 % 以上になる低分子有機半導体層を用いていると表示装置では問題にならないが、そのことは 8 5 % 以上の透過度を有する低分子有機半導体物質を利用しなければならないという制限となる。こういう透過度が優秀な低分子半導体物質を利用すると、画素領域において微ずかではあるが輝度を低下させるようになる。

【 0 0 6 4 】

本発明の第 2 実施形態はこのような第 1 実施形態をさらに改良したことであって低分子有機半導体層の微細パターン形成が可能なことと同時に画素領域には形成されないようにしたことを特徴とする。

【 0 0 6 5 】

本発明の第 2 実施形態は低分子有機半導体層を形成する以前までの段階すなわちデータ配線を含むソース及びドレイン電極とデータパッド電極を形成して、その上部にフォトレジストパターンが残っているようにする段階までは第 1 実施形態と同一であるので図面及びその説明は省略して以後の段階に対してだけ図面を参照しながら説明する。

【 0 0 6 6 】

図 1 0 A ないし図 1 0 C、図 1 1 A ないし図 1 1 C、図 1 2 A ないし図 1 2 C、図 1 3 A ないし図 1 3 C、そして図 1 4 A ないし図 1 4 C は本発明の第 2 実施形態による液晶表示装置のアレイ基板を製造する工程を示す概略的な断面図で、図 1 0 A、図 1 1 A、図 1 2 A 及び図 1 3 A は本発明の第 2 実施形態による低分子有機半導体物質を利用した液晶表示装置用アレイ基板を製造する方法を図示した製造断面図で薄膜トランジスタを含む一つの画素領域に対する製造工程断面図であり、図 1 0 B、図 1 1 B、図 1 2 B 及び図 1 3 B ゲートパッド領域に対する製造工程断面図であり、図 1 0 C、図 1 1 C、図 1 2 C 及び図 1 3 C はデータパッド部に対する製造工程断面図である。

【 0 0 6 7 】

まず、図 1 0 A ないし図 1 0 C に示したように、前記データ配線とソース及びドレイン電極 2 1 3、2 1 5 とデータパッド電極 2 1 7 が形成されて、その上にフォトレジストパターン 2 2 0 が残っている基板 2 0 1 上にシャドーマスク 2 6 0 を位置させて、前記シャドーマスク 2 6 0 を介した低分子有機半導体物質の蒸発工程を実施する。この時、前記シ

10

20

30

40

50

シャドーマスク 260 はゲートパッド部 GP とデータパッド部 DP に対し開口部 OA なく、画素領域 P に対応する部分においても下部のソース及びドレイン電極 213、215 と前記両電極 213、215 間の離隔された領域 d1 にだけ開口部 OA を有するようになっていることによって、このような構造を有するシャドーマスク 260 を利用して低分子有機半導体物質の蒸発工程時ソース及びドレイン電極 213、215 上部及び前記両電極 213、215 間の離隔された領域 d1 にだけ低分子有機半導体層 223 が形成されて、画素領域 P とゲート及びデータパッド部 GP、DP には低分子有機半導体層が形成されないことが特徴である。この時、前記低分子有機半導体層を形成する低分子有機半導体物質に第 1 実施形態とは違って透過度の制限がなくなる。液晶表示装置のレイ基板において画素領域 P のうち薄膜トランジスタ形成部分 (Tr) は上部のカラーフィルター基板 (図示せず) に形成されるブラックマトリクスにより遮られるようになる部分であるので低分子有機半導体層 223 が透過度が優秀な低分子有機半導体物質で形成されても、透過度が低い低分子有機半導体物質で形成されようがとにかく影響を受けなくなる。

10

## 【0068】

このようなシャドーマスク 260 を利用した低分子有機半導体層 223 の形成は従来に説明したように前記シャドーマスク 260 の開口部 OA パターンのサイズ及び間隔の制限で長さまたは幅が 40  $\mu\text{m}$  以下である微細パターンを形成しにくい短所があるが、本発明の第 2 実施形態の場合前記シャドーマスク 260 により 40  $\mu\text{m}$  以上の幅と長さを有する低分子有機半導体層 223 が形成され、その後の工程により前記低分子有機半導体層を損傷なしにパターニングする段階を行えるようになるので、そのことは問題にならない。

20

## 【0069】

次に、図 11A ないし図 11C に示したように、前記ソース及びドレイン電極 213、215 上部のフォトレジストパターン 220 上部と前記両電極 213、215 間の離隔した領域 d1 に低分子有機半導体層 223 が形成された基板 201 全面に無機絶縁物質である酸化シリコン ( $\text{SiO}_2$ ) を全面に蒸着して第 1 保護膜 227 を形成する。この時、前記酸化シリコン ( $\text{SiO}_2$ ) の蒸着により形成された第 1 保護膜 227 は第 1 実施形態と一緒に段差が大きい部分すなわちソース及びドレイン電極 213、215 とデータパッド電極 217 とその上部のフォトレジストパターン 220 の側面部にはほとんど形成されないことが特徴である。この時、本発明の特徴上前記ソース及びドレイン電極 213、215 とデータパッド電極 217 はその厚さ t1 が前記低分子有機半導体層 223 とその上部の第 1 保護膜 227 の厚さを合せた厚さ t2 より厚く形成されることによって、前記フォトレジストパターン 220 との接触面 221 が前記画素領域 P に形成された第 1 保護膜 227 の表面より高い所に形成されたことが特徴である。

30

## 【0070】

次に、図 12A ないし図 12C に示したように、第 1 保護膜 227 まで形成された基板 201 をストリップ液にディッピングすることで、第 1 実施形態で説明したようにリフトオフ法により前記ソース及びドレイン電極 213、215 とデータパッド電極 217 上部に残っているフォトレジストパターン 220 を除去する。

## 【0071】

この時、前記ソース及びドレイン電極 213、215 間に形成された低分子有機半導体層 223 は前記ソース及びドレイン電極 213、215 の離隔間隔 d1 だけの幅または長さでパターニングされることで、シャドーマスク (図 10A ないし図 10C の 260) 利用による微細パターン形成の制限を克服している。

40

## 【0072】

本実施形態で、前記ゲート絶縁膜 210 は平坦な上部面を有するが、本発明の範囲はこの実施例に限定されない。前記ゲート絶縁膜 210 が段差構造を有する上部面の場合、前記第 1 保護膜 227 の上部面は前記リフトオフ工程が容易できるように前記ソース電極 213 及び前記ドレイン電極 215 それぞれの上部面と一致したりその下にあることも出来る。

## 【0073】

50

次に、図13Aないし図13Cに示したように、前記ソース及びドレイン電極213、215とデータパッド電極217上部のフォトレジストパターン(図12Aないし図12Cの220)が除去された基板201上に有機絶縁物質例えばPVP(polyvinyl pyrrolidone)、BCB(benzocyclobutene)のうちから選択される物質をコーティングすることによって全面に第2保護膜240を形成する。

【0074】

以後、前記第2保護膜240をマスクを利用してパターニングすることによって、ドレイン電極213とゲートパッド電極207とデータパッド電極217を露出させるドレインコンタクトホール242と、ゲートパッドコンタクトホール244とデータパッドコンタクトホール246を形成する。

10

【0075】

次に、図14Aないし図14Cに示したように、透明導電性物質例えばインジウム-スズ-オキサイド(indium-tin-oxide)またはインジウム-ジンク-オキサイド(indium-zinc-oxide)のうちから選択される物質を全面に蒸着してパターニングすることによってドレインコンタクトホール242を介してドレイン電極213と接触する画素電極250を各画素領域P別に形成すると同時に、ゲートパッド部GPにおいてはゲートパッドコンタクトホール244を介してゲートパッド電極207と接触するゲート補助パッド電極252を形成して、データパッド部DPにおいてはデータパッドコンタクトホール246を介してデータパッド電極217と接触するデータ補助パッド電極254を形成することによってアレイ基板を完成する。

20

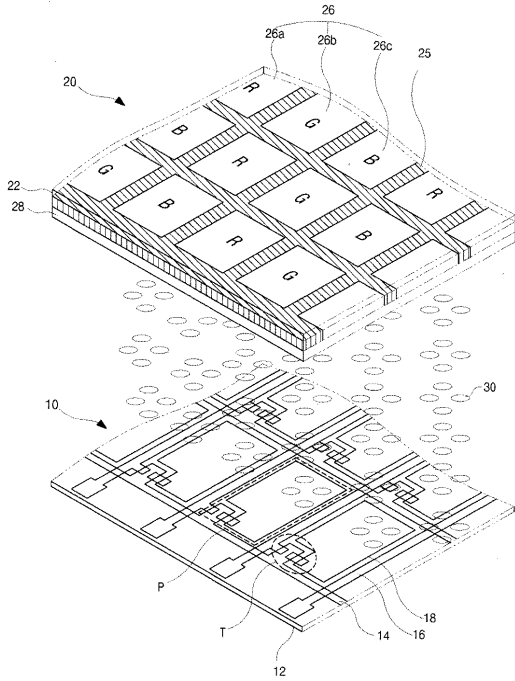
【符号の説明】

【0076】

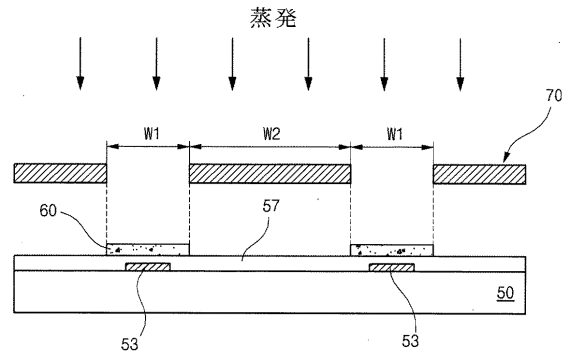
- 101：基板
- 105：ゲート電極
- 110：ゲート絶縁膜
- 113：ソース電極
- 115：ドレイン電極
- 123：低分子有機半導体層
- 127：第1保護膜
- 140：第2保護膜
- 142：ドレインコンタクトホール
- 150：画素電極
- P：画素領域
- Tr：薄膜トランジスタ
- d1：第1間隔
- t1：ソース及びドレイン電極厚さ
- t2：半導体層の厚さと第1保護膜の厚さを合せた厚さ

30

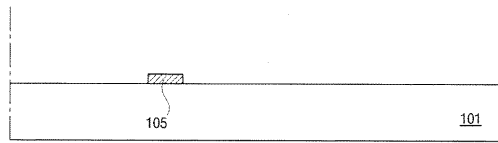
【図1】



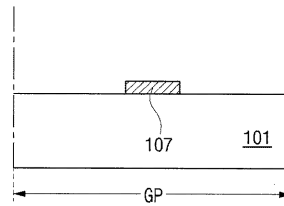
【図2】



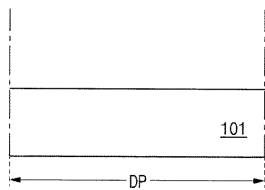
【図3A】



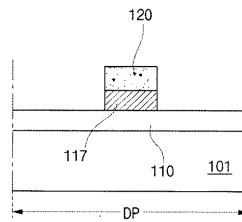
【図3B】



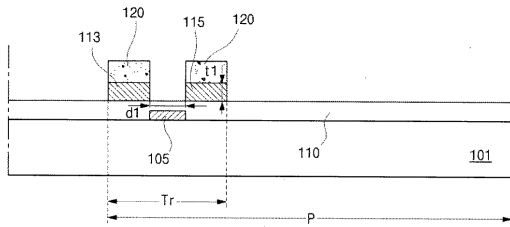
【図3C】



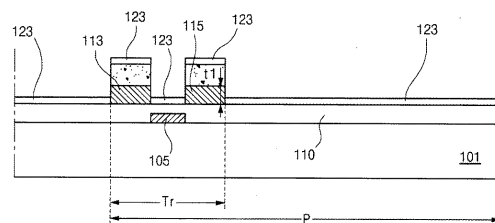
【図4C】



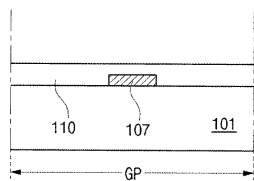
【図4A】



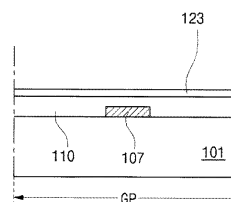
【図5A】



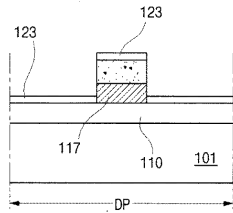
【図4B】



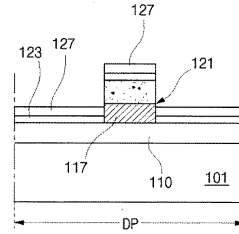
【図5B】



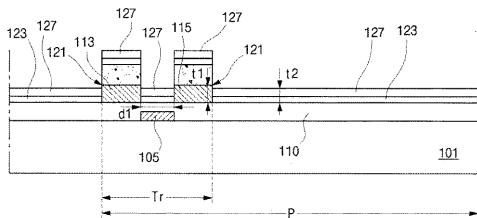
【図 5 C】



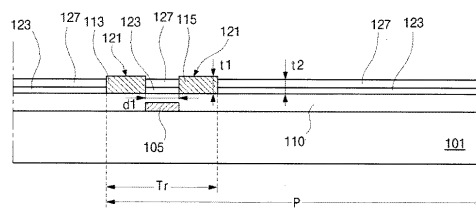
【図 6 C】



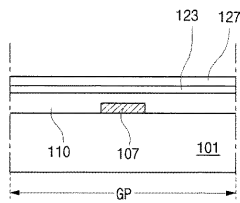
【図 6 A】



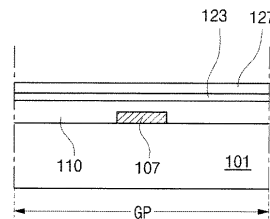
【図 7 A】



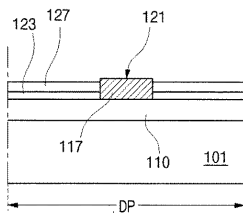
【図 6 B】



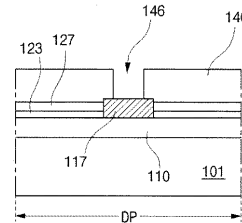
【図 7 B】



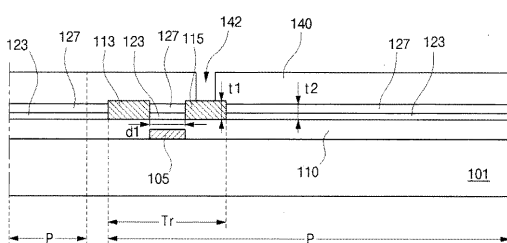
【図 7 C】



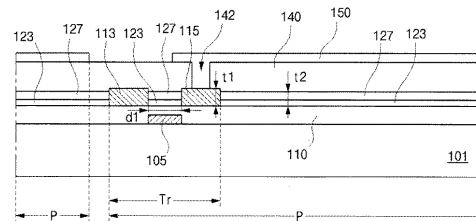
【図 8 C】



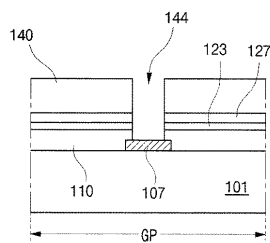
【図 8 A】



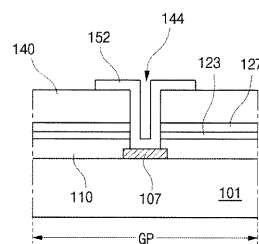
【図 9 A】



【図 8 B】

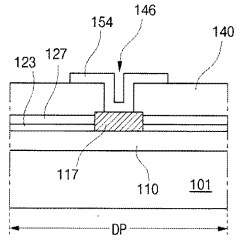


【図 9 B】

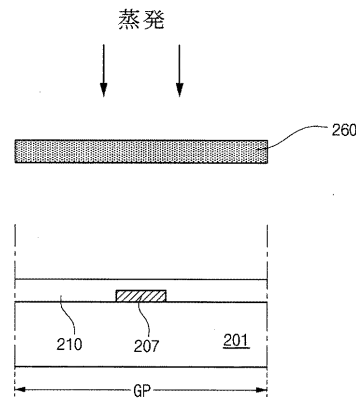




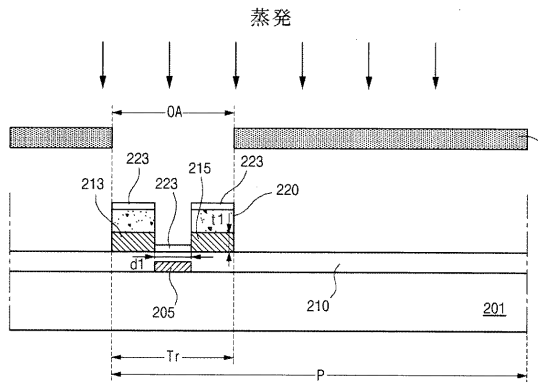
【図9C】



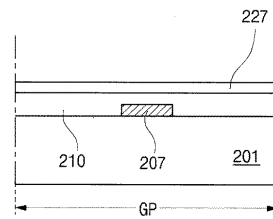
【図10B】



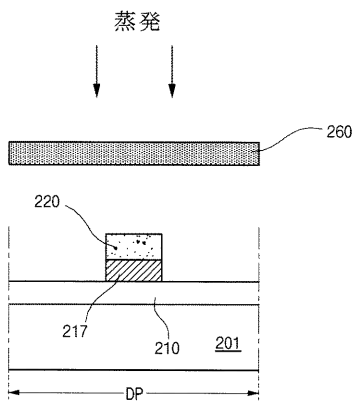
【図10A】



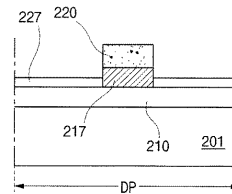
【図11B】



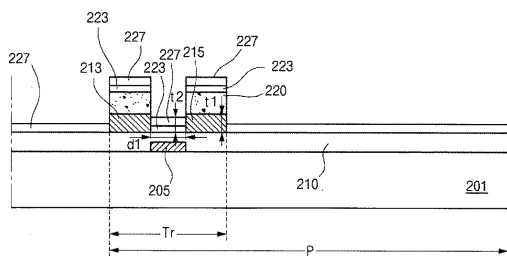
【図10C】



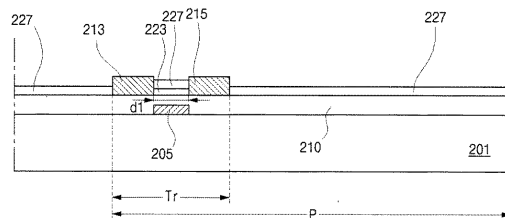
【図11C】



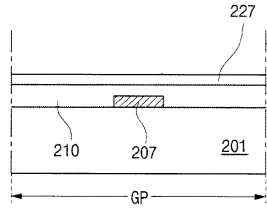
【図11A】



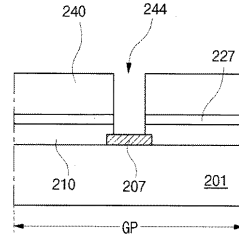
【図12A】



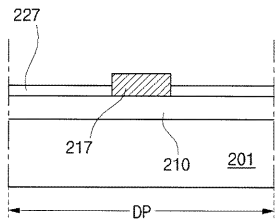
【図 1 2 B】



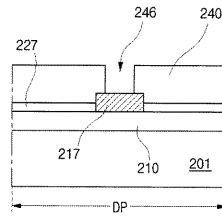
【図 1 3 B】



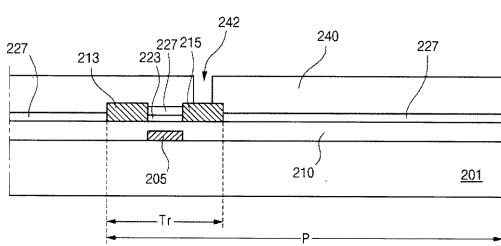
【図 1 2 C】



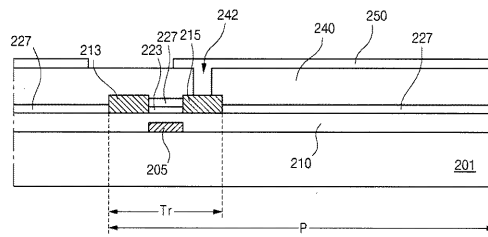
【図 1 3 C】



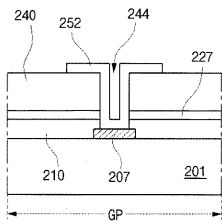
【図 1 3 A】



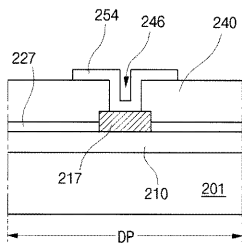
【図 1 4 A】



【図 1 4 B】



【図 1 4 C】



## フロントページの続き

(72)発明者 ソ ヒョンシク

大韓民国 431-050 キョンギド アニャンシ ドンアング ビサンドン 308-3 ヒ  
ヨソンサンアピラ 3-202

(72)発明者 ペク スンハン

大韓民国 407-764 インチョン ケヤング ケサン3ドン ハナ アパート 22-60  
5

(72)発明者 チェ ナックボン

大韓民国 440-723 キョンギド スウォンシ チャンアング チョンチョンドン サムソ  
ンネマン アパート 102-1302

審査官 綿引 隆

(56)参考文献 特開2004-048032(JP,A)

特開2003-309268(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/786

H01L 21/336

H01L 51/05

G02F 1/1368