

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-294155
(P2006-294155A)

(43) 公開日 平成18年10月26日(2006.10.26)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 11/15 (2006.01)	G 1 1 C 11/15 1 4 0	5 F 0 8 3
H O 1 L 43/08 (2006.01)	H O 1 L 43/08 Z	
H O 1 L 27/105 (2006.01)	H O 1 L 27/10 4 4 7	
H O 1 L 21/8246 (2006.01)		

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号	特願2005-115404 (P2005-115404)	(71) 出願人	000003067 TDK株式会社 東京都中央区日本橋1丁目13番1号
(22) 出願日	平成17年4月13日 (2005.4.13)	(74) 代理人	100104787 弁理士 酒井 伸司
		(72) 発明者	江▲崎▼ 城一朗 東京都中央区日本橋一丁目13番1号 TDK株式会社内
		(72) 発明者	柿沼 裕二 東京都中央区日本橋一丁目13番1号 TDK株式会社内
		Fターム(参考)	5F083 FZ10 LA03 LA04 LA05

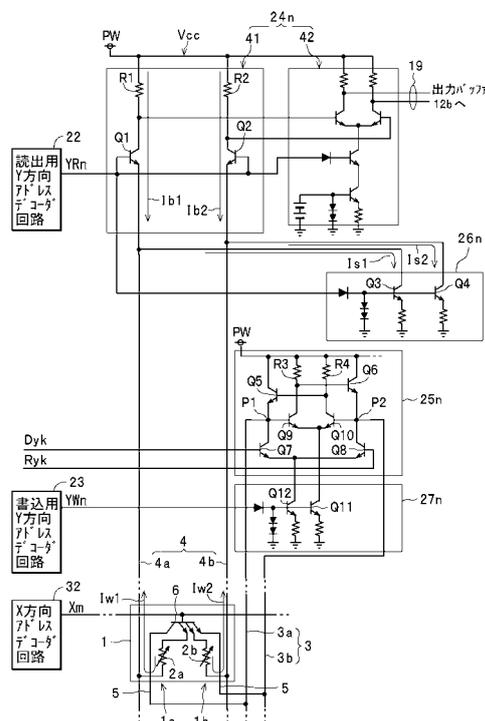
(54) 【発明の名称】 磁気メモリデバイス

(57) 【要約】

【課題】さらなる小型化を図り得る磁気メモリデバイスを提供する。

【解決手段】 一对の磁気抵抗効果発現体 2 a , 2 b を有すると共に書込ビット線 3 の一对の線路 3 a , 3 b に沿って並設された複数の記憶セル 1 と、記憶セル 1 毎に配設されると共に一对の線路 3 a , 3 b に接続されて、一对の線路 3 a , 3 b に流れる書込電流を各磁気抵抗効果発現体 2 a , 2 b の近傍に誘導する複数の副書込線 5 と、各副書込線 5 に介装されると共に作動状態において各副書込線 5 に双方向に書込電流を流す 1 つのトランジスタ 6 とを備えている。

【選択図】 図 2



【特許請求の範囲】

【請求項 1】

少なくとも 1 つの磁気抵抗効果発現体を有すると共に一対の書込線に沿って並設された複数の記憶セルと、

前記記憶セル毎に配設されると共に前記一対の書込線に接続されて、当該一対の書込線に流れる書込電流を前記磁気抵抗効果発現体の近傍に誘導する複数の副書込線と、

前記各副書込線に介装されると共に作動状態において当該各副書込線に双方向に前記書込電流を流す 1 つのトランジスタとを備えている磁気メモリデバイス。

【請求項 2】

前記記憶セルは、前記磁気抵抗効果発現体を一つ有して構成され、

前記トランジスタは、2 つのエミッタ端子を有するマルチエミッタ型バイポーラトランジスタで構成されると共にコレクタ端子および第 1 のエミッタ端子が前記副書込線にそれぞれ接続されることによって当該副書込線に介装され、かつ第 2 のエミッタ端子が前記磁気抵抗効果発現体に接続されている請求項 1 記載の磁気メモリデバイス。

【請求項 3】

前記記憶セルは、前記磁気抵抗効果発現体を一対有すると共に当該一対の磁気抵抗効果発現体のうちの一方の抵抗値が他方の抵抗値よりも大きいか否かに基づいて 1 ビットの情報を記憶するように構成され、

前記トランジスタは、3 つのエミッタ端子を有するマルチエミッタ型バイポーラトランジスタで構成されると共にコレクタ端子および第 1 のエミッタ端子が前記副書込線にそれぞれ接続されることによって当該副書込線に介装され、かつ第 2 のエミッタ端子が前記一対の磁気抵抗効果発現体のうちの一方に接続されると共に第 3 のエミッタ端子が前記一対の磁気抵抗効果発現体のうちの他方に接続されている請求項 1 記載の磁気メモリデバイス。

【請求項 4】

前記トランジスタは、P 型半導体基板上に NPN 構造で構成されると共に、当該 NPN 構造における前記 P 型半導体基板側に位置するコレクタ層として N 型半導体層と当該 P 型半導体基板との間が高絶縁状態に形成されている請求項 1 から 3 のいずれかに記載の磁気メモリデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、磁気抵抗効果発現体を含む記憶セルを備えて情報の記録および読出しが可能に構成された磁気メモリデバイスに関するものである。

【背景技術】

【0002】

この種の磁気メモリデバイスとして、本願出願人が既に提案した特開 2004 - 178623 号公報に開示された磁気メモリデバイスが知られている。この磁気メモリデバイスは、磁気ランダムアクセスメモリ（以下、「MRAM：Magnetic Random Access Memory」ともいう）であって、一対の磁気抵抗効果発現体（磁気抵抗効果素子）および一対の逆流防止用ダイオードを備えた複数の記憶セルが二次元配列されて構成されている。

【0003】

この磁気メモリデバイスでは、X 方向カレントドライブ回路群に含まれている 1 つの書込回路としての X 方向カレントドライブ回路、および Y 方向カレントドライブ回路群に含まれている 1 つの書込回路としての Y 方向カレントドライブ回路を選択することにより、選択された X 方向カレントドライブ回路および Y 方向カレントドライブ回路がそれぞれに接続された書込用ワード線および書込用ビット線に書込電流が供給される。この場合、書込用ワード線および書込用ビット線は、X 方向カレントドライブ回路および Y 方向カレントドライブ回路に対して遠端側で互いに接続された一対の線路でそれぞれ構成されることにより、各カレントドライブ回路から供給された書込電流を遠端側で折り返して各カレン

10

20

30

40

50

トドライブ回路に戻すように構成されている。この結果、記憶セル群に含まれている複数の記憶セルのうちの書込電流が流れている書込用ワード線および書込用ビット線の交差部分に配設されている記憶セルに各書込電流の合成磁界が印加されることにより、記憶セル内の一对の磁気抵抗効果発現体のうちの一方が高抵抗値となると共に他方が低抵抗値となって1ビットの情報記憶される。この場合、X方向カレントドライブ回路およびY方向カレントドライブ回路は、同公報中の図5に示すように構成されている。

【0004】

一方、この磁気メモリデバイスにおいて、複数の記憶セルのうちの一つに記憶されている情報を読み出すときには、同公報中の図9に示すY方向アドレスデコーダを介して一对のトランジスタ(列選択用トランジスタ)を作動させることにより、この一对の列選択用トランジスタのエミッタ端子にそれぞれ接続されている一对のセンスビット線(電流供給ライン)に電流電圧変換用抵抗器を介して電流を供給可能な状態とする。また、X方向アドレスデコーダを介して1つの定電流回路を作動させることにより、この定電流回路に接続されている1つのセンスワード線(電流引込ライン)に接続されている記憶セルから定電流を引き込み可能な状態とする。これにより、この一对の電流供給ラインとこの1つの電流引込ラインとの交差部分に配設されて両ラインに接続されている1つの記憶セルが選択されて、電源から一方の電流電圧変換用抵抗器、一方の列選択用トランジスタ、選択された記憶セルに含まれている一方の磁気抵抗効果発現体、一方の逆流防止用ダイオードおよび定電流回路を経由してグラウンドに至る第1の経路と、電源から他方の電流電圧変換用抵抗器、他方の列選択用トランジスタ、選択された記憶セルに含まれている他方の磁気抵抗効果発現体、他方の逆流防止用ダイオードおよび定電流回路を経由してグラウンドに至る第2の経路とに、各磁気抵抗効果発現体の抵抗値に応じた電流がそれぞれ流れる。また、各経路に配設された各電流電圧変換用抵抗器の両端には、各経路を流れる各電流の電流値に比例した電圧がそれぞれ発生する。したがって、各電流電圧変換用抵抗器に発生する各電圧(または各電圧の電圧差)を検出することにより、選択された記憶セルに含まれている各磁気抵抗効果発現体の抵抗値の大小を検出して、この記憶セルに記憶されている情報を読み出すことができる。

【特許文献1】特開2004-178623号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、発明者らは、上記した従来の磁気メモリデバイスを基にして、図5に示す構成の記憶セルを備えた磁気メモリデバイスも開発している。この磁気メモリデバイス101は、書込線としては書込用ワード線は備えずに一对の線路102a, 102bで構成された書込用ビット線102のみを備えている。また、この磁気メモリデバイス101では、記憶セル103は、一对の磁気抵抗効果発現体2a, 2b、一对の逆流防止用ダイオードDa, Db、一对のトランジスタ(一例としてNPN型バイポーラトランジスタ)TRa, TRb、および副書込線104を備えて構成されている。この場合、副書込線104は、その各端部が線路102a, 102bにそれぞれ接続されて、書込用ビット線102に流れる書込電流を各磁気抵抗効果発現体2a, 2bの近傍に誘導するように配設されている。また、各トランジスタTRa, TRbは、一方のコレクタ端子が他方のエミッタ端子に接続された並列状態で副書込線104に介装されている。また、各トランジスタTRa, TRbのベース端子には、データ線Dyとデータ線Ryとが接続されている。この場合、データ線Dyには記憶セル103に記憶させる情報と同じ論理情報が出力され、またデータ線Ryには記憶セル103に記憶させる情報とは逆の論理情報が出力される。

【0006】

この磁気メモリデバイス101では、記憶セル103に情報を書き込むときには、記憶セル103に記憶させる情報の内容に応じて、データ線Dy, Ryの各レベルが相反する状態(例えば、一方が「High」のときに他方は「Low」となる状態)で変化する。また、このデータ線Dy, Ryの各レベルに対応して、書込用ビット線102を構成する

線路102a, 102bの各電位が相反する状態で変化する。具体的には、例えば、情報「1」を書き込むときには、データ線DyがHighで、データ線RyがLowとなる。したがって、線路102aが高電位で線路102bが低電位となる。逆に、情報「0」を書き込むときには、データ線DyがLowで、データ線RyがHighとなる。したがって、線路102aが低電位で線路102bが高電位となる。このため、記憶セル103に記憶させる情報の内容に応じて、副書込線104に流れる書込電流の向きが切り替わり、磁気抵抗効果発現体2a, 2bに印加される書込電流による磁界の向きも切り替わる。この結果、この磁界の向きに応じて、磁気抵抗効果発現体2a, 2bの一方が高抵抗値で他方が低抵抗値になり、記憶セル103に所望の情報が記憶される。一方、記憶セル103に記憶されている情報を読み出すときには、読出用ワード線Xに所定の電圧を印加する。これにより、読出用ワード線Xから各逆流防止用ダイオードDa, Dbを介して各磁気抵抗効果発現体2a, 2bに読出電流が供給される。この場合、各磁気抵抗効果発現体2a, 2bには、各磁気抵抗効果発現体2a, 2bの抵抗値に応じた読出電流がそれぞれ流れ、この読出電流は読出ビット線105を構成する一对の線路105a, 105bを經由して図外の定電流回路に流入する。したがって、線路105a, 105bに流れる各読出電流を図外の読出回路で検出することにより、記憶セル103に記憶されている情報を読み出すことができる。

10

20

30

40

50

【0007】

この磁気メモリデバイス101によれば、情報の書込みに際して、情報を書き込もうとする記憶セル103が配置された副書込線104で、書込用ビット線102を構成する線路102a, 102bに流れる書込電流を折り返すことができる。したがって、書込用ワード線を不要にすることができ、これに伴って、書込用ワード線に電流を供給するX方向カレントドライブ回路も不要にすることができる。このため、磁気メモリデバイス101の構成を簡略化でき、磁気メモリデバイス101のさらなる小型化も可能となる。

【0008】

ところが、磁気メモリデバイス101の記憶セル103について、発明者らがさらに検討した結果、以下のような改善すべき点を発見した。すなわち、この磁気メモリデバイス101では、記憶セル103内に、情報の書き込みのための2つのトランジスタTRa, TRbと情報の読み出しのための2つの磁気抵抗効果発現体2a, 2bとが配設されている。したがって、記憶セル103自体の構成が複雑になる結果、記憶セル、ひいては磁気メモリデバイスのさらなる小型化を行い難いという解決すべき課題を発見した。

【0009】

本発明は、かかる課題を解決すべくなされたものであり、さらなる小型化を図り得る磁気メモリデバイスを提供することを主目的とする。

【課題を解決するための手段】**【0010】**

上記目的を達成すべく本発明に係る磁気メモリデバイスは、少なくとも1つの磁気抵抗効果発現体を有すると共に一对の書込線に沿って並設された複数の記憶セルと、前記記憶セル毎に配設されると共に前記一对の書込線に接続されて、当該一对の書込線に流れる書込電流を前記磁気抵抗効果発現体の近傍に誘導する複数の副書込線と、前記各副書込線に介装されると共に作動状態において当該各副書込線に双方向に前記書込電流を流す1つのトランジスタとを備えている。

【0011】

この場合、前記記憶セルは、前記磁気抵抗効果発現体を一つ有して構成され、前記トランジスタは、2つのエミッタ端子を有するマルチエミッタ型バイポーラトランジスタで構成されると共にコレクタ端子および第1のエミッタ端子が前記副書込線にそれぞれ接続されることによって当該副書込線に介装され、かつ第2のエミッタ端子が前記磁気抵抗効果発現体に接続されている。

【0012】

また、前記記憶セルは、前記磁気抵抗効果発現体を一对有すると共に当該一对の磁気抵

抗効果発現体のうちの一方の抵抗値が他方の抵抗値よりも大きいか否かに基づいて1ビットの情報を記憶するように構成され、前記トランジスタは、3つのエミッタ端子を有するマルチエミッタ型バイポーラトランジスタで構成されると共にコレクタ端子および第1のエミッタ端子が前記副書込線にそれぞれ接続されることによって当該副書込線に介装され、かつ第2のエミッタ端子が前記一对の磁気抵抗効果発現体のうちの一方に接続されると共に第3のエミッタ端子が前記一对の磁気抵抗効果発現体のうちの他方に接続されている。

【0013】

さらに、前記トランジスタは、P型半導体基板上にNPN構造で構成されると共に、当該NPN構造における前記P型半導体基板側に位置するコレクタ層としてN型半導体層と当該P型半導体基板との間が高絶縁状態に形成されている。

10

【発明の効果】**【0014】**

本発明に係る磁気メモリデバイスによれば、記憶セル毎に配設されると共に一对の書込線に接続されて、一对の書込線に流れる書込電流を磁気抵抗効果発現体の近傍に誘導する複数の副書込線と、各副書込線に介装されると共に作動状態において各副書込線に双方向に書込電流を流す1つのトランジスタとを備えたことにより、本発明者が既に開発している2つのトランジスタを備える上記の構成と比較して、各記憶セルをより小型化することができ、これにより、磁気メモリデバイス全体もより小型化することができる。

【0015】

また、本発明に係る磁気メモリデバイスによれば、各記憶セルに1つの磁気抵抗効果発現体を有する磁気メモリデバイスにおいて、2つのエミッタ端子を有するマルチエミッタ型バイポーラトランジスタで上記のトランジスタを構成すると共に、コレクタ端子および第1のエミッタ端子を副書込線にそれぞれ接続することによってこのトランジスタを副書込線に介装し、このトランジスタの第2のエミッタ端子に磁気抵抗効果発現体を接続してベース端子から流入した読出電流を磁気抵抗効果発現体に供給するように構成したことにより、トランジスタと共に磁気抵抗効果発現体に読出電流を供給するための逆流防止用ダイオードを備える構成と比較して、各記憶セルの構造を簡略化することができるため、磁気メモリデバイスをより安価に製造することができる。

20

【0016】

また、本発明に係る磁気メモリデバイスによれば、各記憶セルに一对の磁気抵抗効果発現体を有する磁気メモリデバイスにおいて、3つのエミッタ端子を有するマルチエミッタ型バイポーラトランジスタで上記のトランジスタを構成すると共に、コレクタ端子および第1のエミッタ端子を副書込線にそれぞれ接続することによってこのトランジスタを副書込線に介装し、このトランジスタの第2のエミッタ端子に一对の磁気抵抗効果発現体のうちの一方を接続すると共に第3のエミッタ端子に一对の磁気抵抗効果発現体のうちの他方を接続して、ベース端子から流入した読出電流を各磁気抵抗効果発現体に供給するように構成したことにより、2つのトランジスタと共に一对の磁気抵抗効果発現体に読出電流を供給するための2つの逆流防止用ダイオードを備える構成と比較して、各記憶セルの構造を簡略化することができるため、磁気メモリデバイスをより安価に製造することができる。

30

40

【0017】

さらに、本発明に係る磁気メモリデバイスによれば、P型半導体基板上にNPN構造で上記のトランジスタを構成すると共に、NPN構造におけるP型半導体基板側に位置するコレクタ層としてN型半導体層とP型半導体基板との間を高絶縁状態に形成したことにより、ラッチアップの発生を抑制することができる。

【発明を実施するための最良の形態】**【0018】**

以下、添付図面を参照して、本発明に係る磁気メモリデバイスの最良の形態について説明する。

50

【0019】

まず、図1, 2を参照して、本発明に係る磁気メモリデバイスMの構成について説明する。

【0020】

図1に示すように、磁気メモリデバイスMは、アドレスバッファ11、データバッファ12、制御ロジック部13、記憶セル群14、Y方向駆動制御回路部21およびX方向駆動制御回路部31を備えている。この場合、Y方向駆動制御回路部21は、読出用Y方向アドレスデコーダ回路22、書込用Y方向アドレスデコーダ回路23、読出回路群24、Y方向カレントドライブ回路群25、読出用定電流回路群26および書込用定電流回路群27を有している。他方、X方向駆動制御回路部31は、X方向アドレスデコーダ回路32を有している。また、この磁気メモリデバイスMは、記憶セル群14、読出回路群24、Y方向カレントドライブ回路群25、読出用定電流回路群26および書込用定電流回路群27については、データ(データバッファ12を介して入力するデータ)のビット数(本例では一例として8つ)と同じ数だけ備えている。また、磁気メモリデバイスMは、アドレスバッファ11を介して入力したアドレスによって特定される所定のアドレスに所定のデータを記憶する際に、この所定のデータを構成する各ビットの情報(「1」か「0」)を、各ビットに対応する記憶セル群14におけるこの所定のアドレスの1つの記憶セル1にそれぞれ記憶させるように構成されている。また、磁気メモリデバイスMに含まれている各構成要素は、電源端子PWとグランド端子GNDとの間に直流電圧源から供給される直流電圧Vccによって作動する。

10

20

【0021】

アドレスバッファ11は、外部アドレス入力端子A0~A20を備え、この外部アドレス入力端子A0~A20から取り込んだアドレス信号(例えばアドレス信号のうちの上位のアドレス信号)をY方向アドレスバス15を介して読出用Y方向アドレスデコーダ回路22に出力すると共に、アドレス信号(例えばアドレス信号のうちの下位のアドレス信号)をX方向アドレスバス16を介してX方向アドレスデコーダ回路32に出力する。

【0022】

データバッファ12は、外部データ端子D0~D7、入力バッファ12aおよび出力バッファ12bを備えている。また、データバッファ12は、制御信号線13aを介して制御ロジック部13に接続されている。この場合、入力バッファ12aは、Y方向書込用データバス18を介して各Y方向カレントドライブ回路群25に接続されている。また、入力バッファ12aは、外部データ端子D0~D7を介して入力したデータに含まれている各ビットの情報を8つの記憶セル群14のうち各ビットに対応する記憶セル群14に記憶させるために、各ビットの情報と同じ論理情報および各ビットの情報とは逆の論理情報を、各ビットに対応する各Y方向カレントドライブ回路群25にそれぞれ出力する。

30

【0023】

具体的には、入力バッファ12aは、図2に示すように、外部データ端子Dk(kは0~7の整数)を介して入力した情報(本例ではこの情報をkビット目の情報という)と同じ論理情報をY方向書込用データバス18のデータ線Dykを介して、またkビット目の情報とは逆の論理情報をY方向書込用データバス18のデータ線Rykを介して、kビット目の情報が記憶される記憶セル群14kに接続されているY方向カレントドライブ回路群25に出力する。一方、出力バッファ12bは、Y方向読出用データバス19を介して各記憶セル群14kの読出回路群24に接続されている。また、出力バッファ12bは、各記憶セル群14kの読出回路群24によって読み出された各ビットの情報をY方向読出用データバス19を介して入力すると共に、入力したデータを外部データ端子D0~D7に出力する。また、入力バッファ12aおよび出力バッファ12bは、制御信号線13aを介して制御ロジック部13から入力した制御信号に従って作動する。

40

【0024】

制御ロジック部13は、入力端子CSおよび入力端子OEを備え、データバッファ12、読出用Y方向アドレスデコーダ回路22、書込用Y方向アドレスデコーダ回路23およ

50

び読出回路群 2 4 の動作を制御する。具体的には、制御ロジック部 1 3 は、入力端子 C S を介して入力したチップセレクト信号、および入力端子 O E を介して入力した出力許可信号に基づいて、入力バッファ 1 2 a および出力バッファ 1 2 b のいずれをアクティブにするか否かを決定すると共に、この決定に従って入力バッファ 1 2 a および出力バッファ 1 2 b を作動させるための制御信号を生成して制御信号線 1 3 a を介してデータバッファ 1 2 に出力する。また、制御ロジック部 1 3 は、チップセレクト信号および出力許可信号に基づいて、読出用 Y 方向アドレスデコーダ回路 2 2 および書込用 Y 方向アドレスデコーダ回路 2 3 のいずれをアクティブにするか否かを決定すると共に、この決定に従って各 Y 方向アドレスデコーダ回路 2 2 , 2 3 を作動させるための制御信号を生成して制御信号線 1 3 b を介して各 Y 方向アドレスデコーダ回路 2 2 , 2 3 に出力する。

10

【0025】

各記憶セル群 1 4 は、図 2 に示すように、互いに並設された一对の線路 3 a , 3 b (本発明における書込線に相当する。図 2 参照) で構成されると共に図 1 中の X 方向の向きで並設された複数 (j 本。 j は 2 以上の整数) の書込ビット線 3 と、互いに並設された一对の線路 4 a , 4 b で構成されると共に各書込ビット線 3 にそれぞれ並設された複数 (j 本) の読出ビット線 4 と、各書込ビット線 3 および各読出ビット線 4 とそれぞれ交差すると共に図 1 中の Y 方向の向きで並設された複数 (i 本。 i は 2 以上の整数) のワードデコード線 X (図 2 では X m) と、書込ビット線 3 およびワードデコード線 X の各交差部分に配設されることによって二次元状に配列 (一例として i 行 j 列のマトリクス状で配列) された複数 ((i × j) 個) の記憶セル (磁気記憶セル) 1 と、各記憶セル 1 毎に配設された 20 複数の副書込線 5 とを備えて構成されている。この場合、各副書込線 5 は、その各端部が書込ビット線 3 の一对の線路 3 a , 3 b にそれぞれ接続されると共に、書込ビット線 3 に流れる書込電流を各記憶セル 1 内に配設された後述の一对の磁気抵抗効果発現体の近傍に誘導し得るように配設されている。なお、図 2 では、説明の理解を容易にするため、一例として m 行 n 列の位置に配設された 1 つの記憶セル 1 およびこの記憶セル 1 に関連する構成要素のみを示している。ここで、 m は 1 以上 i 以下の整数であり、 n は 1 以上 j 以下の整数である。以下、記憶セル 1 およびこの記憶セル 1 に関連する構成の説明においては、 m 行 n 列の位置に配設された 1 つの記憶セル 1 およびこの記憶セル 1 に関連する構成要素を例に挙げて説明する。

20

【0026】

記憶セル 1 は、図 2 に示すように、一对の記憶素子 1 a , 1 b およびトランジスタ 6 を備えて構成されている。この場合、各記憶素子 1 a , 1 b は、 G M R (G i a n t M a g n e t o - R e s i s t i v e) または T M R (T u n n e l i n g M a g n e t o - R e s i s t i v e) を利用して構成された磁気抵抗効果発現体 2 a , 2 b をそれぞれ含んで構成されている。トランジスタ 6 は、一例として 3 つのエミッタ端子を備えたマルチエミッタ型のバイポーラトランジスタ (N P N 型) で構成されている。磁気抵抗効果発現体 2 a は、トランジスタ 6 の第 2 のエミッタ端子と n 列目の読出ビット線 4 の一方の線路 4 a との間に接続され、磁気抵抗効果発現体 2 b は、トランジスタ 6 の第 3 のエミッタ端子と n 列目の読出ビット線 4 の他方の線路 4 b との間に接続されている。また、トランジスタ 6 のベース端子は、 m 行目のワードデコード線 X m に接続されている。また、トランジスタ 6 は、そのコレクタ端子および第 1 のエミッタ端子が副書込線 5 にそれぞれ直接接続された状態で、副書込線 5 に介装されている。記憶セル 1 は、トランジスタ 6 の作動状態において、書込ビット線 3 から副書込線 5 に流入する書込電流に起因して発生する磁界の向きに応じて、記憶素子 1 a 中の磁気抵抗効果発現体 2 a の抵抗値が記憶素子 1 b 中の磁気抵抗効果発現体 2 b の抵抗値よりも小さくなる状態と、記憶素子 1 a 中の磁気抵抗効果発現体 2 a の抵抗値が記憶素子 1 b 中の磁気抵抗効果発現体 2 b の抵抗値よりも大きくなる状態のいずれかの状態に移行することにより、データを構成するビットの情報を記憶する。

30

40

【0027】

また、本例で使用されるトランジスタ 6 には、フォワード方向 (コレクタ端子からエミ

50

ツタ端子に向かう方向)の電流増幅率(いわゆるフォワード)およびリバース方向(エミッタ端子からコレクタ端子に向かう方向)の電流増幅率(いわゆるリバース)が共に所定の値以上になるトランジスタが使用されている。このため、トランジスタ6は、作動状態において、双方向に十分な電流値の書込電流をコレクタ端子とエミッタ端子との間に流すことが可能に構成されている。具体的には、トランジスタ6は、コレクタ端子がエミッタ端子よりも高電位の際にはフォワード方向に書込電流を流し、逆に、エミッタ端子がコレクタ端子よりも高電位の際にはリバース方向に書込電流を流すように構成されている。また、このトランジスタ6は、一例として図3に示すように、P型半導体基板6a上に、コレクタ端子として機能するN型半導体層(本発明におけるコレクタ層)6b、ベース端子として機能するP型半導体層6c、およびN型半導体層(第1,2,3のエミッタ端子としてそれぞれ機能するN型半導体層6d,6e,6fで構成されている)がこの順に積層されたNPN構造で構成されている。また、トランジスタ6は、N型半導体層6bとP型半導体基板6aとの間に絶縁層6gが形成されることにより、N型半導体層6bとP型半導体基板6aとの間が高絶縁状態となるように形成されて、ラッチアップの発生が抑制されている。なお、図3に示すように、トランジスタ6は、第1のエミッタ端子として機能するN型半導体層6dのP型半導体層6cに接する面積を他のN型半導体層6e,6fのP型半導体層6cに接する面積よりも広くすることにより、十分な電流量の書込電流を供給し得るように構成されている。また、同図では、一例としてトランジスタ6をバチカル型構造で構成したが、ラテラル型構造で構成することもできる。

10

20

30

40

50

【0028】

Y方向駆動制御回路部21の読出用Y方向アドレスデコーダ回路22は、制御信号線13bを介して制御信号を入力しているときに、Y方向アドレスバス15を介して入力したアドレス信号に基づいて、読出回路群24に含まれているj個の読出回路、および読出用定電流回路群26に含まれているj個の読出用定電流回路にそれぞれ接続されているj本の読出ビットデコード線 $YR_1, \dots, YR_n, \dots, YR_j$ のうちの一つ(読出ビットデコード線 YR_n)を選択すると共に、選択した読出ビットデコード線 YR_n に所定の電圧を供給(印加)する。この場合、読出回路群24に含まれているj個の読出回路のうち読出ビットデコード線 YR_n に接続されている読出回路24n(図2参照)と、読出用定電流回路群26に含まれているj個の読出用定電流回路のうち読出ビットデコード線 YR_n に接続されている読出用定電流回路26nとが、読出ビットデコード線 YR_n を介して所定の電圧が供給されているときに作動する。

【0029】

各読出回路(一例として読出回路24nを例に挙げて説明する)は、図2に示すように、前段回路(電流供給回路)41と後段回路(差動増幅回路)42とを備えて構成されて、記憶セル群14のn列目に含まれているi個の記憶セル1に接続されている読出ビット線4の各線路4a,4bに電流 I_{b1}, I_{b2} を供給すると共に、各電流 I_{b1}, I_{b2} の差分を検出することにより、記憶セル1から情報を読み出し可能に構成されている。具体的には、前段回路41は、電流電圧変換用の抵抗 R_1, R_2 と、2つのトランジスタ(一例としてNPN型トランジスタ)Q1,Q2とを備えて構成されて、作動時に各線路4a,4bに電流 I_{b1}, I_{b2} を供給する。後段回路42は、図2に示すように、差動増幅回路として構成されて、作動時に各電流 I_{b1}, I_{b2} の差分値、具体的には各電流 I_{b1}, I_{b2} に起因して各抵抗 R_1, R_2 の両端に発生する電圧の電位差を検出して増幅する。前段回路41および後段回路42は、読出用Y方向アドレスデコーダ回路22によって選択されている読出ビットデコード線 YR_n から所定の電圧が供給されているときにそれぞれ作動して、読出回路24nを作動状態に移行させる。

【0030】

読出用定電流回路(一例として読出用定電流回路26nを例に挙げて説明する)は、図2に示すように、抵抗(同一の抵抗値)を介してエミッタ端子がそれぞれ接地された一対のトランジスタQ3,Q4を備え、読出ビットデコード線 YR_n を介して所定の電圧がトランジスタQ3,Q4の各ベース端子に供給されたときに、電流値の同じ定電流 $I_{s1},$

I_{s2} を引き込むように構成されている。この場合、トランジスタ Q_3 に流れる電流 I_{s1} は、図2に示すように、前段回路41のトランジスタ Q_1 を介して読出ビット線4の一方の線路4aに供給される電流 I_{b1} と、選択されたワードデコード線 X_m から記憶セル1内のトランジスタ6（そのベース端子およびその第2のエミッタ端子）および磁気抵抗効果発現体2aを介して読出ビット線4の一方の線路4aに供給される電流 I_{w1} との合計電流となる。同様に、トランジスタ Q_3 に流れる電流 I_{s2} は、前段回路41のトランジスタ Q_2 を介して読出ビット線4の他方の線路4bに供給される電流 I_{b2} と、選択されたワードデコード線 X_m から記憶セル1内のトランジスタ6（そのベース端子およびその第3のエミッタ端子）および磁気抵抗効果発現体2bを介して読出ビット線4の他方の線路4bに供給される電流 I_{w2} との合計電流となる。この構成により、電流 I_{b1} および電流 I_{w1} の合計電流値（合計値）と、電流 I_{b2} および電流 I_{w2} の合計電流値（合計値）は、読出用定電流回路26nにより、一定に制御される。

10

【0031】

また、Y方向駆動制御回路部21の書込用Y方向アドレスデコーダ回路23は、Y方向アドレスバス15を介して入力したアドレス信号に基づいて、書込用定電流回路群27に含まれているj個の書込用定電流回路にそれぞれ接続されているj本の書込ビットデコード線 $Y_{W1}, \dots, Y_{Wn}, \dots, Y_{Wj}$ のうちの1つ（書込ビットデコード線 Y_{Wn} ）を選択すると共に、制御信号線13bを介して制御信号を入力しているときに、選択した書込ビットデコード線 Y_{Wn} に所定の電圧を印加する。この場合、書込用定電流回路群27に含まれているj個の書込用定電流回路のうちの書込ビットデコード線 Y_{Wn} に接続されている書込用定電流回路27n（図2参照）が、書込ビットデコード線 Y_{Wn} を介して印加される所定の電圧によって作動して、Y方向カレントドライブ回路群25に含まれているj個のY方向カレントドライブ回路のうちのこの書込用定電流回路27nに接続されているY方向カレントドライブ回路25nが作動可能な状態になる。

20

【0032】

Y方向カレントドライブ回路25nは、図2に示すように、トランジスタ $Q_5 \sim Q_{10}$ および抵抗 R_3, R_4 を備えて構成されている。また、書込用定電流回路27nは、同図に示すように、エミッタ端子が抵抗を介してそれぞれ接地された一対のトランジスタ Q_1, Q_2 を備え、書込ビットデコード線 Y_{Wn} を介して所定の電圧が印加されたときに、Y方向カレントドライブ回路25n側から一定の電流を引き込むように構成されている。Y方向カレントドライブ回路25nは、書込用定電流回路27nが作動状態にあるときに、トランジスタ Q_7, Q_8 の各ベース端子に接続されたデータ線 D_{yk}, R_{yk} に出力される情報の内容に応じて、トランジスタ Q_5 およびトランジスタ Q_8 を同一のオン・オフ状態にほぼ同時に移行させると共に、トランジスタ Q_6 およびトランジスタ Q_7 をトランジスタ Q_5, Q_8 とは異なるオン・オフ状態にほぼ同時に移行させる。これにより、Y方向カレントドライブ回路25nは、n列目の書込ビット線3を構成する各線路3a, 3bが接続されている接続ポイントP1, P2の各電位を、データ線 D_{yk}, R_{yk} に出力される情報の内容に応じて、一方を高電位に、他方を低電位に移行させる。

30

【0033】

各X方向駆動制御回路部31のX方向アドレスデコーダ回路32は、X方向アドレスバス16を介して入力したアドレス信号に基づいて、i本のワードデコード線 $X_1, \dots, X_m, \dots, X_i$ のうちの1つ（ワードデコード線 X_m ）を選択すると共に、選択したワードデコード線 X_m に所定の電圧を供給（印加）する。

40

【0034】

次に、磁気メモリデバイスMにおける情報の書込動作について説明する。

【0035】

まず、アドレスバッファ11が、外部アドレス入力端子 $A_0 \sim A_{20}$ を介して入力したアドレス信号を、Y方向アドレスバス15を介して読出用Y方向アドレスデコーダ回路22および書込用Y方向アドレスデコーダ回路23に出力すると共に、X方向アドレスバス16を介してX方向アドレスデコーダ回路32に出力する。この際に、制御ロジック部1

50

3の制御信号線13bから出力される制御信号に従い、書込用Y方向アドレスデコーダ回路23は、作動状態に移行すると共に、入力したアドレス信号に基づいて、書込ビットデコード線YW1~YWjのうちの一つ(一例として書込ビットデコード線YWn)を選択する。一方、読出用Y方向アドレスデコーダ回路22は非作動状態に維持される。X方向アドレスデコーダ回路32は、入力したアドレス信号に基づいてワードデコード線X1~Xiのうちの一つ(一例としてワードデコード線Xm)を選択する。入力バッファ12aは、外部データ端子D0~D7を介して入力したデータに含まれている各ビットの情報を、各ビットに対応する記憶セル群14の各Y方向カレントドライブ回路群25にY方向書込用データバス18を介してそれぞれ出力する。一方、出力バッファ12bは、制御ロジック部13の制御信号線13aから出力される制御信号によって非作動状態に維持される。

10

【0036】

次いで、書込ビットデコード線YWnによって選択された各記憶セル群14の各書込用定電流回路27nが作動することにより、各Y方向カレントドライブ回路25nが作動状態に移行する。この場合、各Y方向カレントドライブ回路25nは、各記憶セル群14のn列目の書込ビット線3を構成する各線路3a, 3bとの接続ポイントP1, P2の各電位を、データ線Dyk, Rykに出力される情報の内容に応じて、一方を高電位に他方を低電位に移行させる。一方、ワードデコード線Xmによって選択された各記憶セル群14のm行目の記憶セル1内の各トランジスタ6のベース端子に所定の電圧が供給されることにより、これらのトランジスタ6がオン状態に移行する。これにより、各トランジスタ6は、コレクタ端子と第1のエミッタ端子との間が双方向で導通可能な状態になるため、各記憶セル群14のm行目に配設された各記憶セル1の近傍に配設された各副書込線5によって書込ビット線3の各線路3a, 3bが短絡される。このため、m行目の各記憶セル1の近傍に配設された各副書込線5に、データ線Dyk, Rykに出力される情報の内容に応じた向きの書込電流が各記憶セル群14のn列目の書込ビット線3から流れる。したがって、この書込電流が流れる各副書込線5の近傍に位置する各記憶セル1、つまり各記憶セル群14のm行n列に配設されている各記憶セル1の磁気抵抗効果発現体2a, 2bの各抵抗値が、各副書込線5に流れる書込電流に起因して発生する磁界の向きに応じて変化させられて、入力したデータに含まれている各ビットの情報が各記憶セル群14のm行n列に配設されている各記憶セル1に記憶される。

20

30

【0037】

続いて、磁気メモリデバイスMにおける情報の読出動作について説明する。

【0038】

まず、アドレスバッファ11が、外部アドレス入力端子A0~A20を介して入力したアドレス信号を、Y方向アドレスバス15を介して読出用Y方向アドレスデコーダ回路22および書込用Y方向アドレスデコーダ回路23に出力すると共に、X方向アドレスバス16を介してX方向アドレスデコーダ回路32に出力する。この際に、制御ロジック部13の制御信号線13bから出力される制御信号に従い、読出用Y方向アドレスデコーダ回路22は、作動状態に移行すると共に、入力したアドレス信号に基づいて、読出ビットデコード線YR1~YRjのうちの一つ(一例として読出ビットデコード線YRn)を選択する。一方、書込用Y方向アドレスデコーダ回路23は非作動状態に維持される。X方向アドレスデコーダ回路32は、入力したアドレス信号に基づいてワードデコード線X1~Xiのうちの一つ(一例としてワードデコード線Xm)を選択する。データバッファ12では、制御信号線13aから出力される制御信号に従い、出力バッファ12bが作動状態に移行すると共に入力バッファ12aが非作動状態に移行する。

40

【0039】

この場合、読出ビットデコード線YRnによって選択された各記憶セル群14の各読出回路24nでは、読出ビットデコード線YRnを介して所定の電圧が供給(印加)されることにより、前段回路41および後段回路42が作動状態に移行する。また、読出ビットデコード線YRnによって選択された各記憶セル群14の各読出用定電流回路26nも作

50

動状態に移行する。一方、ワードデコード線 X m によって選択された各トランジスタ 6 (各記憶セル群 1 4 の m 行目に位置する記憶セル 1 内のトランジスタ 6) のベース端子に所定の電圧が供給 (印加) されることにより、各トランジスタ 6 は、第 1 ~ 第 3 のエミッタ端子よりもベース端子が高電位な状態 (オン状態) に移行する。これにより、図 2 に示すように、ワードデコード線 X m から各トランジスタ 6 のベース端子および第 2 および第 3 のエミッタ端子を介して、各記憶素子 1 a, 1 b への各電流 I_{w1} , I_{w2} の供給が開始される。この場合、各記憶セル群 1 4 の m 行 n 列に位置する記憶セル 1 に含まれている各磁気抵抗効果発現体 2 a, 2 b は、記憶セル 1 に記憶されているビットの情報に応じて、いずれか一方が高抵抗状態にあり、他方が低抵抗状態にある。このため、各記憶素子 1 a, 1 b に流れる各電流 I_{w1} , I_{w2} の電流値は、記憶セル 1 に記憶されているビットの情報に応じた値になる。また、電流 I_{b1} および電流 I_{w1} の合計電流である電流 I_{s1} と、電流 I_{b2} および電流 I_{w2} の合計電流である電流 I_{s2} とが、定電流回路 2 5 n によって一定に制御されている。また、上記したように、読出動作時においてトランジスタ 6 はオン状態に移行するが、各書込用定電流回路 2 7 n および各 Y 方向カレントドライブ回路 2 5 n が非作動状態に維持されているため、各記憶セル群 1 4 の n 列目に配設されている各書込ビット線 3 の各線路 3 a, 3 b の各接続ポイント P 1, P 2 がほぼ同電位に維持されている。したがって、トランジスタ 6 の第 1 のエミッタ端子とコレクタ端子との間、および副書込線 5 には書込電流は流れない。このため、各電流 I_{b1} , I_{b2} の電流値は、それぞれ、一定かつ同一の電流値である各電流 I_{s1} , I_{s2} から各電流 I_{w1} , I_{w2} を差し引いた電流値となる。

10

20

【0040】

各読出回路 2 4 n の後段回路 4 2 は、各電流 I_{b1} , I_{b2} に基づいて各抵抗 R_1 , R_2 の両端に発生する各電圧の電圧差 (各電流 I_{b1} , I_{b2} の電流値の差分、つまり各電流 I_{w1} , I_{w2} の電流値の差分でもある) を検出することにより、記憶セル 1 に記憶されている情報 (2 値情報) を取得して Y 方向読出用データバス 1 9 に出力する。次いで、出力バッファ 1 2 b が、Y 方向読出用データバス 1 9 を介して入力したデータを外部データ端子 D 0 ~ D 7 に出力する。以上により、記憶セル 1 に記憶されているデータの読み取りが完了する。

【0041】

このように、この磁気メモリデバイス M によれば、各記憶セル 1 毎に配設されると共に書込ビット線 3 を構成する一对の線路 3 a, 3 b に接続されて、一对の線路 3 a, 3 b に流れる書込電流を各磁気抵抗効果発現体 2 a, 2 b の近傍に誘導する複数の副書込線 5 と、各副書込線 5 に介装されると共に作動状態において各副書込線 5 に双方向に書込電流を流す 1 つのトランジスタ 6 とを備えたことにより、本発明者が既に開発している 2 つのトランジスタを備える構成と比較して、各記憶セル 1 をより小型化することができ、これにより、磁気メモリデバイス M 全体もより小型化することができる。

30

【0042】

また、第 1 ~ 第 3 のエミッタ端子を有するマルチエミッタ型トランジスタでトランジスタ 6 を構成すると共に、コレクタ端子および第 1 のエミッタ端子を副書込線 5 にそれぞれ接続することによってトランジスタ 6 を副書込線 5 に介装し、かつ第 2 のエミッタ端子を磁気抵抗効果発現体 2 a に接続すると共に第 3 のエミッタ端子を磁気抵抗効果発現体 2 b に接続してベース端子から流入した読出電流を各磁気抵抗効果発現体 2 a, 2 b に供給する構成を採用したことにより、本発明者が既に開発している 2 つのトランジスタと共に各磁気抵抗効果発現体 2 a, 2 b に読出電流を供給するための 2 つの逆流防止用ダイオードを備える構成と比較して、各記憶セル 1 の構造を簡略化することができるため、磁気メモリデバイス M をより安価に製造することができる。

40

【0043】

さらに、トランジスタ 6 を P 型半導体基板 6 a 上に NPN 構造で構成すると共に、P 型半導体基板 6 a 側に位置するコレクタ端子としての N 型半導体層 6 b と P 型半導体基板 6 a との間に絶縁層 6 g を形成して、N 型半導体層 6 b と P 型半導体基板 6 a との間を高絶

50

縁状態に形成したことにより、ラッチアップの発生を抑制することができる。

【0044】

なお、本発明は、上記した構成に限定されない。例えば、図4に示すように、1つの磁気抵抗効果発現体2aを有する記憶素子1aを備えた記憶セル51に対しても本発明を適用することができる。この記憶セル51では、2つのエミッタ端子を有するトランジスタ61を用いて、コレクタ端子および第1のエミッタ端子を副書込線5にそれぞれ接続することによってトランジスタ61を副書込線5に介装し、かつ第2のエミッタ端子を磁気抵抗効果発現体2aに接続する。この記憶セル51を用いる磁気メモリデバイスM1は、その構成の殆どは上記の磁気メモリデバイスMと同一であるが、以下の点でのみ相違する。まず、読出ビット線4は、磁気抵抗効果発現体2aが接続される1本の線路4aで構成される。また、この読出ビット線4の構成により、読出回路群24Aを構成する各読出回路の前段回路は、上記した前段回路41におけるトランジスタQ1側の回路のみで構成される。なお、他の構成は、上記した磁気メモリデバイスMと同一のため、同一の構成については同一の符号を付して、重複する説明を省略する。この構成においても、トランジスタと共に磁気抵抗効果発現体に読出電流を供給するための逆流防止用ダイオードを備える構成と比較して、各記憶セル51の構造を簡略化することができるため、磁気メモリデバイスM1をより安価に製造することができる。

10

【0045】

また、副書込線5を内部に有するようにして各記憶セル1, 51を構成することもできる。また、上記した構成では、磁気抵抗効果発現体(2a、または2a, 2b)の数に1を加えた数にトランジスタ6, 61のエミッタ端子の数を一致させて、磁気抵抗効果発現体および副書込線5に一つずつエミッタ端子を接続しているが、エミッタ端子をさらに多く備えたトランジスタをトランジスタ6, 61として使用することもできる。この場合、磁気抵抗効果発現体および副書込線5に複数のエミッタ端子を接続する構成を採用してもよいし、残余のエミッタ端子をオープン状態に維持する構成を採用してもよい。

20

【図面の簡単な説明】

【0046】

【図1】磁気メモリデバイスM(M1)の全体構成を示すブロック図である。

【図2】記憶セル1、Y方向カレントドライブ回路25n、書込用定電流回路27n、読出回路24n、読出用定電流回路26n、書込ビット線3、および読出ビット線4の構成を示す回路図である。

30

【図3】トランジスタ6の断面図である。

【図4】記憶セル51の構成を示す回路図である。

【図5】磁気メモリデバイス101の構成を示す回路図である。

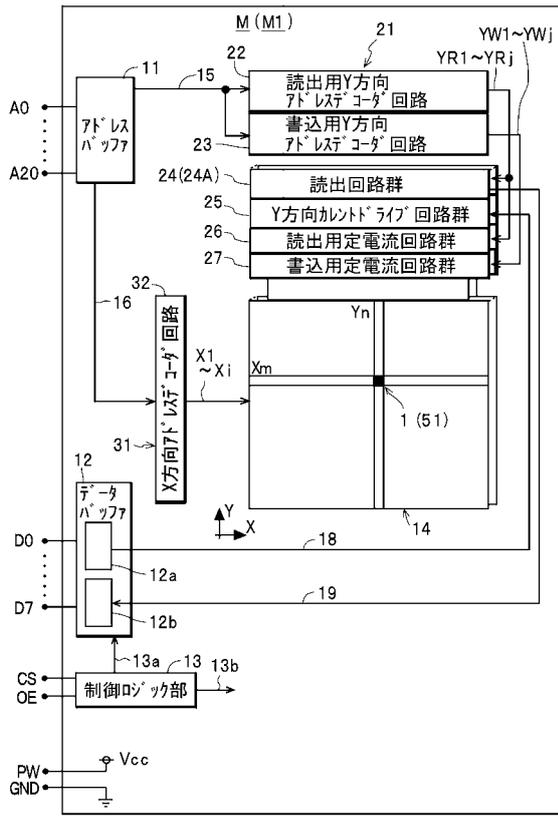
【符号の説明】

【0047】

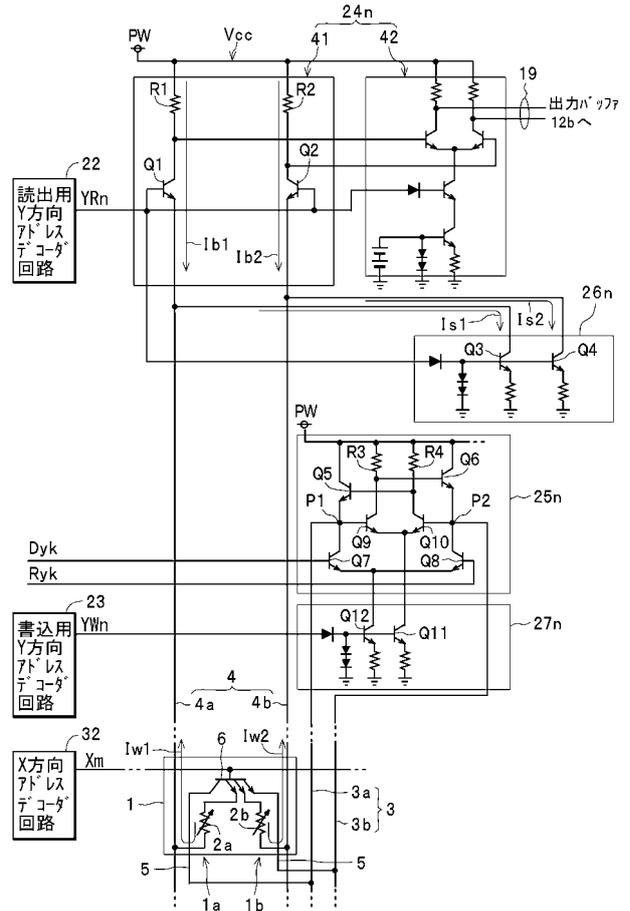
- 1, 51 記憶セル
- 2a, 2b 磁気抵抗効果発現体
- 3 書込ビット線
- 3a, 3b 書込ビット線の各線路
- 5 副書込線
- 6 トランジスタ
- Iw1, Iw2 書込電流
- M, M1 磁気メモリデバイス

40

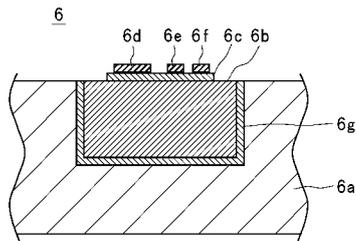
【図1】



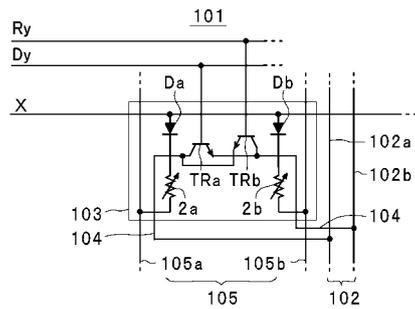
【図2】



【図3】



【図5】



【図4】

