



(12) 发明专利

(10) 授权公告号 CN 103579007 B

(45) 授权公告日 2016. 03. 23

(21) 申请号 201310278544. X

CN 1839483 A, 2006. 09. 27,

(22) 申请日 2013. 07. 04

US 2010/0203734 A1, 2010. 08. 12,

(30) 优先权数据

审查员 肖玲

13/551, 659 2012. 07. 18 US

(73) 专利权人 国际商业机器公司

地址 美国纽约阿芒克

(72) 发明人 B·S·哈兰 S·梅塔

T·E·斯坦戴尔特

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 鄂迅

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 21/762(2006. 01)

H01L 21/76(2006. 01)

(56) 对比文件

US 2011/0068407 A1, 2011. 03. 24,

US 2005/0227435 A1, 2005. 10. 13,

KR 1020060075224 A, 2006. 07. 04,

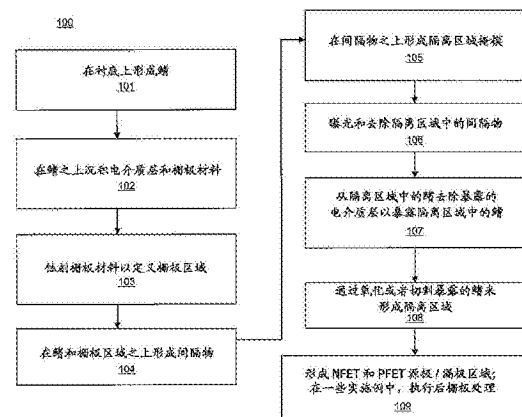
权利要求书2页 说明书5页 附图32页

(54) 发明名称

用于鳍式场效应晶体管器件的后栅极隔离区域形成方法

(57) 摘要

本发明公开了一种用于鳍式场效应晶体管(finFET) 器件形成的方法, 包括: 在衬底上形成多个鳍; 在多个鳍之上形成栅极区域; 并且在形成栅极区域之后形成用于 finFET 器件的隔离区域, 其中形成用于 finFET 器件的隔离区域包括执行对多个鳍的子集的氧化或者去除之一。



1. 一种用于鳍式场效应晶体管 (finFET) 器件形成的方法, 所述方法包括:
在衬底上形成多个鳍;
在所述多个鳍之上形成栅极区域; 并且
在形成所述栅极区域之后形成用于所述鳍式场效应晶体管器件的隔离区域, 其中形成用于所述鳍式场效应晶体管器件的所述隔离区域包括执行对所述多个鳍的子集的氧化和去除中的一种。
2. 根据权利要求 1 所述的方法, 其中所述衬底包括绝缘体上硅 (SOI) 衬底, 所述绝缘体上硅衬底包括底部体衬底、位于所述底部体衬底上的掩埋氧化物 (BOX) 层和位于所述掩埋氧化物层上的顶部硅层, 并且其中所述多个鳍形成于所述绝缘体上硅衬底的所述顶部硅层中。
3. 根据权利要求 1 所述的方法, 还包括在形成所述栅极区域之前在所述多个鳍之上沉积电介质层, 其中所述栅极区域形成于所述电介质层上。
4. 根据权利要求 3 所述的方法, 其中所述电介质层包括氧化物, 并且其中沉积所述电介质层包括保形原子层沉积。
5. 根据权利要求 3 所述的方法, 其中在所述多个鳍之上形成所述栅极区域包括:
在所述电介质层之上沉积栅极材料;
平坦化所述栅极材料的顶表面;
在所述栅极材料之上沉积包括底部掩模层和顶部硬掩模层的两层掩模; 并且
蚀刻所述栅极材料以形成所述栅极区域, 其中所述两层掩模在蚀刻以形成所述栅极区域之后保留于所述栅极区域的顶部上。
6. 根据权利要求 5 所述的方法, 其中所述底部掩模层包括氮化物, 并且所述顶部硬掩模层包括氧化物。
7. 根据权利要求 5 所述的方法, 其中所述底部掩模层包括氮化物, 并且所述顶部硬掩模层包括氮化物。
8. 根据权利要求 5 所述的方法, 其中所述栅极区域包括虚设栅极, 并且其中所述栅极材料包括多晶硅。
9. 根据权利要求 5 所述的方法, 其中所述栅极区域包括最终栅极, 并且其中所述栅极材料包括在金属层之上的硅层。
10. 根据权利要求 1 所述的方法, 还包括在形成所述隔离区域之前在所述栅极区域之上和在位于所述多个鳍上的电介质层之上形成氮化物间隔物。
11. 根据权利要求 10 所述的方法, 其中在形成所述栅极区域之后形成用于所述鳍式场效应晶体管器件的隔离区域包括:
在所述氮化物间隔物之上形成隔离区域掩模;
使用所述隔离区域掩模来去除所述隔离区域中的所述氮化物间隔物以暴露所述多个鳍的所述子集; 并且
执行对所述多个鳍的所述暴露的子集的氧化和去除之一以形成所述隔离区域。
12. 根据权利要求 11 所述的方法, 其中所述栅极区域包括虚设栅极, 并且其中形成所述隔离区域包括氧化。
13. 根据权利要求 11 所述的方法, 其中所述栅极区域包括最终栅极, 并且其中形成所

述隔离区域包括氧化。

14. 根据权利要求 11 所述的方法,其中所述栅极区域包括虚设栅极,并且其中形成所述隔离区域包括去除。

15. 根据权利要求 11 所述的方法,其中所述栅极区域包括最终栅极,并且其中形成所述隔离区域包括去除。

16. 根据权利要求 11 所述的方法,还包括在执行对所述多个鳍的所述暴露的子集的氧化或者去除之一之前从所述多个鳍的所述暴露的子集去除所述电介质层。

17. 根据权利要求 12 所述的方法,其中所述隔离区域掩模包括:

有机平坦化层 (OPL),位于所述氮化物间隔物的顶部上;

硅防反射涂层 (SiArc) 层,位于所述有机平坦化层之上;以及

光刻胶层,位于所述有机平坦化层的顶部上。

18. 根据权利要求 17 所述的方法,其中所述光刻胶层位于所述鳍式场效应晶体管器件的有源区域的顶部上并且暴露所述隔离区域。

用于鳍式场效应晶体管器件的后栅极隔离区域形成方法

技术领域

[0001] 本公开内容主要地涉及半导体器件制作领域,并且更具体地涉及鳍式场效应晶体管 (FinFET) 制作。

背景技术

[0002] 集成电路可以包括各种半导体器件,这些半导体器件包括鳍式场效应晶体管 (finFET)。FinFET 是如下器件,这些器件包括充当有源沟道区域的称为鳍的三维硅层而栅极区域位于鳍之上。FinFET 可以是相对小的高性能器件。在形成 finFET 器件期间,多个鳍可以形成于衬底上,并且可以随后去除或者切割这些鳍的一部分以在 finFET 器件之间形成隔离区域。在形成隔离区域之后,然后在剩余的有源鳍之上形成栅极区域。然而在栅极形成之前的鳍去除可能引起 finFET 器件中的形貌变化,这可能导致在后续处理步骤期间的问题(比如跨越器件在栅极之间的高度差),这些问题可能引起在接触形成期间的问题。为了减少这样的形貌变化,隔离区域中的鳍可以备选地留在原处并且被氧化,而有源鳍例如由氮化物硬掩模保护。然而硅氧化相对于未氧化的有源鳍引起氧化的鳍中的体积增加。此外,在氧化期间保护有源鳍的氮化物硬掩模可能在暴露于氧化之后变得更难以去除,使得可能为了去除氧化的氮化物硬掩模以便完成对有源鳍的处理而需要的蚀刻也可能去除氧化的鳍。因此,鳍氧化也可能引起 finFET 器件中的形貌变化,从而导致在后续处理步骤期间的相似问题。

发明内容

[0003] 在一个方面中,一种用于鳍式场效应晶体管 (finFET) 器件形成的方法包括:在衬底上形成多个鳍;在多个鳍之上形成栅极区域;并且在形成栅极区域之后形成用于 finFET 器件的隔离区域,其中形成用于 finFET 器件的隔离区域包括执行对多个鳍的子集的氧化或者去除之一。

[0004] 通过本示例性实施例的技术实现附加特征。这里具体描述其它实施例并且认为这些实施例为要求保护的发明内容的一部分。为了更好地理解示例性实施例的特征,将参照描述和附图。

附图说明

[0005] 现在参照附图,其中相同元件在若干图中被相同地编号:

[0006] 图 1 图示用于 finFET 器件的后栅极隔离区域形成的方法的实施例。

[0007] 图 2A 至图 2B 是分别图示绝缘体上硅 (SOI) 衬底的实施例在鳍形成之后的截面和俯视图的示意框图。

[0008] 图 3A 至图 3B 是分别图示图 2A 至图 2B 的器件的实施例在器件之上形成电介质层之后的截面和俯视图的示意框图。

[0009] 图 4A 至图 4B 是分别图示图 3A 至图 3B 的器件的实施例在电介质层之上形成栅极

材料之后的截面和俯视图的示意框图。

[0010] 图 5A 至图 5B 是分别图 4A 至图 4B 的器件的实施例在栅极材料之上形成掩模层之后的截面和俯视图的示意框图。

[0011] 图 6A 至图 6B 是分别图 5A 至图 5B 的器件的实施例在栅极区域定义之后的截面和俯视图的示意框图。

[0012] 图 7A 至图 7C 是分别图 6A 至图 6B 的器件的实施例在形成间隔物之后的截面和俯视图的示意框图。

[0013] 图 8A 至图 8C 是分别图 7A 至图 7B 的器件的实施例在形成隔离区域掩模之后的截面和俯视图的示意框图。

[0014] 图 9A 至图 9C 是分别图 8A 至图 8B 的器件的实施例在使用隔离区域掩模来蚀刻以暴露隔离区域中的间隔物之后的截面和俯视图的示意框图。

[0015] 图 10A 至图 10C 是分别图 9A 至图 9B 的器件的实施例在去除隔离区域中的间隔物之后的截面和俯视图的示意框图。

[0016] 图 11A 至图 11C 是分别图 10A 至图 10B 的器件的实施例在去除隔离区域中的电介质层之后的截面和俯视图的示意框图。

[0017] 图 12A 至 12C 是分别图 11A 至图 11B 的器件的实施例在氧化隔离区域中的鳍之后的截面和俯视图的示意框图。

[0018] 图 13A 至图 13C 是分别图 11A 至图 11B 的器件的实施例在去除隔离区域中的鳍之后的截面和俯视图的示意框图。

具体实施方式

[0019] 提供一种用于 finFET 器件的后栅极隔离区域形成的方法和一种具有后栅极形成的隔离区域的 finFET 器件的实施例。可以通过在形成 finFET 栅极区域之后形成隔离区域来减少 finFET 器件中的形貌变化。隔离区域的形成中的这一延迟在栅极形成期间提供均匀形貌。可以在各种实施例中通过鳍氧化或者鳍去除来形成隔离区域。在隔离区域之前形成的栅极区域可以在各种实施例中包括虚设栅极（用于后栅极工艺）或者最终栅极（用于先栅极工艺）。鳍氧化和鳍去除可以与先栅极或者后栅极工艺结合使用。在隔离区域之后形成用于 finFET 器件的源极和漏极区域，并且在包括后栅极工艺的实施例中，在形成隔离区域之后也执行对虚设栅极的替换栅极处理以形成最终栅极。

[0020] 图 1 图示用于 finFET 器件的后栅极隔离区域形成的方法 100 的实施例。关于图 2A 至图 2B 到图 13A 至图 13B 讨论图 1。首先在图 1 的块 101 中，在 SOI 衬底上形成多个鳍。SOI 衬底可以包括在可以包括掩埋氧化物 (BOX) 的中间绝缘体层下面的可以包括硅的底部衬底层，而可以包括硅的相对薄的半导体层位于顶部。鳍可以用包括但不限于侧壁图像转移的任何适当方式形成于顶部半导体层。任何适当数目和定向的鳍可以在图 1 的块 101 期间形成于 SOI 衬底上。图 2A 至图 2B 图示包括 SOI 衬底的器件 200 的实施例在鳍形成之后的截面和俯视图。器件 200 包括 SOI 衬底，该 SOI 衬底包括底部衬底 201、BOX202 和位于 BOX202 的顶部上的多个鳍 203。鳍 203 可以包括硅鳍。仅出于示例目的而示出图 2A 和图 2B；可以在图 1 的块 101 期间形成任何适当数目和定向的鳍。

[0021] 图 1 的方法 100 的流程现在转到块 102，在该块中在鳍之上沉积电介质层和栅极

材料。在包括先栅极工艺的实施例中可以仅沉积第一电介质层,并且第一电介质层可以在各种实施例中包括高k(HK)材料和/或氧化物。在一些实施例中可以通过保形原子层沉积(ALD)来沉积电介质层。在一些实施例中电介质层可以包括用于完成的器件的栅极电介质。在器件之上沉积电介质层之后,在电介质层之上沉积栅极材料。在一些实施例中,栅极材料可以包括虚设栅极材料(用于后栅极工艺),而在其它实施例中,栅极材料可以包括最终栅极材料(用于先栅极工艺)。在其中栅极材料包括虚设栅极材料的实施例中,栅极材料可以包括多晶硅。在其中栅极材料包括最终栅极材料的实施例中,栅极材料可以包括在栅极氧化物电介质层上面的功函数金属层和在金属层的顶部上的可以包括非晶硅的硅层。在形成之后,可以例如通过化学机械抛光(CMP)平坦化栅极材料的顶表面以减少器件中的形貌变化。图3A至图3B图示图2A至图2B的器件200在器件200之上形成电介质层301之后的截面和俯视图。电介质层301可以在各种实施例中包括高k(HK)材料或者氧化物,并且可以通过保形ALD来沉积。图4A至图4B示出在电介质层301之上形成和平坦化栅极材料401之后图3A至图3B的器件300。栅极材料401可以在一些实施例中包括多晶硅或者在其它实施例中包括在多晶硅层下面的金属层。例如通过CMP平坦化栅极材料401的顶表面。

[0022] 回顾图1的方法100,流程现在转到块103,在该块103中蚀刻栅极材料以定义用于器件的栅极区域。可以根据包括栅极材料的材料类型以任何适当方式执行蚀刻栅极材料以定义栅极区域,该栅极材料包括栅极区域。可以在一些实施例中在蚀刻栅极材料以形成栅极区域之前在栅极材料之上形成两层掩模,该两层掩模包括在顶部硬掩模层下面的底部掩模层。底部掩模层可以在一些实施例中包括氮化物,并且顶部硬掩模层可以在一些实施例中包括氮化物或者氧化物。可以基于用于顶部硬掩模层的材料调整顶部硬掩模层的厚度。例如,与氧化物顶部硬掩模层比较,氮化物顶部硬掩模层可以相对厚,使得在蚀刻氮化物间隔物701期间未完全去除氮化物顶部硬掩模层(下文关于图1的块106讨论)。底部掩模层也可以相对厚,以便在可以包括多个RIE步骤的后续处理步骤期间保护栅极区域。栅极区域可以在各种实施例中包括虚设栅极或者最终栅极。在其中栅极区域包括最终栅极的实施例中,金属和硅层可能需要单独的蚀刻步骤以定义栅极区域。栅极区域可以具有关于鳍的任何适当形貌;例如栅极区域可以与鳍垂直定向。由于栅极区域在隔离区域之前形成于鳍之上,所以鳍在栅极形成期间提供均匀形貌。图5A至图5B图示图4A至图4B的器件400在栅极材料401之上形成栅极掩模层501/502之后的截面和俯视图。底部掩模层501可以在一些实施例中包括氮化物,并且顶部硬掩模层502可以在各种实施例中包括氧化物或者氮化物硬掩模。图6A至图6B示出在定义栅极区域601之后图5A至图5B的器件500。栅极掩模层501/502位于栅极区域601的顶部上。图6A中所示截面沿着如图6B中所示的线603,该线603穿过在顶部硬掩模层502下面的栅极区域之一。栅极区域601包括栅极材料401。栅极区域601可以在各种实施例中包括虚设栅极或者最终栅极。通过形成栅极区域601来暴露直接位于鳍203上的电介质层301。在图6A的截面图中暴露鳍203中的鳍602。

[0023] 接着在图1的方法100的块104中,在包括鳍和栅极区域的器件之上形成间隔物。间隔物可以包括氮化物并且可以通过保形沉积来沉积于器件之上。图7A和图7C图示图6A至图6B的器件600在包括栅极区域601和鳍203的器件之上形成间隔物701之后的截面,并且图7B图示在形成间隔物701之后器件600的俯视图。图7A示出器件700跨越图7B的

线 603 的截面,该线 603 穿过栅极区域之一,而图 7C 示出器件 700 跨越图 7B 的线 702 的截面,该线 702 未穿过栅极区域。间隔物 701 可以包括氮化物。

[0024] 方法 100 的流程然后转到块 105,在该块 105 中,在间隔物之上形成隔离区域掩模。隔离区域掩模定义用于完成的 finFET 器件的隔离区域,并且可以在一些实施例中包括鳍切割掩模或者在其它实施例中包括鳍氧化掩模。隔离区域掩模可以包括在硅防反射涂层 (SiArc) 层下面的有机平坦化层 (OPL),该 SiArc 层在光刻胶层下面,该光刻胶层被图案化以定义用于器件的隔离区域。图 8A 和图 8C 图示图 7A 至图 7B 的器件 700 在形成隔离区域掩模之后的截面,并且图 7B 图示器件 700 在形成隔离区域掩模之后的的俯视图。图 8A 示出器件 800 跨越图 7B 的线 603 的截面,该线 603 穿过栅极区域之一,而图 8C 示出器件 800 跨越图 8B 的线 702 的截面,该线 702 未穿过栅极区域。隔离区域掩模包括 OPL801、SiArc802 和光刻胶 803。图案化光刻胶 803,使得暴露器件隔离区域并且覆盖有源区域。

[0025] 回顾图 1 的方法 100,接着在块 106 中使用隔离区域掩模在隔离区域中曝光和去除间隔物。这可以用任何适当方式来执行;在一些实施例中,曝光间隔物可以包括向 SiArc 和 OPL 中蚀刻由光刻胶定义的图案(例如使用反应离子蚀刻)并且去除光刻胶。在曝光间隔物之后,去除曝光的间隔物材料。间隔物可以包括氮化物,并且去除曝光的间隔物可以包括相对于氧化物有选择性去除氮化物的蚀刻。去除隔离区域中的氮化物暴露了位于最终 finFET 器件中不想要的鳍上的电介质层。图 9A 和图 9C 图示图 8A 至图 8B 的器件 800 在使用隔离区域掩模来暴露隔离区域中的间隔物 701 之后的截面,并且图 9B 图示器件 800 在暴露间隔物 701 之后的俯视图。图 9A 示出器件 900 跨越图 9B 的线 603 的截面,该线线 603 穿过栅极区域之一,而图 9C 示出器件 900 跨越图 9B 的线 702 的截面。如图 9A 至图 9B 中所示,已经向下蚀刻 OPL801 和 SiArc802 以暴露隔离区域中的间隔物 701,并且已经去除光刻胶 803。图 10A 和图 10C 图示图 9A 至图 9B 的器件 900 在去除隔离区域中的间隔物之后的截面,并且图 10B 图示器件 900 在去除间隔物之后的俯视图。图 10A 示出器件 1000 跨越图 10B 的线 603 的截面,该线 603 穿过栅极区域之一,而图 10C 示出器件 100 跨越图 10B 的线 702 的截面,该线 702 未穿过栅极区域。在图 10A 至图 10B 中也已经去除 OPL801 和 SiArc802。间隔物 701 可以包括氮化物,并且电介质层 301 可以包括氧化物;因此,去除暴露的间隔物 701 可以包括相对于氧化物有选择性去除氮化物的蚀刻。通过去除隔离区域中的间隔物 701 而在隔离区域中暴露电介质层 301。

[0026] 方法 100 的流程然后转到块 107,在该块 107 中去除隔离区域中的暴露的电介质层,由此暴露最终 finFET 器件中不想要的任何鳍。图 11A 和图 11C 图示图 10A 至图 10B 的器件 100 在去除隔离区域中的电介质层 301 之后的截面,并且图 11B 图示器件 100 在去除电介质层 301 之后的俯视图。图 11A 示出器件 1100 跨越图 11B 的线 603 的截面,该线 603 穿过栅极区域之一,而图 11C 示出器件 1100 跨越图 11B 的线 702 的截面,该线 603 未穿过栅极区域。通过去除隔离区域中的电介质层 301 暴露不想要的鳍,比如鳍 203 中的鳍 1101。

[0027] 接着在图 1 的方法 100 的块 108 中,形成用于最终 finFET 器件的隔离区域。在一些实施例中,可以通过氧化暴露的鳍来形成隔离区域。鳍氧化可以与后栅极工艺结合使用;即在其中栅极区域包括虚设栅极的实施例中。鳍氧化也可以与先栅极工艺结合使用,即在其中栅极区域包括最终栅极的实施例中。然而在先栅极工艺的一些实施例中,鳍的氧化也可以氧化可以存在于最终栅极中的材料。因此,在包括鳍氧化的先栅极工艺中,可以在最终

器件中考虑栅极材料的氧化。鳍氧化将包括鳍的硅转换成氧化物。在其它实施例中,可以通过切割暴露的鳍来形成隔离区域。鳍切割可以与先栅极或者后栅极工艺结合使用,并且可以在一些实施例中包括对氧化物有选择性的基于氯的干法蚀刻。图 12A 和图 12C 图示图 11A 至图 11B 的器件 1100 在氧化隔离区域中的暴露的鳍(比如鳍 1201)之后的截面,并且图 12B 图示器件 1100 在氧化暴露的鳍之后的俯视图。图 12A 示出器件 1200 跨越图 12B 的线 603 的截面,该线 603 穿过栅极区域之一,而图 12C 示出器件 1200 跨越图 12B 的线 702 的截面。鳍 1201 包括氧化物并且充当最终 finFET 器件中的隔离区域。如图 12A 中所示,可以未氧化鳍 1201 的位于栅极区域 601 下面的部分。图 12A 和图 13C 图示图 11A 至图 11B 的器件在去除鳍(比如图 11A 至图 11B 中所示鳍 1101)以形成隔离区域 1301 之后的截面,并且图 13B 图示图 11A 至图 11B 的器件在去除鳍以形成隔离区域 1301 之后的俯视图。图 13A 示出器件 1300 跨越图 13B 的线 603 的截面,该线 603 穿过栅极区域之一,而图 13C 示出器件 1300 跨越图 13B 的线 702 的截面。如图 13A 中所示可以未去除鳍 203 的位于栅极区域 601 下面的部分。

[0028] 最后在图 1 的方法 100 的块 109 中,形成包括 n 型和 p 型源极 / 漏极区域的最终 finFET 器件。可以用任何适当方式形成 n 型和 p 型源极 / 漏极区域。在一些实施例中,也可以在块 109 中执行后栅极处理(即去除并且用最终栅极替换虚设栅极)。所得的完成的 finFET 器件可以具有跨越器件的相对低的形貌变化,这可以允许形成更小和 / 或更高性能器件。

[0029] 示例性实施例的技术效果和益处包括减少可能负面地影响用于 finFET 器件的栅极形成的形貌变化。

[0030] 这里所用术语仅为了描述具体实施例而并非旨在限制本发明。如这里所用,单数形式“一个 / 一种”和“该”除非上下文另有明示则旨在也包含复数形式。还将理解,术语“包括”在用于本说明书中时指定存在所声明的特征、整件、步骤、操作、元件和 / 或部件、但是未排除存在或者添加一个或者多个其它特征、整件、步骤、操作、元件、部件和 / 或其组合。

[0031] 以下权利要求中所有装置或者步骤加上功能元件的对应结构、材料、动作和等效物旨在包括用于与如具体要求保护的其它要求保护的元件组合以执行功能的任何结构、材料或者动作。本发明的描述已经出于示例和描述的目的而加以呈现、但是并非旨在穷举 本发明或者使本发明限于公开的形式。许多修改和变化将为本领域普通技术人员所清楚而未脱离本发明的范围和精神实质。选择和描述实施例以便最好地说明本发明的原理和实际应用并且使本领域其他普通技术人员能够针对具有如与设想的特定使用相适合的各种修改的各种实施例来理解本发明。

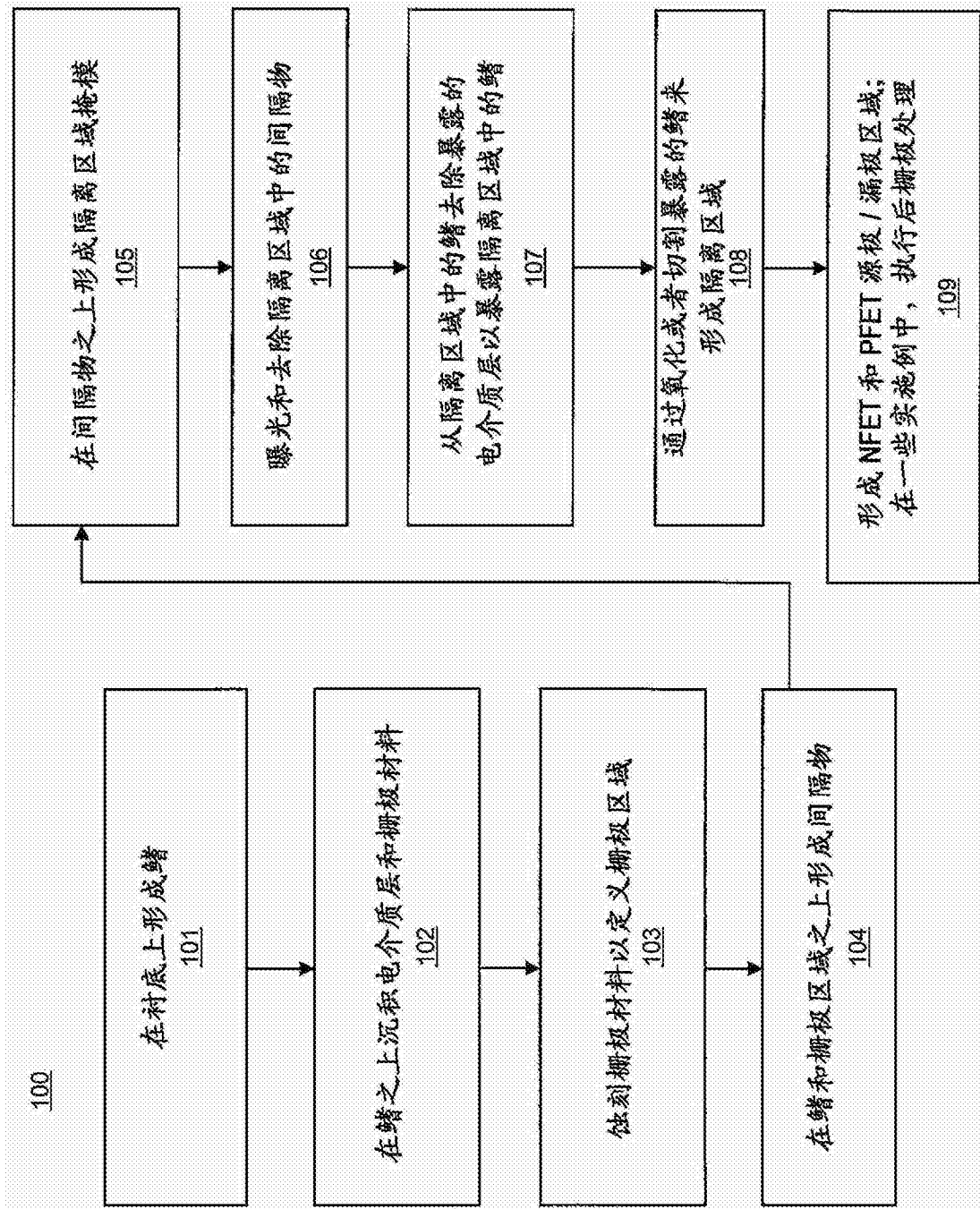


图 1

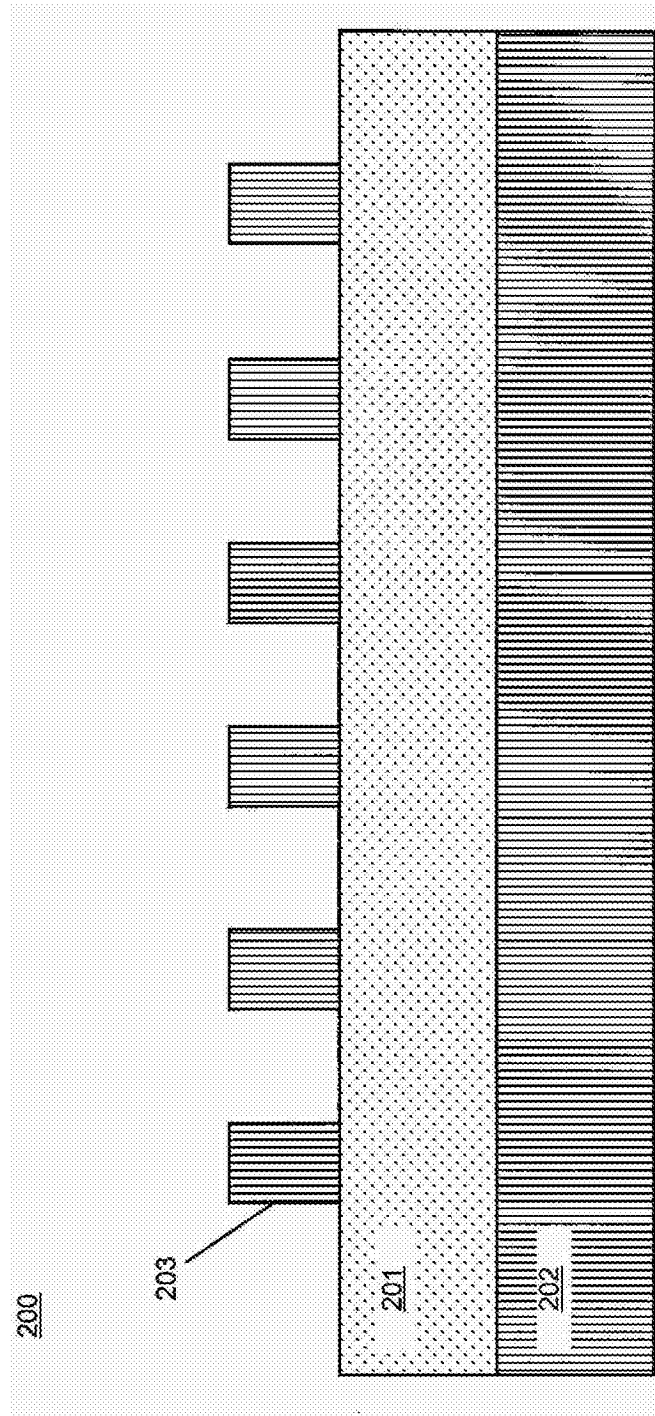


图 2A

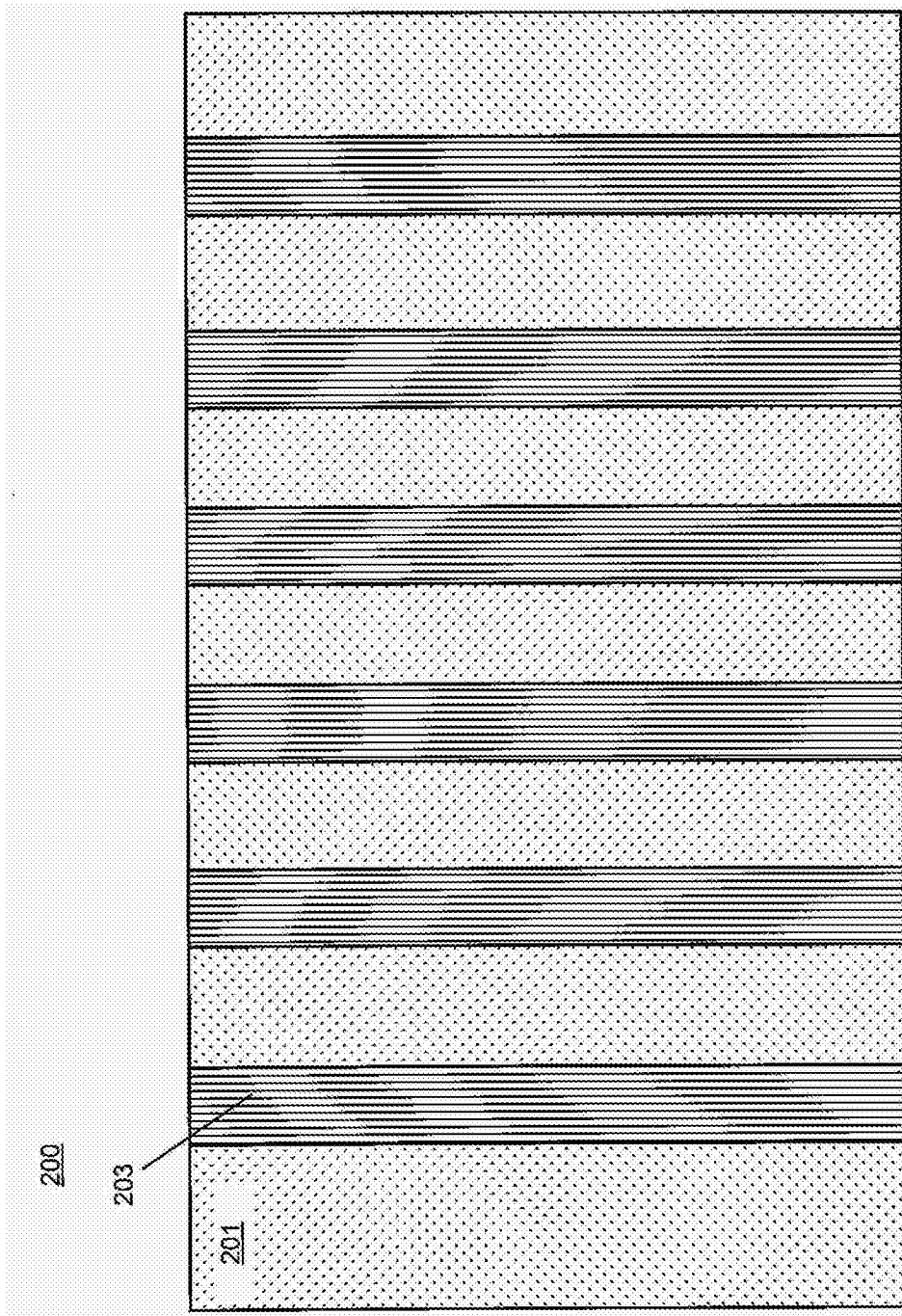


图 2B

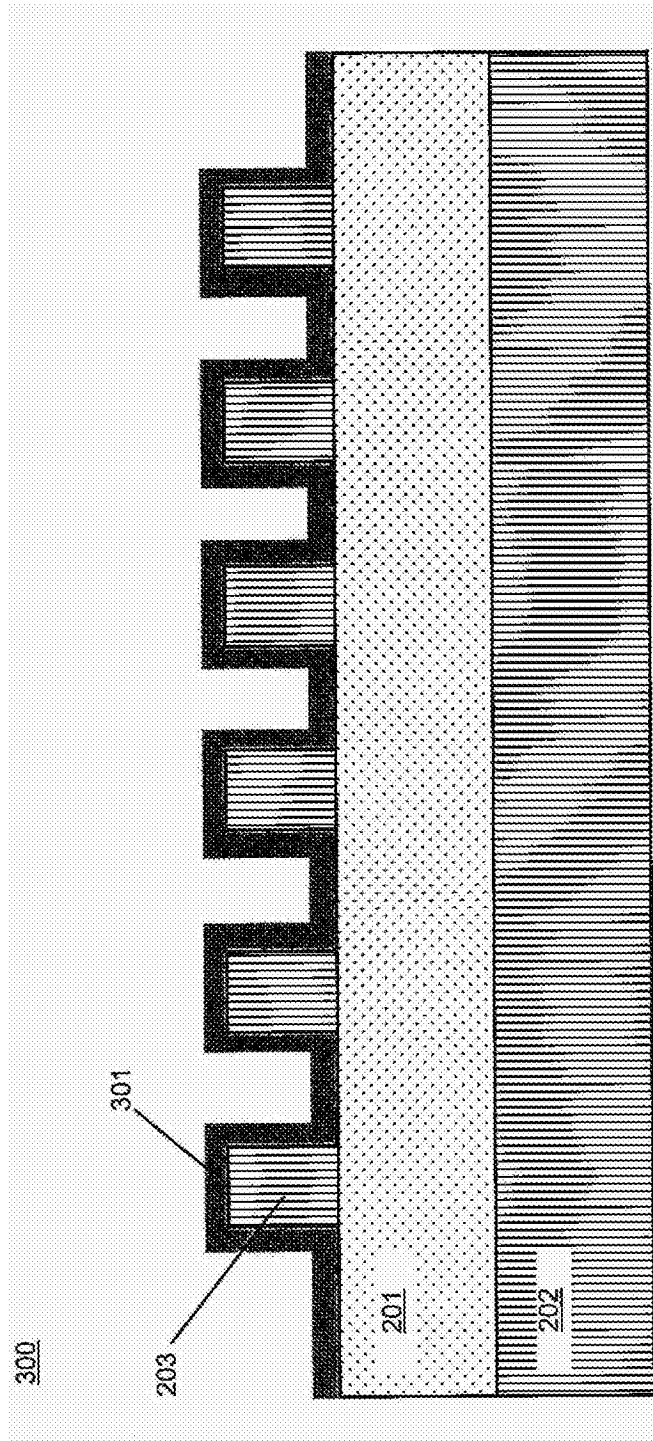


图 3A

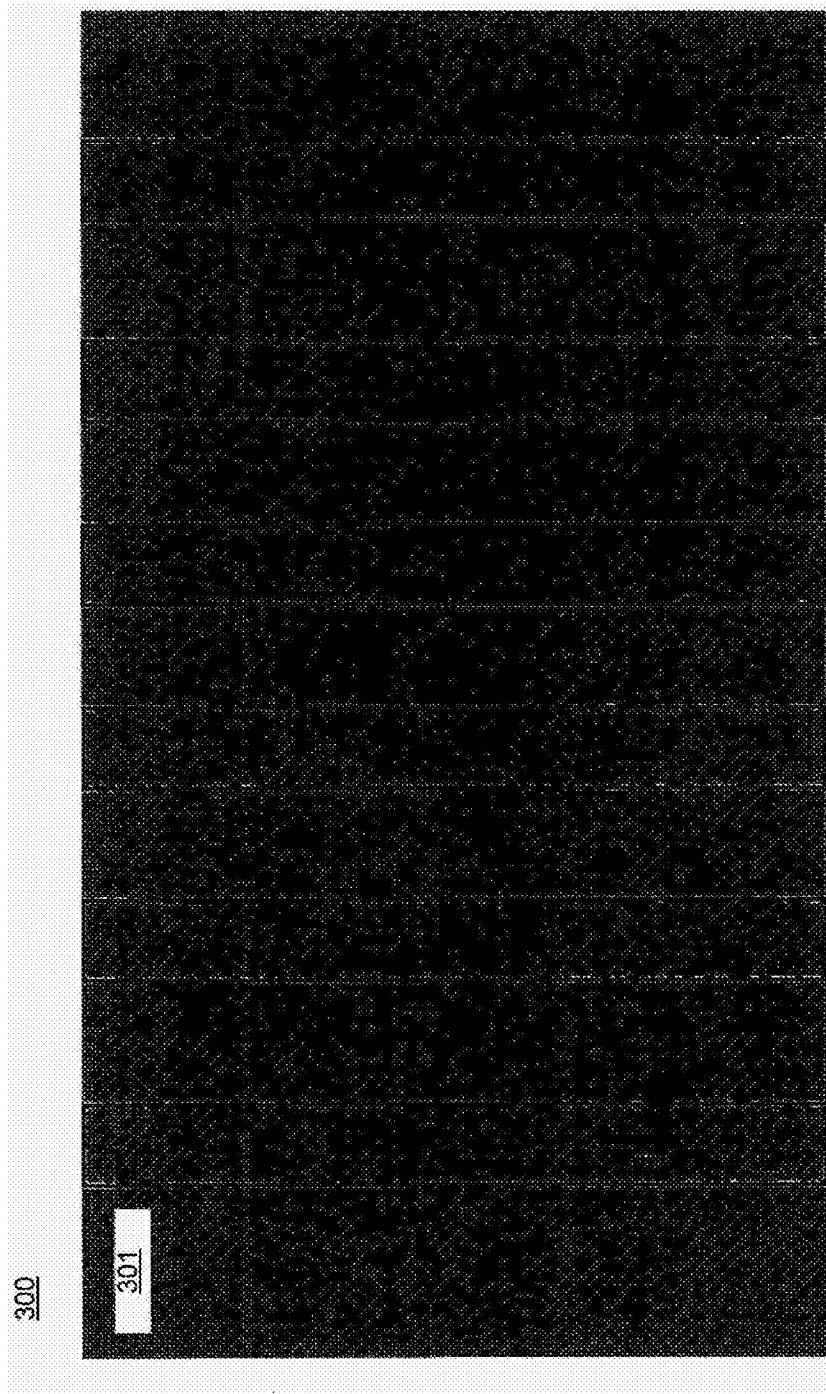


图 3B

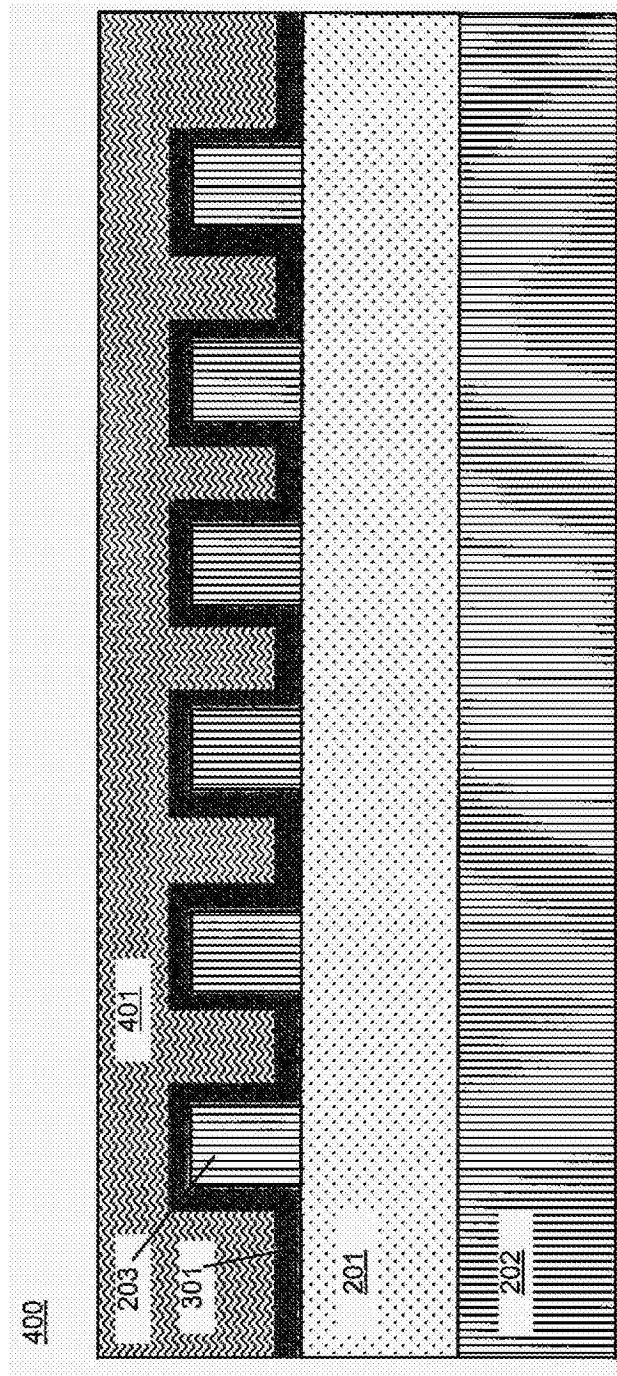


图 4A

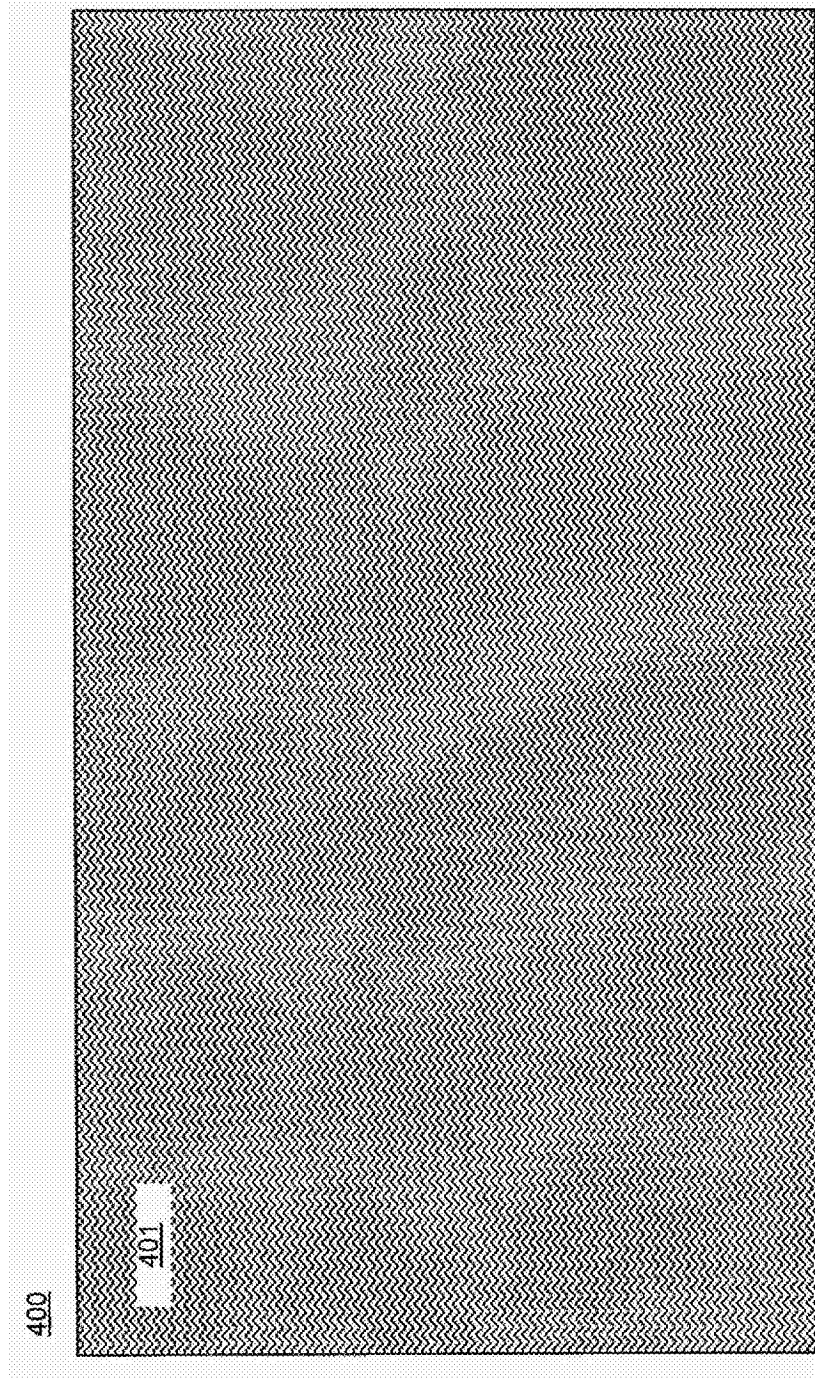


图 4B

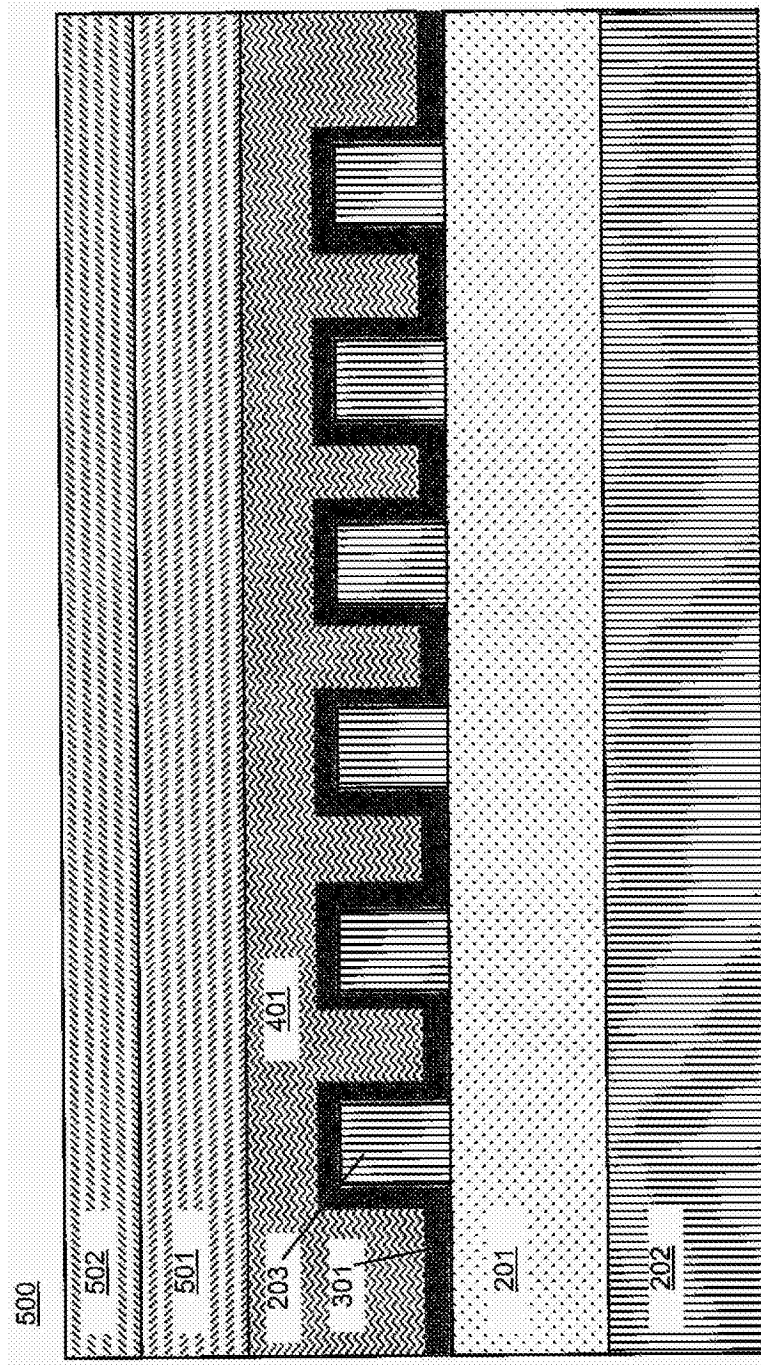


图 5A

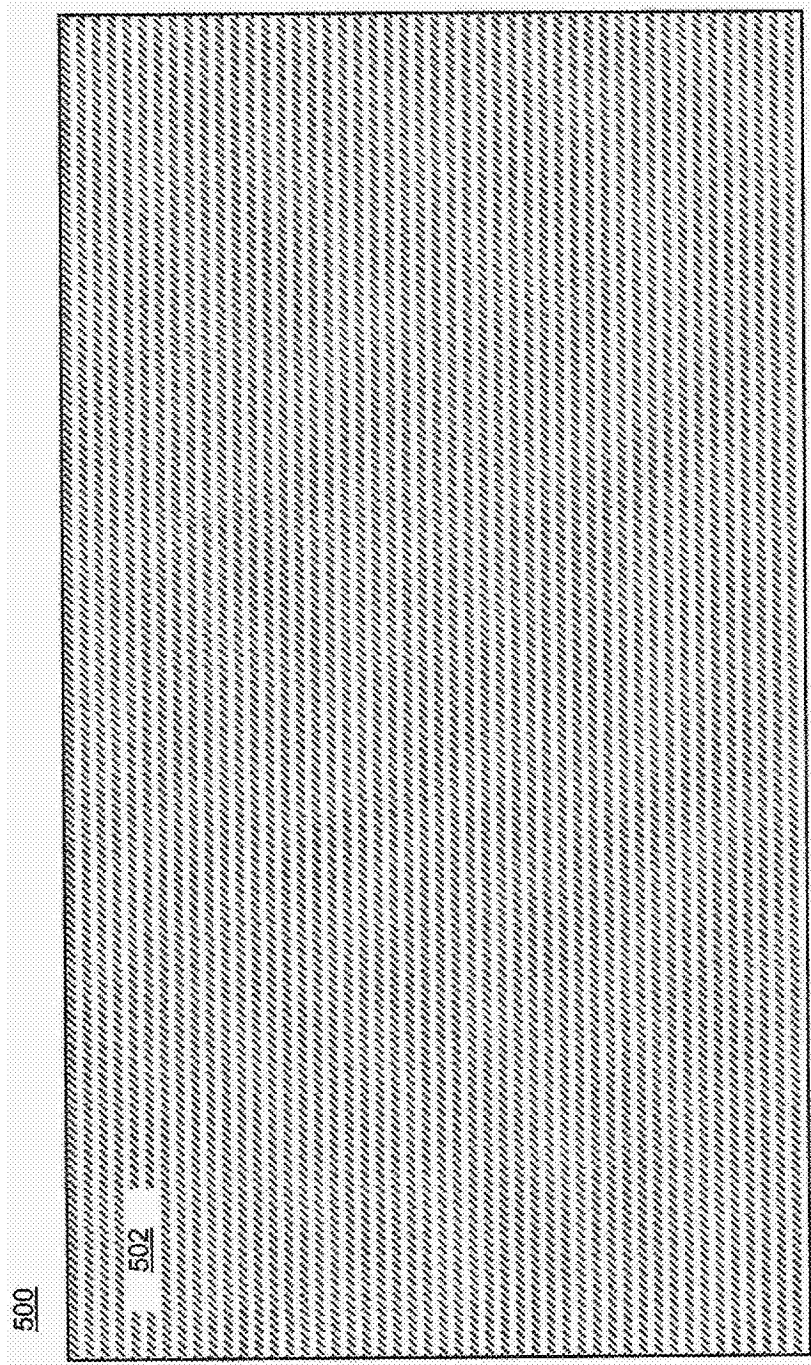


图 5B

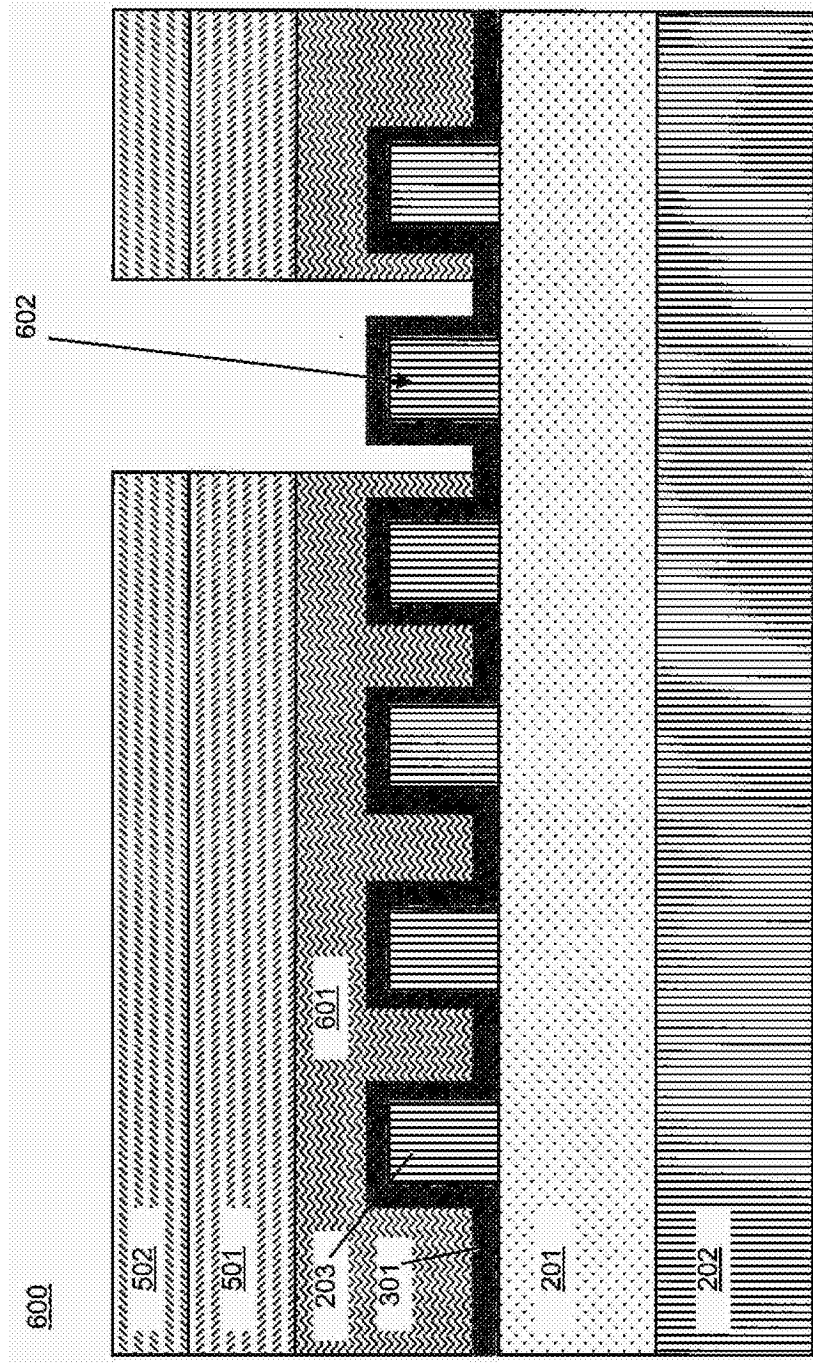


图 6A

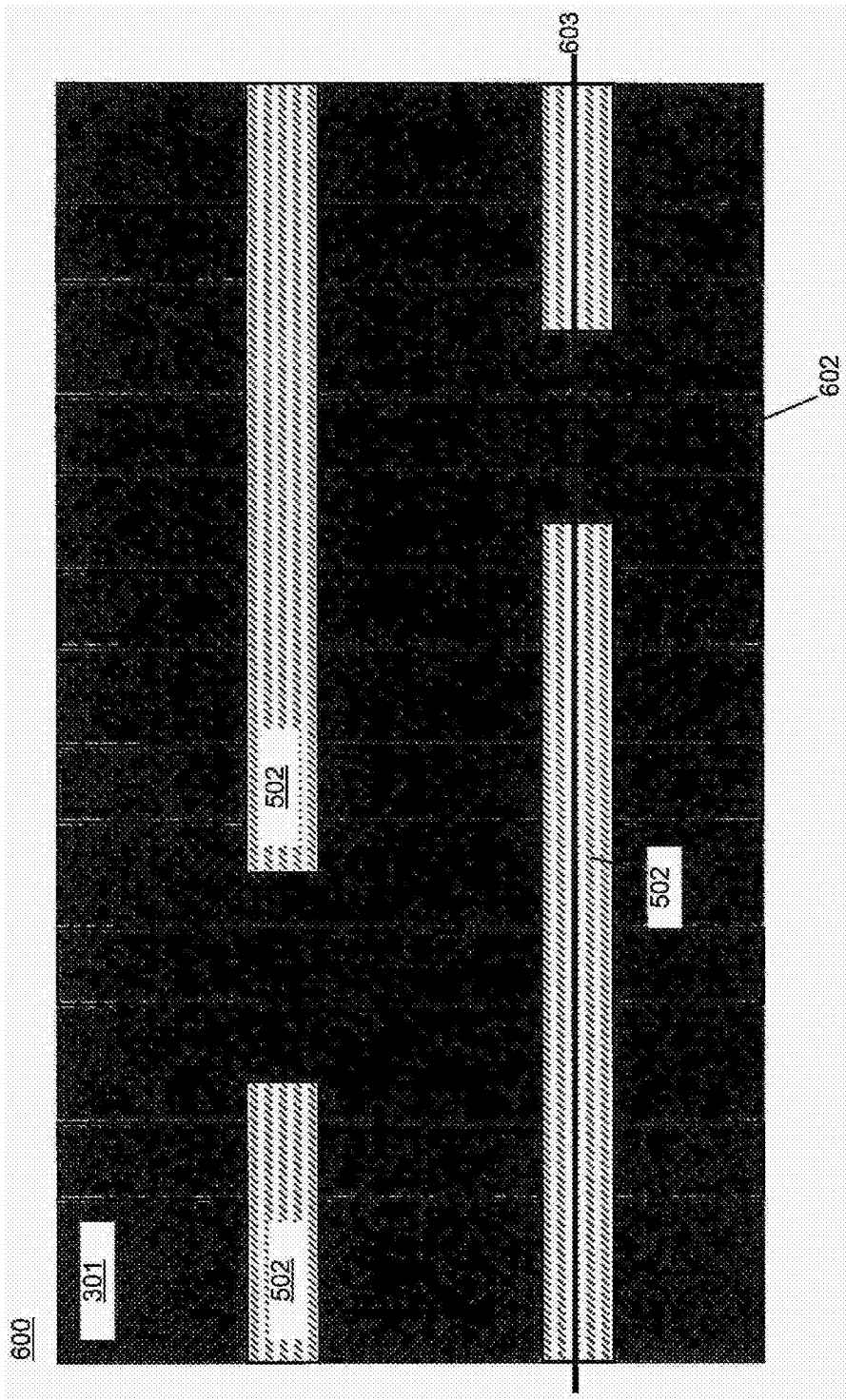


图 6B

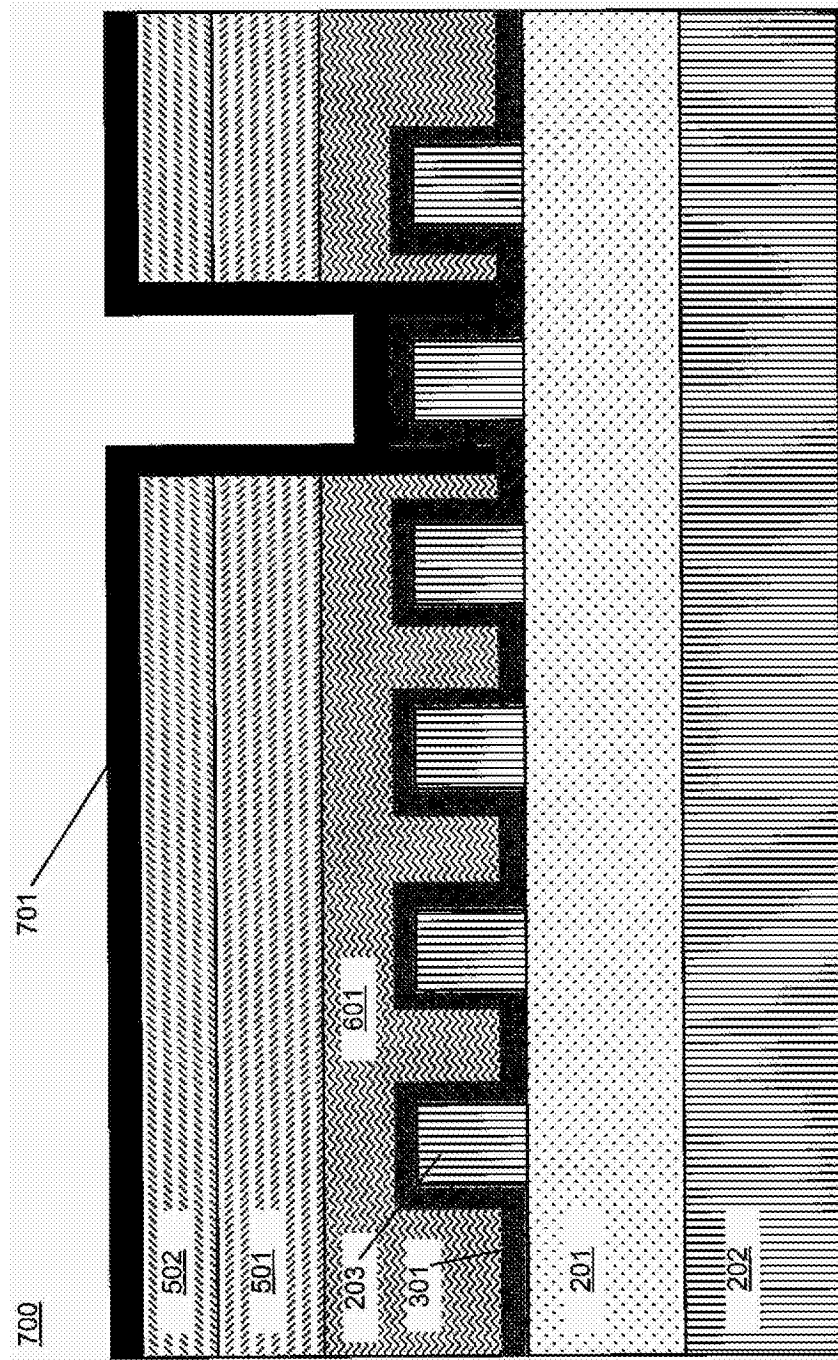


图 7A

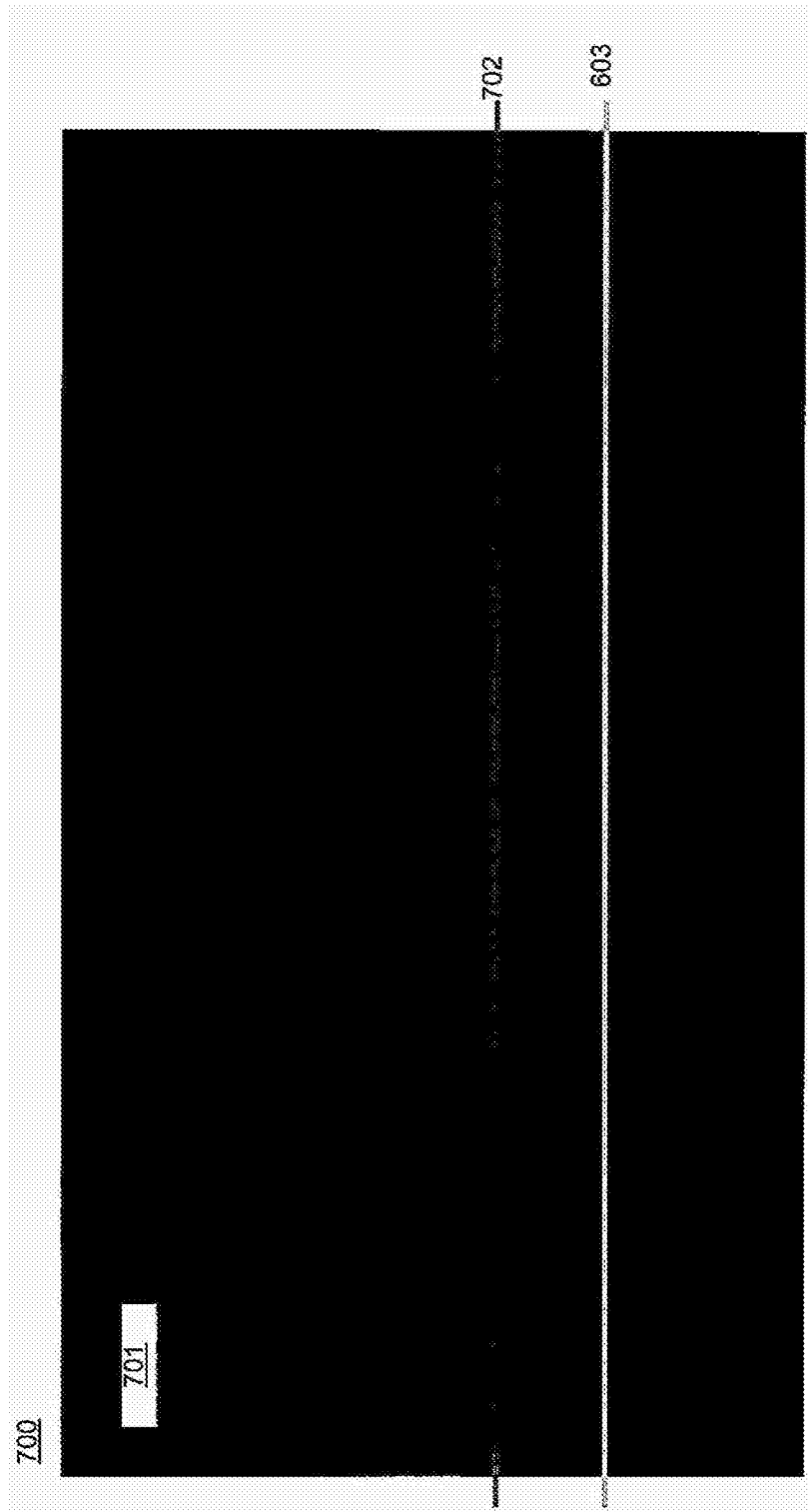


图 7B

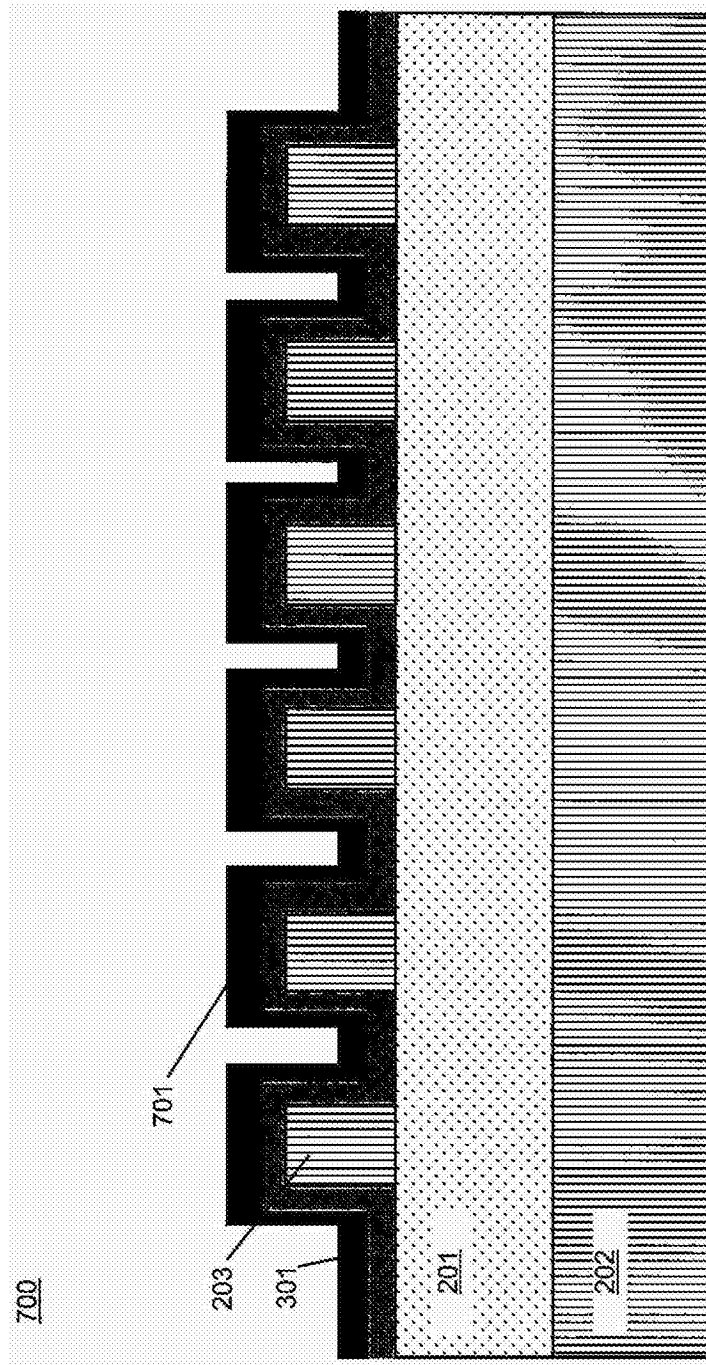


图 7C

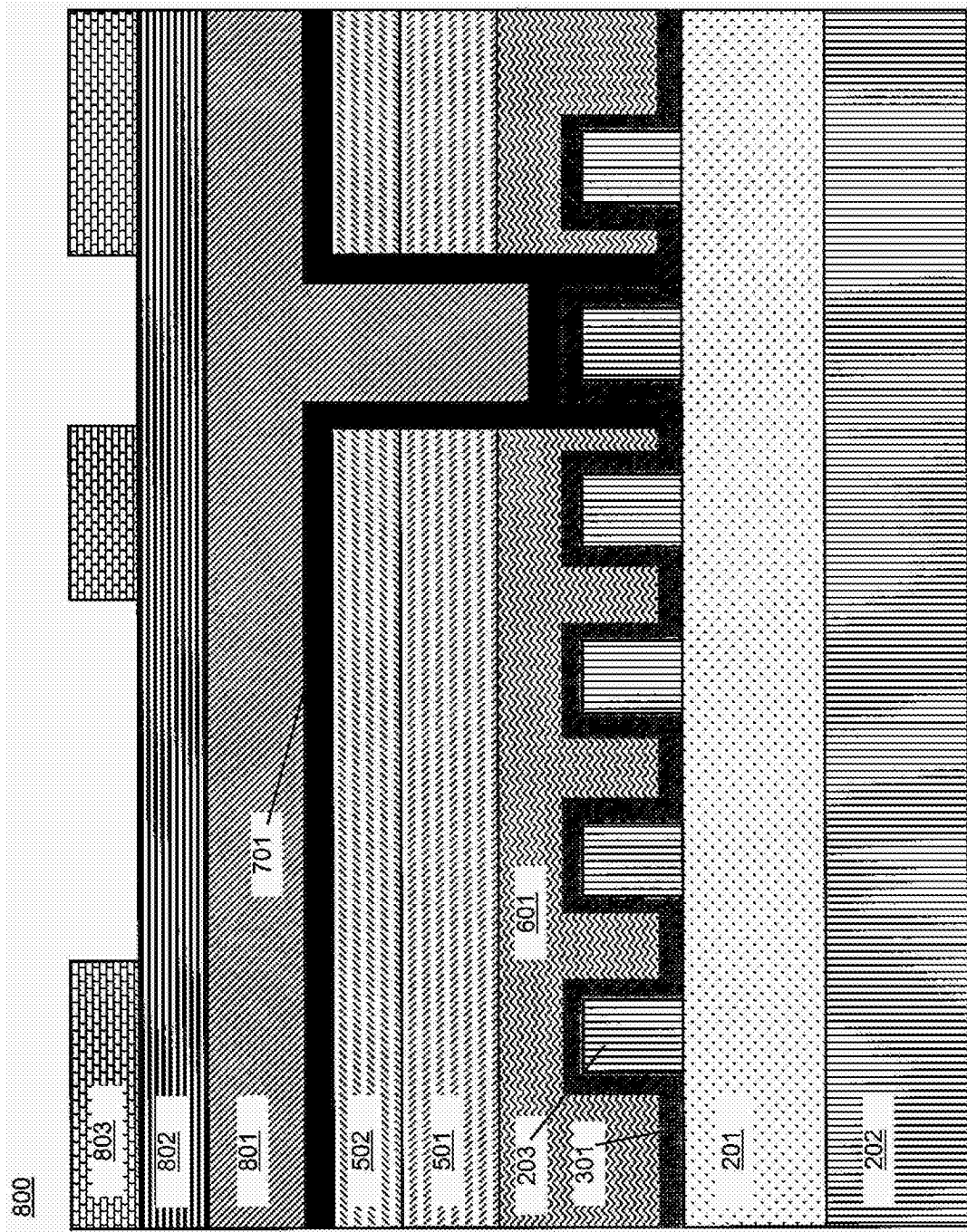


图 8A

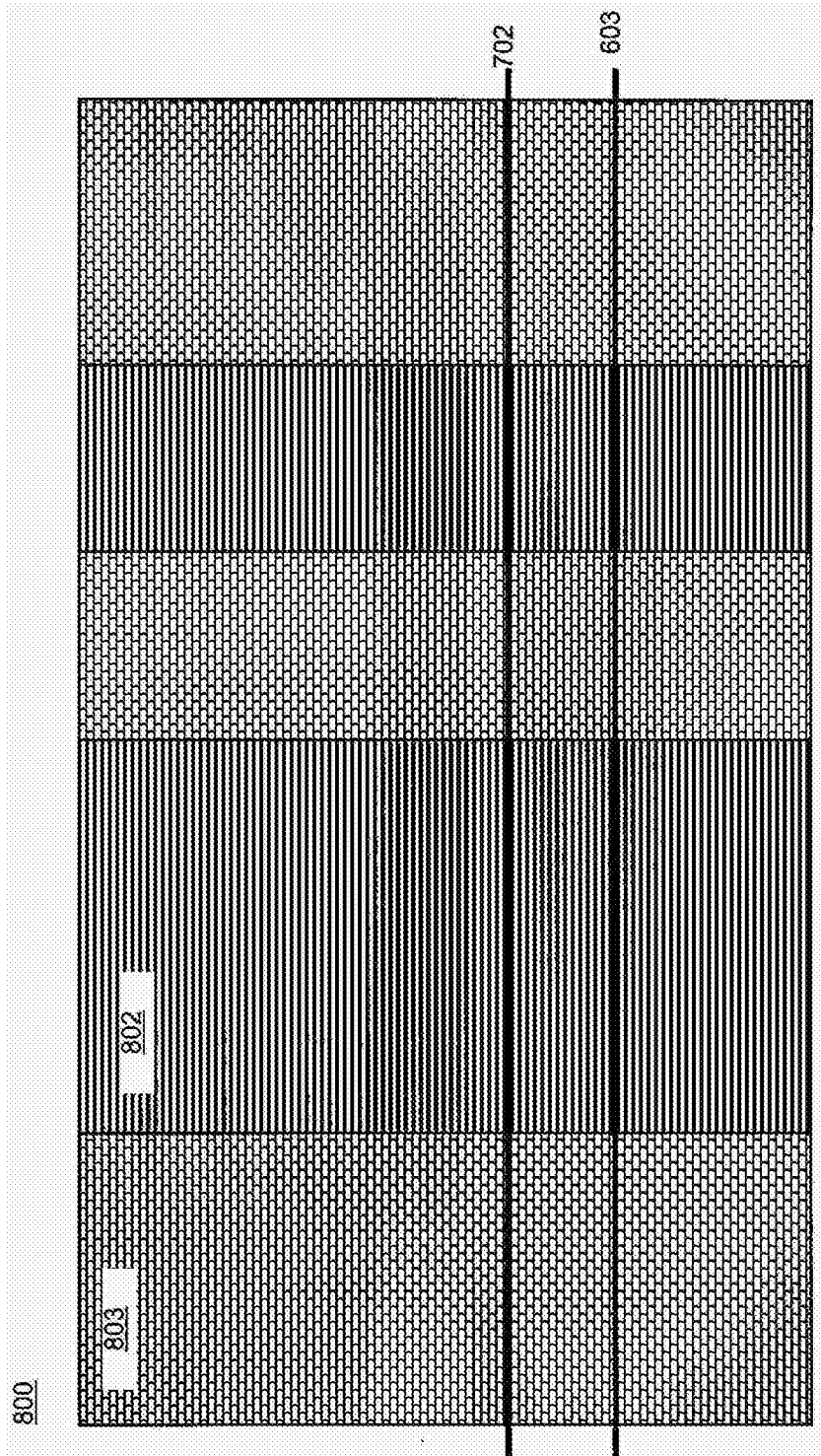


图 8B

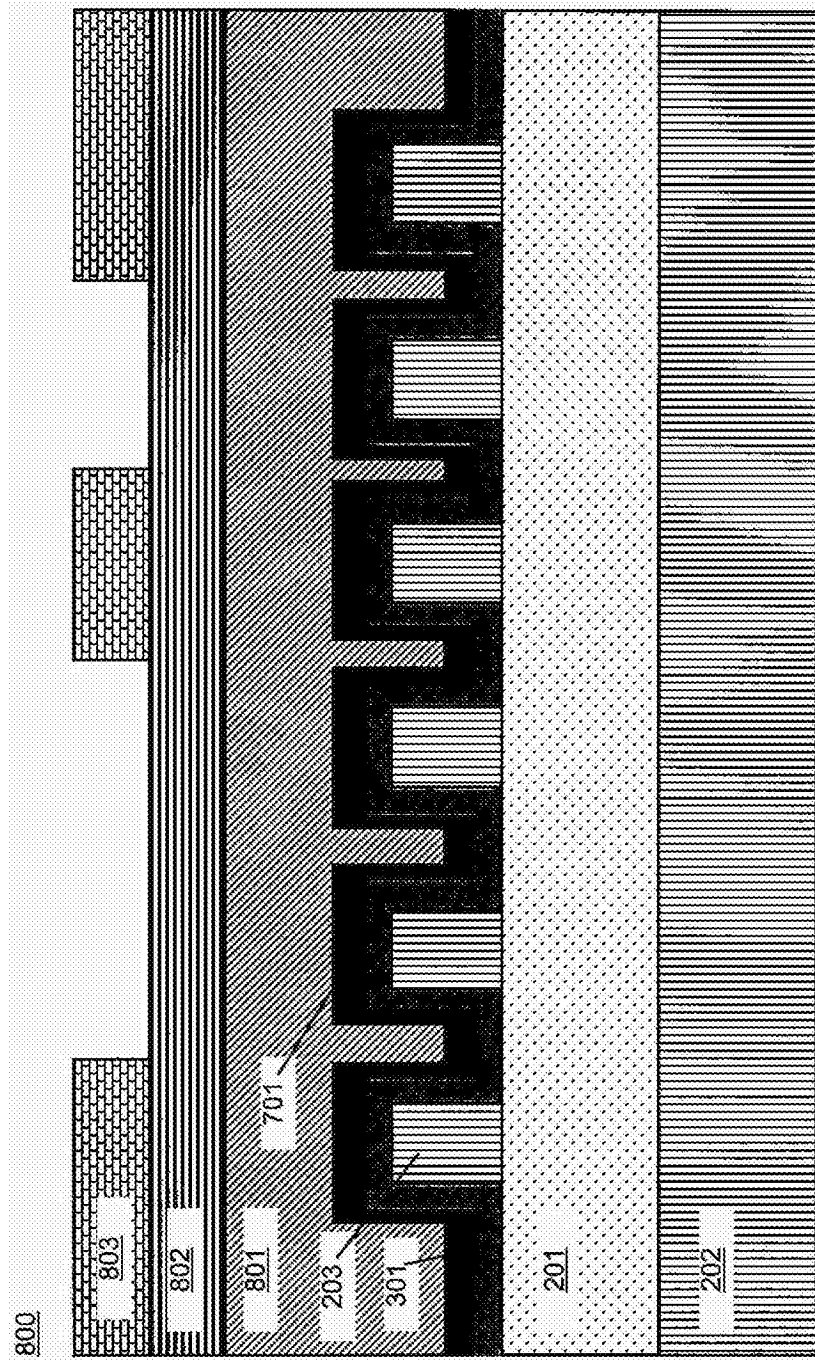


图 8C

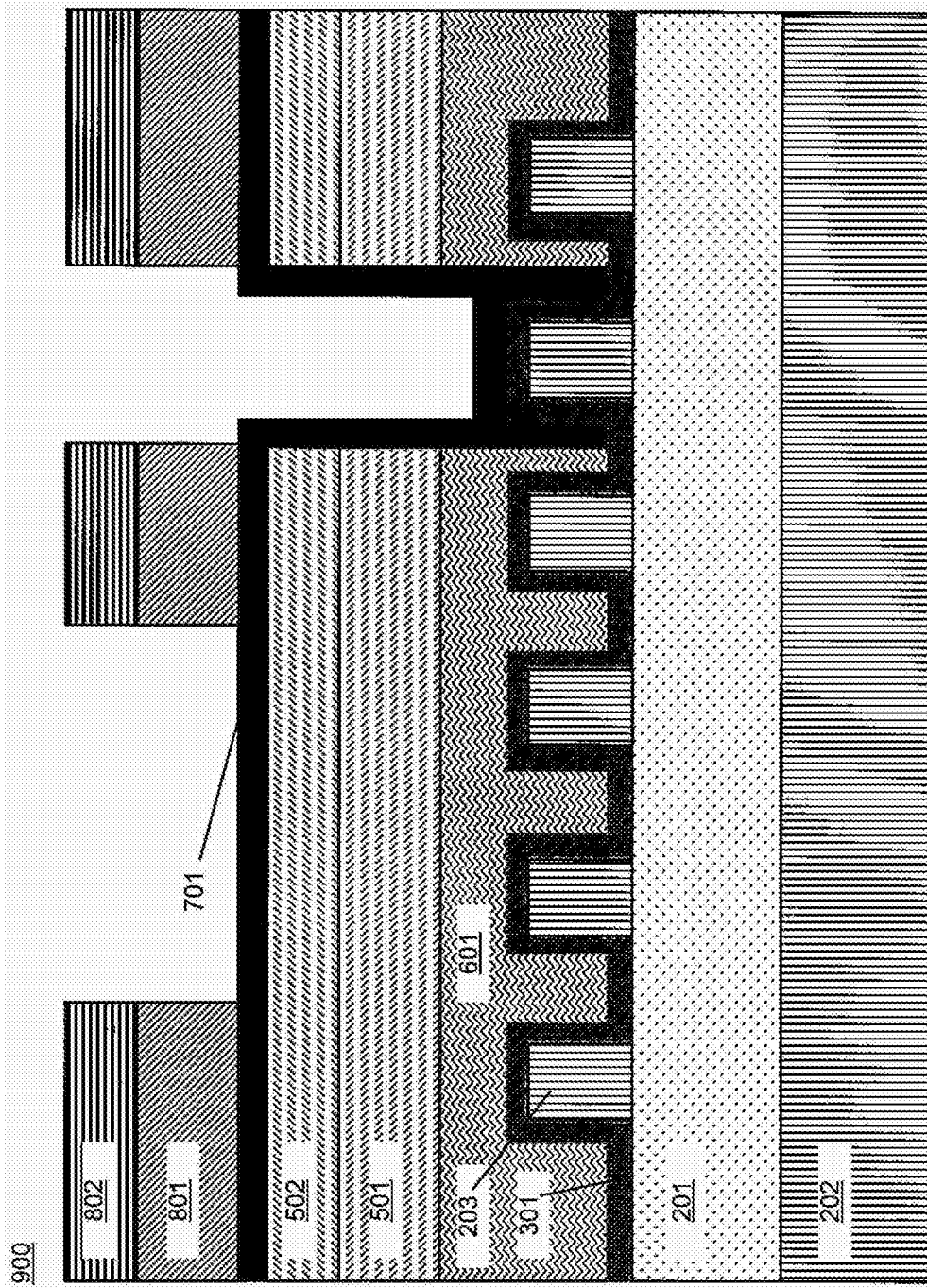


图 9A

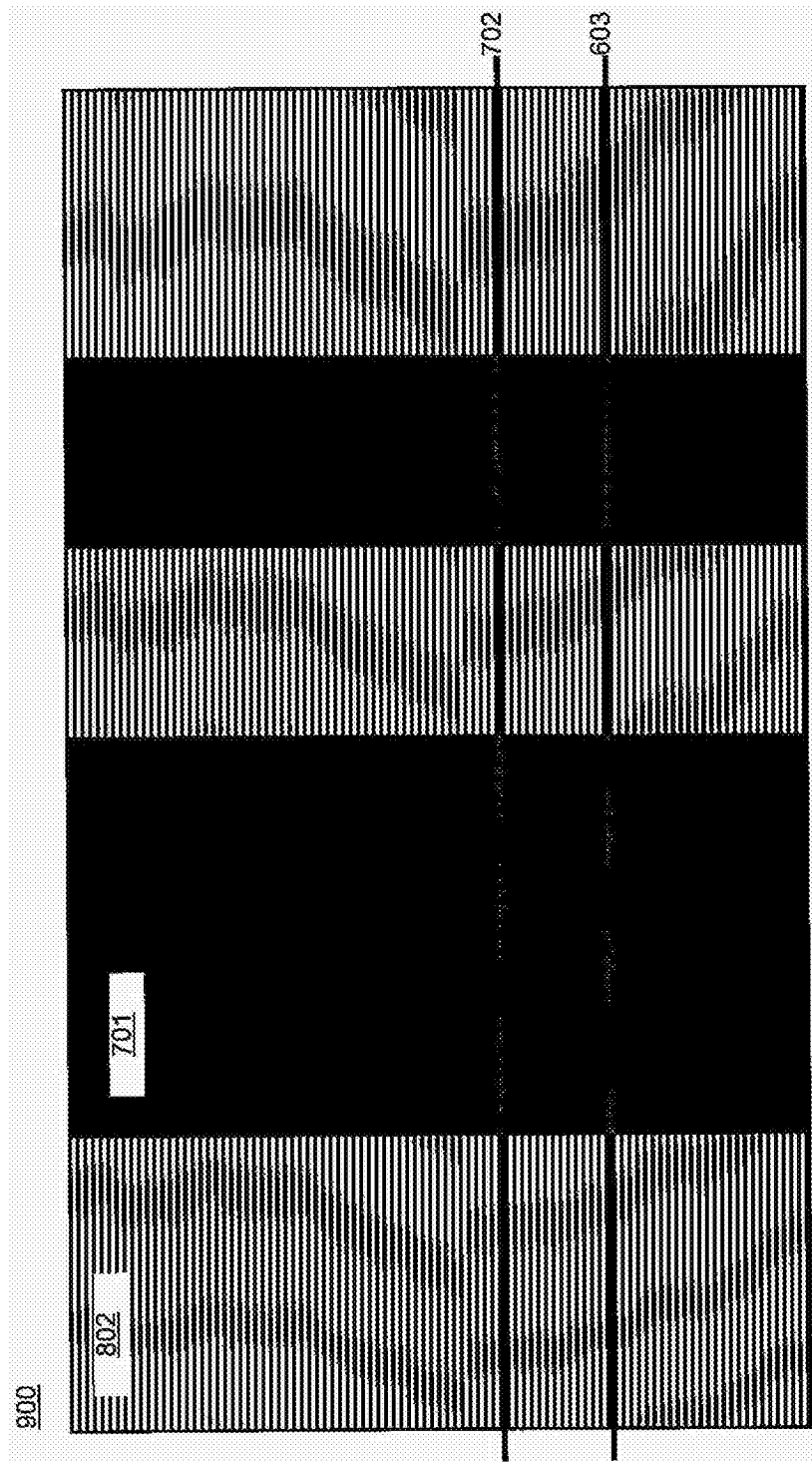


图 9B

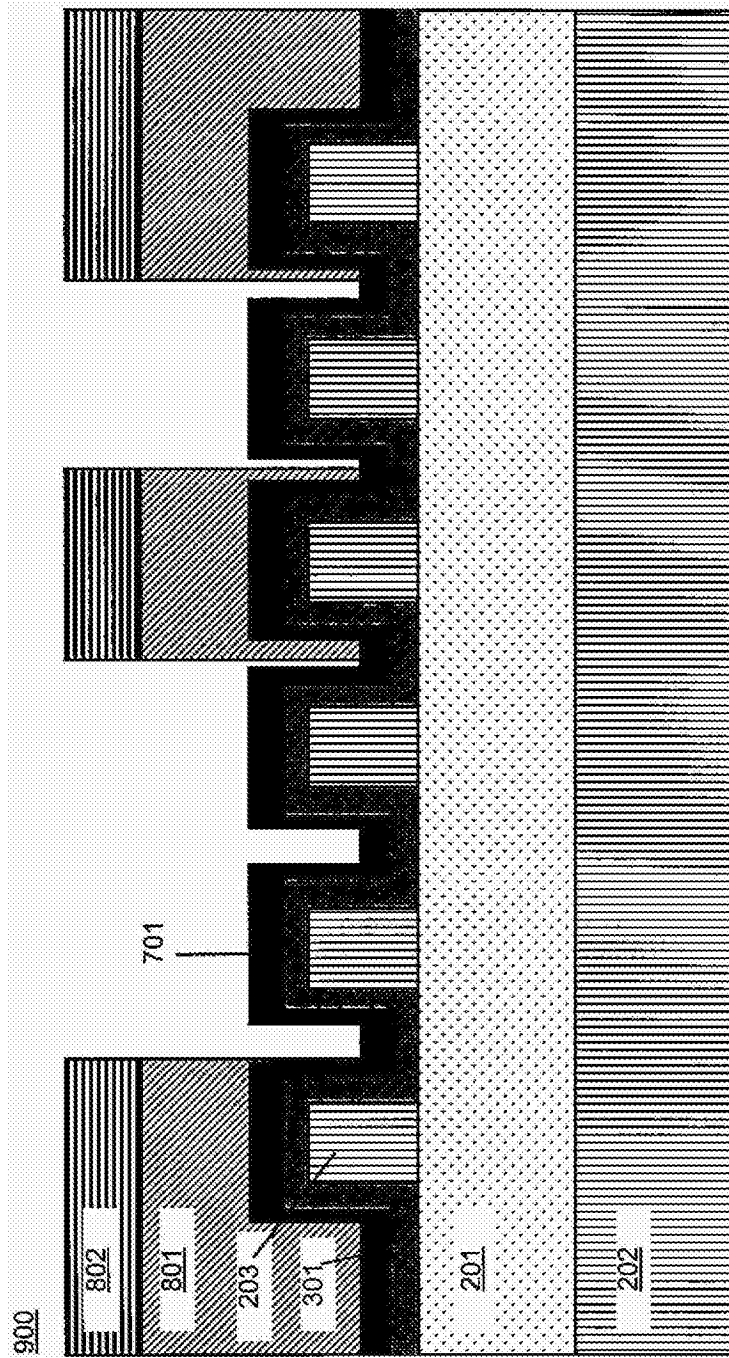


图 9C

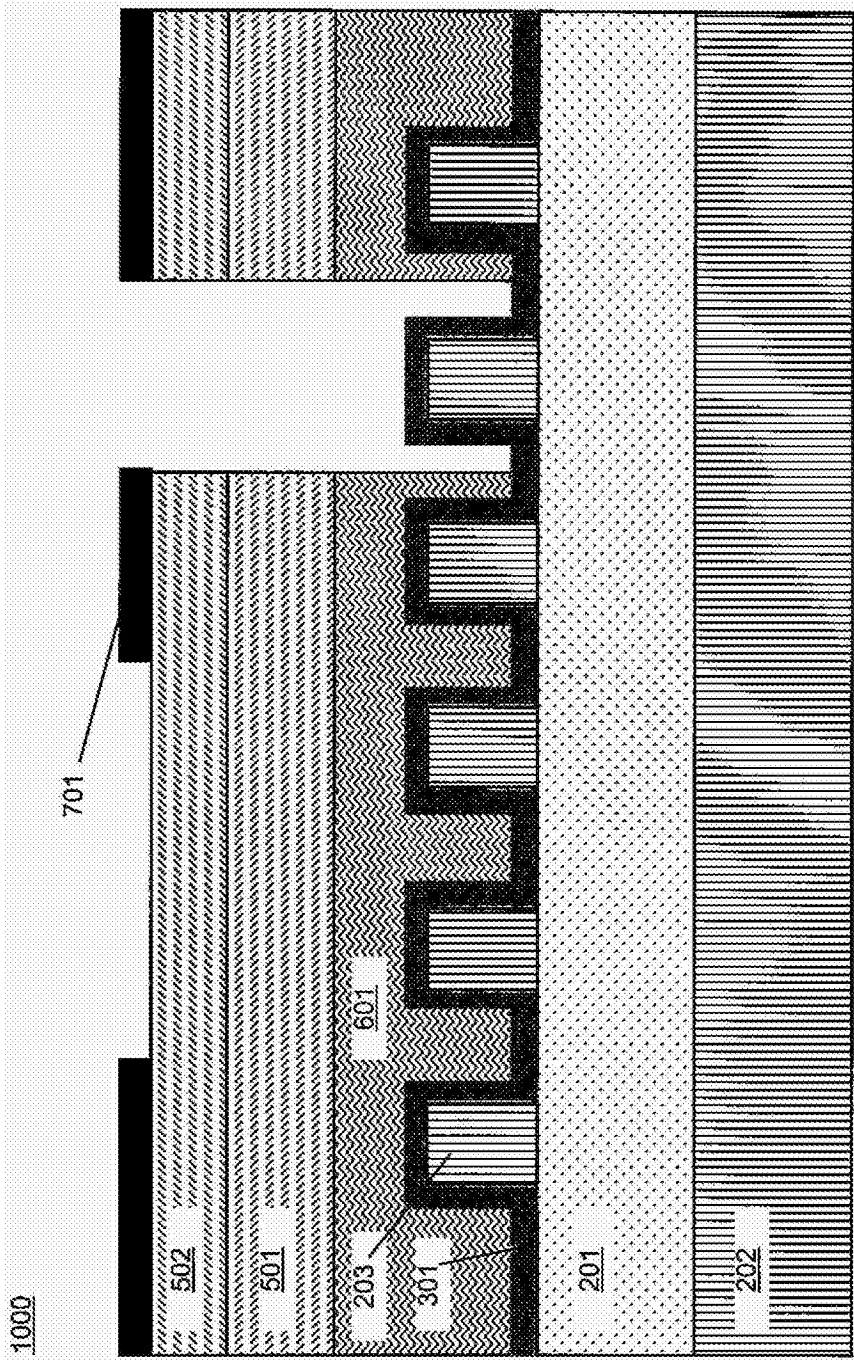


图 10A

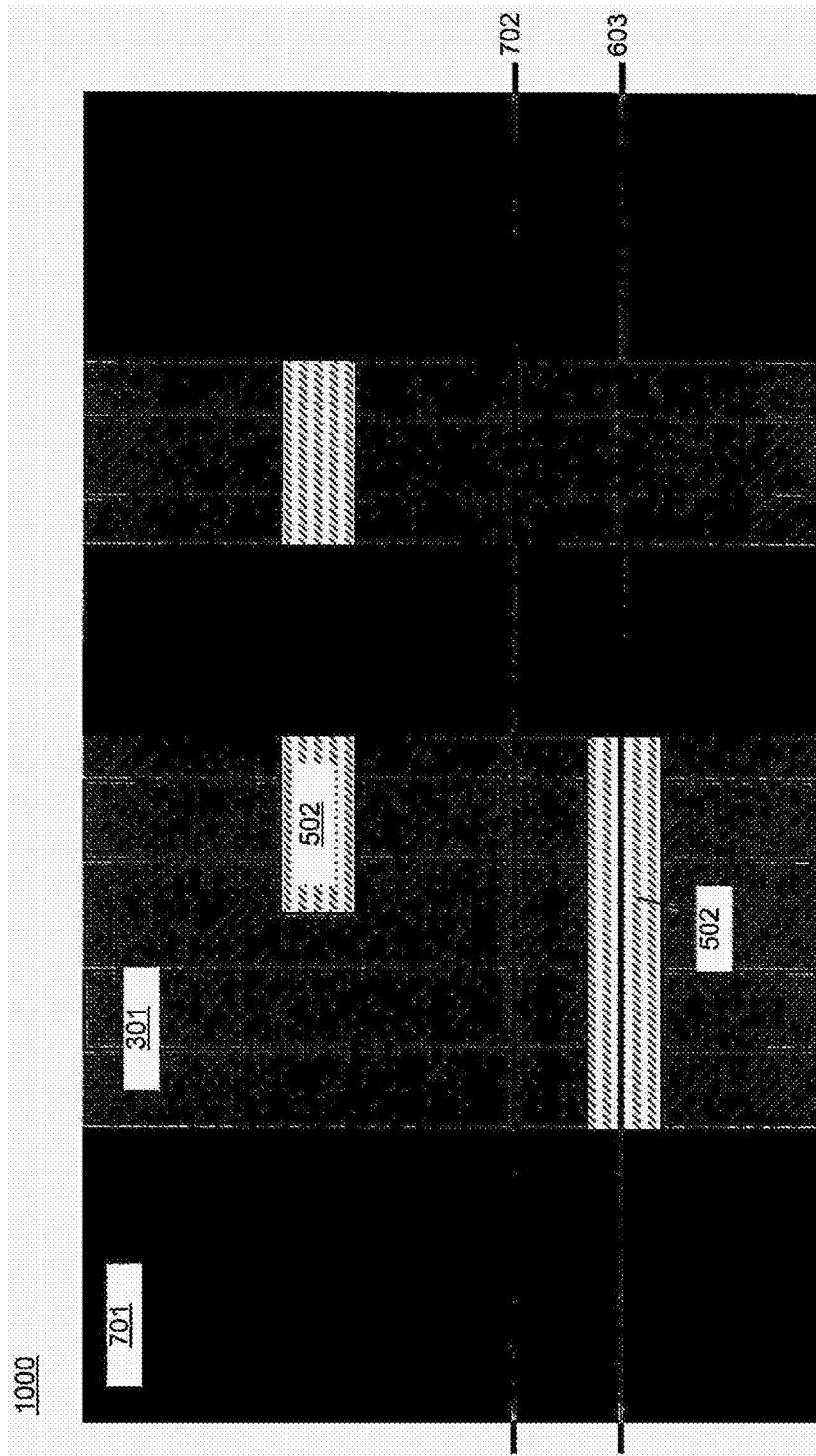


图 10B

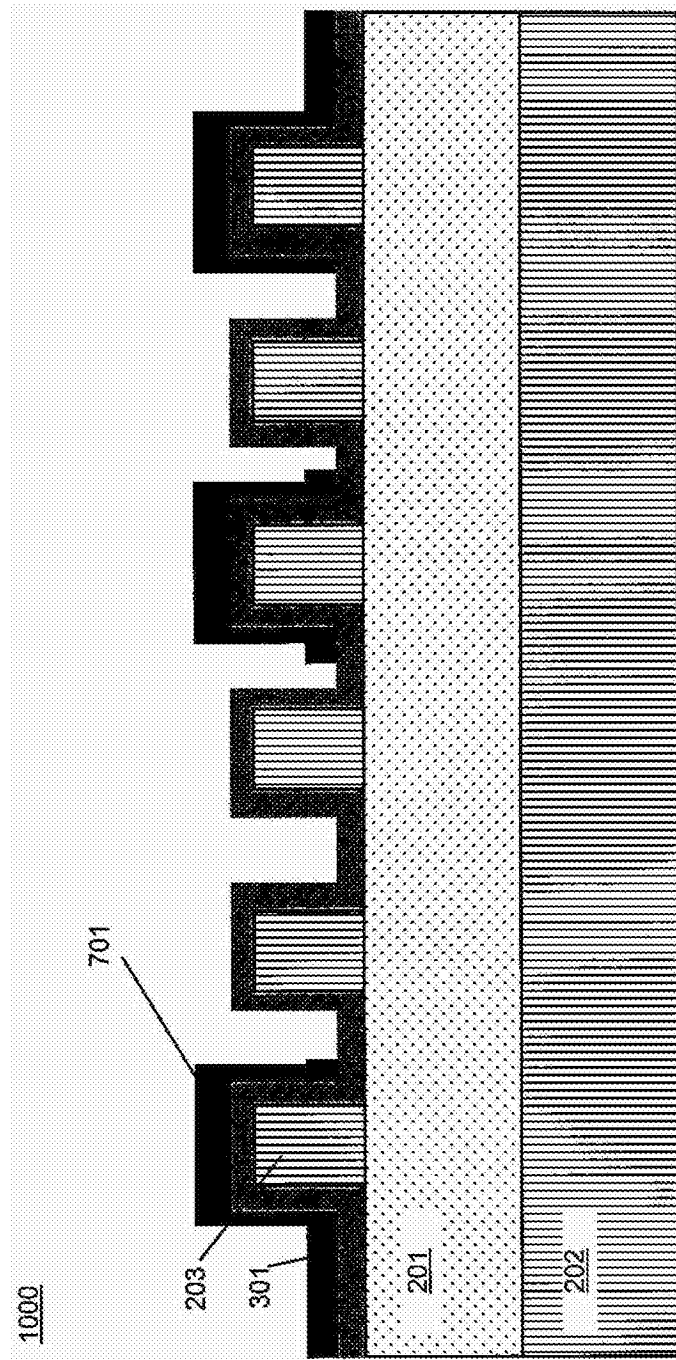


图 10C

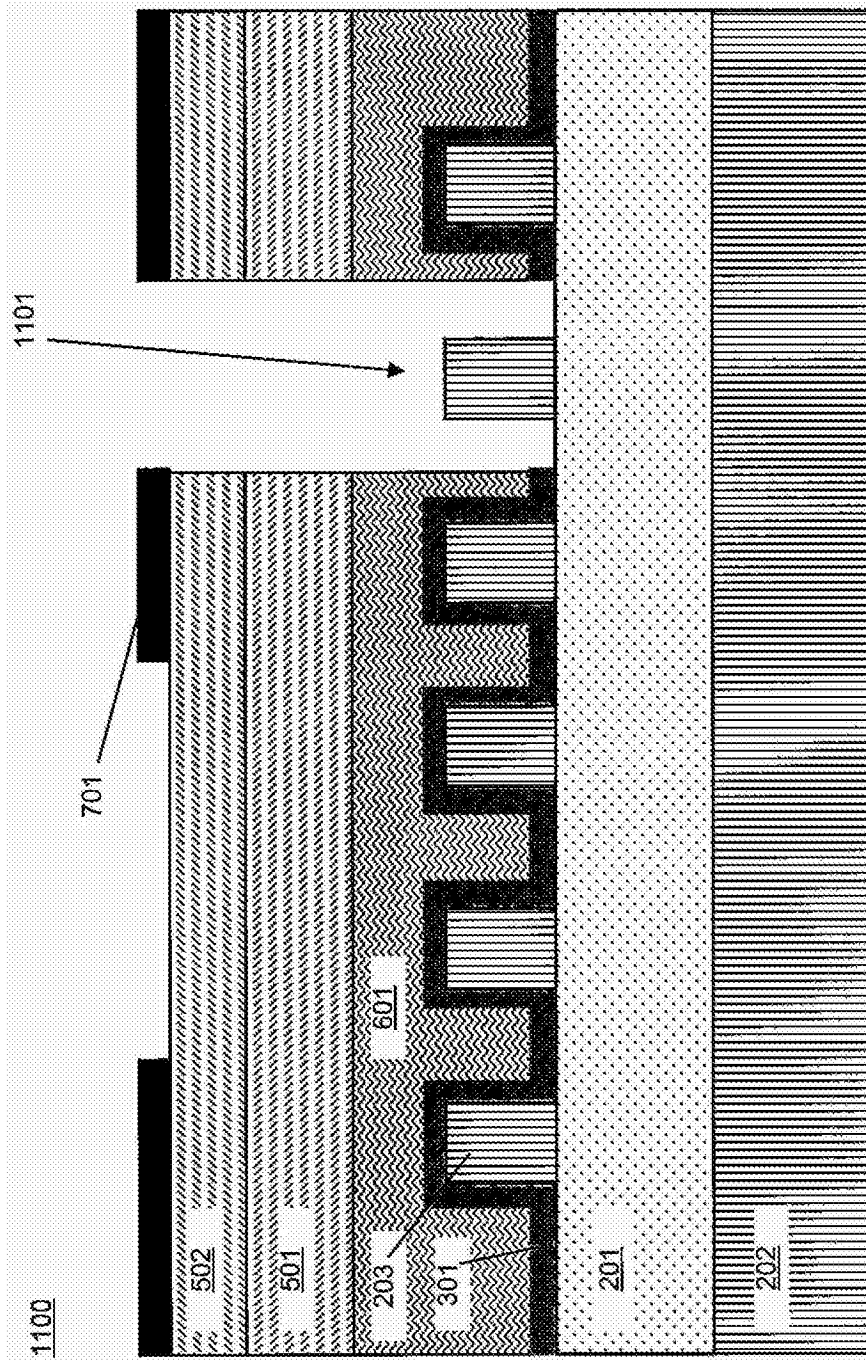


图 11A

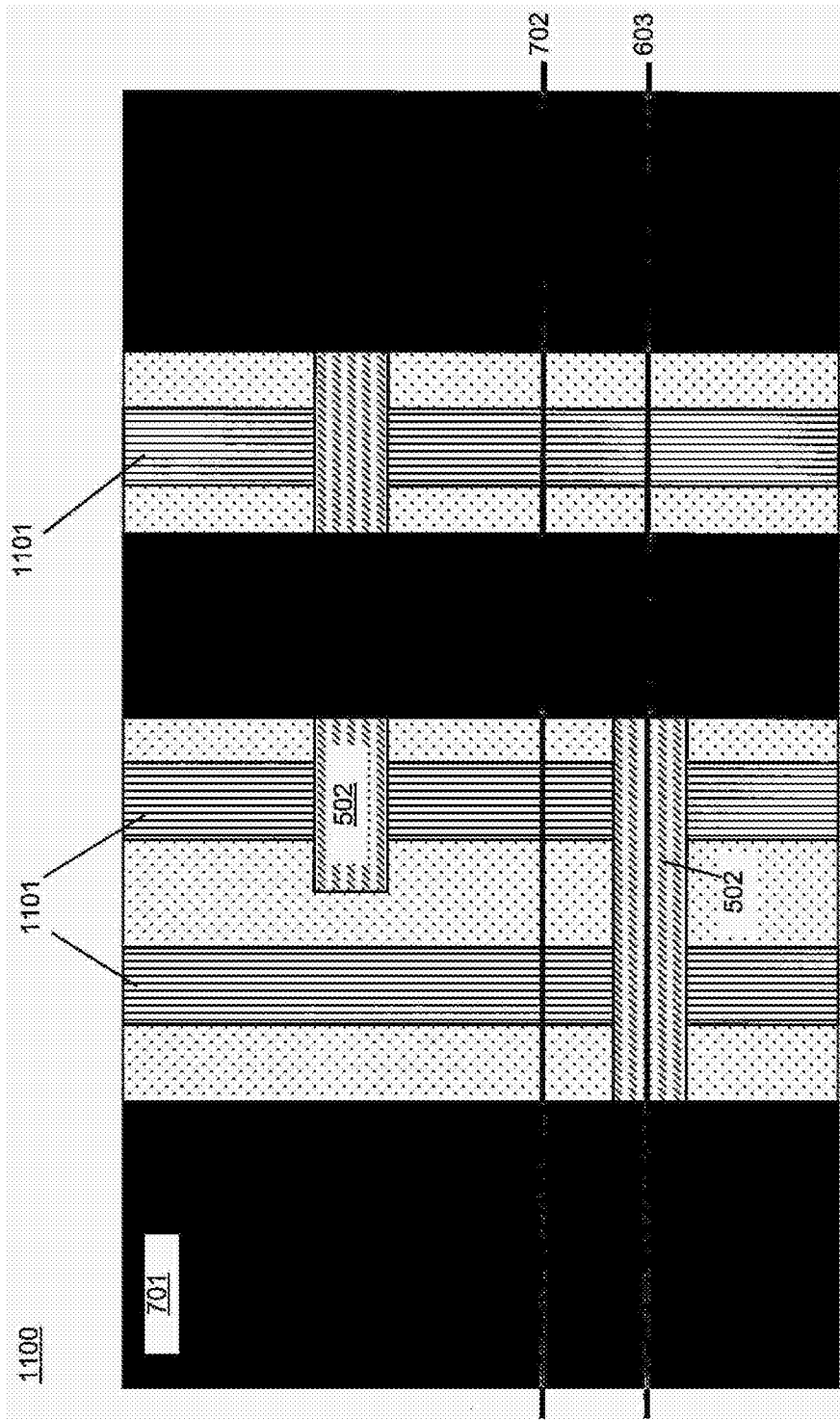


图 11B

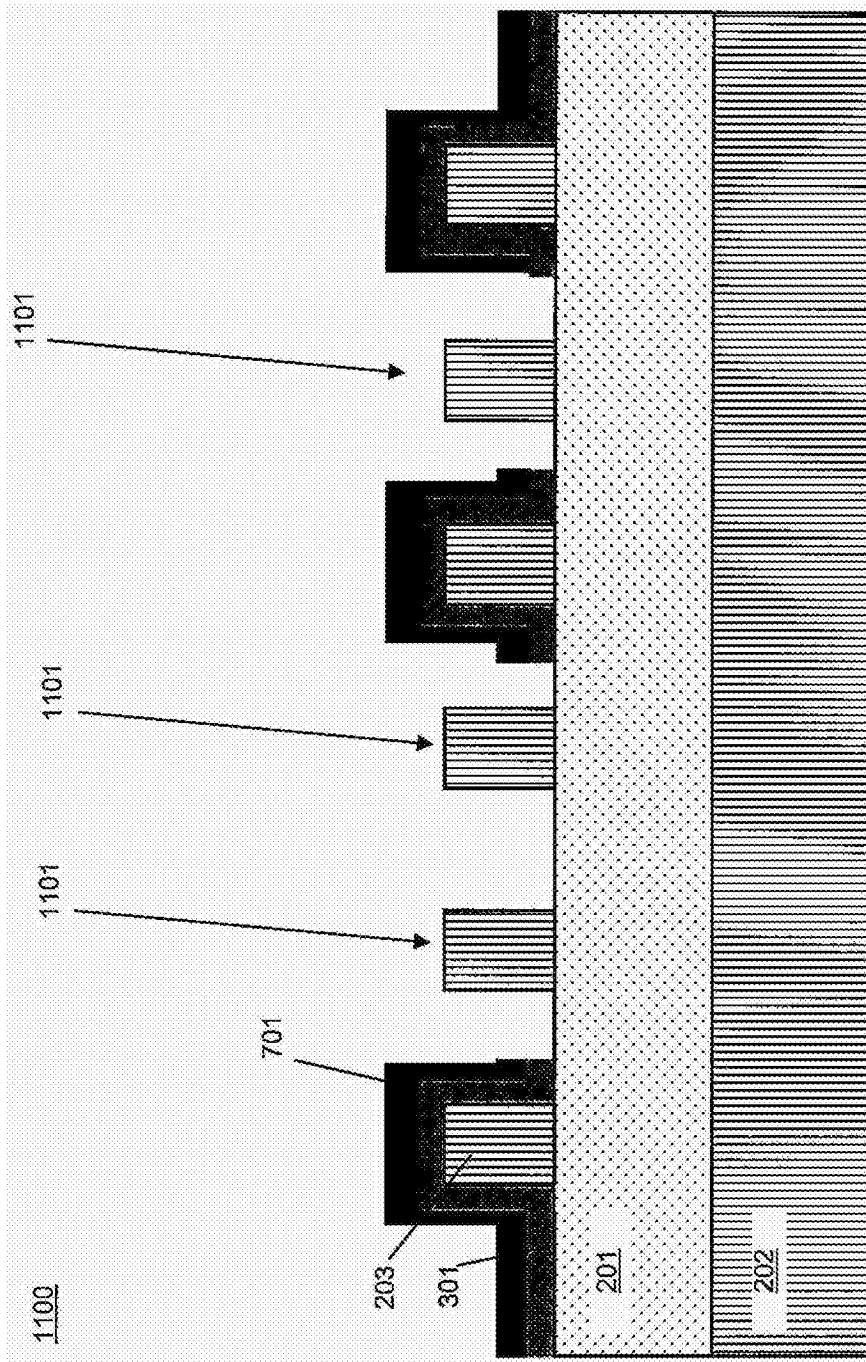


图 11C

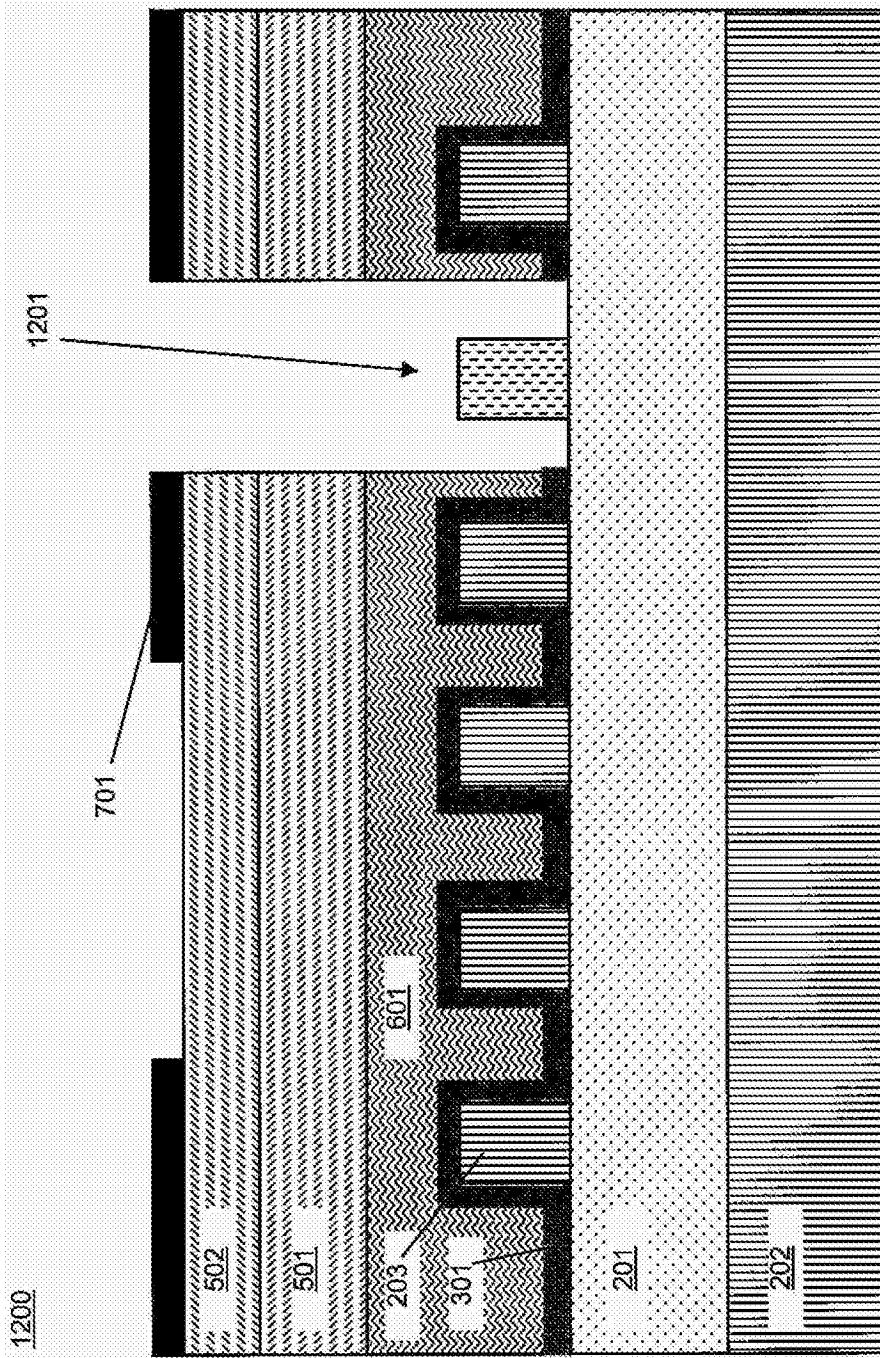


图 12A

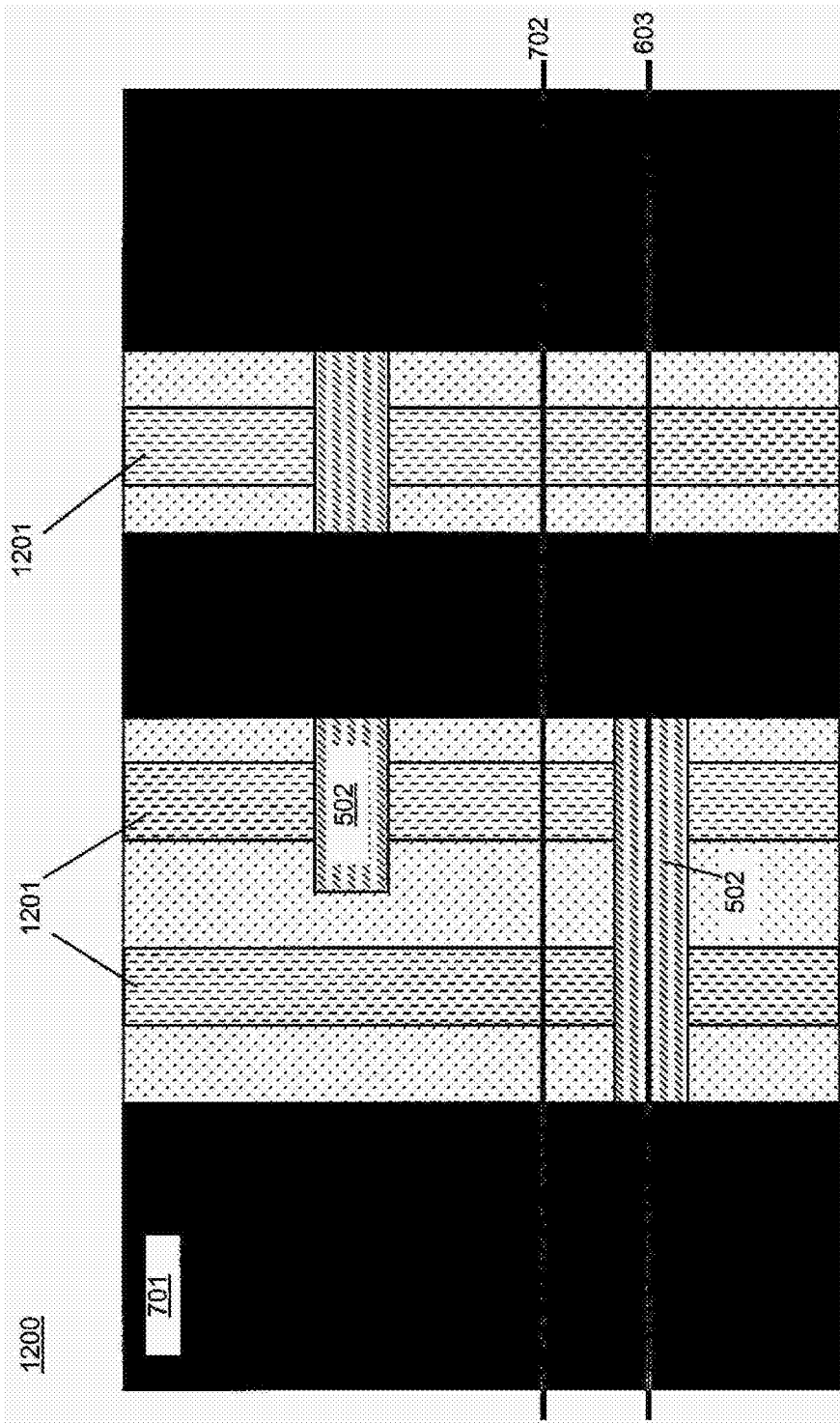


图 12B

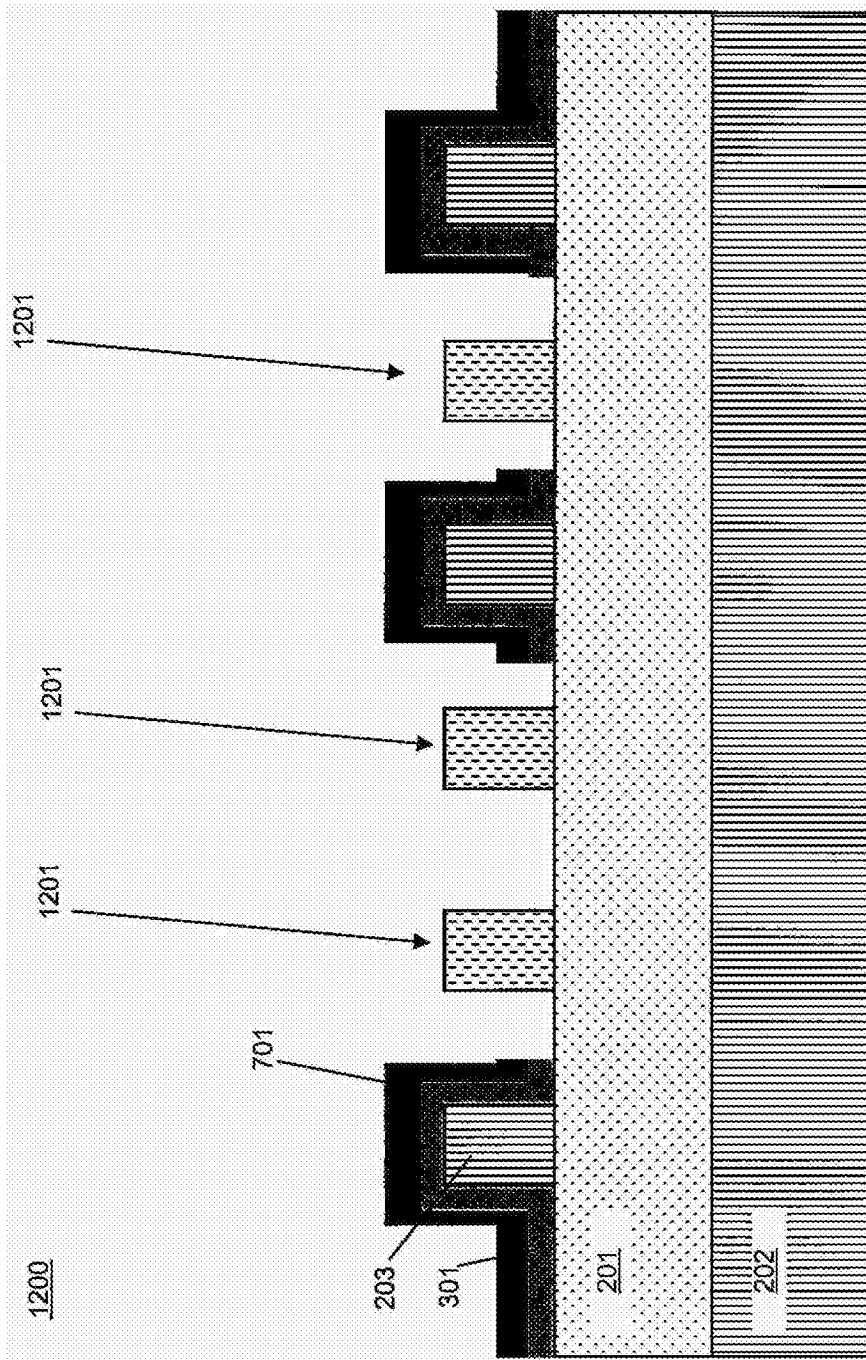


图 12C

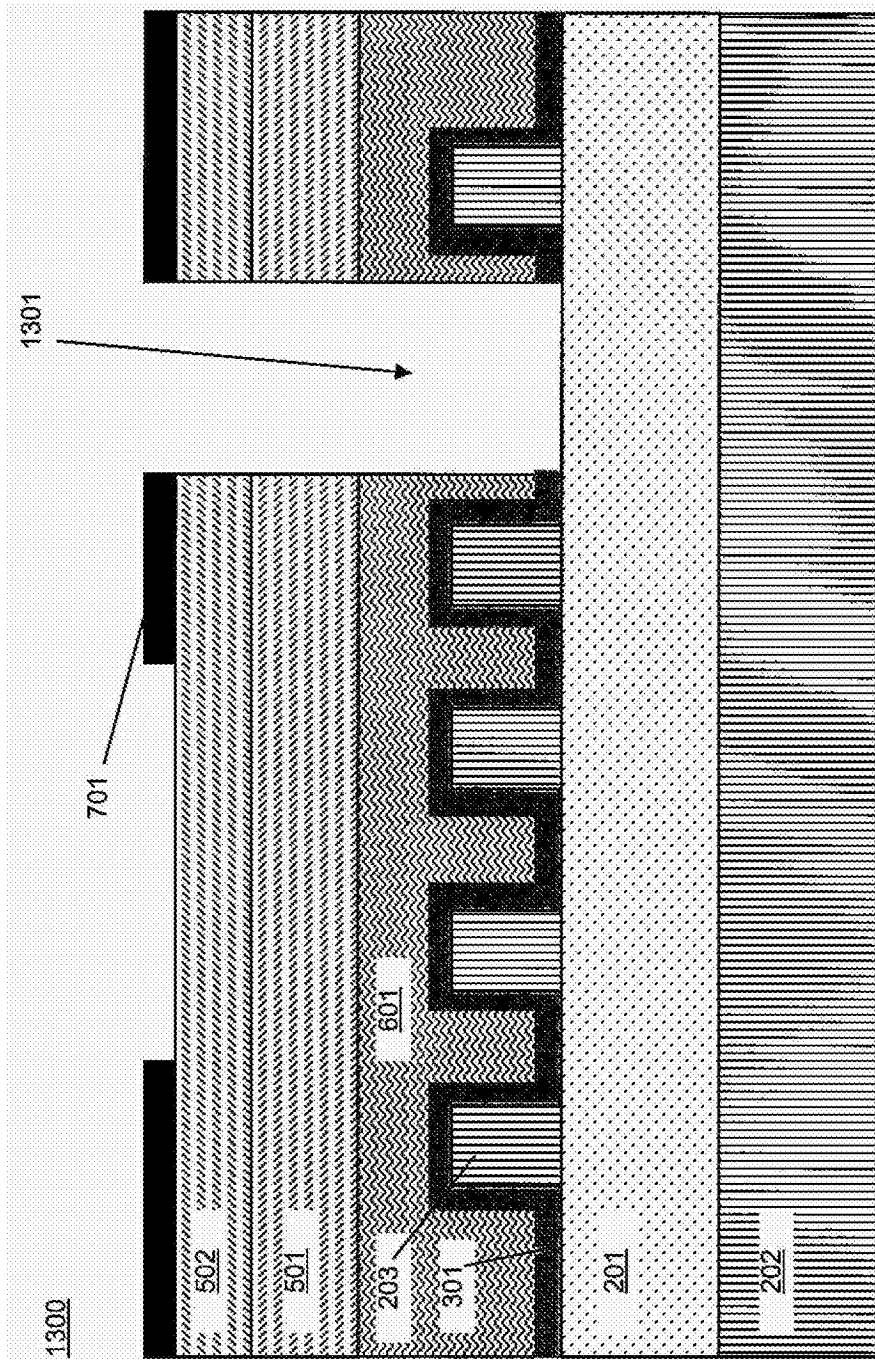


图 13A

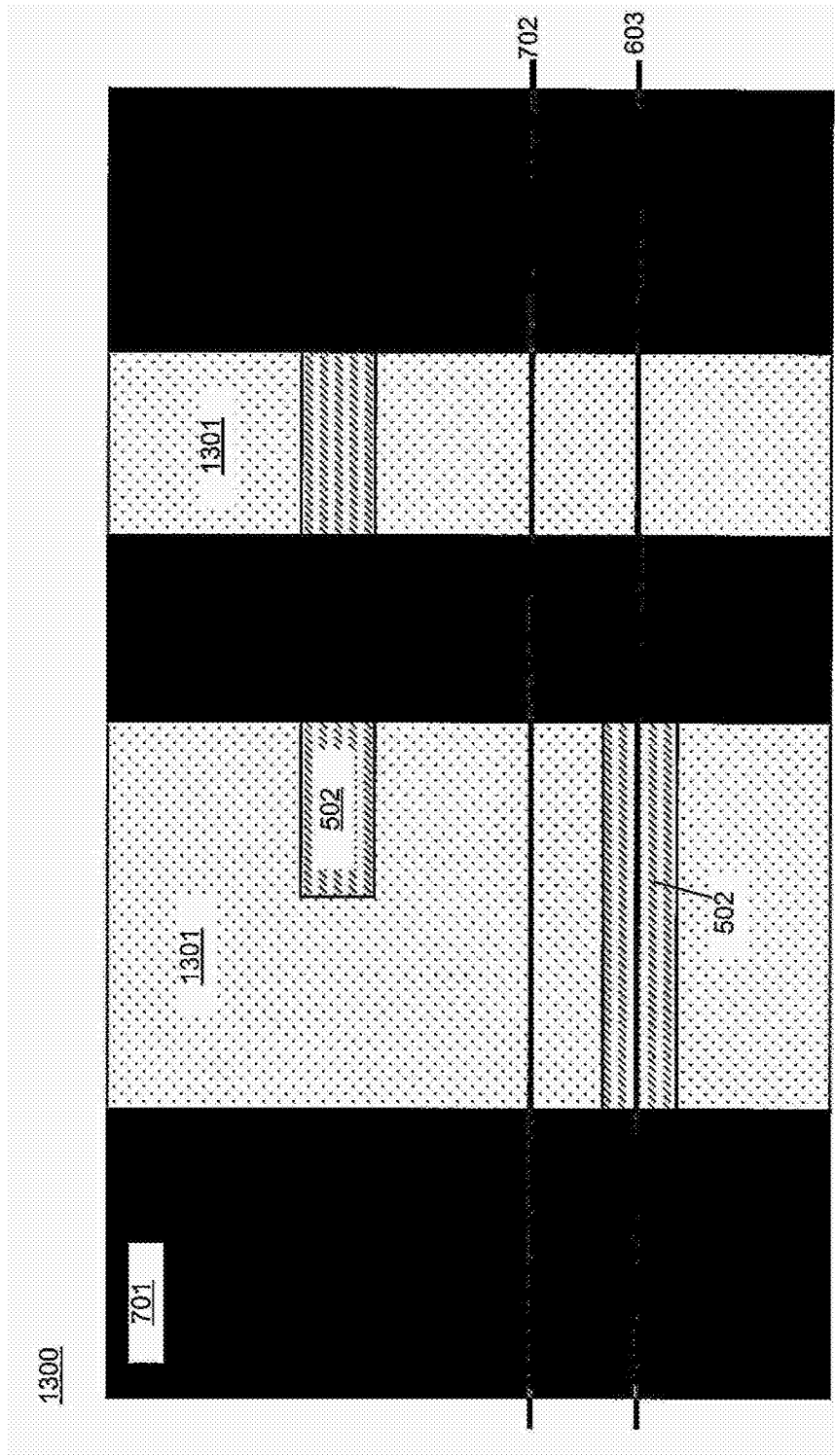


图 13B

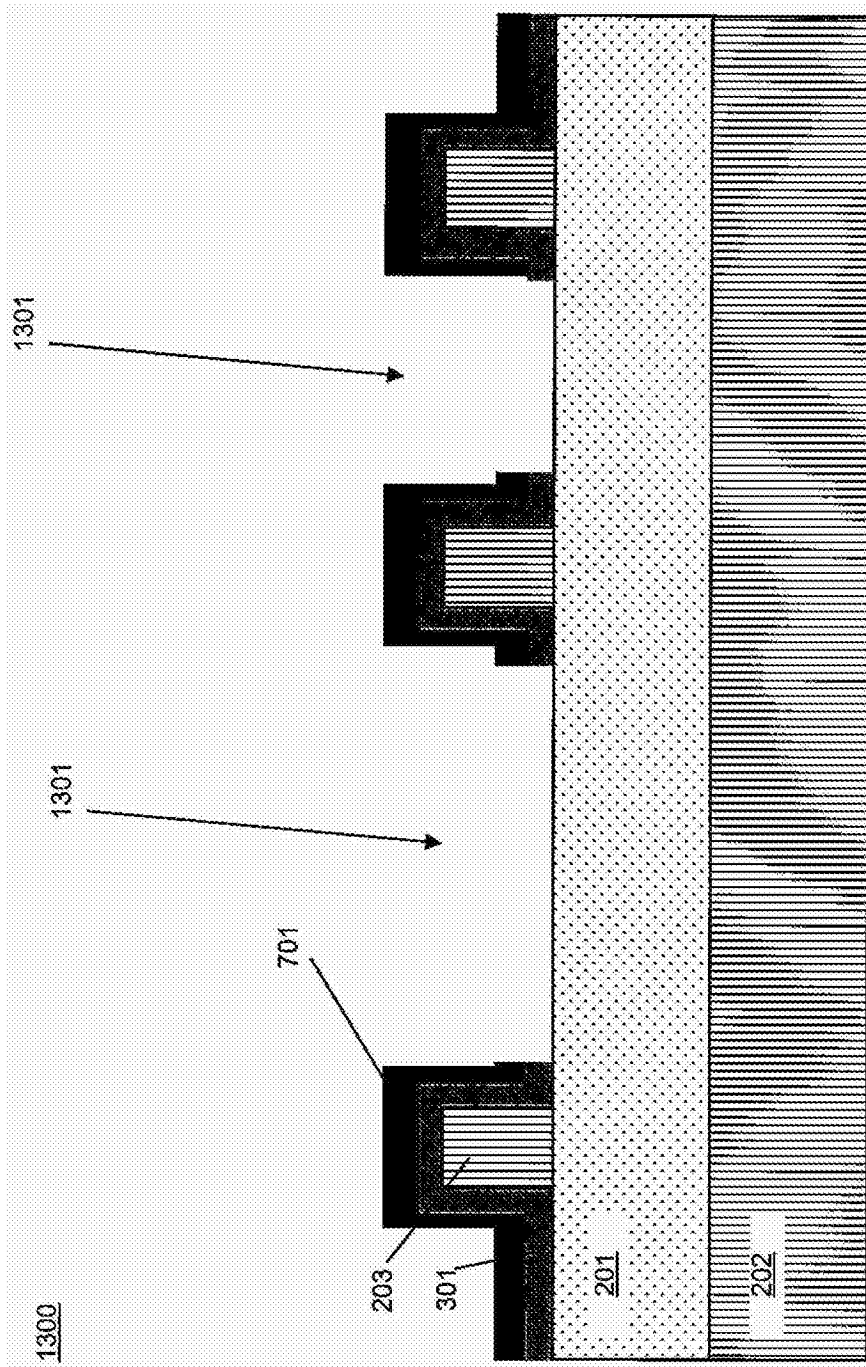


图 13C