

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-89991

(P2021-89991A)

(43) 公開日 令和3年6月10日(2021.6.10)

(51) Int.Cl. F I テーマコード (参考)
 HO 1 L 25/07 (2006.01) HO 1 L 25/04 C
 HO 1 L 25/18 (2006.01)

審査請求 有 請求項の数 9 O L (全 14 頁)

| | | | |
|-----------|------------------------------|----------|--|
| (21) 出願番号 | 特願2019-220062 (P2019-220062) | (71) 出願人 | 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号 |
| (22) 出願日 | 令和1年12月5日(2019.12.5) | (74) 代理人 | 110002941 特許業務法人ばるも特許事務所 |
| | | (72) 発明者 | 吉井 大 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 |
| | | (72) 発明者 | 小沢 帆太郎 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 |

(54) 【発明の名称】 半導体モジュールおよび電力変換装置

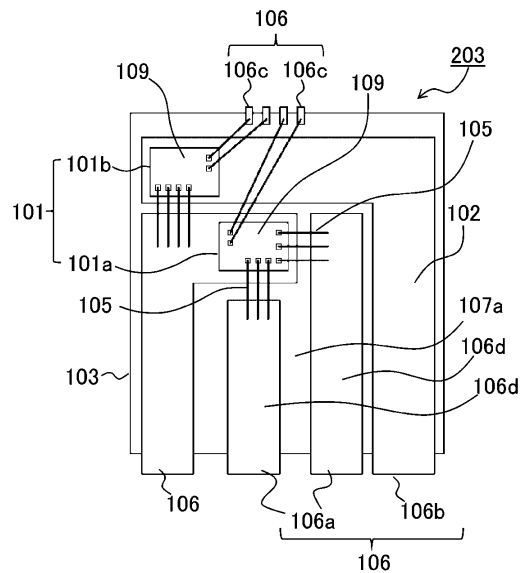
(57) 【要約】

【課題】配線インダクタンスが低減された半導体モジュールおよび電力変換装置を提供する。

【解決手段】半導体モジュールは、半導体素子と、半導体素子が搭載された第1の端子と、半導体素子の周囲に配置され、複数の配線部分を有する第2の端子と、半導体素子の上面から複数方向に延在し、第2の端子の複数の配線部分にそれぞれ接続された複数の接続線と、を備え、複数の配線部分の間には空き領域が設けられており、複数の接続線および複数の接続線とそれぞれ電流経路を形成する複数の配線部分は同一電位であることを特徴とするものである。

【選択図】 図2

図2



【特許請求の範囲】**【請求項 1】**

半導体素子と、
前記半導体素子が搭載された第 1 の端子と、
前記半導体素子の周囲に配置され、複数の配線部分を有する第 2 の端子と、
前記半導体素子の上面から複数方向に延在し、前記第 2 の端子の前記複数の配線部分にそれぞれ接続された複数の接続線と、を備え、
前記複数の配線部分の間には空き領域が設けられており、
前記複数の接続線および前記複数の接続線とそれぞれ電流経路を形成する前記複数の配線部分は同一電位であることを特徴とする半導体モジュール。

10

【請求項 2】

前記複数の接続線は、前記半導体素子の異なる側端面から延出されたことを特徴とする請求項 1 に記載の半導体モジュール。

【請求項 3】

前記半導体素子、前記第 1 の端子、前記第 2 の端子、および前記複数の接続線を封止する樹脂モールドと、
前記樹脂モールドの一端面から外部に突出して形成された第 3 の端子と、を有し、
前記第 1 の端子または前記第 2 の端子は、前記樹脂モールドの前記一端面以外の前記樹脂モールドの他端面から外部に突出して形成されており、
前記第 1 の端子または前記第 2 の端子に通電する電流は、前記第 3 の端子に通電する電流よりも大きく、
前記空き領域は、前記半導体素子の前記他端面の側に設けられたことを特徴とする請求項 1 または請求項 2 に記載の半導体モジュール。

20

【請求項 4】

前記複数の配線部分は、前記樹脂モールドの前記他端面から外部へ突出する前に接続されたことを特徴とする請求項 3 に記載の半導体モジュール。

【請求項 5】

前記第 2 の端子は、前記半導体素子を含む複数の半導体素子を接続して構成された上下アームにおいて、下アームの前記半導体素子の前記上面の電位端子であることを特徴とする請求項 1 から請求項 4 のいずれか 1 項に記載の半導体モジュール。

30

【請求項 6】

前記第 2 の端子は、前記複数の配線部分と接続された、または一体に形成された環状部分を有しており、
前記空き領域は、前記環状部分の内側に設けられており、
前記複数の接続線および前記複数の接続線とそれぞれ電流経路を形成する前記複数の配線部分、前記環状部分は同一電位であることを特徴とする請求項 1 または請求項 2 に記載の半導体モジュール。

【請求項 7】

前記空き領域の一部に孔部が形成されたことを特徴とする請求項 6 に記載の半導体モジュール。

40

【請求項 8】

前記半導体素子を含む複数の半導体素子により Hブリッジ回路が構成されており、
前記第 2 の端子はリードフレームにより形成され、前記空き領域は前記リードフレームの中央に配置されており、
前記複数の半導体素子は、前記空き領域を中心として線対称に配置されたことを特徴とする請求項 6 または請求項 7 に記載の半導体モジュール。

【請求項 9】

前記空き領域の周囲の前記環状部分に、4本の電流経路を有することを特徴とする請求項 8 に記載の半導体モジュール。

【請求項 10】

50

請求項 1 から請求項 9 のいずれか 1 項に記載の半導体モジュールを有し、
 入力される電力を変換して出力する主変換回路と、
 前記主変換回路を制御する制御信号を前記主変換回路に出力する制御回路と、を備えた
 ことを特徴とする電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、半導体モジュールおよび電力変換装置に関するものである。

【背景技術】

【0002】

10

電力変換装置に使用される半導体モジュールは、配線パターンを形成するリードフレームとそのリードフレーム上に搭載される半導体素子によって構成されている。この半導体素子は、電力変換の際にスイッチング動作を行う。半導体モジュールでは、半導体素子がスイッチングする際の電流の時間変化率 di/dt と配線パターンのインダクタンス L により、サージ電圧 $V = L \cdot di/dt$ が発生し、このサージ電圧は、半導体素子に印加される。半導体モジュールにおいては、配線パターンのインダクタンス L が大きいほどサージ電圧は大きくなり、半導体素子の故障の原因となるため、従来から配線パターンの低インダクタンス化が求められている。

【0003】

例えば、特許文献 1 または特許文献 2 に開示された半導体モジュールでは、配線インダクタンスを低減させるために、端子配列または半導体素子の配置を工夫したことが開示されている。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2014 - 225706 号公報

【特許文献 2】特開 2013 - 183540 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

30

しかしながら、これら特許文献 1 または特許文献 2 に開示された従来の半導体モジュールにおいても配線パターンのインダクタンスの低減が十分に行えていなかった。

【0006】

本願は、上記のような課題を解決するための技術を開示するものであり、さらに配線インダクタンスが低減された半導体モジュールおよび電力変換装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

本願に開示される半導体モジュールは、半導体素子と、前記半導体素子が搭載された第 1 の端子と、前記半導体素子の周囲に配置され、複数の配線部分を有する第 2 の端子と、前記半導体素子の上面から複数方向に延在し、前記第 2 の端子の前記複数の配線部分にそれぞれ接続された複数の接続線と、を備え、前記複数の配線部分の間には空き領域が設けられており、前記複数の接続線および前記複数の接続線とそれぞれ電流経路を形成する前記複数の配線部分は同一電位であることを特徴とするものである。

40

また、本願に開示される電力変換装置は、本願に開示される半導体モジュールを有し、入力される電力を変換して出力する主変換回路と、前記主変換回路を制御する制御信号を前記主変換回路に出力する制御回路と、を備えたことを特徴とするものである。

【発明の効果】

【0008】

本願に開示される半導体モジュールによれば、配線インダクタンスが低減された半導体

50

モジュールおよび電力変換装置が得られる。

【図面の簡単な説明】

【0009】

【図1】実施の形態1による半導体モジュールを示す回路図である。

【図2】実施の形態1による半導体モジュールの内部構成を示す平面図である。

【図3】実施の形態2による半導体モジュールの内部構成を示す平面図である。

【図4】実施の形態3による半導体モジュールを示す回路図である。

【図5】実施の形態3による半導体モジュールの製品への組付けの事例を示す斜視図である。

【図6】実施の形態3による半導体モジュールの内部構成を示す平面図である。

10

【図7】実施の形態3による半導体モジュールの電流通電経路の一事例を示す平面図である。

【図8】実施の形態3による半導体モジュールの電流通電経路の一事例を示す平面図である。

【図9】実施の形態4による電力変換装置を適用した電力変換システムの構成を示すブロック図である。

【発明を実施するための形態】

【0010】

実施の形態1

以下、図面に基づいて実施の形態1について説明する。なお、各図面において、同一符号は同一あるいは相当部分を示す。

20

【0011】

また、本願に開示される半導体モジュールは、インバータ等のモータと組み合わせるパワー回路または降圧コンバータ等のトランスと組み合わせるパワー回路の電力変換装置として利用される。さらにまた、本願に開示される半導体モジュールは、製品の機能を小型かつコンパクト、高効率に構成することを意図して使用されるパワーエレクトロニクス回路に適用され、半導体スイッチング素子を内蔵したものである。また、本願は、電力変換装置で主流のNチャンネルの半導体素子を使用したことを前提に記載しているが、Pチャンネルの半導体素子を使用してもよい。Pチャンネルの半導体素子を使用した場合は極性が逆となる。

30

【0012】

また、本願に開示される半導体素子は、金属-酸化物-半導体電界効果トランジスタ(Metal-Oxide-Semiconductor Field Effect Transistor:以下MOSFETと称す)を使用した事例を記載しているが、半導体素子は、絶縁ゲートバイポーラトランジスタ(Insulated Gate Bipolar Transistor:IGBT)、逆導通絶縁ゲートバイポーラトランジスタ(Reverse Conducting Insulated Gate Bipolar Transistor:RC-IGBT)等を含む半導体スイッチング素子を意味するものである。

図1は、実施の形態1による半導体モジュールを示す回路図である。また図2は、実施の形態1による半導体モジュールの内部構成を示す平面レイアウト図である。図1および図2において、半導体モジュール203は、樹脂モールド103により保護されたリードフレーム102上に、回路を構成する電子部品一式、すなわちMOSFET101を搭載している。

40

【0013】

MOSFET101は、さらに接続線として例えばワイヤーボンド105の接続手段を介して、リードフレーム102と接続される。リードフレーム102は、樹脂モールド103から外部接続端子106として引き出され、全体としてインバータの上下アーム1アーム分が、1パッケージにまとめられたものとなっている。図1および図2において、紙面上側に配置されたMOSFET101が上側MOSFET101bを示し、下側に配置されたMOSFET101が下側MOSFET101aを示す。実施の形態1では、下側MOSFET101aを中心として説明する。

50

【0014】

この半導体モジュール203は、例えば車載搭載用等であり限られたスペースに搭載する必要があるので、小型であることが求められる。また、半導体素子であるMOSFET101がスイッチングする際に発生するサージ電圧を低減するために、配線パターンの低インダクタンス化が求められる。

【0015】

図2に示すように、複数の外部接続端子106または配線は、リードフレーム102により形成される。半導体素子である下側MOSFET101aは、第1の端子である外部接続端子106の搭載部に搭載される。

実施の形態1による半導体モジュール203は、下側MOSFET101aの周囲に複数の配線部分106dを有する外部接続端子106が配置されている。複数の配線部分106dを有する外部接続端子106である下側MOSFETのソース電位端子106aは、第2の端子である。接続線であるワイヤーボンド105は、下側MOSFET101aの上面に形成されたソース面109から複数方向に延在する。そして、複数方向に延在したワイヤーボンド105は、外部接続端子106の複数の配線部分106dにそれぞれ接続される。これにより、通電経路の並列化を実現することができ、サージ電圧低減のための配線構造となる。複数のワイヤーボンド105は、下側MOSFET101aの異なる側端面から延出される。図2において、複数の配線部分106dを有する外部接続端子106は、上下アームにおいて、下アームの下側MOSFETの上面の電位端子であり、具体的には、前述したとおり下側MOSFETのソース電位端子106aである。半導体モジュール203において、複数の接続線であるワイヤーボンド105および複数の接続線とそれぞれ電流経路を形成する複数の配線部分106dは同一電位である。

【0016】

実施の形態1による半導体モジュール203は、半導体モジュール203内に空き領域107aが設けられている。空き領域107aは、複数の配線部分106dの間に設けられている。また、空き領域107aは、半導体モジュール203において、下側MOSFET101aの大電流用端子側に設けられている。

図2において、半導体モジュール203は、半導体素子であるMOSFET101、複数の接続線であるワイヤーボンド105、リードフレーム102により形成された第1の端子および第2の端子等である複数の外部接続端子106を樹脂モールド103により封止して形成される。

【0017】

外部接続端子106は、樹脂モールド103の端面から外部に突出して形成されている。図2において、樹脂モールド103の一端面に配置された外部接続端子106は、例えば数mA以下程度通電する小信号用端子106cである。小信号用端子106cは第3の端子であり、図2においては紙面上側に設けられている。

また、樹脂モールド103の一端面に対向する他端面に配置された外部接続端子106は、例えば数百A程度通電する大電流用端子である。大電流用端子は第1の端子および第2の端子であり、図2においては紙面下側に設けられている。実施の形態1による半導体モジュール203では、空き領域107aは、下側MOSFETのソース電位端子106a側に設けられている。

図2では、小信号用端子106cと大電流用端子である外部接続端子106とは対向した辺に配置されているが、必ずしも対向させる必要はない。小信号用端子106cは、例えば、一端面に交差する樹脂モールド103の両側面に設けられてもよい。また、小信号用端子106cおよび大電流用端子である外部接続端子106はそれぞれ同一辺に設定される必要はない。大電流用端子である第1の端子、第2の端子は、第3の端子が設けられた樹脂モールド103の一端面以外の樹脂モールド103の他端面から外部に突出して形成されていけばよい。

【0018】

なお、実施の形態1においては、下側MOSFET101aを中心として説明を行った

10

20

30

40

50

が、上側MOSFET101bに関しても同様の方法で通電経路の並列化を実現し、配線パターンの低インダクタンス化を図ることが可能である。

また、上側MOSFETのドレイン電位端子106bと下側MOSFETのソース電位端子106aを半導体モジュール203の同一辺に設定することは、工作性、および外部部品との接続においては有用である。

【0019】

また、半導体素子の同一あるいは直近の辺から同一方向に接続線を延出する場合は、接続線の断面積が増えることによる配線インダクタンス低減しか見込めないが、半導体素子の異なる辺付近から複数方向へ接続線を出すことで、複数の通電経路ができ、並列配線数が増えるため、配線インダクタンス低減を図ることができる。

10

【0020】

実施の形態2 .

図3は、実施の形態2による半導体モジュールの内部構成を示す平面レイアウト図である。実施の形態2では、図3に示すように、複数の分岐された配線部分106dは、樹脂モールド103の実施の形態1において前述した他端面から外部へ突出する前に接続されている。また、配線部分106dの間には、空き領域107bが設けられている。実施の形態2による半導体モジュール203では、外部接続端子106として樹脂モールド103の外部に延出する前に配線部分106dを接続したことで、半導体モジュール203の外部での他部品との接合数の削減による、製造工程数の削減ができる。また、実施の形態2による半導体モジュール203では、半導体モジュール203の外部で分岐された配線部分106dを接続させる構造に対して、配線長を短くできる効果を有するため、さらに配線インダクタンスの低減が可能である。

20

【0021】

実施の形態3 .

図4は、実施の形態3による半導体モジュールを示す回路図である。図4においても、図1と同様に、樹脂モールド103により保護されたリードフレーム102上に、回路を構成する電子部品一式、すなわちMOSFET101を搭載している。

各部品は、さらにクリップリード104、ワイヤーボンド105の接続手段を介して、リードフレーム102と接続されている。リードフレーム102は、樹脂モールド103の外部接続端子106に引き出され、全体として降圧コンバータの1次側の回路が、1パッケージにまとめられたものとなっている。

30

【0022】

図5は、実施の形態3による半導体モジュールの製品への組付け事例を示す斜視図である。電力変換時の電流通電によりMOSFET101は発熱するため、図5に示すように、半導体モジュール203の下面のヒートシンク204にばね207などで押さえつけて放熱することが有用である。半導体モジュール203本体の中央部には、孔部205が設けられている。中央に孔の空いたばね207を半導体モジュール203の上部に設置し、その上部からばね207と半導体モジュール203とをねじ206により同時に締め付ける。これにより、ばね207を含めた半導体モジュール203の小面積化とばね207による安定した半導体モジュール203の押さえつけを図ることができる。

40

【0023】

図6は、実施の形態3による半導体モジュールの内部構成を示す平面図である。図6は、中央に孔部205が設けられた半導体モジュール203において、サージ電圧低減のための配線構造を示したものである。実施の形態3では、MOSFET101の搭載位置とMOSFET101が搭載されるリードフレーム102は、半導体モジュール203の中央に配置された下側MOSFETのソース電位端子106aのリードフレーム102を中心に線対称にレイアウトされている。これにより、実施の形態3による半導体モジュール203では、浮遊容量のアンバランスを低減している。

【0024】

実施の形態3においても、実施の形態1および実施の形態2と同様に、下側MOSFET

50

T101aの上面であるソース面109からの配線を複数方向にすることで通電経路の並列化が実現でき、配線インダクタンスの低減が可能となる。

また、下側MOSFETのソース電位端子106aとなるリードフレーム102を環状にすることで通電経路の多並列化が実現でき、更なる配線インダクタンスの低減が可能となる。

実施の形態3においても、実施の形態1および実施の形態2と同様に、半導体素子である下側MOSFET101aは、第1の端子である外部接続端子106の搭載部に搭載されている。第2の端子である下側MOSFETのソース電位端子106aは、複数の配線部分106dと一体に形成された環状部分106eを有しており、空き領域107cは複数の配線部分106dの間に設けられている。具体的には、空き領域107cは、環状部分106eの内側に設けられている。なお、環状部分106eと複数の配線部分106dは、一体に形成されていてもよいし、分断されて形成された環状部分106eと複数の配線部分106dとをそれぞれ接続して形成してもよく、下側MOSFETのソース電位端子106aは、複数の配線部分106dと繋がって構成された環状部分106eを有していればよい。

複数の接続線であるワイヤーボンド105、ワイヤーボンド108およびそれらのワイヤーボンド105、ワイヤーボンド108とそれぞれ電流経路を形成する複数の配線部分106d、環状部分106eは同一電位である。つまり、半導体モジュール203の中央に配置された環状のリードフレーム102は、下側MOSFETのソース電位端子106aである。また、空き領域107cの一部に孔部205が形成されている。

図6に示すように、半導体モジュール203は、下側MOSFET101aを含む複数のMOSFET101によりHブリッジ回路が構成されている。第2の端子である下側MOSFETのソース電位端子106aは、リードフレーム102により形成されている。空き領域107cはリードフレーム102の中央に配置されており、複数のMOSFET101は、空き領域107cを中心として線対称に配置されている。

【0025】

図7は、実施の形態3による半導体モジュールの電流通電経路の一事例を示す平面図である。図7では、MOSFET101をオン、オフしている時の電流通電経路の一事例を示す。図7においては、図面左下に示す下側MOSFET101aのソース面109からの電流経路は、電流経路301、電流経路302、電流経路303および電流経路304の計4本の経路を有する。半導体モジュール203は、空き領域107cの周囲の環状部分106eに、4本の電流経路を有する。実施の形態3による半導体モジュール203では、低インダクタンス化のため、または短い電流経路にするために、MOSFET101よりも半導体モジュール203の中心に近い位置に環状のリードフレーム102を配置する。

【0026】

また、図8は実施の形態3による半導体モジュールの電流通電経路の一事例を示す平面図である。図8では、MOSFET101を全部オンしている時の電流通電経路の一事例を示す。図8に示すように、実施の形態3による半導体モジュール203では、下側MOSFET101aの横方向に延在しているワイヤーボンド108と上側MOSFETのドレイン電位端子106bのリードフレーム102を接続するクリップリード104を設けることで電流経路305の配線インダクタンスの低減が可能となる。

また、この場合も下側MOSFET101aからの接続線(ワイヤーボンド105およびワイヤーボンド108)の複数方向化と下側MOSFETのソース電位端子106aとなるリードフレーム102の環状化により、配線インダクタンスの低減が可能となる。

また、環状のリードフレーム102とMOSFET101が搭載されているリードフレーム102はそれぞれ並行平板になっており、配線インダクタンス低減の効果がある。

上側MOSFETのドレイン電位端子106bとなるリードフレーム102を繋ぐクリップリード104と環状のリードフレーム102も並行平板となっており、配線インダクタンス低減の効果がある。

10

20

30

40

50

【 0 0 2 7 】

半導体モジュール 2 0 3 の中央に配置される空き領域 1 0 7 c は、複数個でも効果は有する。しかし、省スペース化のため等により、図 6 に示すように、半導体モジュール 2 0 3 の中央に配置される空き領域 1 0 7 c は、1 箇所設ける構成としたほうがよい。

環状のリードフレーム 1 0 2 は、円形、楕円形に限らず多角形でもよい。ワイヤーボン ド 1 0 8、クリップリード 1 0 4 はそれぞれいずれを選択した場合も効果はある。また、リボンでもよい。

【 0 0 2 8 】

実施の形態 4 .

実施の形態 4 は、上述した実施の形態 1 から実施の形態 3 にかかる半導体モジュールを電力変換装置に適用したものである。本願は特定の電力変換装置に限定されるものではないが、以下、実施の形態 4 として、三相のインバータに本願を適用した場合について説明する。

【 0 0 2 9 】

図 9 は、実施の形態 4 にかかる電力変換装置を適用した電力変換システムの構成を示すブロック図である。

【 0 0 3 0 】

図 9 に示す電力変換システムは、電源 1 0 0、電力変換装置 2 0 0、負荷 3 0 0 から構成される。電源 1 0 0 は、直流電源であり、電力変換装置 2 0 0 に直流電力を供給する。電源 1 0 0 は種々のもので構成することが可能であり、例えば、直流系統、太陽電池、蓄電池で構成することができるし、交流系統に接続された整流回路、A C / D C コンバータで構成することとしてもよい。また、電源 1 0 0 を、直流系統から出力される直流電力を所定の電力に変換する D C / D C コンバータによって構成することとしてもよい。

【 0 0 3 1 】

電力変換装置 2 0 0 は、電源 1 0 0 と負荷 3 0 0 の間に接続された三相のインバータであり、電源 1 0 0 から供給された直流電力を交流電力に変換し、負荷 3 0 0 に交流電力を供給する。電力変換装置 2 0 0 は、図 9 に示すように、直流電力を交流電力に変換して出力する主変換回路 2 0 1 と、主変換回路 2 0 1 を制御する制御信号を主変換回路 2 0 1 に出力する制御回路 2 0 2 とを備えている。

【 0 0 3 2 】

負荷 3 0 0 は、電力変換装置 2 0 0 から供給された交流電力によって駆動される三相の電動機である。なお、負荷 3 0 0 は特定の用途に限られるものではなく、各種電気機器に搭載された電動機であり、例えば、ハイブリッド自動車または電気自動車、鉄道車両、エレベーター、もしくは、空調機器向けの電動機として用いられる。

【 0 0 3 3 】

以下、電力変換装置 2 0 0 の詳細を説明する。主変換回路 2 0 1 は、スイッチング素子と還流ダイオードを備えており（図示せず）、スイッチング素子がスイッチングすることによって、電源 1 0 0 から供給される直流電力を交流電力に変換し、負荷 3 0 0 に供給する。主変換回路 2 0 1 の具体的な回路構成は種々のものがあるが、実施の形態 4 にかかる主変換回路 2 0 1 は 2 レベルの三相フルブリッジ回路であり、6 つのスイッチング素子とそれぞれのスイッチング素子に逆並列された 6 つの還流ダイオードから構成することができる。主変換回路 2 0 1 の各スイッチング素子、各還流ダイオードは、上述した実施の形態 1 から実施の形態 3 のいずれかに相当する半導体モジュール 2 0 3 によって構成する。6 つのスイッチング素子は 2 つのスイッチング素子ごとに直列接続され上下アームを構成し、各上下アームはフルブリッジ回路の各相（U 相、V 相、W 相）を構成する。そして、各上下アームの出力端子、すなわち主変換回路 2 0 1 の 3 つの出力端子は、負荷 3 0 0 に接続される。

【 0 0 3 4 】

また、主変換回路 2 0 1 は、各スイッチング素子を駆動する駆動回路（図示なし）を備えているが、駆動回路は半導体モジュール 2 0 3 に内蔵されていてもよいし、半導体モジ

10

20

30

40

50

ルール 203 とは別に駆動回路を備える構成であってもよい。駆動回路は、主変換回路 201 のスイッチング素子を駆動する駆動信号を生成し、主変換回路 201 のスイッチング素子の制御電極に供給する。具体的には、後述する制御回路 202 からの制御信号に従い、スイッチング素子をオン状態にする駆動信号とスイッチング素子をオフ状態にする駆動信号とを各スイッチング素子の制御電極に出力する。スイッチング素子をオン状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以上の電圧信号（オン信号）であり、スイッチング素子をオフ状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以下の電圧信号（オフ信号）となる。

【0035】

制御回路 202 は、負荷 300 に所望の電力が供給されるよう主変換回路 201 のスイッチング素子を制御する。具体的には、負荷 300 に供給すべき電力に基づいて主変換回路 201 の各スイッチング素子がオン状態となるべき時間（オン時間）を算出する。例えば、出力すべき電圧に応じてスイッチング素子のオン時間を変調する PWM 制御によって主変換回路 201 を制御することができる。そして、各時点においてオン状態となるべきスイッチング素子にはオン信号を、オフ状態となるべきスイッチング素子にはオフ信号が出力されるよう、主変換回路 201 が備える駆動回路に制御指令（制御信号）を出力する。駆動回路は、この制御信号に従い、各スイッチング素子の制御電極にオン信号又はオフ信号を駆動信号として出力する。

【0036】

実施の形態 4 に係る電力変換装置では、主変換回路 201 のスイッチング素子と還流ダイオードとして実施の形態 1 から実施の形態 3 にかかる半導体モジュール 203 を適用するため、信頼性向上を実現することができる。

実施の形態 4 では、2 レベルの三相インバータに本願を適用する例を説明したが、本願は、これに限られるものではなく、種々の電力変換装置に適用することができる。実施の形態 4 では、2 レベルの電力変換装置としたが 3 レベルまたはマルチレベルの電力変換装置であっても構わないし、単相負荷に電力を供給する場合には単相のインバータに本願を適用しても構わない。また、直流負荷等に電力を供給する場合には DC / DC コンバータまたは AC / DC コンバータに本願を適用することも可能である。

【0037】

また、本願を適用した電力変換装置は、上述した負荷が電動機の場合に限定されるものではなく、例えば、放電加工機またはレーザー加工機、または誘導加熱調理器または非接触給電システムの電源装置として用いることもでき、さらには太陽光発電システムまたは蓄電システム等のパワーコンディショナーとして用いることも可能である。

【0038】

本願は、様々な例示的な実施の形態及び実施例が記載されているが、1 つ、または複数の実施の形態に記載された様々な特徴、態様、及び機能は特定の実施の形態の適用に限られるのではなく、単独で、または様々な組み合わせで実施の形態に適用可能である。

従って、例示されていない無数の変形例が、本願明細書に開示される技術の範囲内において想定される。例えば、少なくとも 1 つの構成要素を変形する場合、追加する場合または省略する場合、さらには、少なくとも 1 つの構成要素を抽出し、他の実施の形態の構成要素と組み合わせる場合が含まれるものとする。

【符号の説明】

【0039】

100 電源、101 MOSFET、101a 下側 MOSFET、101b 上側 MOSFET、102 リードフレーム、103 樹脂モールド、104 クリップリード、105 ワイヤーボンド、106 外部接続端子、106a 下側 MOSFET のソース電位端子、106b 上側 MOSFET のドレイン電位端子、106c 小信号用端子、106d 配線部分、106e 環状部分、107a、107b、107c 空き領域、108 ワイヤーボンド、109 ソース面、200 電力変換装置、201 主変換回路、202 制御回路、203 半導体モジュール、204 ヒートシンク、205

10

20

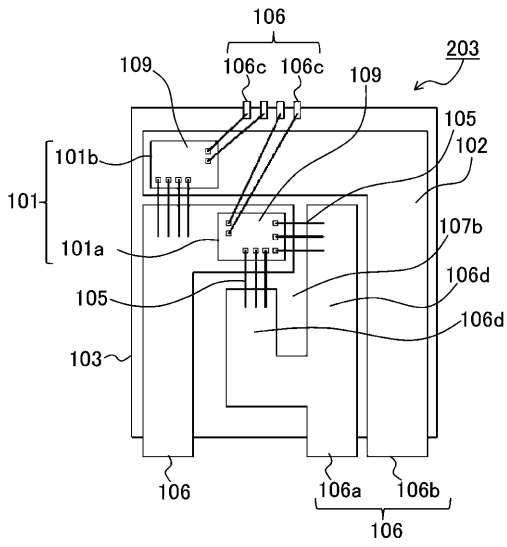
30

40

50

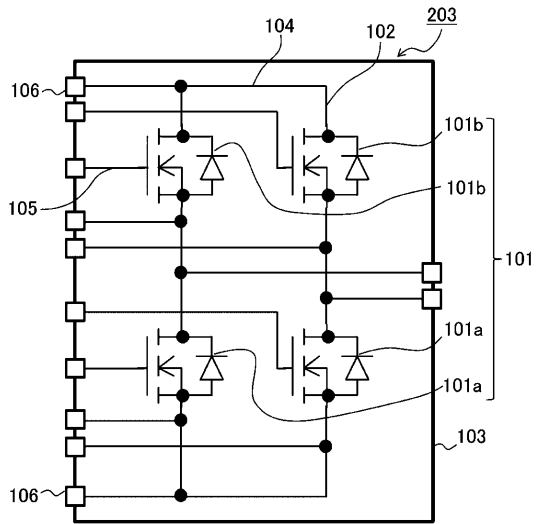
【 図 3 】

図3



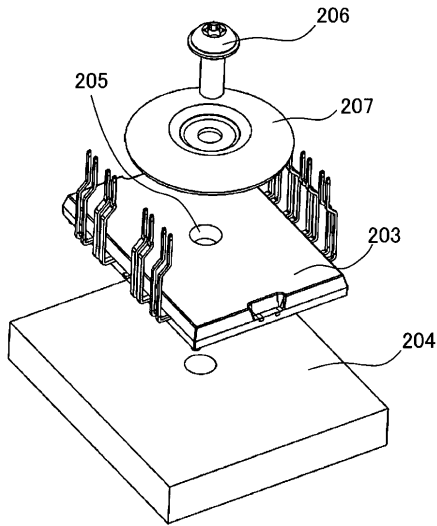
【 図 4 】

図4



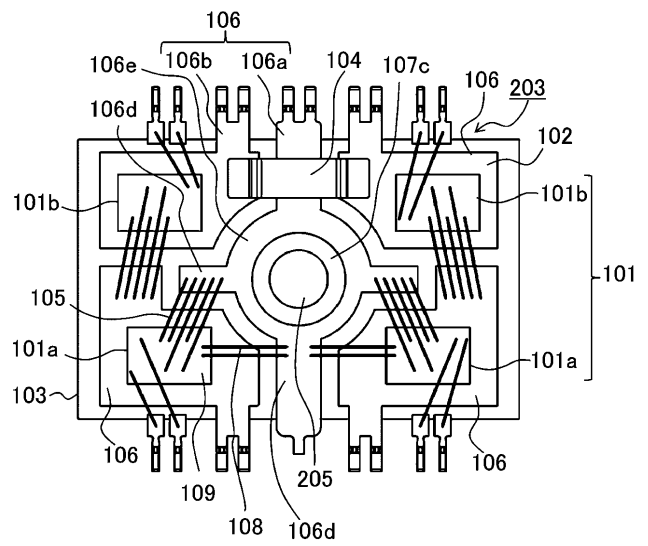
【 図 5 】

図5



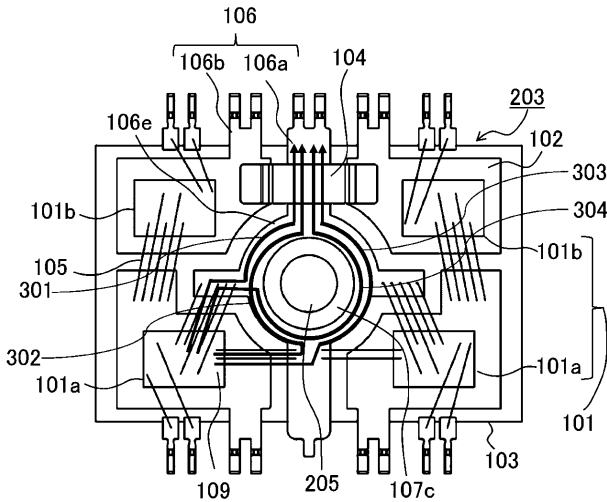
【 図 6 】

図6



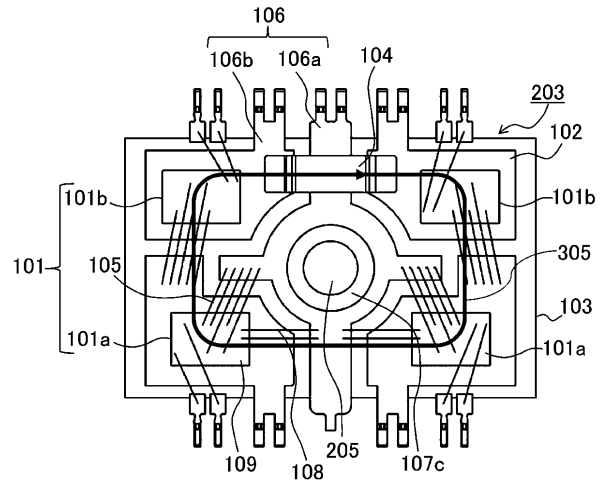
【 図 7 】

図7



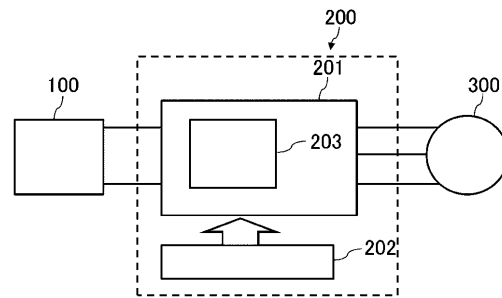
【 図 8 】

図8



【 図 9 】

図9



【 手続補正書 】

【 提出日 】 令和3年4月16日 (2021.4.16)

【 手続補正 1 】

【 補正対象書類名 】 特許請求の範囲

【 補正対象項目名 】 全文

【 補正方法 】 変更

【 補正の内容 】

【 特許請求の範囲 】

【 請求項 1 】

半導体素子と、

前記半導体素子が搭載された第 1 の端子と、

前記半導体素子の周囲に配置され、複数の配線部分を有する第 2 の端子と、

前記半導体素子の上面から複数方向に延在し、前記第 2 の端子の前記複数の配線部分にそれぞれ接続された複数の接続線と、

前記半導体素子、前記第 1 の端子、前記第 2 の端子、および前記複数の接続線を封止する樹脂モールドと、を備え、

前記複数の配線部分は、前記樹脂モールドから外部へ突出する前に接続され、前記複数の配線部分の間には空き領域が設けられており、

前記複数の接続線および前記複数の接続線とそれぞれ電流経路を形成する前記複数の配線部分は同一電位であることを特徴とする半導体モジュール。

【 請求項 2 】

前記複数の接続線は、前記半導体素子の異なる側端面から延出されたことを特徴とする請求項 1 に記載の半導体モジュール。

【 請求項 3 】

前記樹脂モールドの一端面から外部に突出して形成された第 3 の端子と、を有し、

前記第 1 の端子または前記第 2 の端子は、前記樹脂モールドの前記一端面以外の前記樹脂モールドの他端面から外部に突出して形成されており、

前記第 1 の端子または前記第 2 の端子に通電する電流は、前記第 3 の端子に通電する電流よりも大きく、

前記空き領域は、前記半導体素子の前記他端面の側に設けられたことを特徴とする請求項 1 または請求項 2 に記載の半導体モジュール。

【請求項 4】

前記第 2 の端子は、前記半導体素子を含む複数の半導体素子を接続して構成された上下アームにおいて、下アームの前記半導体素子の前記上面の電位端子であることを特徴とする請求項 1 から請求項 3 のいずれか 1 項に記載の半導体モジュール。

【請求項 5】

半導体素子と、
前記半導体素子が搭載された第 1 の端子と、
前記半導体素子の周囲に配置され、複数の配線部分を有する第 2 の端子と、
前記半導体素子の上面から複数方向に延在し、前記第 2 の端子の前記複数の配線部分にそれぞれ接続された複数の接続線と、を備え、

前記複数の配線部分の間には空き領域が設けられており、
前記第 2 の端子は、前記複数の配線部分と接続された、または一体に形成された環状部分を有しており、

前記空き領域は、前記環状部分の内側に設けられており、
前記複数の接続線および前記複数の接続線とそれぞれ電流経路を形成する前記複数の配線部分、前記環状部分は同一電位であることを特徴とする半導体モジュール。

【請求項 6】

前記空き領域の一部に孔部が形成されたことを特徴とする請求項 5 に記載の半導体モジュール。

【請求項 7】

前記半導体素子を含む複数の半導体素子により Hブリッジ回路が構成されており、
前記第 2 の端子はリードフレームにより形成され、前記空き領域は前記リードフレームの中央に配置されており、

前記複数の半導体素子は、前記空き領域を中心として線対称に配置されたことを特徴とする請求項 5 または請求項 6 に記載の半導体モジュール。

【請求項 8】

前記空き領域の周囲の前記環状部分に、4本の電流経路を有することを特徴とする請求項 7 に記載の半導体モジュール。

【請求項 9】

請求項 1 から請求項 8 のいずれか 1 項に記載の半導体モジュールを有し、
入力される電力を変換して出力する主変換回路と、
前記主変換回路を制御する制御信号を前記主変換回路に出力する制御回路と、を備えたことを特徴とする電力変換装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

本願に開示される半導体モジュールは、半導体素子と、前記半導体素子が搭載された第 1 の端子と、前記半導体素子の周囲に配置され、複数の配線部分を有する第 2 の端子と、前記半導体素子の上面から複数方向に延在し、前記第 2 の端子の前記複数の配線部分にそれぞれ接続された複数の接続線と、前記半導体素子、前記第 1 の端子、前記第 2 の端子、および前記複数の接続線を封止する樹脂モールドと、を備え、前記複数の配線部分は、前

記樹脂モールドから外部へ突出する前に接続され、前記複数の配線部分の間には空き領域が設けられており、前記複数の接続線および前記複数の接続線とそれぞれ電流経路を形成する前記複数の配線部分は同一電位であることを特徴とするものである。

また、本願に開示される半導体モジュールは、半導体素子と、前記半導体素子が搭載された第1の端子と、前記半導体素子の周囲に配置され、複数の配線部分を有する第2の端子と、前記半導体素子の上面から複数方向に延在し、前記第2の端子の前記複数の配線部分にそれぞれ接続された複数の接続線と、を備え、前記複数の配線部分の間には空き領域が設けられており、前記第2の端子は、前記複数の配線部分と接続された、または一体に形成された環状部分を有しており、前記空き領域は、前記環状部分の内側に設けられており、前記複数の接続線および前記複数の接続線とそれぞれ電流経路を形成する前記複数の配線部分、前記環状部分は同一電位であることを特徴とするものである。

また、本願に開示される電力変換装置は、本願に開示される半導体モジュールを有し、入力される電力を変換して出力する主変換回路と、前記主変換回路を制御する制御信号を前記主変換回路に出力する制御回路と、を備えたことを特徴とするものである。