

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-107155

(P2011-107155A)

(43) 公開日 平成23年6月2日(2011.6.2)

| (51) Int.Cl. |              | F I              | テーマコード (参考) |       |   |       |
|--------------|--------------|------------------|-------------|-------|---|-------|
| <b>GO1R</b>  | <b>1/073</b> | <b>(2006.01)</b> | GO1R        | 1/073 | E | 2G003 |
| <b>GO1R</b>  | <b>31/26</b> | <b>(2006.01)</b> | GO1R        | 31/26 | J | 2G011 |
| <b>HO1L</b>  | <b>21/66</b> | <b>(2006.01)</b> | HO1L        | 21/66 | B | 4M106 |

審査請求 有 請求項の数 6 O L (全 30 頁)

|            |                                     |          |  |
|------------|-------------------------------------|----------|--|
| (21) 出願番号  | 特願2011-9464 (P2011-9464)            | (71) 出願人 | 302062931<br>ルネサスエレクトロニクス株式会社              |
| (22) 出願日   | 平成23年1月20日 (2011.1.20)              | (74) 代理人 | 100080001<br>弁理士 筒井 大和                     |
| (62) 分割の表示 | 特願2007-507953 (P2007-507953)<br>の分割 | (72) 発明者 | 長谷部 昭男<br>東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内 |
| 原出願日       | 平成17年3月11日 (2005.3.11)              | (72) 発明者 | 松本 秀幸<br>東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内  |
|            |                                     | (72) 発明者 | 寄崎 眞吾<br>東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内  |

最終頁に続く

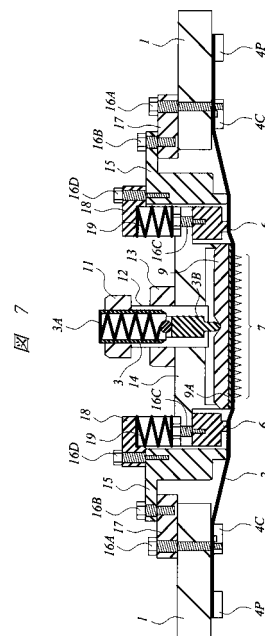
(54) 【発明の名称】 プローブカードおよび検査装置

(57) 【要約】

【課題】プローブ検査時において、チップ内に形成された回路を破壊することなく探針（プローブ）をテストパッドに接触させる。

【解決手段】プローブ検査時において、チップ内に形成された回路を破壊することなく探針をテストパッドに接触させるために、ナット11、13およびボルト16Cによる固定によって、加重治具14、押圧具9、エラストマ9A、接着リング6およびブランジャ3を一体とし、ばね押さえ治具18と加重治具14との間に設置されたばね19の弾性力がこれら一体となった部材をパッドPD3、PD4に向かって押し下げるように作用するようにし、ブランジャ3内のばね3Aから薄膜シート2へ伝わる押圧力は、薄膜シート2の引き伸ばしのみを用いられるようにする。

【選択図】 図7



## 【特許請求の範囲】

## 【請求項 1】

半導体ウエハ上の半導体素子に設けられた複数の第 1 電極各々と接触するための複数の接触端子と、

前記複数の接触端子の先端が前記半導体ウエハの主面に対向して第 1 配線基板に保持された第 1 シートと、

前記第 1 シートのうち前記複数の接触端子が形成された第 1 領域を前記第 1 配線基板から離間して保持するように前記第 1 シートに接着された接着リングと、

前記第 1 シートのうち前記第 1 領域を裏面側から押し出す押圧具と、

前記押圧具を押し出す押圧機構と、

前記複数の接触端子の前記先端を前記複数の第 1 電極に接触させる際のコンタクト加圧量を制御する加圧機構と、

前記押圧機構が内蔵されたプランジャと、

前記プランジャに固定された加重治具と、

を有するプローブカードであって、

前記加重治具は、前記接着リングと連結され、

前記押圧機構による押圧力は、前記押圧具を介して前記第 1 シートに伝わり、前記第 1 領域を前記裏面側から前記押圧具を押し出すことにより前記第 1 シートを引き伸ばし、

前記加重治具、前記押圧具、前記接着リングおよび前記プランジャは一体となり、前記加圧機構によりコンタクト加圧量を制御し、

前記押圧機構による前記第 1 領域の押し出し量と、前記加圧機構による前記コンタクト加圧量とは、それぞれ独立に制御され、

前記複数の接触端子の前記先端を前記複数の第 1 電極に接触させて半導体集積回路の電氣的検査を行うためのプローブカード。

## 【請求項 2】

請求項 1 記載のプローブカードにおいて、

前記押圧機構は、ばねを含み、

前記加圧機構は、複数のばねを含む。

## 【請求項 3】

請求項 1 記載のプローブカードにおいて、

前記第 1 シートには、開口部が形成されている。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体集積回路装置の製造技術に関し、特に、半導体集積回路装置の電極パッドにプローブカードの探針を押し当てて行う半導体集積回路の電氣的検査に適用して有効な技術に関するものである。

## 【背景技術】

## 【0002】

日本特開平 8 - 220138 号公報（特許文献 1）には、半導体素子の電気特性の測定に際して、軸からの荷重と薄膜の張力に起因する押さえ板の反りを防ぎ、半導体素子との良好なコンタクトを得るプローブカードが開示されている。

## 【0003】

また、日本特開平 9 - 43276 号公報（特許文献 2）には、広い面積にわたって電極パッドに接触子をコンタクトさせる場合でも、全ての接触子の接触点に対して略均等に圧力を加えることのできるプローブカードデバイスが開示されている。

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献 1】特開平 8 - 220138 号公報

10

20

30

40

50

【特許文献2】特開平9 - 43276号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

半導体集積回路装置の検査技術としてプローブ検査がある。このプローブ検査は、所定の機能どおりに動作するか否かを確認する機能テストや、DC動作特性およびAC動作特性のテストを行って良品/不良品を判別するテスト等を含む。

【0006】

近年、半導体集積回路装置の多機能化が進行し、1個の半導体チップ（以下、単にチップと記す）に複数の回路を作りこむことが進められている。また、半導体集積回路装置の製造コストを低減するために、半導体素子および配線を微細化して、半導体チップ（以下、単にチップと記す）の面積を小さくし、ウエハ1枚当たりの取得チップ数を増加することが進められている。そのため、テストパッド（ボンディングパッド）数が増加するだけでなく、テストパッド下にも回路を配置することが検討されている。そのため、探針がテストパッドに接触した際の衝撃で回路が破壊してしまう虞がある。

【0007】

また、回路動作を早くするために上層の配線と下層の配線との間の層間絶縁膜として機械的強度が低く比誘電率の低い絶縁膜を用いることが検討されている。このような比誘電率の低い絶縁膜を層間絶縁膜として用いた場合には、探針がテストパッドに接触した際の衝撃がさらに回路に伝わりやすくなり、回路破壊を引き起こしやすくなってしまいう課題がある。

【0008】

本願に開示された一つの代表的な発明の他の目的は、プローブ検査時において、チップ内に形成された回路を破壊することなく探針をテストパッドに接触させられる技術を提供することにある。

【課題を解決するための手段】

【0009】

本願において開示される発明のうち、一つの代表的なものの概要を簡単に説明すれば、次のとおりである。

【0010】

本発明による半導体集積回路装置の製造方法は、以下の工程を含む。

(a) 複数のチップ領域に区画され、前記複数のチップ領域の各々には半導体集積回路が形成され、主面上において前記半導体集積回路と電気的に接続する複数の第1電極が形成された半導体ウエハを用意する工程、

(b) 第1配線が形成された第1配線基板と、前記複数の第1電極に接触させるための複数の接触端子および前記複数の接触端子と電気的に接続する第2配線が形成され、前記第2配線が前記第1配線と電気的に接続し前記複数の接触端子の先端が前記半導体ウエハの主面に対向して前記第1配線基板に保持された第1シートと、前記第1シートのうち前記複数の接触端子が形成された第1領域を前記第1配線基板から離間して保持する接着リングと、前記第1シートのうち前記第1領域を裏面側から押し出す押し出し機構と、前記複数の接触端子の前記先端を前記複数の第1電極に接触させる際のコンタクト加圧量を制御する加圧機構とを有する第1カードを用意する工程、

(c) 前記複数の接触端子の前記先端を前記複数の第1電極に接触させて前記半導体集積回路の電気的検査を行う工程。

【0011】

ここで、前記押し出し機構による前記第1領域の押し出し量と前記加圧機構による前記コンタクト加圧量とは、それぞれ独立に制御される。

【0012】

また、本発明による半導体集積回路装置の製造方法は、以下の工程を含む。

(a) 複数のチップ領域に区画され、前記複数のチップ領域の各々には半導体集積回路が

10

20

30

40

50

形成され、主面上において前記半導体集積回路と電氣的に接続する複数の第1電極が形成された半導体ウエハを用意する工程、

(b) 第1配線が形成された第1配線基板と、前記複数の第1電極に接触させるための複数の接触端子および前記複数の接触端子と電氣的に接続する第2配線が形成され、前記第2配線が前記第1配線と電氣的に接続し前記複数の接触端子の先端が前記半導体ウエハの主面に対向して前記第1配線基板に保持された第1シートと、前記第1シートのうち前記複数の接触端子が形成された第1領域を前記第1配線基板から離間して保持する接着リングと、前記第1シートのうち前記第1領域を裏面側から押し出す押し出し機構と、前記複数の接触端子の前記先端を前記複数の第1電極に接触させる際のコンタクト加圧量を制御する加圧機構とを有する第1カードを用意する工程、

(c) 前記複数の接触端子の前記先端を前記複数の第1電極に接触させて前記半導体集積回路の電氣的検査を行う工程。

【0013】

ここで、前記押し出し機構は、前記第1シートの前記第1領域の前記裏面側に貼付され、

、

前記押し出し機構による前記第1領域の押し出し量と前記加圧機構による前記コンタクト加圧量とは、それぞれ独立に制御される。

【0014】

また、本願に開示されたその他の概要を項に分けて簡単に説明するとすれば、以下の通りである。

1. 第1配線が形成された第1配線基板と、

半導体ウエハの主面に形成された複数の第1電極に接触させるための複数の接触端子および前記複数の接触端子と電氣的に接続する第2配線が形成され、前記第2配線が前記第1配線と電氣的に接続し前記複数の接触端子の先端が前記半導体ウエハの主面に対向して前記第1配線基板に保持された第1シートと、

前記第1シートのうち前記複数の接触端子が形成された第1領域を前記第1配線基板から離間して保持する接着リングと、

前記第1シートのうち前記第1領域を裏面側から押し出す押し出し機構と、

前記複数の接触端子の前記先端を前記複数の第1電極に接触させる際のコンタクト加圧量を制御する加圧機構とを有し、

前記押し出し機構による前記第1領域の押し出し量と前記加圧機構による前記コンタクト加圧量とは、それぞれ独立に制御されるプローブカード。

2. 第1配線が形成された第1配線基板と、

半導体ウエハの主面に形成された複数の第1電極に接触させるための複数の接触端子および前記複数の接触端子と電氣的に接続する第2配線が形成され、前記第2配線が前記第1配線と電氣的に接続し前記複数の接触端子の先端が前記半導体ウエハの主面に対向して前記第1配線基板に保持された第1シートと、

前記第1シートのうち前記複数の接触端子が形成された第1領域を前記第1配線基板から離間して保持する接着リングと、

前記第1シートのうち前記第1領域を裏面側から押し出す押し出し機構と、

前記複数の接触端子の前記先端を前記複数の第1電極に接触させる際のコンタクト加圧量を制御する加圧機構とを有し、

前記押し出し機構は、前記第1シートの前記第1領域の前記裏面側に貼付され、

前記押し出し機構による前記第1領域の押し出し量と前記加圧機構による前記コンタクト加圧量とは、それぞれ独立に制御されるプローブカード。

【発明の効果】

【0015】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0016】

10

20

30

40

50

プローブ検査時において、チップ内に形成された回路を破壊することなく探針（プローブ）をテストパッドに接触させることができる。

【図面の簡単な説明】

【0017】

【図1】本発明の実施の形態1である半導体集積回路装置の要部断面図である。

【図2】本発明の実施の形態1である半導体集積回路装置の要部断面図である。

【図3】本発明の実施の形態1であるプローブカードを用いてプローブ検査を行う対象の半導体チップの平面図である。

【図4】図3に示した半導体チップに形成されたパッドの斜視図である。

【図5】図4に示した半導体チップの液晶パネルへの接続方法を示す要部断面図である。

10

【図6】本発明の実施の形態1であるプローブカードの下面の要部平面図である。

【図7】図6中のA - A線に沿った断面図である。

【図8】本発明の実施の形態1であるプローブカードと比較したプローブカードを用いた場合におけるストローク量と荷重との関係を示した説明図である。

【図9】本発明の実施の形態1であるプローブカードを用いた場合におけるストローク量と荷重との関係を示した説明図である。

【図10】本発明の実施の形態1であるプローブカードを形成する薄膜シートの要部平面図である。

【図11】図10中のB - B線に沿った断面図である。

【図12】図10中のC - C線に沿った断面図である。

20

【図13】本発明の実施の形態1であるプローブカードを形成する薄膜シートの要部を拡大して示す断面図である。

【図14】本発明の実施の形態1であるプローブカードを用いてプローブ検査を行う対象の半導体チップの平面図である。

【図15】本発明の実施の形態1であるプローブカードを形成する薄膜シートの要部平面図である。

【図16】本発明の実施の形態1であるプローブカードを用いてプローブ検査を行う対象の半導体チップに設けられたパンプ電極上にてプローブが接触する位置を示した要部平面図である。

【図17】本発明の実施の形態1であるプローブカードを形成する薄膜シートの要部平面図である。

30

【図18】本発明の実施の形態1であるプローブカードを形成する薄膜シートの要部平面図である。

【図19】図18中のD - D線に沿った断面図である。

【図20】図18中のE - E線に沿った断面図である。

【図21】本発明の実施の形態1であるプローブカードを形成する薄膜シートの製造工程を説明する要部断面図である。

【図22】図21に続く薄膜シートの製造工程中の要部断面図である。

【図23】図22に続く薄膜シートの製造工程中の要部断面図である。

【図24】図23に続く薄膜シートの製造工程中の要部断面図である。

40

【図25】図24に続く薄膜シートの製造工程中の要部断面図である。

【図26】図25に続く薄膜シートの製造工程中の要部断面図である。

【図27】本発明の実施の形態1であるプローブカードを形成する薄膜シートの製造工程中の要部断面図である。

【図28】図27に続く薄膜シートの製造工程中の要部断面図である。

【図29】本発明の実施の形態2であるプローブカードを形成する薄膜シートの製造工程中の要部断面図である。

【図30】図29に続く薄膜シートの製造工程中の要部断面図である。

【図31】図30に続く薄膜シートの製造工程中の要部断面図である。

【図32】図31に続く薄膜シートの製造工程中の要部断面図である。

50

【図 3 3】図 3 2 に続く薄膜シートの製造工程中の要部断面図である。

【図 3 4】本発明の実施の形態 2 であるプローブカードを形成する薄膜シートが有するプローブと半導体チップのパッドとの接触を説明する要部断面図である。

【図 3 5】本発明の実施の形態 2 であるプローブカードを形成する薄膜シートが有するプローブと半導体チップのパッドとの接触を説明する要部断面図である。

【図 3 6】本発明の実施の形態 2 であるプローブカードを形成する薄膜シートの要部平面図である。

【図 3 7】図 3 6 中の F - F 線に沿った要部断面図である。

【図 3 8】本発明の実施の形態 2 であるプローブカードを形成する薄膜シートの要部平面図である。

10

【図 3 9】図 3 8 中の F - F 線に沿った要部断面図である。

【図 4 0】本発明の実施の形態 2 であるプローブカードを形成する薄膜シートの要部平面図である。

【図 4 1】図 4 0 中の F - F 線に沿った要部断面図である。

【図 4 2】本発明の実施の形態 2 であるプローブカードを形成する薄膜シートの要部平面図である。

【図 4 3】図 4 2 中の F - F 線に沿った要部断面図である。

【図 4 4】本発明の実施の形態 2 であるプローブカードを形成する薄膜シートの要部平面図である。

【図 4 5】図 4 4 中の F - F 線に沿った要部断面図である。

20

【図 4 6】本発明の実施の形態 3 である半導体集積回路装置の製造工程中の要部断面図である。

【発明を実施するための形態】

【0018】

本願発明を詳細に説明する前に、本願における用語の意味を説明すると次の通りである。

【0019】

ウエハとは、集積回路の製造に用いる単結晶シリコン基板（一般にほぼ平面円形状）、SOI（Silicon On Insulator）基板、サファイア基板、ガラス基板、その他の絶縁、反絶縁または半導体基板等並びにそれらの複合的基板をいう。また、本願において半導体集積回路装置というときは、シリコンウエハやサファイア基板等の半導体または絶縁体基板上に作られるものだけでなく、特に、そうでない旨明示された場合を除き、TF T（Thin Film Transistor）およびST N（Super-Twisted-Nematic）液晶等のようなガラス等の他の絶縁基板上に作られるもの等も含むものとする。

30

【0020】

デバイス面とは、ウエハの主面であって、その面にリソグラフィにより、複数のチップ領域に対応するデバイスパターンが形成される面をいう。

【0021】

接触端子とは、シリコンウエハを半導体集積回路の製造に用いるのと同様な、ウエハプロセス、すなわちフォトリソグラフィ技術、CVD（Chemical Vapor Deposition）技術、スパッタリング技術およびエッチング技術などを組み合わせたパターンニング手法によって、配線層およびそれに電氣的に接続された先端部を一体的に形成したものをいう。

40

【0022】

薄膜プローブ（membrane probe）、薄膜プローブカード、または突起針配線シート複合体とは、検査対象と接触する前記接触端子（突起針）とそこから引き回された配線とが設けられ、その配線に外部接触用の電極が形成された薄膜をいい、たとえば厚さ10 μm ~ 100 μm程度のもをいう。

【0023】

プローブカードとは、検査対象となるウエハと接触する接触端子および多層配線基板などを有する構造体をいい、半導体検査装置とは、プローブカードおよび検査対象となるウ

50

工八を載せる試料支持系を有する検査装置をいう。

【0024】

プローブ検査とは、ウエハ工程が完了したウエハに対してプローバを用いて行われる電氣的試験であって、チップ領域の主面上に形成された電極に上記接触端子の先端を当てて半導体集積回路の電氣的検査を行うことをいい、所定の機能通りに動作するか否かを確認する機能テストやDC動作特性およびAC動作特性のテストを行って良品/不良品を判別するものである。各チップに分割してから（またはパッケージング完了後）行われる選別テスト（最終テスト）とは区別される。

【0025】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

10

【0026】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0027】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

20

【0028】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0029】

また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0030】

また、本実施の形態においては、絶縁ゲート型電界効果トランジスタをMOSFET（Metal Oxide Semiconductor Field Effect Transistor）も含めてMISFET（Metal Insulator Semiconductor Field Effect Transistor）と呼ぶ。

30

【0031】

また、本願で使用する半導体リソグラフィ技術による薄膜プローブの各詳細については、本発明者および関連する発明者等による以下の特許出願に開示されているので、特に必要な時以外はそれらの内容は繰り返さない。前記特許出願、すなわち、日本特願平6-22885号、日本特開平7-283280号公報、日本特開平8-50146号公報、日本特開平8-201427号公報、日本特願平9-119107号、日本特開平11-23615号公報、日本特開2002-139554号公報、日本特開平10-308423号公報、日本特願平9-189660号、日本特開平11-97471号公報、日本特開2000-150594号公報、日本特開2001-159643号公報、日本特許出願第2002-289377号（対応米国出願番号第10/676,609号；米国出願日2003.10.2）、日本特許出願第2002-294376号、日本特許出願第2003-189949号、日本特許出願第2003-075429号（対応米国出願番号第10/765,917号；米国出願日2004.1.29）、日本特開2004-144742号公報（対応米国公開番号第2004/070,413号）、日本特開2004-157127号公報、日本特許出願第2003-371515号、日本特許出願第2003-372323号、および日本特許出願第2004-115048号である。

40

【0032】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

50

## 【0033】

(実施の形態1)

本実施の形態1の半導体集積回路装置は、たとえばLCD(Liquid Crystal Display)ドライバ回路が形成されたチップである。図1および図2は、それぞれそのチップの要部断面図であり、それぞれ異なる断面を示している。

## 【0034】

基板WHは、たとえばp型の単結晶Si(シリコン)からなり、その主面のデバイス形成面には、分離部LOXが形成され活性領域Laおよびダミー活性領域Lbが規定されている。分離部LOXは、たとえばLOCOS(Local Oxidization of Silicon)法によって形成された酸化シリコン膜からなる。ただし、分離部LOXを溝型(SGI:Shallow Groove IsolationまたはSTI:Shallow Trench Isolation)の分離部LOXで形成しても良い。

10

## 【0035】

図1に示すパッドPD1下層の基板WHの分離部LOXに囲まれた活性領域Laには、たとえばpn接合ダイオードDが形成されている。このpn接合ダイオードDは、たとえば静電破壊防止用の保護ダイオードであり、基板WHのp型ウエルPWLとその上部のn型半導体領域NSAとのpn接合により形成されている。基板WHの主面上には、たとえば酸化シリコン膜からなる絶縁膜IS1が形成されている。その上には、第1層配線M1が形成されている。第1層配線M1は、たとえばチタン、窒化チタン、アルミニウム(またはアルミニウム合金)および窒化チタンが下層から順に堆積される構成を有している。このアルミニウムまたはアルミニウム合金等の膜が主配線材料であり、最も厚く形成されている。第1層配線M1は、絶縁膜IS1に形成された平面円形状の複数のコンタクトホールCNTを通じてn型半導体領域NSAと、すなわち、pn接合ダイオードDと接続されている。第1層配線M1は、たとえば酸化シリコン膜からなる絶縁膜IS2によって覆われている。この絶縁膜IS2上には、第2層配線M2が形成されている。第2層配線M2の材料構成は、上記第1層配線M1と同じである。第2層配線M2は、絶縁膜IS2に形成された平面円形状の複数のスルーホールTH1を通じて第1層配線M1と電氣的に接続されている。第2層配線M2は、たとえば酸化シリコン膜からなる絶縁膜IS3によって覆われている。その絶縁膜IS3上には、第3層配線M3が形成されている。第3層配線M3は、絶縁膜IS3に形成された平面円形状の複数のスルーホールTH2を通じて第2層配線M2と電氣的に接続されている。さらに、第3層配線M3は、表面保護用の絶縁膜IS4によってその大半が覆われているが、第3層配線M3の一部は絶縁膜IS4の一部に形成された平面長方形の開口部OMAから露出されている。この開口部OMAから露出された第3層配線M3部分がパッドPD1となっている。表面保護用の絶縁膜IS4は、たとえば酸化シリコン膜の単体膜、酸化シリコン膜上に窒化シリコン膜を積み重ねた構造を有する積層膜あるいは酸化シリコン膜上に窒化シリコン膜およびポリイミド膜を下層から順に積み重ねた構造を有する積層膜からなる。パッドPD1は、開口部OMAを通じてパンプ電極用下地膜UBMを介してパンプ電極(突起電極)BMPと接合されている。パンプ電極用下地膜UBMは、パンプ電極BMPとパッドPD1や絶縁膜IS4との接着性を向上させる機能の他、パンプ電極BMPの金属元素が第3層配線M3側に移動することや反対に第3層配線M3の金属元素がパンプ電極BMP側に移動するのを抑制または防止するバリア機能を有する膜であり、たとえばチタンまたはチタンタンゲステン等のような高融点金属膜の単体膜やチタン膜上にニッケル膜および金を下層から順に積み重ねた構造を有する積層膜からなる。実施の形態1でも説明したように、パンプ電極BMPは、たとえばAu膜からなり、めっき法によって形成されている。

20

30

40

## 【0036】

図1に示したように、パンプ電極BMP下にも配線および素子を配置する構造とすることにより、チップ内により効率的に配線および素子を配置することが可能となる。それにより、本実施の形態のチップを小型化することができる。

## 【0037】

50



一方、図2に示すダミー用のパッドPD2下層の基板WHには、上記のようにダミー活性領域Lbが形成されているが、そのダミー活性領域Lbには、特に素子は形成されていない。もちろん、他のパッドPD1と同様にダイオードや他の素子を形成したり、p型ウエルやn型ウエル等を設けても良い。このダミー用のパッドPD2下層の第2層配線M2と第1層配線M1とは複数のスルーホールTH1を通じて電氣的に接続されている。パッドPD2は、ダミーなのでその下層の第2層配線M2と第1層配線M1とを電氣的に接続する必要はないが、ダミー用のパッドPD2に接合されるバンプ電極BMPの天辺の高さをパッドPD1に接合されるバンプ電極BMPの天辺の高さにさらに近づけるために、パッドPD2の下層にも複数のスルーホールTH1が配置されている。

#### 【0038】

次に、このチップの製造工程の一例を説明する。まず、ウエハ状の基板WHの主面に、たとえばLOCOS法によって分離部LOXを形成し、活性領域Laおよびダミー活性領域Lbを形成した後、分離部LOXに囲まれた活性領域Laに素子（たとえば高耐圧MISFETおよび低耐圧MISFET）を形成する。ダミー用のパッドPD2下のダミー活性領域Lbには素子を形成しない。続いて、基板WHの主面上に絶縁膜IS1をCVD（Chemical Vapor Deposition）法等によって堆積した後、絶縁膜IS1の所定の箇所に平面円形状のコンタクトホールCNTをフォトリソグラフィ技術およびドライエッチング技術によって形成する。その後、その絶縁膜IS1上に、たとえば窒化チタン、チタン膜、アルミニウム膜および窒化チタン膜を下層から順にスパッタリング法等によって堆積した後、その積層金属膜をフォトリソグラフィ技術およびドライエッチング技術によりパターンニングすることにより第1層配線M1を形成する。次いで、同様に絶縁膜IS1上に絶縁膜IS2を堆積し、絶縁膜IS2にスルーホールTH1を形成後、その絶縁膜IS2上に第1層配線M1と同様に第2層配線M2を形成する。続いて、同様に絶縁膜IS2上に絶縁膜IS3を堆積し、絶縁膜IS3にスルーホールTH2を形成後、その絶縁膜IS3上に第1層配線M1と同様に第3層配線M3を形成する。その後、絶縁膜IS3上に表面保護用の絶縁膜IS4を堆積した後、絶縁膜IS4に、第3層配線M3の一部が露出される開口部OMAを形成し、パッドPD1、PD2を形成する。次いで、絶縁膜IS4上に、たとえばチタンまたはチタンタンゲステン等のような高融点金属膜の単体膜やチタン膜上にニッケル膜および金膜を下層から順に積み重ねた構造を有する積層膜からなる導体膜をスパッタリング法等によって堆積した後、その上にバンプ形成領域が露出され、それ以外が覆われるようなフォトレジストパターンを形成する。

#### 【0039】

次に、たとえば金からなるバンプ電極BMPを形成する。前述したように、このバンプ電極BMPは、フォトリソグラフィ技術によって開口部が設けられたフォトレジストパターンをマスクとしためっき法にてAu膜を成膜することで形成することができる。

#### 【0040】

次に、そのフォトレジスト膜を除去し、さらに下地の導体膜をエッチング除去することにより、バンプ電極用下地膜UBMを形成する。その後、基板WHを各チップへと切断する。

#### 【0041】

本実施の形態1のプロブカードを用いたプロブ検査は、上記複数のチップが区画されたウエハ状の基板WHに対して行うものである。また、図3は、そのチップの平面と、その一部を拡大したものを図示している。

#### 【0042】

図3に示すように、チップCHPの主面の周辺部には、LCDドライバ回路と電氣的に接続する多数のパッド（第1電極）PD3、PD4（バンプ電極BMP）が配置されており、図3中におけるチップCHPの上側の長辺および両短辺に沿って配列されたパッドPD3は出力端子となり、チップCHPの下側の長辺に沿って配列されたパッドPD4は入力端子となっている。LCDドライバの出力端子数は入力端子数より多いことから、隣り合ったパッドPD3の間隔をできる限り広げるために、パッドPD3はチップCHPの上

10

20

30

40

50

側の長辺および両短辺に沿って2列で配列され、チップCHPの上側の長辺および両短辺に沿って互いの列のパッドPD3が互い違いに配列されている。本実施の形態1において、隣り合うパッドPD3が配置されているピッチLPは、たとえば約68 $\mu$ mである。また、本実施の形態1において、パッドPD3は平面矩形であり、チップCHPの外周と交差(直交)する方向に延在する長辺の長さLAは約63 $\mu$ mであり、チップCHPの外周に沿って延在する短辺の長さLBは約34 $\mu$ mである。また、隣り合うパッドPD3が配置されているピッチLPが約68 $\mu$ mであり、パッドPD3の短辺の長さLBが約34 $\mu$ mであることから、隣り合うパッドPD3の間隔は約34 $\mu$ mとなる。

#### 【0043】

前述したように、パッドPD3、PD4は、たとえばAu(金)から形成されたバンプ電極(突起電極)であり、チップCHPの入出力端子(パッドPD1(図1参照))上に、電解めっき、無電解めっき、蒸着あるいはスパッタリングなどの方法によって形成されたものである。図4は、パッドPD3の斜視図である。パッドPD3の高さLCは約15 $\mu$ mであり、パッドPD4も同程度の高さを有する。

10

#### 【0044】

本実施の形態1において、上記プローブ検査は、ウエハ状の基板WHをダイシングする前に各チップ領域に対して実施するものである。なお、以後プローブ検査(パッドPD3、PD4とプローブとが接触する工程)を説明する際に、特に明記しない場合には、チップCHPはウエハをダイシングする前の各チップ領域を示すものとする。

20

#### 【0045】

図5は、上記チップCHPの液晶パネルへの接続方法を示す要部断面図である。図5に示すように、液晶パネルは、たとえば主面に画素電極DE1、DE2が形成されたガラス基板LS1、液晶層LCL、および液晶層LCLを介してガラス基板LS1と対向するように配置されたガラス基板LS2などから形成されている。本実施の形態1においては、このような液晶パネルのガラス基板LS1の画素電極DE1、DE2に、それぞれパッドPD3、PD4が接続するようにチップCHPをフェイスダウンボンディングすることによって、チップCHPを液晶パネルへ接続することを例示できる。

#### 【0046】

図6は本実施の形態1のプローブカード(第1カード)の下面の要部平面図であり、図7は図6中のA-A線に沿った断面図である。

30

#### 【0047】

図6および図7に示すように、本実施の形態1のプローブカードは、たとえば多層配線基板(第1配線基板)1、薄膜シート(第1シート)2およびプランジャ3などから形成されている。薄膜シート2はコンタクトリング4Cおよびプロセスリング4Pによって多層配線基板1の下面に固定され、プランジャ3は多層配線基板1の上面に取り付けられている。多層配線基板1の中央部には開口部が設けられ、この開口部内において、薄膜シート2は接着リング6に接着されている。

#### 【0048】

薄膜シート2の下面には、たとえば4角錐型または4角錐台形型の複数のプローブ(接触端子)7が形成されている。薄膜シート2内には、プローブ7の各々と電氣的に接続し、各々のプローブ7から薄膜シート2の探部まで延在する複数の配線(第2配線)が形成されている。多層配線基板1の下面には、この複数の配線の端部とそれぞれ電氣的に接触する複数の受け部(図示は省略)が形成されており、この複数の受け部は、多層配線基板1内に形成された配線(第1配線)を通じて多層配線基板1の上面に設けられた複数のポゴ(POGO)座8と電氣的に接続している。このポゴ座8は、テストからの信号をプローブカードへ導入するピンを受ける機能を有する。

40

#### 【0049】

本実施の形態1において、薄膜シート2は、たとえばポリイミドを主成分とする薄膜から形成されており、柔軟性を有する。プローブ7が形成された領域(第1領域)の薄膜シート2を上面(裏面)から押圧具(押し出し機構)9およびエラストマ9Aを介してブラ

50

ンジャ 3 が押圧し、押圧具 9 を押し出すことによって薄膜シート 2 を引き伸ばし、各プローブ 7 の先端の位置をそれぞれが対応するパッド P D 3、P D 4 と対向する位置となるように調整する。プランジャ 3 はナット 1 1 によって筐体 1 2 に固定され、筐体 1 2 はナット 1 3 によって加重治具 1 4 に固定される。プランジャ 3 内には、ばね 3 A が内蔵されており、このばね 3 A の弾性力によって一定の押圧力が押しピン 3 B を介して押圧具 9、エラストマ 9 A および薄膜シート 2 へ伝わる構造となっている。本実施の形態 1 において、押圧具 9 の材質としては、4 2 アロイを例示することができ、エラストマ 9 A としてはシリコンシートを例示することができる。

#### 【0050】

多層配線基板 1 および張り出しリング 1 5 は、それぞれボルト 1 6 A、1 6 B によって連結治具 1 7 に取り付けられることにより、連結治具 1 7 を介して接続されている。張り出しリング 1 5 は、薄膜シート 2 のうちプローブ 7 が形成された領域を多層配線基板 1 の下面より張り出させるために用いられる。また、加重治具 1 4 と接着リング 6 とは、ボルト 1 6 C によって連結されている。また、張り出しリング 1 5 にはボルト 1 6 D によってばね押さえ治具 1 8 が取り付けられ、ばね押さえ治具 1 8 と加重治具 1 4 (ボルト 1 6 C) との間にはばね (加圧機構) 1 9 が設置されている。図示は省略するが、このばね 1 9 は、たとえば多層配線基板 1 の平面において約 8 個所 ~ 1 2 個所に配置されている。ばね 1 9 の弾性力は、プローブ検査時においてプローブ 7 がパッド P D 3、P D 4 と接触し、プローブカードがパッド P D 3、P D 4 に向かって押し込まれた際に加重治具 1 4 (ボルト 1 6 C) に作用する。この時、ナット 1 1、1 3 およびボルト 1 6 C による固定によって、加重治具 1 4、押圧具 9、エラストマ 9 A、接着リング 6 およびプランジャ 3 は一体 (加圧機構) となっていることから、ばね 1 9 の弾性力は、これら一体となった部材をパッド P D 3、P D 4 に向かって押し下げるように作用する。その結果、プランジャ 3 内のばね 3 A から薄膜シート 2 へ伝わる押圧力は、薄膜シート 2 の引き伸ばしのみ用いられることになる。

#### 【0051】

ここで、図 8 は、加重治具 1 4 が多層配線基板 1 に固定され、ばね 1 9 が取り付けられていないプローブカードを用いた場合において、プローブ 7 がパッド P D 3、P D 4 (図 3 参照) に接触した後における、プローブ 7 のパッド P D 3、P D 4 への押し込み量 (以下、ストローク量と記す) と、プローブ 7 と接している全てのパッド P D 3、P D 4 に加わる荷重との関係を示したものである。この場合、パッド P D 3、P D 4 への荷重制御はプランジャ 3 のみで行うことになる。プローブ検査時においては、ストローク量は約 0 . 1 mm 以下であるが、図 8 に示すように、ばね 1 9 が取り付けられていないプローブカードの場合には、ストローク量が約 0 . 1 mm 以下の時にはエラストマ 9 A の弾性等により荷重変化し、プランジャ 3 による荷重制御が行えていない。また、適当なばね定数のばね 3 A を選択することにより、プランジャ 3 による加重を約 1 k g f とすることもできるが、前述したようにプランジャ 3 は押圧具 9 を押し出して薄膜シート 2 多層配線基板 1 の下面より張り出させるためにも用いられるため、ばね定数の小さいばね 3 A を自由に選択することが困難となる。すなわち、ストローク量が約 0 . 1 mm 以下の実使用エリアでは、低荷重でプローブ 7 をパッド P D 3、P D 4 に接触させることが困難となっている。

#### 【0052】

一方、図 6 および図 7 を用いて説明した本実施の形態 1 のプローブカードを用いた場合には、前述したようにプランジャ 3 内のばね 3 A から薄膜シート 2 へ伝わる押圧力は、薄膜シート 2 の引き伸ばしのみ用いられることから、図 9 に示すように、ストローク量が約 0 . 1 mm 以下の時でもばね 1 9 の強さで荷重制御が可能となっている。すなわち、本実施の形態 1 のプローブカードを用いた場合には、ストローク量が約 0 . 1 mm 以下の実使用エリアにおいて低荷重でプローブ 7 をパッド P D 3、P D 4 に接触させることができ、その荷重を 1 つのプローブ 7 当たり 3 g 未満とすることができる。また、荷重の加減を行いたい場合には、所望の加重となるようなばね定数のばね 1 9 を配置することで 0 . 1 g 単位で実現することができる。

10

20

30

40

50

## 【0053】

上記のような本実施の形態1のプロブカードによれば、低荷重でプロブ7をパッドPD3、PD4に接触させることができるので、チップCHP(図3参照)がパッドPD3、PD4下にも配線および素子が配置された構造(図1参照)を有している場合でも、プロブ検査時にプロブ7がパッドPD3、PD4に接触する際の荷重によってその配線および素子が破壊されてしまうことを防ぐことができる。

## 【0054】

また、チップCHPにおいて、回路動作を早くするために上層の配線と下層の配線との間の層間絶縁膜として機械的強度が低く比誘電率の低い絶縁膜(たとえばSiOC等の比誘電率が約3.0未満のシリカガラス系のCVDによるLow-k(低誘電率)絶縁膜または炭素含有シリコン酸化物系のCVDによるLow-k絶縁膜、並びにCVDに限らず、これらと類似の組成で多孔質にされたもの等)を用いた場合には、プロブ検査時にパッドPD3、PD4にプロブが接触する際の荷重にて絶縁膜や回路の破壊を引き起こしやすくなってしまふことが懸念されるが、本実施の形態1のプロブカードを用いることにより、低荷重でプロブ7をパッドPD3、PD4に接触させることができるので、そのような不具合を防ぐことが可能となる。

10

## 【0055】

また、本実施の形態1のプロブカードによれば、低荷重でプロブ7をパッドPD3、PD4に接触させることができるので、プロブ7とパッドPD3、PD4とが接触した際にプロブ7に与えてしまうダメージを大幅に減少することができる。

20

## 【0056】

図10は上記薄膜シート2の下面のプロブ7が形成された領域の一部を拡大して示した要部平面図であり、図11は図10中のB-B線に沿った要部断面図であり、図12は図10中のC-C線に沿った要部断面図である。

## 【0057】

上記プロブ7は、薄膜シート2中にて平面六角形状にパターンニングされた金属膜21A、21Bの一部であり、金属膜21A、21Bのうちの薄膜シート2の下面に4角錐型または4角錐台形型に飛び出した部分である。プロブ7は、薄膜シート2の主面において上記チップCHPに形成されたパッドPD3、PD4の位置に合わせて配置されており、図10ではパッドPD3に対応するプロブ7の配置について示している。これらプロブ7のうち、プロブ7Aは、2列で配列されたパッドPD3のうちの相対的にチップCHPの外周に近い配列(以降、第1列と記す)のパッドPD3に対応し、プロブ7Bは、2列で配列されたパッドPD3のうちの相対的にチップCHPの外周から遠い配列(以降、第2列と記す)のパッドPD3に対応している。また、最も近い位置に存在するプロブ7Aとプロブ7Bとの間の距離は、図10が記載された紙面の左右方向の距離LXと上下方向の距離LYとで規定され、距離LXは前述の隣り合うパッドPD3が配置されているピッチLPの半分の約34 $\mu\text{m}$ となる。また、本実施の形態1において、距離LYは、約93 $\mu\text{m}$ となる。また、図13に示すように、ポリイミド膜22の表面からプロブ7A、7Bの先端までの高さLZ(針高さ)は、50 $\mu\text{m}$ 以下(大きくとも90 $\mu\text{m}$ 以下)、更に望ましくは30 $\mu\text{m}$ 以下で揃えられている。

30

40

## 【0058】

金属膜21A、21Bは、たとえば下層からロジウム膜およびニッケル膜が順次積層して形成されている。金属膜21A、21B上にはポリイミド膜22が成膜され、ポリイミド膜22上には各金属膜21と電氣的に接続する配線(第2配線)23が形成されている。配線23は、ポリイミド膜22に形成されたスルーホール24の底部で金属膜21A、21Bと接触している。また、ポリイミド膜22および配線23上には、ポリイミド膜25が成膜されている。

## 【0059】

上記したように、金属膜21A、21Bの一部は4角錐型または4角錐台形型に形成されたプロブ7A、7Bとなり、ポリイミド膜22には金属膜21A、21Bに達するス

50

ルーホール 2 4 が形成される。そのため、プローブ 7 A が形成された金属膜 2 1 A およびルーホール 2 4 の平面パターンと、プローブ 7 B が形成された金属膜 2 1 B およびルーホール 2 4 の平面パターンとが同じ方向で配置されるようにすると、隣り合う金属膜 2 1 A と金属膜 2 1 B とが接触してしまい、プローブ 7 A、7 B からそれぞれ独立した入出力を得られなくなってしまう不具合が懸念される。そこで、本実施の形態 1 では、図 1 0 に示すように、プローブ 7 B が形成された金属膜 2 1 B およびルーホール 2 4 の平面パターンは、プローブ 7 A が形成された金属膜 2 1 A およびルーホール 2 4 の平面パターンを 1 8 0 ° 回転したパターンとしている。それにより、平面でプローブ 7 A およびルーホール 2 4 が配置された金属膜 2 1 A の幅広の領域と、平面でプローブ 7 B およびルーホール 2 4 が配置された金属膜 2 1 B の幅広の領域とが、紙面の左右方向の直線上に配置されないようになり、金属膜 2 1 A および金属膜 2 1 B の平面順テーパ状の領域が紙面の左右方向の直線上に配置されるようになる。その結果、隣り合う金属膜 2 1 A と金属膜 2 1 B とが接触してしまいう不具合を防ぐことができる。また、狭ピッチでパッド P D 3 が配置されても、それに対応した位置にプローブ 7 A、7 B を配置することが可能となる。

10

20

30

40

50

#### 【 0 0 6 0 】

本実施の形態 1 では、図 3 を用いてパッド P D 3 が 2 列で配列されている場合について説明したが、図 1 4 に示すように、1 列で配列されているチップも存在する。そのようなチップに対しては、図 1 5 に示すように、上記金属膜 2 1 A の幅広の領域が紙面の左右方向の直線上に配置された薄膜シート 2 を用いることで対応することができる。また、このようにパッド P D 3 が 1 列で配列され、たとえばチップ C H P の外周と交差（直交）する方向に延在する長辺の長さ L A 約 1 4 0  $\mu\text{m}$  であり、チップ C H P の外周に沿って延在する短辺の長さ L B が約 1 9  $\mu\text{m}$  であり、隣り合うパッド P D 3 が配置されているピッチ L P が約 3 4  $\mu\text{m}$  であり、隣り合うパッド P D 3 の間隔が約 1 5  $\mu\text{m}$  である場合には、図 3 に示したパッド P D 3 に比べて長辺が約 2 倍以上となり、短辺方向でのパッド P D 3 の中心位置を図 3 に示したパッド P D 3 の中心位置と揃えることができるので、図 1 0 ~ 図 1 2 を用いて説明した薄膜シート 2 を用いることが可能となり、図 1 6 に示す位置 P O S 1、P O S でプローブ 7 A、7 B のそれぞれがパッド P D 3 に接触することになる。

#### 【 0 0 6 1 】

また、パッド P D 3 の数がさらに多い場合には、3 列以上で配列されている場合もある。図 1 7 は 3 列で配列されたパッド P D 3 に対応した薄膜シート 2 の要部平面図であり、図 1 8 は 4 列で配列されたパッド P D 3 に対応した薄膜シート 2 の要部平面図である。チップ C H P のサイズが同じであれば、パッド P D 3 の配列数が増えるに従って、図 1 0 を用いて説明した距離 L X がさらに狭くなるので、上記金属膜 2 1 A、2 1 B を含む金属膜が接触してしまいうことがさらに懸念される。そこで、図 1 7 および図 1 8 に示すように、金属膜 2 1 A、2 1 B、2 1 C、2 1 D を、たとえば図 1 0 に示した金属膜 2 1 A の平面パターンを 4 5 ° 回転させたものとするので、金属膜 2 1 A、2 1 B、2 1 C、2 1 D が互いに接触してしまいう不具合を防ぐことが可能となる。また、ここでは図 1 0 に示した金属膜 2 1 A の平面パターンを 4 5 ° 回転させた例について説明したが、4 5 ° に限定するものではなく、金属膜 2 1 A、2 1 B、2 1 C、2 1 D の互いの接触を防ぐことができるのであれば他の回転角でもよい。なお、金属膜 2 1 C には、プローブ 7 B が対応するパッド P D 3 よりさらにチップ C H P 内の内側に配置されたパッド P D 3 に対応するプローブ 7 C が形成され、金属膜 2 1 D には、プローブ 7 C が対応するパッド P D 3 よりさらにチップ C H P 内の内側に配置されたパッド P D 3 に対応するプローブ 7 D が形成されている。

#### 【 0 0 6 2 】

ここで、図 1 9 は図 1 8 中の D - D 線に沿った要部断面図であり、図 2 0 は図 1 8 中の E - E 線に沿った要部断面図である。図 1 8 に示したように、4 列のパッド P D 3 に対応するプローブ 7 A ~ 7 D を有する金属膜 2 1 A ~ 2 1 D を配置した場合には、金属膜 2 1 A ~ 2 1 D のそれぞれに上層から電氣的に接続する配線のすべてを同一の配線層で形成す

ることが困難になる。これは、上記距離  $LX$  が狭くなることによって、金属膜 21A ~ 21D のそれぞれ同士が接触する虞が生じるのと共に、金属膜 21A ~ 21D に電氣的に接続する配線同士も接触する虞が生じるからである。

そこで、本実施の形態 1 においては、図 19 および図 20 に示すように、それら配線を 2 層の配線層（配線 23、26）から形成することを例示することができる。なお、配線 26 およびポリイミド膜 25 上には、ポリイミド膜 27 が形成されている。相対的に下層の配線 23 はポリイミド膜 22 に形成されたスルーホール 24 の底部で金属膜 21A、21C と接触し、相対的に上層の配線 26 はポリイミド膜 22、25 に形成されたスルーホール 28 の底部で金属膜 21B、21D と接触している。それにより、同一の配線層においては、隣り合う配線 23 または配線 26 の間隔を大きく確保することが可能となるので、隣り合う配線 23 または配線 26 が接触してしまう不具合を防ぐことができる。また、パッド PD3 が 5 列以上となり、それに対応するプローブ数が増加して上記距離  $LX$  が狭くなる場合には、さらに多層に配線層を形成することによって、配線間隔を広げてもよい。

#### 【0063】

次に、上記の本実施の形態 1 の薄膜シート 2 の構造について、その製造工程と併せて図 21 ~ 図 27 を用いて説明する。図 21 ~ 図 27 は、図 10 ~ 図 12 を用いて説明した 2 列のパッド PD3（図 3 参照）に対応したプローブ 7A、7B を有する薄膜シート 2 の製造工程中の要部断面図である。

#### 【0064】

まず、図 21 に示すように、厚さ 0.2 mm ~ 0.6 mm 程度のシリコンからなるウエハ 31 を用意し、熱酸化法によってこのウエハ 31 の両面に膜厚 0.5  $\mu$ m 程度の酸化シリコン膜 32 を形成する。続いて、フォトレジスト膜をマスクとしてウエハ 31 の主面側の酸化シリコン膜 32 をエッチングし、ウエハ 31 の主面側の酸化シリコン膜 32 にウエハ 31 に達する開口部を形成する。次いで、残った酸化シリコン膜 32 をマスクとし、強アルカリ水溶液（たとえば水酸化カリウム水溶液）をもちいてウエハ 31 を異方的にエッチングすることによって、ウエハ 31 の主面に（111）面に囲まれた 4 角錐型または 4 角錐台形型の穴 33 を形成する。

#### 【0065】

次に、図 22 に示すように、上記穴 33 の形成時にマスクとして用いた酸化シリコン膜 32 をフッ酸およびフッ化アンモニウムの混合液によるウェットエッチングにより除去する。続いて、ウエハ 31 に熱酸化処理を施すことにより、穴 33 の内部を含むウエハ 31 の全面に膜厚 0.5  $\mu$ m 程度の酸化シリコン膜 34 を形成する。次いで、穴 33 の内部を含むウエハ 31 の主面に導電性膜 35 を成膜する。この導電性膜 35 は、たとえば膜厚 0.1  $\mu$ m 程度のクロム膜および膜厚 1  $\mu$ m 程度の銅膜を順次スパッタリング法または蒸着法によって堆積することによって成膜することができる。次いで、導電性膜 35 上にフォトレジスト膜を成膜し、フォトリソグラフィ技術によって後の工程で金属膜 21A、21B（図 10 ~ 図 12 参照）が形成される領域のフォトレジスト膜を除去し、開口部を形成する。

#### 【0066】

次に、導電性膜 35 を電極とした電解めっき法により、上記フォトレジスト膜の開口部の底部に現れた導電性膜 35 上に硬度の高い導電性膜 37 および導電性膜 38 を順次堆積する。本実施の形態 1 においては、導電性膜 37 をロジウム膜とし、導電性膜 38 をニッケル膜とすることを例示できる。ここまでの工程により、導電性膜 37、38 から前述の金属膜 21A、21B を形成することができる。また、穴 33 内の導電性膜 37、38 が前述のプローブ 7A、7B となる。なお、導電性膜 35 は、後の工程で除去されるが、その工程については後述する。

#### 【0067】

金属膜 21A、21B においては、後の工程で前述のプローブ 7A、7B が形成された時に、ロジウム膜から形成された導電性膜 37 が表面となり、導電性膜 37 がパッド PD3 に直接接触することになる。そのため、導電性膜 37 としては、硬度が高く耐磨耗性に

10

20

30

40

50

優れた材質を選択することが好ましい。また、導電性膜 37 はパッド PD3 に直接接触するため、プローブ 7A、7B によって削り取られたパッド PD3 の屑が導電性膜 37 に付着すると、その屑を除去するクリーニング工程が必要となり、プローブ検査工程が延びてしまうことが懸念される。そのため、導電性膜 37 としては、パッド PD3 を形成する材料が付着し難い材質を選択することが好ましい。そこで、本実施の形態 1 においては、導電性膜 37 として、これらの条件を満たすロジウム膜を選択している。それにより、そのクリーニング工程を省略することができる。

#### 【0068】

次に、上記金属膜 21A、21B（導電性膜 37、38）の成膜に用いたフォトレジスト膜を除去した後、図 23 に示すように、金属膜 21A、21B および導電性膜 35 を覆うようにポリイミド膜 22（図 11 および図 12 も参照）を成膜する。続いて、そのポリイミド膜 22 に金属膜 21A、21B に達する前述のスルーホール 24 を形成する。このスルーホール 24 は、レーザを用いた穴あけ加工またはアルミニウム膜をマスクとしたドライエッチングによって形成することができる。

10

#### 【0069】

次に、図 24 に示すように、スルーホール 24 の内部を含むポリイミド膜 22 上に導電性膜 42 を成膜する。この導電性膜 42 は、たとえば膜厚 0.1 μm 程度のクロム膜および膜厚 1 μm 程度の銅膜を順次スパッタリング法または蒸着法によって堆積することによって成膜することができる。続いて、その導電性膜 42 上にフォトレジスト膜を形成した後、そのフォトレジスト膜をフォトリソグラフィ技術によってパターンニングし、フォトレジスト膜に導電性膜 42 に達する開口部を形成する。次いで、めっき法により、その開口部内の導電性膜 42 上に導電性膜 43 を成膜する。本実施の形態 1 においては、導電性膜 43 として銅膜、または銅膜およびニッケル膜を下層から順次堆積した積層膜を例示することができる。

20

#### 【0070】

次に、上記フォトレジスト膜を除去した後、導電性膜 43 をマスクとして導電性膜 42 をエッチングすることにより、導電性膜 42、43 からなる配線 23 を形成する。配線 23 は、スルーホール 24 の底部にて金属膜 21A、21B と電氣的に接続することができる。次いで、図 25 に示すように、ウエハ 31 の主面に前述のポリイミド膜 25 を成膜する。

30

#### 【0071】

次に、図 26 に示すように、たとえばフッ酸とフッ化アンモニウムの混合液を用いたエッチングによって、ウエハ 31 の裏面の酸化シリコン膜 34 を除去する。続いて、強アルカリ水溶液（たとえば水酸化カリウム水溶液）を用いたエッチングにより、薄膜シート 2 を形成するための型材であるウエハ 31 を除去し、本実施の形態 1 の薄膜シート 2 を製造する。次いで、酸化シリコン膜 34 および導電性膜 35 を順次エッチングにより除去する。この時、酸化シリコン膜 34 はフッ酸およびフッ化アンモニウムの混合液を用いてエッチングし、導電性膜 35 に含まれるクロム膜は過マンガン酸カリウム水溶液を用いてエッチングし、導電性膜 35 に含まれる銅膜はアルカリ性銅エッチング液を用いてエッチングする。ここまでの工程により、プローブ 7A、7B を形成する導電性膜 37（図 22 参照）であるロジウム膜がプローブ 7A、7B の表面に現れる。前述したように、ロジウム膜が表面に形成されたプローブ 7A、7B においては、プローブ 7A、7B が接触するパッド PD3 の材料である Au などが付着し難く、Ni より硬度が高く、かつ酸化され難く接触抵抗を安定させることができる。

40

#### 【0072】

ところで、図 7 を用いて説明した押圧具 9 およびエラストマ 9A は、製造中の薄膜シート 2 に貼付してもよい。図 27 に示すように、上記ポリイミド膜 25 の成膜後、エポキシ系樹脂製の接着剤を用いてポリイミド膜 25 の表面にエラストマ 9A および押圧具 9 を順次貼付する。その後は図 26 を用いて説明した工程を経て薄膜シート 2 を製造する（図 28 参照）。このように、押圧具 9 およびエラストマ 9A を製造中の薄膜シート 2 に貼付し

50

た場合には、押圧具 9 がチップ C H P を形成するシリコンと線膨張率が近い 4 2 アロイから形成されていることから、予め各プローブ 7 を対応するパッド P D 3、P D 4 と対向する位置となるように形成しておくことにより、薄膜シート 2 をプローブカードに取り付けた際に、押圧具 9 を押し出すことによって薄膜シート 2 を引き伸ばし、各プローブ 7 の先端の位置をそれぞれが対応するパッド P D 3、P D 4 と対向する位置となるように調整する工程を省略することが可能となる。

#### 【 0 0 7 3 】

( 実施の形態 2 )

本実施の形態 2 は、前記実施の形態 1 でも説明した薄膜シート 2 ( 図 7 参照 ) を他の構造としたものである。

#### 【 0 0 7 4 】

本実施の形態 2 の薄膜シート 2 の製造工程は、前記実施の形態 1 において図 2 1 ~ 図 2 5 を用いて説明した工程までは同様である。その後、図 2 9 に示すように、ポリイミド膜 2 5 の上面に金属シート 4 5 を固着する。この時、ポリイミド膜 2 5 は、金属シート 4 5 の接着層として機能する。この金属シート 4 5 としては、線膨張率が低く、かつシリコンから形成されたウエハ 3 1 の線膨張率に近い材質を選ぶものであり、本実施の形態 2 では、たとえば 4 2 アロイ ( ニッケル 4 2 % かつ鉄 5 8 % の合金で、線膨張率 4 p p m / ) またはインバー ( ニッケル 3 6 % かつ鉄 6 4 % の合金で、線膨張率 1 . 5 p p m / ) を例示することができる。また、金属シート 4 5 を用いる代わりにウエハ 3 1 と同じ材質のシリコン膜を形成してもよいし、シリコンと同程度の線膨張率を有する材質、たとえば鉄とニッケルとコバルトとの合金、またはセラミックと樹脂との混合材料などでもよい。このような金属シート 4 5 を固着するには、ウエハ 3 1 の主面に位置合わせしつつ重ね合わせ、 $10 \sim 200 \text{ kgf / cm}^2$  程度で加圧しながらポリイミド膜 2 5 のガラス転移点温度以上の温度で加熱を行い、加熱加圧圧着することによって実現できる。

#### 【 0 0 7 5 】

このような金属シート 4 5 をポリイミド膜 2 5 を用いて固着することによって、形成される薄膜シート 2 の強度の向上を図ることができる。また、金属シート 4 5 を固着しない場合には、プローブ検査時の温度に起因する薄膜シート 2 および検査対象のウエハの膨張または収縮によって、プローブ 7 A、7 B と対応するパッド P D 3 との相対的な位置がずれてしまい、プローブ 7 A、7 B が対応するパッド P D 3 と接触できなくなってしまう不具合が懸念される。一方、本実施の形態 2 によれば、金属シート 4 5 を固着したことにより、プローブ検査時の温度に起因する薄膜シート 2 および検査対象のウエハの膨張量または収縮量を揃えることができる。それにより、プローブ 7 A、7 B と対応するパッド P D 3 との相対的な位置がずれてしまうことを防ぐことが可能となる。すなわち、プローブ 7 A、7 B と対応するパッド P D 3 とがプローブ検査時の温度に関係なく常に電気的接触を保つことが可能となる。また、様々な状況下での薄膜シート 2 と検査対象のウエハとの相対的な位置制度を確保することが可能となる。

#### 【 0 0 7 6 】

次に、フォトリソグラフィ技術によってパターンニングされたフォトレジスト膜をマスクとして金属シート 4 5 をエッチングし、プローブ 7 A、7 B 上の金属シート 4 5 に開口部 4 6 を形成し、平面で金属膜 2 1 A 間または金属膜 2 1 B 間の領域上の金属シート 4 5 に開口部 4 7 を形成する。本実施の形態 2 において、このエッチングは、塩化第二鉄溶液を用いたスプレーエッチングとすることができる。

#### 【 0 0 7 7 】

次に、上記フォトレジスト膜を除去した後、図 3 0 に示すように、開口部 4 6 内に、エラストマ 4 8 を形成する。この時、エラストマ 4 8 は所定量が開口部 4 6 の上部へ出るように形成する。本実施の形態 2 においては、エラストマ 4 8 を形成する方法として、開口部 4 6 内に弾性樹脂を印刷もしくはディスペンサ塗布する方法、またはシリコンシートを設置する方法を例示することができる。エラストマ 4 6 は、多数のプローブ 7 A、7 B の先端がパッド P D 3 に接触する際の衝撃を緩和しつつ、個々のプローブ 7 A、7 B の先端

10

20

30

40

50



の高さのばらつきを局部的な変形によって吸収し、パッドPD3の高さのばらつきに倣った均一な食い込みによってプローブ7A、7BとパッドPD3との接触を実現する。

【0078】

次に、図31に示すように、前記実施の形態1において図26を用いて説明した工程と同様に2層の酸化シリコン膜34、ウエハ31および導電性膜35を除去する。

【0079】

次に、図32に示すように、開口部47下のポリイミド膜25、22を除去し、開口部49を形成する。この開口部49は、レーザを用いた穴あけ加工または金属シート45およびエラストマ48をマスクとしたドライエッチングによって形成することができる。その後、図33に示すように、前記実施の形態1でも説明した押圧具9をエラストマ48上に接着して本実施の形態2の薄膜シート2を製造する。

10

【0080】

上記の工程によって製造した本実施の形態2の薄膜シート2は、金属シート45が接着されたことにより剛性が向上している。また、図34に示すように、検査対象のウエハ(チップCHP)に反りが生じていると、パッドPD3の高さとパッドPD4の高さとの間に差Sが生じる。そのため、このような差Sが生じていると、相対的に高さの低いパッドPD4にプローブ7A、7Bが接触できなくなる不具合の発生が懸念される。しかしながら、金属膜21A間(金属膜21B間)に開口部49が形成されていることにより、薄膜シート2は、この開口部49での剛性が低下する。それにより、プローブ検査時に押圧具50により圧力を加えると、エラストマ48の弾性変形の範囲内で薄膜シート2にも開口部49で段差を持たせることができる。その結果、薄膜シート2に上記差Sを解消するような段差が生じさせることができるので、すべてのプローブ7A、7BをパッドPD3、PD4に確実に接触させることが可能となる。

20

【0081】

また、図35に示すように、検査対象のウエハ(チップCHP)の主面に異物DSTが付着しているような場合に、薄膜シート2に上記開口部49が設けられていないと、プローブ7A、7BをパッドPD3、PD4に接触させようとした時に薄膜シート2が異物DSTに乗り上げ、パッドPD3、PD4にプローブ7A、7Bが接触できなくなる不具合の発生が懸念される。また、薄膜シート2が異物DSTに乗り上げてしまうことによって薄膜シート2が変形してしまうことも懸念され、特に異物DSTがプローブ7A、7Bの近傍に存在する場合には、プローブ7A、7Bが薄膜シート2の内部にめり込んでしまう不具合の発生も懸念される。しかしながら、上記開口部49を設けたことにより、平面で開口部49内に異物DSTが位置するようにできるので、それら不具合の発生の確率を低下することが可能となる。

30

【0082】

ここで、上記開口部49の平面パターンについて説明する。図36、図38、図40、図42および図44は薄膜シート2の下面の要部平面図であり、図37、図39、図41、図43および図45はそれぞれ図36、図38、図40、図42および図44中のF-F線に沿った要部断面図である。

【0083】

本実施の形態2において、開口部49の平面パターンとしては、まず図36に示すような矩形のパターンを例示することができる。このような矩形のパターンとすることによって薄膜シート2の剛性が低下し過ぎる場合には、図38に示すように、平面矩形の開口部49の対角線上に梁状にポリイミド膜22、25および金属シート45を残す構造としてもよい。これにより、薄膜シート2に所望の剛性を保つことが可能となる。また、図40に示すように、図38に示したような開口部49のパターンをスリット状に加工し、前述の梁状のポリイミド膜22、25および金属シート45を残す構造としてもよい。それによっても薄膜シート2に所望の剛性を保つことが可能となる。このようなスリット状の開口部49は、図32を用いて説明したようなレーザを用いた穴あけ加工によって形成することにより、加工に要する時間を短縮することができる。また、図6および図7を用いて

40

50

説明した接着リング 6 および押圧具 9 が平面円形である場合には、図 4 2 に示すように、開口部 4 9 を平面円形のパターンとしてもよい。接着リング 6 および押圧具 9 が平面円形である場合に、開口部 4 9 が平面矩形のパターンであると、矩形パターンの角部などに不十分な力が集中することが懸念されるが、平面円形のパターンとすることによって、そのような不十分な力の集中を防ぐことが可能となる。また、図 3 を用いて説明したように、検査対象のチップ C H P は、平面で短辺および長辺を有する矩形であることから、図 4 4 に示すように、開口部 4 9 を短辺および長辺を有する平面矩形のパターンで形成し、そのパターン内において、短辺に沿った方向に延在する複数の梁状にポリイミド膜 2 2、2 5 および金属シート 4 5 を残す構造としてもよい。それにより、薄膜シート 2 に所望の剛性を保つことが可能となる。

10

## 【 0 0 8 4 】

上記のような本実施の形態 2 によっても、前記実施の形態 1 と同様の効果を得ることができる。

## 【 0 0 8 5 】

(実施の形態 3)

図 4 6 は本実施の形態 3 の半導体集積回路装置を形成したチップの要部を示す断面図であり、紙面左側の断面は積層配線が形成された領域を示し、紙面右側の断面はボンディングパッド(以降、単にパッドと記す)が形成された領域を示している。

## 【 0 0 8 6 】

たとえば p 型の単結晶 S i (シリコン) からなる基板 8 1 の主面には p 型ウエル 8 2 が形成されており、p 型ウエルの素子分離領域には素子分離溝 8 3 が形成されている。素子分離溝 8 3 は、基板 8 1 をエッチングして形成した溝に酸化シリコンなどの絶縁膜 8 4 を埋め込んだ構成になっている。

20

## 【 0 0 8 7 】

n チャネル型 M I S F E T Q n は、主としてゲート酸化膜 8 5、ゲート電極 8 6 および L D D (Lightly Doped Drain) 構造の n 型半導体領域(ソース、ドレイン) 8 7 からなる。ゲート電極 6 は、たとえば P (リン) がドーブされた低抵抗多結晶シリコン膜、W N (窒化タングステン) 膜および W (タングステン) 膜を積層した 3 層の導電性膜によって形成されている。

## 【 0 0 8 8 】

n チャネル型 M I S F E T の上部には、酸化シリコン膜 8 9 が形成されている。この酸化シリコン膜 8 9 には n チャネル型 M I S F E T Q n の n 型半導体領域(ソース、ドレイン) 8 7 に達するコンタクトホールが形成されており、そのコンタクトホールの内部には、たとえばバリアメタル(T i N / T i) と W 膜との積層膜からなるプラグ 9 0 が埋め込まれている。

30

## 【 0 0 8 9 】

酸化シリコン膜 8 9 上には、第 1 層目の配線 9 1 が形成されている。この配線 9 1 は、たとえば A l を主成分として含む厚い膜厚の A l 合金膜(たとえば C u (銅) および S i を含む) とこの A l 合金膜を挟む薄い膜厚の T i 膜および T i N 膜とからなる 3 層の導電性膜によって形成されている。また、配線 9 1 は、上記プラグ 9 0 を通じて n チャネル型 M I S F E T Q n の n 型半導体領域(ソース、ドレイン) 8 7 の一方と電氣的に接続されている。

40

## 【 0 0 9 0 】

配線 9 1 の上部には、酸化シリコン膜 9 2 が形成されている。この酸化シリコン膜 9 2 には配線 9 1 に達するコンタクトホールが形成されており、そのコンタクトホールの内部には、上記プラグ 9 0 と同様にバリアメタル(T i N / T i) と W 膜との積層膜からなるプラグ 9 3 が埋め込まれている。

## 【 0 0 9 1 】

酸化シリコン膜 9 2 上には、配線 9 1 と同様の構成の第 2 層目の配線 9 4 が形成されている。この配線 9 4 は、上記プラグ 9 3 を通じて配線 9 1 と電氣的に接続されている。

50

## 【0092】

配線94上には、酸化シリコン膜95が形成されている。この酸化シリコン膜95には配線94に達するコンタクトホール96が形成されており、その内部には、上記プラグ90、93と同様にバリアメタル(TiN/Ti)とW膜との積層膜からなるプラグ97が埋め込まれている。

## 【0093】

酸化シリコン膜95上には、配線91、94と同様の構成の第3層目の配線98A、98Bが形成されている。積層配線が形成された領域に配置された配線98Aは、プラグ97を通じて配線94と電氣的に接続されている。また、配線98Bは、パッドが形成された領域に配置されている。

10

## 【0094】

配線98上には、プラズマ中で形成された酸化シリコン膜99、100が積層されている。積層配線が形成された領域において、酸化シリコン膜99、100には配線98Aに達するコンタクトホール101Aが形成されており、その内部には、上記プラグ90、93、97と同様に、薄い膜厚のバリアメタル(TiN/Ti)と厚い膜厚のW膜との積層膜からなるプラグ102Aが埋め込まれている。一方、パッドが形成された領域では、酸化シリコン膜99、100には配線98Bに達するコンタクトホール101Bが形成されており、その内部にはバリアメタル(TiN/Ti)とW膜との積層膜からなるプラグ102Bが埋め込まれている。

20

## 【0095】

積層配線が形成された領域においては、酸化シリコン膜100上に第4層目の配線103が形成されている。また、プラグ102Bの上部にはパッド(パッド電極)BPが形成されている。

## 【0096】

上記配線103は、厚い膜厚のAl合金膜とこのAl合金膜を挟む薄い膜厚のTi膜およびTiN膜とからなる3層の導電性膜から形成されている。この配線103は、上記プラグ102Aを通じて配線98Aと電氣的に接続されている。また、パッドBPは、3層の導電性膜によって構成された前記配線103と同一の工程で形成された配線を用いて形成される。

30

## 【0097】

第4層目の配線103およびパッドBPの上部には、たとえば酸化シリコン膜104Aと窒化シリコン膜104Bとを積層した2層の絶縁膜によって構成される表面保護膜104が形成されている。また、パッドBPの上部において、この表面保護膜104にはパッドBPに達する開口部105が形成されている。

## 【0098】

本実施の形態3のチップは、ボンディングワイヤ(図示は省略す)を用いて実装される。このようなチップに対しても前記実施の形態1、2で説明したプローブカードを用いてプローブ検査を実施することができる。その際、前記実施の形態1、2で説明したプローブ7(図7参照)が接触するのはパッドBPである。プローブ検査が終了した後、基板81を各々のチップへと分割し、ボンディングワイヤをパッドBPと実装基板(図示は省略)とに接続することによってチップを実装基板へ実装する。

40

## 【0099】

上記のような本実施の形態3によっても、前記実施の形態1、2と同様の効果を得ることができる。

## 【0100】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

## 【0101】

たとえば、前記実施の形態では、薄膜シートに形成されたプローブをバンプ電極に接触

50

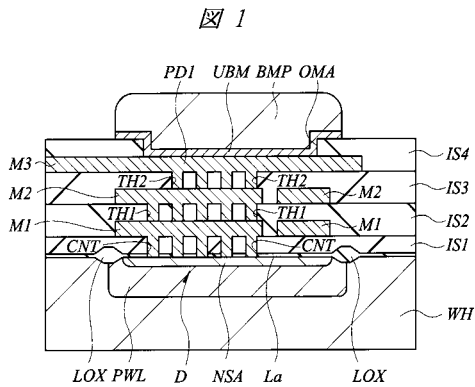
させてプローブ検査を実施する場合について説明したが、バンプ電極を形成する前に、バンプ電極下に配置されるパッドにプローブを接触させてプローブ検査を実施してもよい。

【産業上の利用可能性】

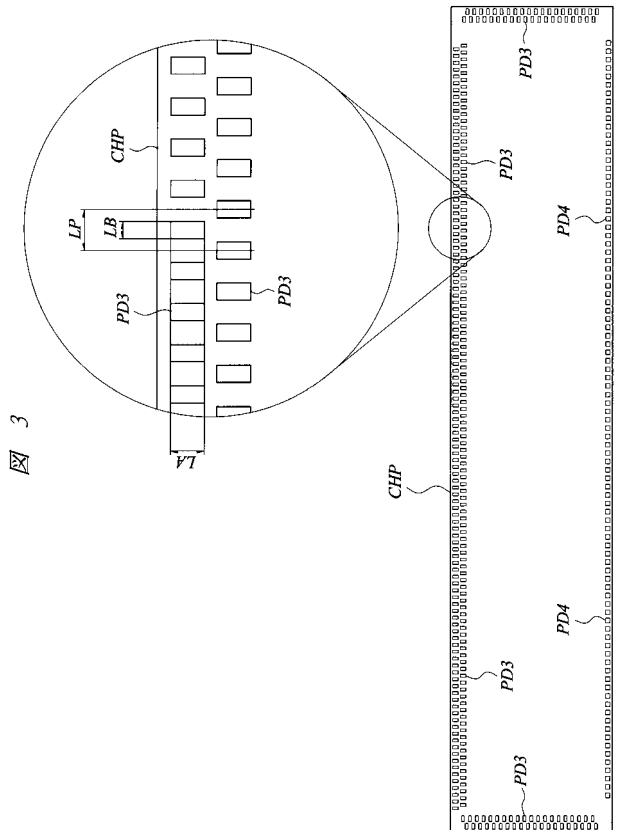
【0102】

本発明の半導体集積回路装置の製造方法は、たとえば半導体集積回路装置の製造工程におけるプローブ検査工程に広く適用することができる。

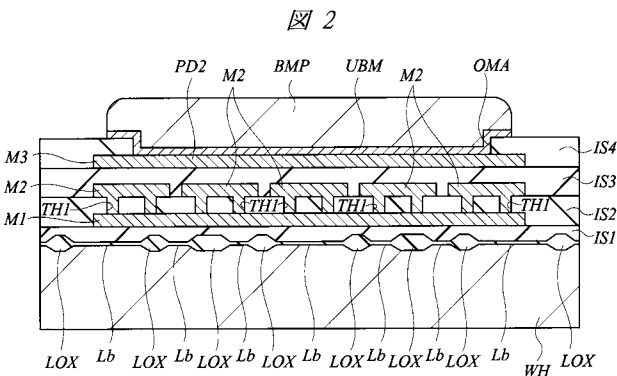
【図1】



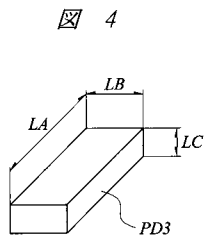
【図3】



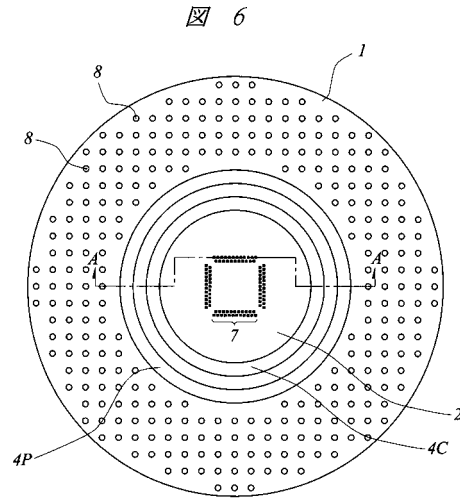
【図2】



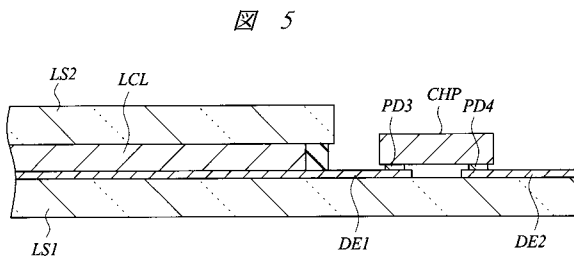
【 図 4 】



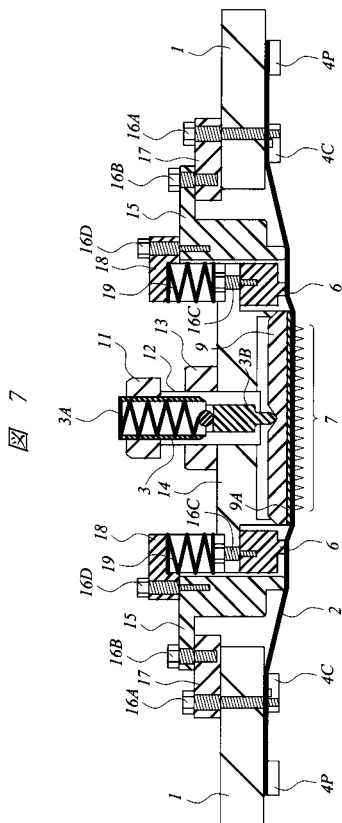
【 図 6 】



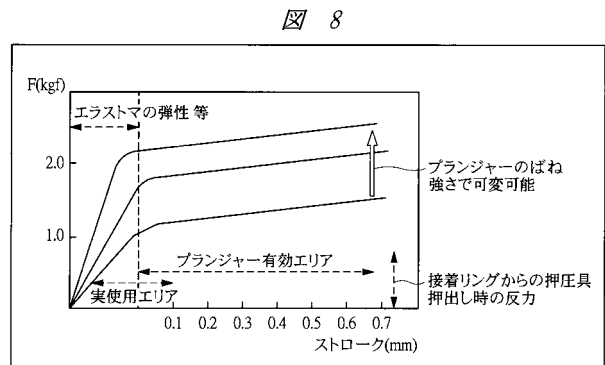
【 図 5 】



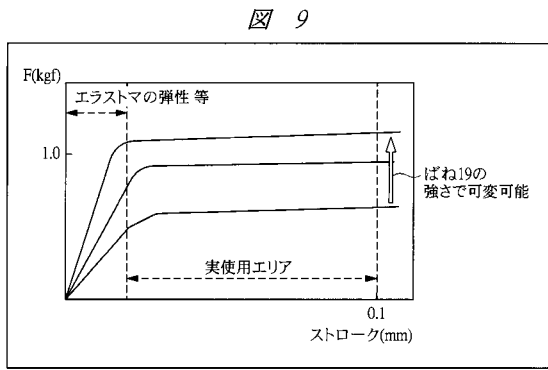
【 図 7 】



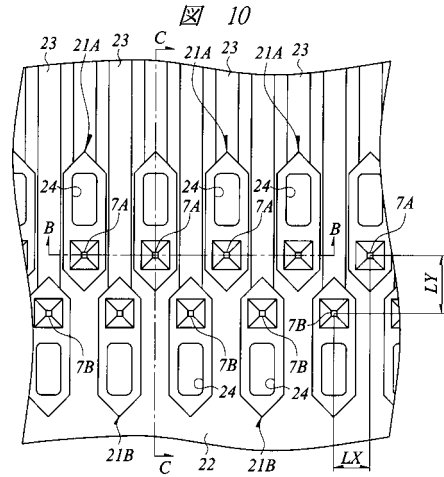
【 図 8 】



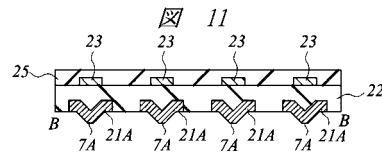
【 図 9 】



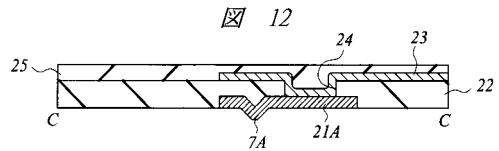
【 図 10 】



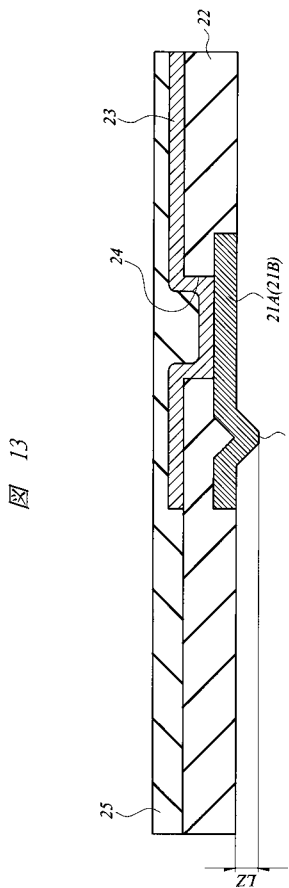
【 図 11 】



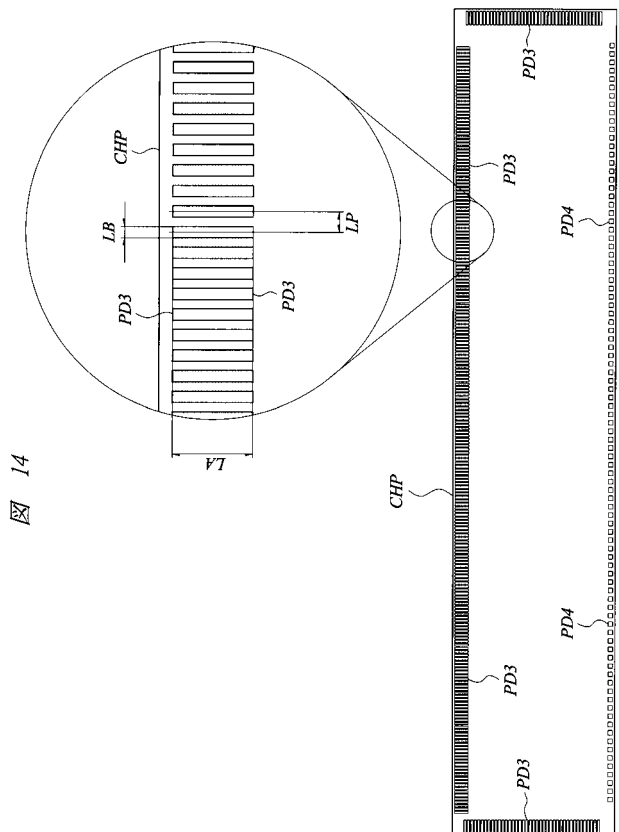
【 図 12 】



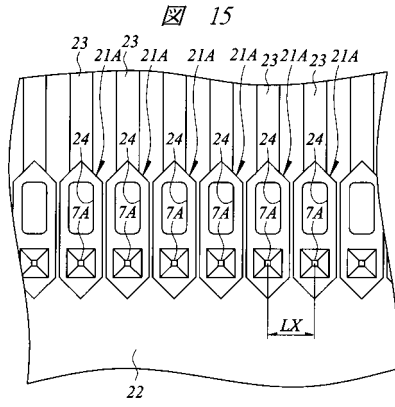
【 図 13 】



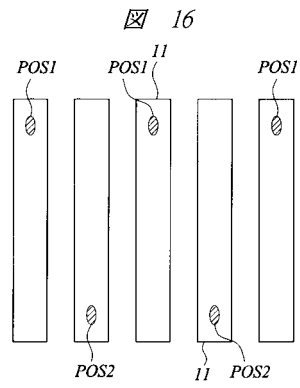
【 図 14 】



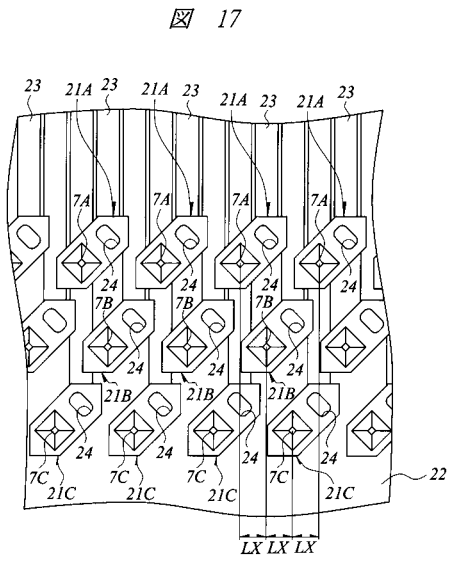
【 図 1 5 】



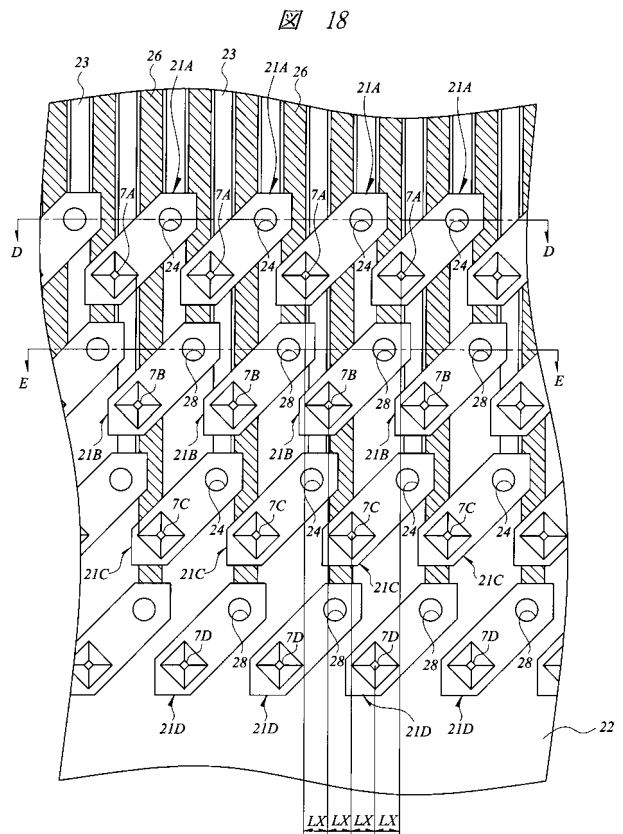
【 図 1 6 】



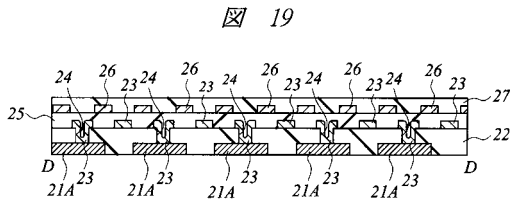
【 図 1 7 】



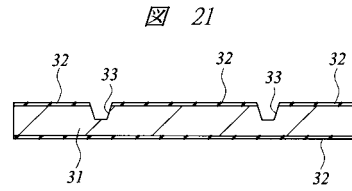
【 図 1 8 】



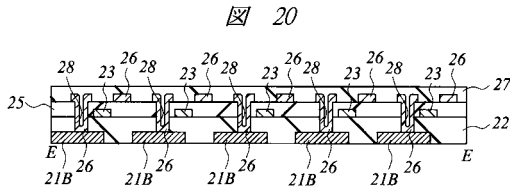
【 図 1 9 】



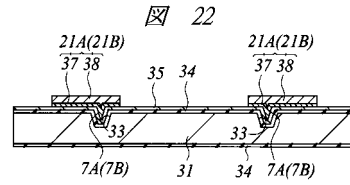
【 図 2 1 】



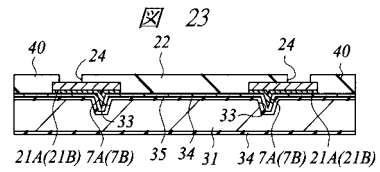
【 図 2 0 】



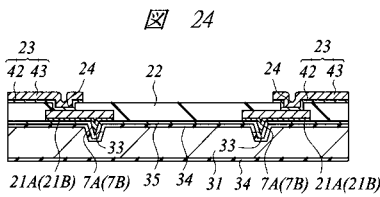
【 図 2 2 】



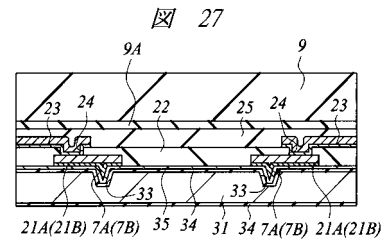
【 図 2 3 】



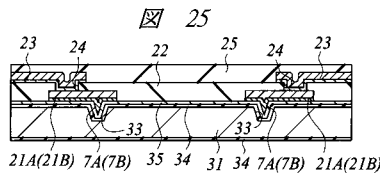
【 図 2 4 】



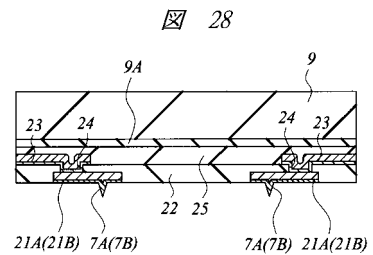
【 図 2 7 】



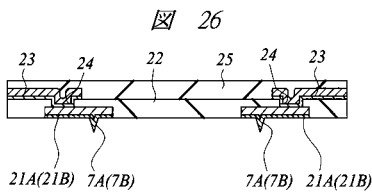
【 図 2 5 】



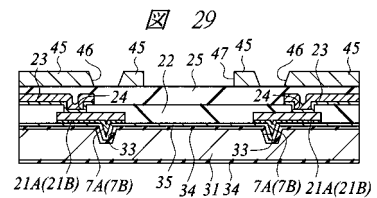
【 図 2 8 】



【 図 2 6 】



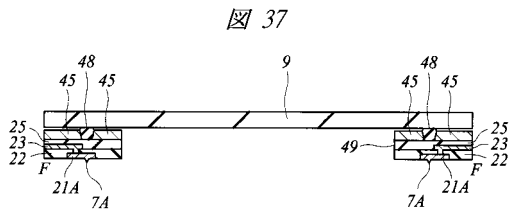
【 図 2 9 】



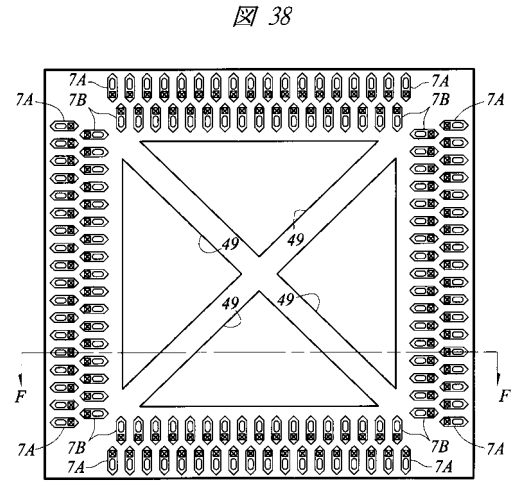




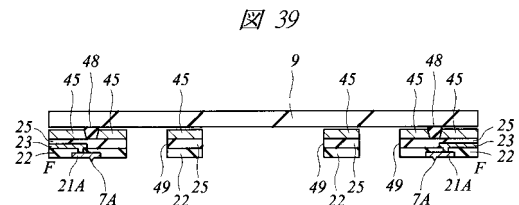
【 図 3 7 】



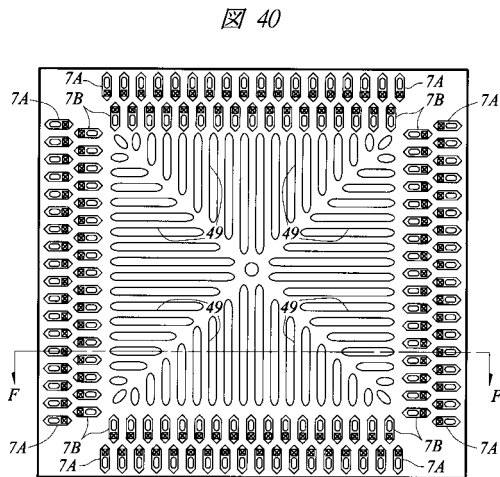
【 図 3 8 】



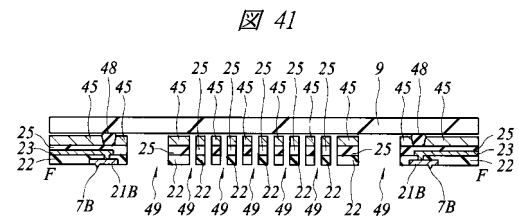
【 図 3 9 】



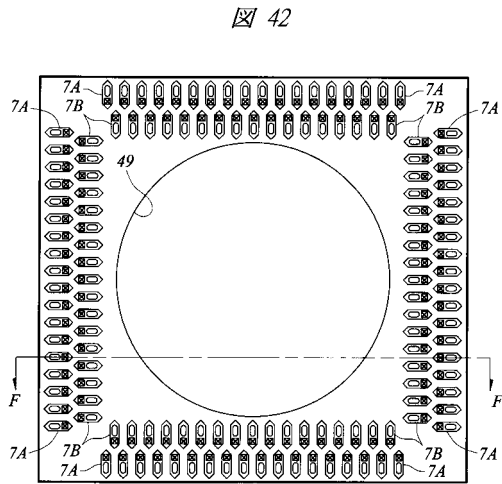
【 図 4 0 】



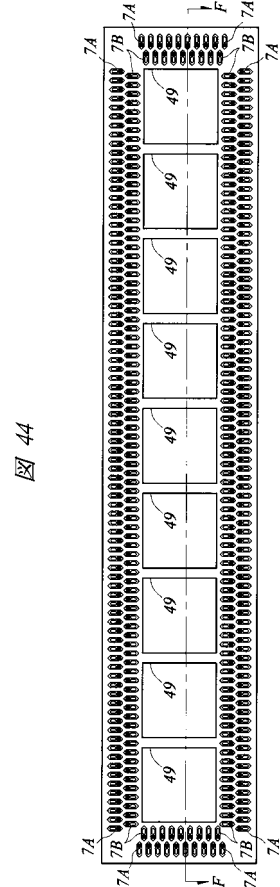
【 図 4 1 】



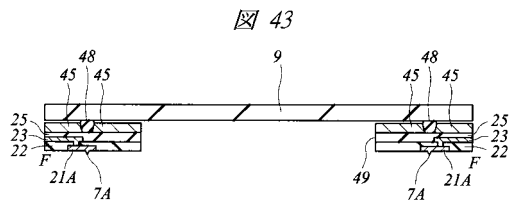
【 図 4 2 】



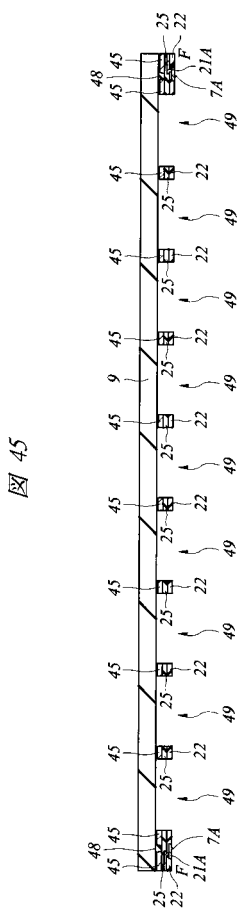
【 図 4 4 】



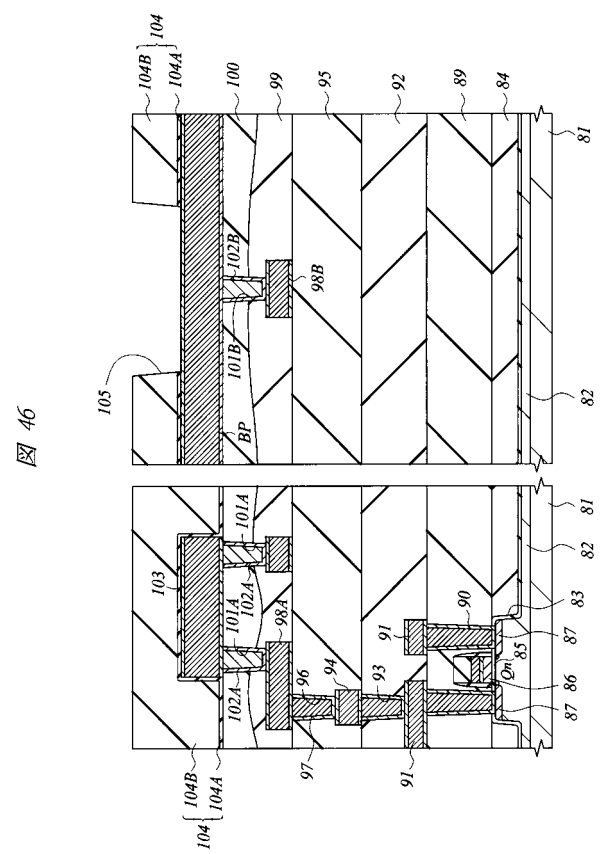
【 図 4 3 】



【 図 4 5 】



【 図 4 6 】



## 【手続補正書】

【提出日】平成23年4月14日(2011.4.14)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体ウエハ上の半導体素子に設けられた複数の第1電極各々と接触するための複数の接触端子と、

前記複数の接触端子の先端が前記半導体ウエハの主面に対向して第1配線基板に保持された第1シートと、

前記第1シートのうち前記複数の接触端子が形成された第1領域を前記第1配線基板から離間して保持するように前記第1シートに接着された接着リングと、

前記第1シートのうち前記第1領域を裏面側から押し出す押圧具と、

前記押圧具を押し出す押圧機構と、

前記複数の接触端子の前記先端を前記複数の第1電極に接触させる際のコンタクト加圧量を制御する加圧機構と、

前記押圧機構が内蔵されたプランジャと、

前記プランジャに固定された加重治具と、

を有するプローブカードであって、

前記加重治具は、前記接着リングと連結され、

前記押圧機構による押圧力は、前記押圧具を介して前記第1シートに伝わり、前記第1領域を前記裏面側から前記押圧具を押し出すことにより前記第1シートを引き伸ばし、

前記加重治具、前記押圧具、前記接着リングおよび前記プランジャは一体となり、前記加圧機構によりコンタクト加圧量を制御し、

前記押圧機構による前記第1領域の押し出し量と、前記加圧機構による前記コンタクト加圧量とは、それぞれ独立に制御され、

前記複数の接触端子の前記先端を前記複数の第1電極に接触させて半導体集積回路の電氣的検査を行うためのプローブカード。

【請求項2】

請求項1記載のプローブカードにおいて、

前記押圧機構は、ばねを含み、

前記加圧機構は、複数のばねを含む。

【請求項3】

請求項1記載のプローブカードにおいて、

前記第1シートには、開口部が形成されている。

【請求項4】

半導体ウエハ上の半導体素子に設けられた複数の第1電極各々と接触するための複数の接触端子と、

前記複数の接触端子の先端が前記半導体ウエハの主面に対向して第1配線基板に保持された第1シートと、

前記第1シートのうち前記複数の接触端子が形成された第1領域を前記第1配線基板から離間して保持するように前記第1シートに接着された接着リングと、

前記第1シートのうち前記第1領域を裏面側から押し出す押圧具と、

前記押圧具を押し出す押圧機構と、

前記複数の接触端子の前記先端を前記複数の第1電極に接触させる際のコンタクト加圧量を制御する加圧機構と、

前記押圧機構が内蔵されたプランジャと、

前記プランジャに固定された加重治具と、  
を有するプローブカードを有する検査装置であって、  
前記加重治具は、前記接着リングと連結され、  
前記押圧機構による押圧力は、前記押圧具を介して前記第 1 シートに伝わり、前記第 1  
領域を前記裏面側から前記押圧具を押し出すことにより前記第 1 シートを引き伸ばし、  
前記加重治具、前記押圧具、前記接着リングおよび前記プランジャは一体となり、前記  
加圧機構によりコンタクト加圧量を制御し、  
前記押圧機構による前記第 1 領域の押し出し量と、前記加圧機構による前記コンタクト  
加圧量とは、それぞれ独立に制御され、  
前記複数の接触端子の前記先端を前記複数の第 1 電極に接触させて半導体集積回路の電  
氣的検査を行うためのプローブカードを有する検査装置。

【請求項 5】

請求項 4 記載の検査装置において、  
前記押圧機構は、ばねを含み、  
前記加圧機構は、複数のばねを含む。

【請求項 6】

請求項 4 記載の検査装置において、  
前記第 1 シートには、開口部が形成されている。

---

フロントページの続き

- (72)発明者 本山 康博  
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
- (72)発明者 岡元 正芳  
茨城県ひたちなか市堀口730番地 株式会社ルネサス那珂セミコンダクタ内
- (72)発明者 成塚 康則  
神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
- (72)発明者 岡本 直樹  
東京都新宿区西新宿六丁目5番1号 株式会社ルネサス東日本セミコンダクタ内
- Fターム(参考) 2G003 AA10 AD09 AG04 AH01 AH07  
2G011 AA15 AB08 AC14 AE03  
4M106 AA01 AA02 BA01 DD04 DD06 DD10