



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I602187 B

(45)公告日：中華民國 106 (2017) 年 10 月 11 日

(21)申請案號：105121011

(22)申請日：中華民國 105 (2016) 年 07 月 01 日

(51)Int. Cl. : G11C16/26 (2006.01)

G11C29/44 (2006.01)

G06F3/06 (2006.01)

(30)優先權：2016/03/01 日本

2016-038942

(71)申請人：東芝記憶體股份有限公司 (日本) TOSHIBA MEMORY CORPORATION (JP)  
日本

(72)發明人：本間充祥 HONMA, MITSUAKI (JP)

(74)代理人：陳長文

(56)參考文獻：

US 9124300B2

US 9223649B2

US 2015/0074490A1

US 2015/0261605A1

審查人員：蕭明椿

申請專利範圍項數：10 項 圖式數：18 共 56 頁

(54)名稱

半導體記憶裝置及記憶體系統

(57)摘要

本發明之實施形態提供一種能夠使動作高速化之半導體記憶裝置及記憶體系統。

實施形態之半導體記憶裝置 10 具備：第 1 記憶胞，其能夠記憶 n 位元之資料；第 2 記憶胞，其能夠記憶 m 位元(m>n)之資料；及感測放大器 12，其對第 1 及第 2 記憶胞進行資料之讀出及寫入。於半導體記憶裝置 10 自控制器 20 接收到第 1 命令時，感測放大器 12 將第 1 資料寫入至第 1 記憶胞。繼而，感測放大器 12 於寫入後自第 1 記憶胞讀出第 1 資料，將第 1 資料與所讀出之第 1 資料進行比較。於半導體記憶裝置 10 自控制器 20 接收到第 2 命令之情形時，感測放大器 12 將自第 1 記憶胞讀出之第 1 資料或自控制器 20 接收到之第 2 資料寫入至第 2 記憶胞。

指定代表圖：

符號簡單說明：

S40~S52 . . . 步驟

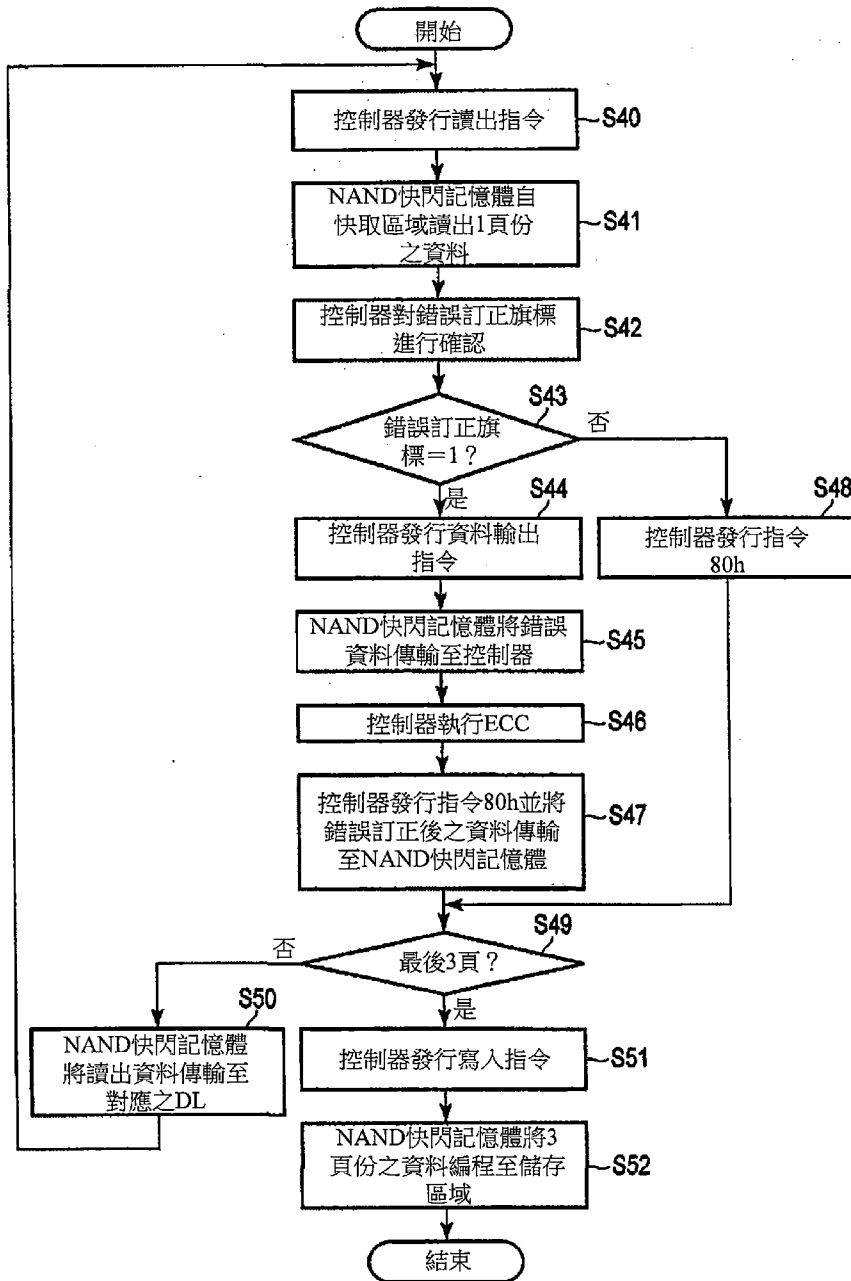


圖10

## 發明摘要

公告本

※ 申請案號：105121011

※ 申請日：105/07/01

※IPC 分類：G11C 16/26 (2006.01)

G11C 29/44 (2006.01)

G06F 3/06 (2006.01)

## 【發明名稱】

半導體記憶裝置及記憶體系統

## 【中文】

本發明之實施形態提供一種能夠使動作高速化之半導體記憶裝置及記憶體系統。

實施形態之半導體記憶裝置10具備：第1記憶胞，其能夠記憶n位元之資料；第2記憶胞，其能夠記憶m位元( $m > n$ )之資料；及感測放大器12，其對第1及第2記憶胞進行資料之讀出及寫入。於半導體記憶裝置10自控制器20接收到第1命令時，感測放大器12將第1資料寫入至第1記憶胞。繼而，感測放大器12於寫入後自第1記憶胞讀出第1資料，將第1資料與所讀出之第1資料進行比較。於半導體記憶裝置10自控制器20接收到第2命令之情形時，感測放大器12將自第1記憶胞讀出之第1資料或自控制器20接收到之第2資料寫入至第2記憶胞。

## 【英文】

無

**【代表圖】**

**【本案指定代表圖】**：第（10）圖。

**【本代表圖之符號簡單說明】**：

S40~S52 步驟

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

半導體記憶裝置及記憶體系統

## [相關申請案]

本申請案享有以日本專利申請案2016-38942號(申請日：2016年3月1日)為基礎申請案之優先權。本申請案藉由參照該基礎申請案而包含基礎申請案之全部內容。

## 【技術領域】

實施形態係關於一種半導體記憶裝置及記憶體系統。

## 【先前技術】

已知有如下記憶體系統：具備半導體記憶裝置及控制器，該半導體記憶裝置具有使用記憶1位元之資料之記憶胞之快取區域與使用記憶2位元以上之記憶胞之儲存區域。

## 【發明內容】

本發明之實施形態提供一種能夠使動作高速化之半導體記憶裝置及記憶體系統。

實施形態之半導體記憶裝置具備：第1記憶胞，其能夠記憶 $n$ 位元( $n$ 為1以上之自然數)之資料；第2記憶胞，其能夠記憶 $m$ 位元( $m$ 為2以上之自然數， $m > n$ )之資料；及感測放大器，其對第1及第2記憶胞進行資料之讀出及寫入。於半導體記憶裝置自控制器接收到第1命令時，感測放大器將第1資料寫入至第1記憶胞。繼而，感測放大器於寫入後自第1記憶胞讀出第1資料，並將第1資料與所讀出之第1資料進行比較。於半導體記憶裝置自控制器接收到第2命令之情形時，感測放大器將自第1記憶胞讀出之第1資料或自控制器接收到之第2資料寫入

至第2記憶胞。

### 【圖式簡單說明】

圖1係第1實施形態之記憶體系統之方塊圖。

圖2係第1實施形態之記憶體系統所具備之半導體記憶裝置之方塊圖。

圖3係第1實施形態之記憶體系統所具備之半導體記憶裝置所包含之記憶胞陣列及感測放大器模組之電路圖。

圖4係第1實施形態之記憶體系統中之寫入動作之流程圖。

圖5係第1實施形態之記憶體系統中之第1寫入動作之流程圖。

圖6係第1實施形態之記憶體系統中之第1寫入動作時之狀態讀取結果。

圖7係儲存於第1實施形態之記憶體系統所具備之控制器中之錯誤訂正旗標資訊之資料表。

圖8係第1實施形態之記憶體系統中之第1寫入動作之時序圖。

圖9係第1實施形態之記憶體系統中之第1寫入動作之指令序列。

圖10係第1實施形態之記憶體系統中之第2寫入動作之流程圖。

圖11係第1實施形態之記憶體系統中之第2寫入動作之指令序列。

圖12係第1實施形態之記憶體系統中之第2寫入動作之說明圖。

圖13係第1實施形態之記憶體系統中之第2寫入動作之說明圖。

圖14係說明第2實施形態之記憶體系統所具備之半導體記憶裝置所包含之記憶胞電晶體之閾值分佈之圖。

圖15係第2實施形態之記憶體系統中之第1寫入動作之流程圖。

圖16係第2實施形態之記憶體系統中之第1寫入動作時之狀態讀取結果。

圖17係第2實施形態之記憶體系統中之第2寫入動作之流程圖。

圖18係第1實施形態之記憶體系統中之第2寫入動作之指令序

列。

### 【實施方式】

以下，參照圖式對實施形態進行說明。再者，於以下之說明中，對於具有相同功能及構成之要素標註共通之參照符號。

#### [1]第1實施形態

以下，對第1實施形態之半導體記憶裝置及記憶體系統進行說明。

##### [1-1]記憶體系統1之構成

首先，使用圖1對記憶體系統之構成進行說明。於圖1中示出記憶體系統之方塊圖。如圖1所示，記憶體系統1具備半導體記憶裝置10及控制器20。

半導體記憶裝置10係非揮發地記憶資料之NAND(NOT AND，反及)型快閃記憶體。關於半導體記憶裝置10之構成之詳請，於下文進行敘述。

控制器20響應來自外部之主機機器之命令而對半導體記憶裝置10命令讀出、寫入及刪除等。又，控制器20對半導體記憶裝置10中之記憶體空間進行管理。如圖1所示，控制器20具備處理器(CPU)21、內置記憶體(RAM)22、暫存器23、ECC(Error Checking and Correcting，錯誤檢查與訂正)電路24、NAND介面電路25、緩衝記憶體26及主機介面電路27。

處理器21對控制器20整體之動作進行控制。例如，處理器21響應自主機機器接收之寫入命令，發行基於NAND介面之寫入命令。該動作於讀出及刪除之情形時亦相同。

內置記憶體22及暫存器23例如為DRAM(Dynamic Random Access Memory，動態隨機存取記憶體)等半導體記憶體，且被用作處理器21之作業區域。內置記憶體22保持用以管理半導體記憶裝置10之固體或

各種管理表等。暫存器23保持於快取寫入動作時自半導體記憶裝置10接收之錯誤訂正旗標。

ECC電路24進行資料之錯誤訂正(ECC：Error Checking and Correcting)處理。具體而言，ECC電路24於資料之寫入時基於寫入資料而產生奇偶校驗(parity)。繼而，ECC電路24於資料之讀出時根據奇偶校驗產生校驗子來檢測錯誤，並對所檢測出之錯誤進行訂正。

NAND介面電路25與半導體記憶裝置10連接，並負責與半導體記憶裝置10之通信。例如，NAND介面電路25根據處理器21之指示將指令CMD、位址資訊ADD及資料DAT發送至半導體記憶裝置10。又，NAND介面電路25自半導體記憶裝置10接收狀態資訊STS及資料DAT。該狀態資訊STS例如包含錯誤訂正旗標或就緒/忙碌資訊。關於錯誤訂正旗標及就緒/忙碌資訊之詳情，於下文中進行敘述。

緩衝記憶體26暫時保持控制器20自半導體記憶裝置10及主機機器接收之資料等。

主機介面電路27經由未圖示之主機總線與主機機器連接，並負責與主機機器之通信。例如，主機介面電路27將自主機機器接收之命令及資料分別傳輸至處理器21及緩衝記憶體26。

再者，亦可為於上述構成中未設置ECC電路24，處理器21具有ECC電路24之功能。又，內置記憶體22及暫存器23亦可由1個半導體記憶體構成。又，NAND總線所含之信號線DQ之條數並不限定於此，可進行各種變更。

#### [1-1-1]半導體記憶裝置10之構成

繼而，使用圖2對半導體記憶裝置10之構成進行說明。於圖2中示出半導體記憶裝置10之方塊圖。如圖2所示，半導體記憶裝置10具備記憶胞陣列11、感測放大器模組12、列解碼器13、輸入輸出電路14、暫存器15、邏輯控制電路16、定序器17、就緒/忙碌控制電路18



及電壓產生電路19。

記憶胞陣列11具備複數個區塊BLK，於圖2中例示複數個區塊BLK中之區塊BLK0~BLK3。區塊BLK係與位元線及字元線建立關聯之複數個非揮發性記憶胞之集合，例如成為資料之刪除單位。於半導體記憶裝置10中，例如區塊BLK0被用作快取區域，區塊BLK1~BLK3被用作儲存區域。

快取區域係暫時保持寫入資料之記憶區域。該快取區域應用使記憶胞記憶1位元之資料之SLC(Single-Level Cell，單級單元)方式。相對於此，儲存區域係每單位面積之記憶容量大於快取區域之記憶區域，且係資料之保存區域。該儲存區域應用使記憶胞記憶2位元以上之資料之MLC(Multi-Level Cell，多級單元)方式。因此，關於高速地寫入資料，快取區域較儲存區域更優異。相對於此，就保持大容量之資料之方面而言，儲存區域較快取區域更優異。

由此，當自控制器20接收資料之寫入命令時，資料首先被暫時寫入至快取區域。其後，於任意時間點(例如空白時間)將寫入至快取區域之資料傳輸至儲存區域。藉此，可兼顧資料之高速寫入與大容量化。

本實施形態係以應用使儲存區域之記憶胞記憶3位元之資料之TLC(Triple-Level Cell，三級單元)方式之情形為例進行說明。

感測放大器模組12自記憶胞陣列11讀出資料DAT，並視需要經由輸入輸出電路14將所讀出之資料DAT輸出至控制器20。又，感測放大器模組12將自控制器20經由輸入輸出電路14接收之寫入資料DAT傳輸至記憶胞陣列11。

列解碼器13選擇與進行讀出及寫入之對象之記憶胞對應之字元線。繼而，列解碼器13對所選擇之字元線及非選擇之字元線分別施加所需之電壓。

輸入輸出電路14自控制器20接收指令CMD、位址資訊ADD及寫入資料DAT，並分別傳輸至指令暫存器15C、位址暫存器15B及感測放大器模組12。又，輸入輸出電路14將自狀態暫存器15A及感測放大器模組12傳輸之狀態資訊STS及讀出資料DAT發送至控制器20。該等輸入輸出信號例如經由8位元寬之輸入輸出端子I/O1~I/O8而被收發。以下，將收發該8位元之資料之各條信號線稱為信號線DQ0~DQ7。

暫存器15包含狀態暫存器15A、位址暫存器15B、指令暫存器15C。狀態暫存器15A保持狀態資訊STS。又，狀態暫存器15A根據定序器17之指示而將該狀態資訊STS傳輸至輸入輸出電路14。位址暫存器15B保持位址資訊ADD。並且，位址暫存器15B將位址資訊ADD所包含之行位址信號CA及列位址信號RA分別傳輸至感測放大器模組12及列解碼器13。指令暫存器15C保持指令CMD。並且，指令暫存器15C將指令CMD傳輸至定序器17。

邏輯控制電路16自控制器20接收各種控制信號，控制輸入輸出電路14及定序器17。作為該控制信號，例如使用晶片賦能信號/CE、指令鎖存賦能信號CLE、位址鎖存賦能信號ALE、寫入賦能信號/WE、讀出賦能信號/RE及寫入保護信號/WP。信號/CE係用以使半導體記憶裝置10賦能之信號。信號CLE及ALE分別係將輸入信號為指令及位址信號通知給輸入輸出電路14之信號。信號/WE及/RE分別係例如對輸入輸出電路14指示經由輸入輸出端子I/O1~I/O8輸入及輸出信號之信號。信號/WP例如係用以於電源之接通/斷開時使半導體記憶裝置10為保護狀態之信號。

定序器17控制半導體記憶裝置10整體之動作。具體而言，定序器17基於自指令暫存器15C傳輸之指令CMD而控制感測放大器模組12、列解碼器13、電壓產生電路19等，而執行資料之寫入、讀出動作

等。

就緒/忙碌控制電路18基於定序器17之動作狀態產生就緒/忙碌信號RY/(/BY)，並將該信號發送至控制器20。信號RY/(/BY)係將半導體記憶裝置10為就緒狀態(受理來自控制器20之命令之狀態)抑或忙碌狀態(未受理來自控制器20之命令之狀態)通知給控制器20之信號。又，信號RY/(/BY)係藉由由就緒/忙碌控制電路18控制連接於其輸出之電晶體Tr之接通斷開而產生。例如，信號RY/(/BY)於半導體記憶裝置10讀出資料等之動作中被設為“L”位準(忙碌狀態)，當該等動作結束時被設為“H”位準(就緒狀態)。

電壓產生電路19產生適合於記憶胞陣列11、感測放大器模組12及列解碼器13之電壓。

再者，記憶胞陣列11所具備之區塊BLK數並不限定於此，可設為任意之數量。又，於複數個區塊BLK中，被分配至快取區域之區塊BLK之個數與被分配至儲存區域之區塊BLK之個數亦並不限定於此，可分別設為任意之數量。

又，作為控制器20獲知半導體記憶裝置10之動作狀態之機構，亦可不使用就緒/忙碌控制電路18。於該情形時，定序器17將與就緒/忙碌信號對應之就緒/忙碌資訊儲存至狀態暫存器15A。因此，若控制器20發行狀態讀取指令，則該資訊自狀態暫存器15A被讀出，並自輸入輸出電路14被輸出。藉此，控制器20可獲知半導體記憶裝置10之動作狀態。

#### [1-1-2] 區塊BLK之構成

繼而，使用圖3對區塊BLK之構成進行說明。於圖3中示出區塊BLK及感測放大器模組12之電路圖。如圖3所示，區塊BLK具備複數個NAND串NS。

各NAND串NS與位元線BL0~BL(L-1)((L-1)為1以上之自然數)

對應地設置，例如包含8個記憶胞電晶體MT(MT0~MT7)及選擇電晶體ST1、ST2。

記憶胞電晶體MT具備控制閘極及電荷儲存層，且非揮發地保持資料。又，記憶胞電晶體MT串聯連接於選擇電晶體ST1之源極與選擇電晶體ST2之汲極之間。同一區塊內之選擇電晶體ST1及ST2之閘極分別共通地連接於選擇閘極線SGD及SGS。同樣地，同一區塊內之記憶胞電晶體MT0~MT7之控制閘極分別共通地連接於字元線WL0~WL7。

又，於記憶胞陣列11內位於同一行之NAND串NS之選擇電晶體ST1之汲極共通地連接於位元線BL。即，位元線BL將複數個區塊BLK間位於同一行之NAND串NS共通地連接。進而，複數個選擇電晶體ST2之源極共通地連接於源極線SL。

於以上構成中，將連接於共通之字元線WL之複數個記憶胞所保持之1位元資料之集合稱為「頁」。因此，於應用SLC方式之情形時，於連接於1條字元線WL之複數個記憶胞之集合中記憶1頁份之資料。另一方面，於應用TLC方式之情形時，各記憶胞可保持3位元資料，因此於連接於1條字元線WL之複數個記憶胞之集合中記憶有3頁份之資料(作為3位元中之上位位元資料之集合之上位頁、作為中位位元資料之集合之中位頁、及作為下位位元資料之集合之下位頁之3頁)。

換言之，所謂「頁」，亦可定義為由連接於同一字元線之記憶胞所形成之記憶體空間之一部分。資料之寫入及讀出可針對每一該頁進行(將該方式稱為page-by-page reading/writing(逐頁讀出/寫入))。於該情形時，每次寫入或讀出1頁資料時，控制器20均對半導體記憶裝置10發行指令。

或者，資料之寫入及讀出亦可針對每條字元線WL進行。於該情形時，應用SLC方式時之動作與針對每頁進行之情形相同，但於應用

TLC方式之情形時，藉由1次指令輸入而統括地寫入或讀出被分配至1條字元線WL之3頁份之資料(將該方式稱為 sequential reading/writing(順序讀出/寫入))。

以下，以page-by-page reading/writing之情形為例進行說明，但於sequential reading/writing之情形時亦可應用。

再者，於上述構成中，1個NAND串NS所包含之記憶胞電晶體MT之數量並不限定於此，可設為任意之數量。

### [1-1-3]感測放大器模組12之構成

繼而，接著使用圖3對感測放大器模組12之構成進行說明。如圖3所示，感測放大器模組12具備設置於每條位元線BL之感測放大器單元SAU(SAU0~SAU(L-1))。並且，各感測放大器單元SAU具備感測放大器部SA、鎖存電路SDL、DL1、DL2及XDL、以及運算部OP。該等感測放大器部SA、鎖存電路SDL、DL1、DL2及XDL、以及運算部OP係以能夠相互收發資料之方式連接。

感測放大器部SA於讀出時感測已被讀出至對應之位元線BL之資料，並判斷讀出資料為“0”或“1”。又，於寫入時，基於寫入資料對位元線BL施加電壓。

鎖存電路SDL、DL1及DL2暫時保持讀出資料及寫入資料。讀出時感測放大器部SA所確定之讀出資料、及寫入時被傳輸至鎖存電路XDL之寫入資料例如被傳輸至鎖存電路SDL、DL1及DL2之任一者。

鎖存電路XDL用於感測放大器單元SAU與控制器20之間的資料之輸入輸出。即，自控制器20接收之資料經由鎖存電路XDL傳輸至鎖存電路SDL、DL1或者DL2、或感測放大器部SA。又，鎖存電路SDL、DL1或者DL2、或感測放大器部SA之資料經由鎖存電路XDL傳輸至控制器20。

運算部OP基於保持於鎖存電路SDL、DL1及DL2之資料進行及

(AND)運算、反及(NAND)運算、或(OR)運算、反或(NOR)運算、及互斥反或(XNOR)運算等各種邏輯運算。

再者，感測放大器單元SAU所具備之鎖存電路之個數並不限定於此。例如，基於1個記憶胞所記憶之位元數進行設定。又，亦可不於感測放大器單元SAU設置運算部OP。於該情形時，運算部OP之功能係藉由鎖存電路SDL、DL1及DL2間之資料傳輸而實現。

#### [1-2]寫入動作

##### [1-2-1]寫入動作之概略

繼而，使用圖4對記憶體系統1之寫入動作之概略進行說明。於圖4中示出記憶體系統1中之寫入動作之流程圖。

首先，半導體記憶裝置10將自控制器20傳輸之輸入資料以SLC方式寫入至快取區域(步驟S10)。繼而，半導體記憶裝置10將於步驟S10中寫入至快取區域之3頁份之資料自該快取區域讀出(步驟S11)。此處自快取區域讀出之頁數係基於應用於儲存區域之寫入方式而設定，且與u儲存區域中1個記憶胞能夠記憶之資料之位元數對應。於本例之情形時，儲存區域應用TLC方式，因此自快取區域讀出3頁份之資料。

繼而，半導體記憶裝置10將自快取區域讀出之3頁份之資料以TLC方式寫入至儲存區域(步驟S12)。

繼而，半導體記憶裝置10確認自控制器20傳輸之全部的輸入資料是否被寫入至儲存區域(步驟S13)。於全部的輸入資料未被寫入至儲存區域之情形時(步驟S13、No(否))，返回至步驟S11，半導體記憶裝置10進行剩餘輸入資料之寫入處理。此處，於剩餘輸入資料量未達3頁之情形時，將剩餘之1頁或2頁份之資料自快取區域讀出，並將讀出之資料之1位元或2位元量以TLC方式寫入至儲存區域。另一方面，於全部的輸入資料已被寫入至儲存區域之情形時(步驟S13、Yes(是))，記憶體系統1結束寫入動作。

如此，於記憶體系統1之寫入動作中，半導體記憶裝置10將自控制器20輸入之資料首先寫入至快取區域。繼而，半導體記憶裝置10於結束對快取區域之寫入後，將寫入之資料自快取區域讀出並寫回至儲存區域。

於以上之動作中，將步驟S10中之資料之寫入稱作第1寫入動作，將步驟S11及S12稱作第2寫入動作，以下對該等動作之詳情進行說明。

#### [1-2-2]第1寫入動作

##### [1-2-2-1]第1寫入動作之詳情

首先，使用圖5對第1寫入動作之詳情進行說明。於圖5中示出第1寫入動作之流程圖。

如圖5所示，首先，控制器20將寫入指令、位址及1頁份之資料發送至半導體記憶裝置10(步驟S30)。於是，在接收了該等信號之半導體記憶裝置10中，定序器17控制感測放大器模組12及列解碼器13等，並將接收到之1頁份之資料以SLC方式寫入至快取區域之記憶胞(步驟S20)。該SLC方式之寫入動作亦包含寫入資料後之錯誤確認動作。所謂錯誤確認動作係指藉由讀出所寫入之資料並將其與保持於感測放大器內之寫入資料進行比較，而判斷是否有產生寫入錯誤之動作。錯誤確認動作之詳情於下文中進行敘述。

於步驟S20之後，若半導體記憶裝置自忙碌狀態轉變為就緒狀態，則控制器發行狀態讀取指令“xxh”(步驟S31)，並將其保持於半導體記憶裝置10之指令暫存器15C。指令“xxh”係命令包含錯誤訂正旗標之狀態資訊之讀出之指令。當指令“xxh”被儲存至暫存器15C時，定序器17自狀態暫存器15A讀出包含錯誤訂正旗標之狀態資訊(步驟S21)。

使用圖6對在上述步驟S21中讀出之狀態資訊進行說明。如圖示

般，狀態資訊例如為8位元之資料，且包含錯誤訂正旗標及就緒/忙碌資訊。即，於8位元資料之最上位位元保持錯誤訂正旗標，於最下位位元保持就緒/忙碌資訊。於本例中，未使用第2位元至第7位元，但該等位元中亦可含有其他資訊。

錯誤訂正旗標例如於無需進行對象頁之錯誤訂正之情形時為“0”，於需要進行對象頁之錯誤訂正之情形時為“1”。就緒/忙碌資訊表示半導體記憶裝置10能否自控制器20接收指令，例如於半導體記憶裝置10為忙碌狀態之情形時為“0”，於就緒狀態之情形時為“1”。

並且，上述8位元資料自最上位位元起依序與信號線DQ0~DQ7配對，並使用該等信號線而被輸出至控制器20(步驟S22)。繼而，控制器20將所接收之狀態資訊所含之錯誤訂正旗標以表之形式保存於暫存器23(步驟S32)。

使用圖7對上述步驟S32中由錯誤訂正旗標而產生之表進行說明。圖7係表之概念圖，記憶胞陣列11之快取區域具備分別包含 $n$ ( $n$ 為1以上之自然數)頁PG之 $m$ 個( $m$ 為1以上之自然數)區塊BLK，並將該快取區域之錯誤訂正旗標製成表。

如圖示般，表係 $(n \times m)$ 之矩陣，行表示字元線WL之位置(頁PG0~PG( $n-1$ ))，列表示區塊BLK之位置(區塊BLK0~BLK( $m-1$ ))。

例如，於區塊BLK0中不包含需要錯誤訂正之頁之情形時，如圖7所示，與區塊BLK0對應之行中全部保持“0”。另一方面，於區塊BLK1中第 $(n-2)$ 頁PG( $n-2$ )中需要錯誤訂正之情形時，如圖7所示，與區塊BLK1之頁PG( $n-2$ )對應之單元中保持“1”，與其他不需要錯誤訂正之頁PG對應之單元中保持“0”。以下之區塊BLK亦相同。

該表例如係藉由處理器21之處理而製作。具體而言，首先，NAND介面電路25將自半導體記憶裝置10接收之狀態資訊傳輸至緩衝



記憶體26。繼而，處理器21自儲存於緩衝記憶體26之狀態資訊中提取錯誤訂正旗標。繼而，處理器21將所提取之錯誤訂正旗標與對應之字元線WL及區塊BLK建立關聯而製成表，並將其保存於暫存器23。

並且，藉由參照該表，處理器21能夠獲得哪一區塊之哪一頁中需要錯誤訂正之資訊。

於步驟S22之後，在已寫入之資料並非為最後1頁份之情形時(步驟S23、否)，返回至步驟S20，半導體記憶裝置10進行剩餘輸入資料之寫入處理。另一方面，於已寫入之資料為最後1頁份之情形時(步驟S23、是)，記憶體系統1結束第1寫入動作。

#### [1-2-2-2]錯誤確認動作

繼而，使用圖8對錯誤確認動作之詳情進行說明。於圖8中示出第1寫入動作之時序圖，且示出各動作之處理狀態與保持於鎖存電路SDL、DL1及XDL之資料。

如圖8所示，第1寫入動作大體包含寫入動作與錯誤確認動作。以下，為了與包含第1寫入動作及第2寫入動作之「廣義之寫入動作」進行區分，將第1寫入動作所含之寫入動作稱為「狹義之寫入動作」。

首先，於時刻t0，開始進行基於SLC方式之狹義之寫入動作。該寫入例如包含3次編程循環及於3次編程循環後進行之檢測動作。編程循環係編程動作與編程驗證動作之組合，該編程動作係將電子注入至電荷儲存層而使閾值電壓變動(若為非寫入對象單元，則例如藉由自升壓技術等而抑制閾值電壓之變動)，該編程驗證動作判斷藉由該編程動作而變動後之閾值電壓是否處於適當之位準。又，檢測動作係如下動作：對第3次編程循環中之驗證動作結果進行確認，並判斷驗證失敗之位元數(失敗位元數)是否變成某閾值以上。

如圖示般，於重複進行編程循環之期間，鎖存電路SDL保持驗證結果，鎖存電路DL1保持對所選擇之頁之寫入資料，鎖存電路XDL保

持寫入至下一頁之資料。

繼而，於時刻 $t_1$ ，定序器17參照感測放大器模組之鎖存電路SDL確認失敗位元數。此處，於失敗位元數變成閾值以上之情形時，返回至時刻 $t_0$ ，並再次進行編程循環。另一方面，於失敗位元數未達閾值之情形時，移行至時刻 $t_2$ 之動作。再者，確認該失敗位元數之動作可於每次編程循環中執行，亦可於規定次數之編程循環後執行。又，於已執行規定次數之該確認動作後失敗位元數未達閾值之情形時，定序器17將對象頁之寫入設為失敗，並將表示該頁之寫入失敗之資訊保持於狀態暫存器15A。

繼而，於時刻 $t_2$ ，定序器17開始進行錯誤確認動作。錯誤確認動作大體包含讀出動作、資料運算動作及檢測動作之3個步驟。以下，對其等之詳情進行說明。

如圖示般，首先，於時刻 $t_2$ ，定序器17開始進行讀出動作。即，各感測放大器單元SAU於將寫入資料保持於鎖存電路DL1之狀態下將剛寫入之資料(於時刻 $t_0 \sim t_1$ 寫入之資料)自記憶胞陣列11讀出。自記憶胞陣列11讀出之資料被保持於鎖存電路SDL。

繼而，於時刻 $t_3$ ，開始進行資料運算動作。即，各感測放大器單元SAU之運算部OP進行保持於鎖存電路SDL之資料與保持於鎖存電路DL1之資料之XNOR運算。即，運算部OP判定寫入資料與來自寫入對象頁之讀出資料是否一致。該運算結果被保持於鎖存電路DL1，此處，表示運算結果不一致之位元表示於讀出時被作為錯誤而檢測出之可能性較高。

繼而，於時刻 $t_4$ ，開始進行檢測動作。即，定序器17對表示XNOR運算結果不一致之感測放大器單元SAU之數量(錯誤位元數)進行確認。具體而言，定序器17於該錯誤位元數未達閾值之情形時，將錯誤訂正旗標設為“0”(無需對象頁之錯誤訂正)，於錯誤位元數超

過閾值之情形時，將錯誤訂正旗標設為“1”（必需對象頁之錯誤訂正）。該錯誤訂正旗標如上所述般儲存於狀態暫存器15A。

再者，於上述動作中保持各資料之鎖存電路並不限定於此，可進行各種變更。例如，亦可使XNOR運算結果保持於未圖示之鎖存電路DL2。

#### [1-2-2-3]第1寫入動作之指令序列

繼而，使用圖9對第1寫入動作之指令序列進行說明。於圖9中示出第1寫入動作之指令序列之一例。以下，以將3頁份之資料寫入至快取區域之情形為例進行說明。再者，於以下之說明中，由控制器20發行之位址及指令分別被儲存於位址暫存器15B及指令暫存器15C。

如圖9所示，首先控制器20發行指令“A2h”，並發送至半導體記憶裝置10。指令“A2h”係對半導體記憶裝置10命令以SLC方式進行處理之指令。繼而，控制器20發行寫入指令“80h”，並發送至半導體記憶裝置10。指令“80h”係命令寫入之指令。

繼而，控制器20例如跨及5個循環發行位址資訊ADD，並發送至半導體記憶裝置10。該位址資訊ADD係指定快取區域之位址之資訊。繼而，控制器20跨及複數個循環將寫入資料輸出至半導體記憶裝置10(圖5、步驟S30)。此處所輸出之資料合計相當於1頁份之資料，例如被保持於感測放大器模組12之鎖存電路XDL。

繼而，控制器20發行指令“10h”，並發送至半導體記憶裝置10。指令“10h”係基於剛發送來之位址資訊及資料而用以使半導體記憶裝置10執行資料寫入之指令。若指令“10h”被保持至暫存器15C，則定序器17控制感測放大器模組12及列解碼器13等，並開始進行包含錯誤確認動作之SLC方式之寫入動作(圖5、步驟S20)。此時，感測放大器模組12對暫存器內之位址資訊中之行位址信號CA進行解碼，並將保持於鎖存電路XDL之資料傳輸至各位元線BL。又，列解

碼器13對暫存器內之位址資訊中之列位址資訊RA進行解碼，並對選擇字元線及非選擇字元線施加所需之電壓。此時，就緒/忙碌控制電路18將就緒/忙碌信號設為“L”位準，並將半導體記憶裝置10為忙碌狀態通知給控制器20。繼而，若半導體記憶裝置10結束寫入動作，則就緒/忙碌控制電路18將就緒/忙碌信號設為“H”位準，並將半導體記憶裝置10為就緒狀態通知給控制器20。圖示之tProg(SLC)表示進行該SLC方式之寫入動作之期間。

繼而，控制器20發行指令“xxh”，並將其發送至半導體記憶裝置10(圖5、步驟S31)。指令“xxh”係用以自狀態暫存器15A讀出狀態資訊之指令。若指令“xxh”被保持至暫存器15C，則定序器17讀出儲存於暫存器15A之包含錯誤訂正旗標之狀態資訊(圖5、步驟S21)，並將包含狀態資訊之資料Dout輸出至控制器20(圖5、步驟S22)。當控制器20接收資料Dout時，自資料Dout提取錯誤訂正旗標並將其儲存於暫存器23(圖5、步驟S32)。

以上之動作與將1頁份之資料寫入至快取區域相對應。關於以下之第2頁及第3頁之資料之寫入，僅位址資訊ADD及資料、Dout之內容不同，指令序列相同，因此省略說明。

### [1-2-3]第2寫入動作

#### [1-2-3-1]第2寫入動作之詳情

繼而，使用圖10對第2寫入動作之詳情進行說明。於圖10中示出第2寫入動作之流程圖。

如圖10所示，首先控制器20發行讀出指令，並將其發送至半導體記憶裝置10(步驟S40)。該讀出指令係對半導體記憶裝置10命令自記憶胞陣列11向感測放大器模組讀出1頁份之指令。繼而，控制器20發送成為讀出對象之區域之位址。該位址相當於記憶胞陣列11之快取區域之任一頁。

定序器17基於所接收之讀出指令，自記憶胞陣列11之快取區域讀出1頁份之資料(步驟S41)。具體而言，列解碼器13對暫存器15內之位址資訊中之列位址資訊RA進行解碼，並對選擇字元線及非選擇字元線施加所需之電壓。繼而，感測放大器模組12感測已被讀出至位元線之資料。此時所讀出之資料例如保持於各感測放大器單元SAU之鎖存電路SDL。

繼而，控制器20之例如處理器21參照儲存於暫存器23之表，對與剛將資料讀出後之頁對應之錯誤訂正旗標進行確認(步驟S42)。

此處，於所參照之錯誤訂正旗標為“1”之情形時(步驟S43、是)、即對象資料為必需錯誤訂正之資料之情形時，控制器20發行資料輸出指令，並將其發送至半導體記憶裝置10(步驟S44)。該資料輸出指令係命令自感測放大器模組12向控制器20輸出資料之指令。繼而，控制器20發送成為讀出對象之感測放大器單元之位址。

定序器17基於所接收之資料輸出指令，自藉由位址指定之感測放大器單元SAU之鎖存電路SDL經由鎖存電路XDL傳輸至控制器20(步驟S45)。該資料例如保持於緩衝記憶體26。

繼而，控制器20之ECC電路24執行所接收到之讀出資料之錯誤訂正處理(步驟S46)。

繼而，控制器20發行指令“80h”並將其發送至半導體記憶裝置10，接著將作為寫入資料之錯誤訂正後之讀出資料傳輸至半導體記憶裝置10(步驟S47)。

另一方面，於步驟S43中所參照之錯誤訂正旗標為“0”之情形時(步驟S43、否)、即對象資料為無需錯誤訂正之資料之情形時，控制器20發行指令“80h”並將其發送至半導體記憶裝置10(步驟S48)。此時，未自控制器20向半導體記憶裝置10發送寫入資料。

於步驟S47或S48之後，控制器20判定自快取區域讀出之資料是

否達到以TLC方式寫入至在儲存區域中連接於同一字元線之記憶胞之3頁份(步驟S49)。

於自快取區域讀出之資料未達到3頁份之情形時(步驟S49、否)，控制器20以將讀出資料傳輸至並未保持自快取區域讀出之資料之鎖存電路DL1或DL2之方式對半導體記憶裝置10進行命令(步驟S50)，並返回至步驟S40之動作。

另一方面，於自快取區域讀出之資料達到3頁份之情形時(步驟S49、是)，控制器20發行寫入指令並將其發送至半導體記憶裝置10(步驟S51)。該寫入指令係用以使半導體記憶裝置10開始實際地對記憶胞寫入資料之指令。

於是，定序器17根據步驟S51中所接收到之寫入指令，將保持於各感測放大器單元SAU之鎖存電路SDL、DL1及DL2之3位元量之資料以TLC方式寫入至在儲存區域連接於同一字元線WL之記憶胞(步驟S52)。具體而言，列解碼器13對暫存器15內之位址資訊中之列位址資訊RA進行解碼，並對選擇字元線及非選擇字元線施加所需之電壓。又，感測放大器模組12將保持於鎖存電路SDL、DL1及DL2之資料傳輸至各位元線BL。更具體而言，將與該等資料對應之電壓施加至位元線BL。以此方式，當3位元量之資料寫入結束時，記憶體系統1結束第2寫入動作。

於以上之說明中，步驟S40至步驟S50之動作與圖4所示之步驟S11之動作對應，步驟S51及步驟S52之動作與圖4所示之步驟S12之動作對應。

再者，於進行對儲存區域之資料寫入之前，保持於各感測放大器單元SAU之資料之頁數基於應用於儲存區域之寫入方式而變化。即，基於儲存區域之記憶胞所記憶之資料之位元數，各感測放大器單元所必需之鎖存電路DL之個數亦會發生變化。

## [1-2-3-2]第2寫入動作之指令序列

繼而，使用圖11～圖13對第2寫入動作之指令序列進行說明。於圖11中示出第2寫入動作之指令序列之一例，於圖12及圖13中分別示出錯誤訂正旗標為“1”及“0”之情形時之資料之傳輸路徑之一例。以下，以於自快取區域讀出之3頁份之資料中第1頁之錯誤訂正旗標為“1”、第2頁及第3頁之錯誤訂正旗標為“0”之情形為例進行說明。

如圖11所示，首先，控制器20持續發行指令“A2h”及“00h”，並分別發送至半導體記憶裝置10(圖10、步驟S40)。指令“00h”相當於步驟S40中所說明之用於讀出之位址輸入受理指令，且係對半導體記憶裝置10命令讀出資料之指令。繼而，控制器20例如跨及5個循環發行位址資訊ADD，並將其發送至半導體記憶裝置10。該位址資訊ADD係指定快取區域之位址之資訊。繼而，控制器20發行指令“30h”，並將其發送至半導體記憶裝置10。指令“30h”係基於剛發送來之位址資訊而用以使半導體記憶裝置10執行資料讀出之指令。若指令“30h”被儲存至暫存器15C，則定序器17控制感測放大器模組12及列解碼器13等，並開始進行讀出動作(圖10、步驟S41)。此時，就緒/忙碌控制電路18將就緒/忙碌信號設為“L”位準，並將半導體記憶裝置10為忙碌狀態通知給控制器20。並且，當半導體記憶裝置10結束讀出動作時，就緒/忙碌控制電路18將就緒/忙碌信號設為“H”位準，並將半導體記憶裝置10為就緒狀態通知給控制器20。圖示之tRead表示進行該讀出動作之期間。

於資料訂正旗標為“1”之情形時(圖10、步驟S43、是)，控制器20於結束讀出動作後發行指令“05h”，並將其發送至半導體記憶裝置10(圖10、步驟S44)。指令“05h”相當於步驟S44中說明之資料輸出指令，且係命令自半導體記憶裝置10向控制器20輸出資料之指令。並且，控制器20例如跨及5個循環發行位址資訊ADD後發行指令

“E0h”，並分別發送至半導體記憶裝置10。該位址資訊ADD與剛進行讀出之資料之位址對應。指令“E0h”係基於剛發送來之位址資訊而用以使半導體記憶裝置10執行向控制器20輸出資料之指令。若指令“E0h”被儲存至暫存器15C，則保持於感測放大器模組12之包含錯誤之讀出資料Dout被輸出至控制器20(圖10、步驟S45)。且，控制器20使用ECC電路24對所輸出之讀出資料Dout之錯誤進行訂正(圖10、步驟S46)。

繼而，控制器20持續發行指令“01h”及“80h”，並分別發送至半導體記憶裝置10(圖10、步驟S47)。指令“01h”表示第1頁之寫入資料，且係命令向對應之鎖存電路傳輸資料之指令。且，控制器20例如跨5個循環發行位址資訊ADD，並將其發送至半導體記憶裝置10。該位址資訊ADD係指定儲存區域之位址之資訊。進而，控制器20將訂正錯誤後之讀出資料輸出至半導體記憶裝置10，接著發行指令“1Ah”並將其發送至半導體記憶裝置10。若指令“1Ah”被儲存至暫存器15C，則定序器17將所輸入之讀出資料傳輸至對應之感測放大器單元SAU之鎖存電路DL1(圖10、步驟S50)。此時，就緒/忙碌控制電路18將就緒/忙碌信號設為“L”位準，並向控制器20通知半導體記憶裝置10為忙碌狀態。且，當資料傳輸結束時，就緒/忙碌控制電路18將就緒/忙碌信號設為“H”位準，並向控制器20通知半導體記憶裝置10為就緒狀態。圖示之tDLtrans表示進行資料傳輸之期間。

以上之說明與於第1頁之資料讀出中錯誤訂正旗標為“1”之情形時之指令序列對應。圖12圖示了該動作中之讀出資料之傳輸路徑。

於第2頁以後之資料讀出中錯誤訂正旗標為“0”之情形時之指令序列，在對於錯誤訂正旗標為“1”之情況下不發行與錯誤訂正處理相關之指令之點有所不同。以下，就第2頁以後之資料讀出及資料寫入，對與錯誤訂正旗標為“1”之情形不同之點詳細地進行說明。



如圖11所示，於第2頁資料讀出中，首先自控制器20發行指令“A2h”至結束資料讀出(直至tRead之期間結束)，與錯誤訂正旗標為“1”之情形相同。

繼而，控制器20持續發行指令“02h”及“80h”，並分別發送至半導體記憶裝置10(圖10、步驟S48)。指令“02h”表示第2頁之寫入資料，且係命令向對應之鎖存電路傳輸資料之指令。且，控制器20例如跨5個循環發行位址資訊ADD，並將其發送至半導體記憶裝置10。進而，控制器20發行指令“1Ah”，並將其發送至半導體記憶裝置10。若半導體記憶裝置10接收到指令“1Ah”，則將讀出資料傳輸至鎖存電路DL2。

圖13圖示於該第2頁之資料讀出中錯誤訂正旗標為“0”之情形時之讀出資料之傳輸路徑。如圖13所示，錯誤訂正旗標為“0”之情形時之動作並不經由感測放大器單元SAU與控制器20之間的資料傳輸。

如圖11所示，相對於先前於第2頁之資料讀出中發行指令“02h”及“1Ah”，第3頁之資料讀出與發行指令“03h”及“10h”之情形相同。指令“03h”係表示第3頁之寫入資料之指令，指令“10h”係命令TLC方式之寫入之指令。

若指令“10h”被儲存至暫存器15C，則定序器17控制感測放大器模組12及列解碼器13等，並進行TLC方式之寫入動作(圖10、步驟S44)。此時，就緒/忙碌控制電路18將就緒/忙碌信號設為“L”位準，並將半導體記憶裝置10為忙碌狀態通知給控制器20。繼而，當半導體記憶裝置10結束寫入動作時，就緒/忙碌控制電路18將就緒/忙碌信號設為“H”位準，並將半導體記憶裝置10為就緒狀態通知給控制器20。圖示之tProg(TLC)表示進行該TLC方式之寫入動作之期間。

藉由以上之動作，自快取區域讀出之3頁份之資料被寫入至在儲

存區域連接於同一字元線WL之記憶胞。

### [1-3]第1實施形態之效果

繼而，對第1實施形態之效果進行說明。根據第1實施形態之半導體記憶裝置10，能夠一面維持資料之可靠性，一面使寫入動作高速化。以下，對該效果之詳情進行說明。

於具備使用記憶1位元之資料之記憶胞之快取區域與使用記憶2位元以上之記憶胞之儲存區域之半導體記憶裝置中，藉由首先將寫入資料寫入至快取區域後寫回至儲存區域，而較直接將資料寫入至儲存區域之情形更能使寫入速度高速化。

然而，若因微細化等之影響而導致自快取區域讀出之資料所包含之錯誤位元數增加，則必需錯誤訂正處理。並且，於進行錯誤訂正處理之情形時，會於半導體記憶裝置與控制器之間產生資料之交換，進而錯誤訂正處理本身耗費時間，因此寫入速度減慢。

因此，第1實施形態之半導體記憶裝置10於進行對快取區域之寫入時進行錯誤確認動作，並根據該確認結果判斷是否需要寫回時之錯誤訂正處理。

具體而言，於錯誤確認動作中，半導體記憶裝置10於剛對快取區域寫入後，確認所寫入之資料是否被正確地讀出。繼而，半導體記憶裝置10於錯誤位元數達到指定值以上之情形時確立錯誤訂正旗標，並將該旗標資訊發送至控制器20。控制器20根據所接收之旗標資訊製作表，並將其保存於控制器20內之暫存器23。藉此，控制器20能夠獲知記憶胞陣列11內必需錯誤訂正之頁之位址。

進而，控制器20於寫回資料時，基於錯誤訂正旗標進行錯誤訂正。具體而言，於錯誤訂正旗標為“1”之頁之寫回時，控制器20將資料自半導體記憶裝置10讀出，並藉由ECC電路24對錯誤進行訂正。繼而，將經訂正後之資料發送至半導體記憶裝置10，且半導體記憶裝

置10將該資料寫回至記憶胞陣列11。另一方面，於錯誤訂正旗標為“0”之頁之寫回時，控制器20並不特別讀出資料，而由半導體記憶裝置10將已讀出至感測放大器模組12之資料直接寫回至記憶胞陣列11。

藉此，第1實施形態之半導體記憶裝置10在為了寫回至儲存區域而自快取區域讀出之資料之錯誤位元數較多之情形時進行錯誤訂正，因此能夠提高資料之可靠性。又，於寫回至儲存區域時，僅於必需之情形時進行錯誤訂正處理，因此能夠使寫入動作高速化。

## [2]第2實施形態

繼而，對第2實施形態之記憶體系統1進行說明。第2實施形態將上述第1實施形態中說明之錯誤訂正旗標變更為移位讀取(shift read)旗標。並且，於第2寫入動作中之自快取區域讀出資料時，進行基於移位讀取旗標之移位讀取。以下，對與第1實施形態之不同點進行說明。

### [2-1]關於移位讀取

首先，使用圖14對移位讀取進行說明。於圖14中示出記憶1位元之資料之記憶胞之閾值分佈，圖14之縱軸及橫軸分別與記憶胞之數量及閾值電壓 $V_{th}$ 對應。

如圖14所示，記憶1位元之資料之記憶胞能夠獲取2個閾值之任一個。圖14所示之低閾值分佈“ER”為刪除狀態，例如被分配資料“1”。另一方面，高閾值分佈“A”為寫入狀態，例如被分配資料“0”。於讀出此種記憶於記憶胞之資料之情形時，藉由將讀出電壓VR設定於閾值分佈“ER”與閾值分佈“A”之間，而判定記憶於記憶胞之資料。

然而，於記憶胞劣化之情形時或具有不良之情形時，如圖14之虛線所示，存在閾值分佈擴大之情形。例如，如圖14所示，若擴大後

之閾值分佈“ER”之下擺超過讀出電壓VR，則存在於預先設定之讀出電壓VR下讀出資料之錯誤位元數增加之情形。

因此，對錯誤位元數增加後之頁進行變更用於資料讀出之電壓之移位讀取。具體而言，於移位讀取中，例如，如圖14所示，用於讀出資料之電壓自讀出電壓VR變更為向增高之方向移位後之讀出電壓VR'。該讀出電壓VR之移位量被最佳化為擴大後之閾值分佈。

使用如上述般最佳化後之讀出電壓VR'之移位讀取於讀出劣化或具有不良之記憶胞之資料之情形時，能夠降低讀出資料之錯誤位元數。

於第2實施形態之記憶體系統1中，進行基於移位讀取旗標之移位讀取。移位讀取旗標係基於第1實施形態中說明之錯誤確認動作之結果而設定，例如於錯誤確認動作中，於錯誤位元數未達閾值之情形時將移位讀取旗標設為“0”，於錯誤位元數超過閾值之情形時將移位讀取旗標設為“1”。於該情形時，移位讀取旗標“0”表示無需對象頁之移位讀取，移位讀取旗標“1”表示必需對象頁之移位讀取。

再者，使讀出電壓VR'自讀出電壓VR移位之量及方向能夠適當進行變更。例如，於擴大後之閾值分佈“A”之下擺小於讀出電壓VR之情形時，讀出電壓VR向降低之方向移位。

## [2-2]寫入動作

繼而，對第2實施形態之記憶體系統1之寫入動作進行說明。寫入動作之概略與第1實施形態相同，第1及第2寫入動作之詳情之一部分與第1實施形態不同。以下，對第2實施形態之記憶體系統1之第1及第2寫入動作與第1實施形態之不同點進行說明。

### [2-2-1]第1寫入動作之詳情

首先，使用圖15及圖16對第1寫入動作進行說明。於圖15中示出快取區域寫入動作之流程圖，於圖16中示出快取寫入動作時之狀態讀

取結果。第2實施形態之記憶體系統1之第1寫入動作係於第1實施形態中說明之圖5中，將與錯誤訂正旗標相關之動作替換成與移位讀取旗標相關之動作。

如圖15所示，首先，半導體記憶裝置10及控制器20分別進行上述步驟S20及步驟S30之動作。再者，於步驟S20中之錯誤確認動作中，基於錯誤確認結果之移位讀取旗標被儲存於狀態暫存器15A。

繼而，半導體記憶裝置10接收控制器20所發行之狀態讀取指令“yyh”（步驟S70），並將所接收到之指令“yyh”記憶至指令暫存器15C。指令“yyh”係命令讀出包含移位讀取旗標之狀態資訊之指令。若指令“yyh”儲存於指令暫存器15C，則定序器17將包含移位讀取旗標之狀態資訊自狀態暫存器15A讀出（步驟S60）。

繼而，所讀出之狀態資訊經由信號線DQ0～DQ7被輸出至控制器20（步驟S61），控制器20將所接收到之狀態資訊所包含之移位讀取旗標以表之形式保存於暫存器23（步驟S71）。以下之動作與第1實施形態中說明之圖5相同，因此省略說明。

再者，於上述步驟S61中自半導體記憶裝置10輸出之狀態資訊成為例如圖16所示者。如圖16所示，包含移位讀取旗標之狀態資訊與相對於圖6中說明之包含錯誤訂正旗標之狀態資訊而將錯誤訂正旗標替換成移位讀取旗標之情形相同。

又，保存於暫存器23之移位讀取旗標之表之構成及製作方法與例如圖7中說明之錯誤訂正旗標之表相同。

#### [2-2-2]第2寫入動作

##### [2-2-2-1]第2寫入動作之詳情

繼而，使用圖17對第2寫入動作進行說明。於圖17中示出第2寫入動作之流程圖。第2實施形態之記憶體系統1之第2寫入動作係於第1實施形態中說明之圖10中，將與錯誤訂正旗標相關之動作替換成與移

位讀取旗標相關之動作。

如圖17所示，首先，控制器20之例如處理器21參照儲存於暫存器23之表，對與此後讀出之頁對應之移位讀取旗標進行確認(步驟S80)。

此處，於所參照之移位讀取旗標為“1”之情形時(步驟S81、是)、即此後讀出對象之頁中必需移位讀取之情形時，控制器20發行移位讀取指令，並將其發送至半導體記憶裝置10(步驟S82)。該移位讀取指令係對半導體記憶裝置10命令自記憶胞陣列11向感測放大器模組12利用移位讀取來讀出1頁份之指令。

另一方面，於步驟S81中所參照之移位讀取旗標為“0”之情形時(步驟S81、否)、即於讀出對象之頁中無需移位讀取之情形時，控制器20發行通常之讀出指令並將其發送至半導體記憶裝置10(步驟S83)。

於步驟S82或S83之後，控制器20發送成為讀出對象之區域之位址。該位址相當於記憶胞陣列11之快取區域之任一頁。

定序器17基於所接收到之移位讀取指令或讀出指令，將1頁份之資料自記憶胞陣列11之快取區域讀出(步驟S84)。即，於步驟S84中，於經由步驟S82之情形時進行移位讀取，於經由步驟S83之情形時進行通常讀出。於該移位讀取與通常讀出中，讀出動作時施加至字元線WL之電壓不同。

於步驟S84之後，記憶體系統1之動作移行至上述步驟S48。以下之動作與第1實施形態中說明之圖10相同，僅圖17中自步驟S50移行至步驟S80之方面不同。

#### [2-2-2-2]第2寫入動作之指令序列

繼而，使用圖18對第2寫入動作之指令序列進行說明。於圖18中示出第2寫入動作之指令序列之一例。以下，以於自快取區域讀出之3

頁份之資料中第1頁之移位讀取旗標為“1”、第2頁及第3頁之移位讀取旗標為“0”之情形為例進行說明。

如圖18所示，首先，控制器20持續發行指令“A2h”及移位讀取指令“zzh”，並分別發送至半導體記憶裝置10(圖17、步驟S82)。指令“zzh”相當於步驟S82中說明之移位讀取指令。

繼而，控制器20例如跨及5個循環發行位址資訊ADD，並將其發送至半導體記憶裝置10。該位址資訊ADD係指定快取區域之位址之資訊。繼而，控制器20發行指令“30h”，並將其發送至半導體記憶裝置10。若指令“30h”被儲存至暫存器15C，則定序器17控制感測放大器模組12及列解碼器13等，並開始進行移位讀取。當進行移位讀取時，資料被讀出至各感測放大器單元SAU之感測放大器部SA，且所讀出之資料自感測放大器部SA被傳輸至鎖存電路SDL。

繼而，控制器20持續發行指令“01h”及“80h”，並分別發送至半導體記憶裝置10。繼而，控制器20例如跨及5個循環發行位址資訊ADD，並將其發送至半導體記憶裝置10。繼而，控制器20發行指令“1Ah”，並將其發送至半導體記憶裝置10。當半導體記憶裝置10接收到指令“1Ah”時，將讀出資料傳輸至鎖存電路DL1(圖17、步驟S50)。

以下之動作與第1實施形態中說明之圖11相同，因此省略說明。即，移位讀取旗標為“0”之情形時之指令序列與於第1實施形態中說明之圖11中錯誤訂正旗標為“0”之情形時之指令序列相同。

#### [2-3]第2實施形態之效果

繼而，對第2實施形態之效果進行說明。根據第2實施形態之半導體記憶裝置10，能夠較第1實施形態更提高寫入速度。以下，對該詳情進行說明。

於半導體記憶裝置中，存在能夠藉由進行移位讀取而降低自快

取區域讀出資料時所產生之錯誤位元數之情形。

因此，第2實施形態之半導體記憶裝置10係於第1實施形態中之錯誤確認動作中，在錯誤位元數成為特定值以上之情形時確立移位讀取旗標，並基於該移位讀取旗標製作表。該表係表示於記憶胞陣列11內哪一頁中必需移位讀取之資訊。繼而，藉由將該表發送至控制器20，控制器20能夠獲得必需移位讀取之位址。

進而，控制器20於寫回資料時，當自快取區域讀出資料時，基於移位讀取旗標發行移位讀取指令。具體而言，於移位讀取旗標為“1”之頁之寫回時發行移位讀取指令，接收到移位讀取指令之半導體記憶裝置10藉由移位讀取自快取區域讀出資料。另一方面，於移位讀取旗標為“0”之頁之寫回時發行通常之讀出指令，接收到通常之讀出指令之半導體記憶裝置10藉由通常之讀出動作自快取區域讀出資料。繼而，所讀出之資料被寫入至儲存區域。

藉此，第2實施形態之半導體記憶裝置10與第1實施形態同樣地能夠提高資料之可靠性。又，移位讀取不會如進行錯誤訂正處理之情形般於半導體記憶裝置10與控制器20之間產生資料之交換，因此較第1實施形態更能使寫入動作高速化。

### [3]變化例等

上述實施形態之半導體記憶裝置《10、圖1》具備：第1記憶胞《快取區域、圖2》，其能夠記憶 $n$ 位元( $n$ 為1以上之自然數)之資料；第2記憶胞《儲存區域、圖2》，其能夠記憶 $m$ 位元( $m$ 為2以上之自然數， $m > n$ )之資料；及感測放大器《12、圖2》，其對第1及第2記憶胞進行資料之讀出及寫入。於半導體記憶裝置自外部之控制器《20、圖1》接收到第1命令《80h、圖9》時，感測放大器將第1資料寫入至上述第1記憶胞《Program、圖8》。繼而，感測放大器用於寫入後自第1記憶胞讀出第1資料《Read、圖8》，並將第1資料與所讀出之第1資料



進行比較《XNOR、圖8》。於半導體記憶裝置接收第1命令後接收到與第1命令不同之第2命令《80h、圖11》時，基於上述比較結果，感測放大器將自第1記憶胞讀出之第1資料寫入至第2記憶胞或將自控制器接收之第2資料寫入至第2記憶胞。

又，上述實施形態之記憶體系統具備上述半導體記憶裝置、及能夠輸出第1及第2命令之控制器。

藉此，可提供一種能使動作高速化之半導體記憶裝置及記憶體系統。

再者，實施形態並不限定於上述第1及第2實施形態，可進行各種變化。例如關於上述實施形態，使用具備1個平面之半導體記憶裝置10進行了說明，上述1個平面設置有1個記憶胞陣列11及與其對應之感測放大器模組12及列解碼器13，但並不限定於此。即，半導體記憶裝置10亦可具備由1個定序器17控制之2個以上之平面。於該情形時，錯誤訂正旗標及移位讀取旗標針對各平面分別設定，狀態資訊所包含之各平面之各旗標根據狀態讀取指令而經由不同之信號線DQ輸出。

又，上述第1及第2實施形態藉由將於錯誤確認動作中確立旗標之錯誤位元數之閾值在錯誤訂正旗標與移位讀取旗標中設為不同之值而能夠同時地應用。例如關於確立旗標之閾值，將錯誤訂正旗標設定為較移位讀取旗標高。於該情形時，於錯誤確認動作中檢測出之錯誤位元數較少而期待由移位讀取改善之情形時能夠應用移位讀取，於錯誤確認動作中檢測出之錯誤位元數較多而必需錯誤訂正之情形時能夠應用錯誤訂正。藉此，可一面維持資料之可靠性，一面較第1實施形態更提高寫入速度。再者，於進行此種處理之情形時，半導體記憶裝置10亦可根據1次狀態讀取指令將錯誤訂正旗標與移位讀取旗標同時地輸出至控制器20。

又，控制器20分別於圖5所示之步驟S31中發行狀態讀取指令

“xxh”，於圖15所示之步驟S70中發行狀態讀取指令“yyh”，相對於此，亦可發行狀態讀取指令“70h”。即，半導體記憶裝置10亦可將於接收到狀態讀取指令“70h”之情形時讀出之寫入通過/失敗資訊與錯誤訂正旗標及移位讀取旗標一併讀出。

又，上述實施形態中表示了分別對快取區域及儲存區域之記憶胞應用SLC方式及TLC方式之寫入之例，但並不限定於此，只要記憶於快取區域之記憶胞之位元數較記憶於儲存區域之記憶胞之位元數少即可。

又，於上述實施形態中輸出各狀態資訊之信號線DQ之分配並不限定於此，可進行各種變更。又，於上述實施形態中錯誤訂正旗標及移位讀取旗標之數字之分配並不限定於此，可進行各種變更。

又，於上述說明中，所謂「連接」表示電連接，不僅包含直接連接之情形，亦包含經由任意之元件連接之情形。

再者，記憶胞陣列11亦可為記憶胞電晶體MT三維積層於半導體基板之上方而成之構成。關於此種構成，例如記載於名為“三維積層非揮發性半導體記憶體”且於2009年3月19日申請之美國專利申請12/407,403號。又，記載於名為“三維積層非揮發性半導體記憶體”且於2009年3月18日申請之美國專利申請12/406,524號、名為“非揮發性半導體記憶裝置及其製造方法”且於2010年3月25日申請之美國專利申請12/679,991號、名為“半導體記憶體及其製造方法”且於2009年3月23日申請之美國專利申請12/532,030號。該等專利申請之整體藉由參照而引用於本說明書中。

又，於上述實施形態中，區塊BLK亦可不成為資料之刪除單位。例如其他刪除動作記載於名為“非揮發性半導體記憶裝置”且於2011年9月18日申請之美國專利申請13/235,389號、名為“非揮發性半導體記憶裝置”且於2010年1月27日申請之美國專利申請12/694,690號。該

等專利申請之整體藉由參照而引用於本說明書中。

再者，對本發明之若干實施形態進行了說明，但該等實施形態係作為示例而提出，並不意圖限定發明之範圍。該等實施形態能夠以其他各種形態加以實施，且可於不脫離發明主旨之範圍內進行各種省略、替換、變更。該等實施形態或其變化包含於發明之範圍或主旨中，並且包含於申請專利範圍所記載之發明及其均等之範圍內。

### 【符號說明】

1	記憶體系統
10	半導體記憶裝置
11	記憶胞陣列
12	感測放大器模組
13	列解碼器
14	輸入輸出電路
15	暫存器
16	邏輯控制電路
17	定序器
18	就緒/忙碌控制電路
19	電壓產生電路
20	控制器
21	處理器
22	內置記憶體
23	暫存器
24	ECC電路
25	NAND介面電路
26	緩衝記憶體
27	主機介面電路

ADD	位址資訊
ALE	位址鎖存賦能信號
BL0~BL(L-1)	位元線
BLK	區塊
BLK0~BLK(m-1)	區塊
CA	行位址信號
/CE	晶片賦能信號
CLE	指令鎖存賦能信號
CMD	指令
DAT	資料
DL1	鎖存電路
DL2	鎖存電路
DQ0~DQ7	信號線
I/O1~I/O8	輸入輸出端子
MT	記憶胞電晶體
MT0~MT7	記憶胞電晶體
NS	NAND串
OP	運算部
PG	頁
PG0~PG(n-1)	頁
RA	列位址資訊
RY/(/BY)	就緒/忙碌信號
/RE	讀出賦能信號
SA	感測放大器部
SAU	感測放大器單元
SAU0~SAU(L-1)	感測放大器單元

SDL	鎖存電路
SGD	選擇閘極線
SGS	選擇閘極線
SL	源極線
ST1	選擇電晶體
ST2	選擇電晶體
STS	狀態資訊
S10~S13	步驟
S20~S23	步驟
S30~S32	步驟
S40~S52	步驟
S60~S61	步驟
S70~S71	步驟
S80~S83	步驟
Tr	電晶體
VR	讀出電壓
VR'	讀出電壓
XDL	鎖存電路
/WE	寫入賦能信號
/WP	寫入保護信號

## 申請專利範圍

1. 一種半導體記憶裝置，其特徵在於具備：

第1記憶胞，其能夠記憶 $n$ 位元( $n$ 為1以上之自然數)之資料；

第2記憶胞，其能夠記憶 $m$ 位元( $m$ 為2以上之自然數， $m > n$ )之資料；及

感測放大器，其對上述第1及第2記憶胞進行資料之讀出及寫入；且

於自外部之控制器接收到第1命令時，上述感測放大器將第1資料寫入至上述第1記憶胞，於上述寫入之後自上述第1記憶胞讀出上述第1資料，並將上述第1資料與上述讀出之第1資料進行比較，

於接收上述第1命令後接收到與該第1命令不同之第2命令時，基於上述比較結果，上述感測放大器將自上述第1記憶胞讀出之上述第1資料或自上述控制器接收到之第2資料寫入至上述第2記憶胞。

2. 如請求項1之半導體記憶裝置，其中

上述第2資料係對自上述第1記憶胞讀出之上述第1資料進行錯誤訂正處理後之資料。

3. 如請求項2之半導體記憶裝置，其中

上述錯誤訂正處理係藉由上述控制器而進行。

4. 如請求項1之半導體記憶裝置，其中

基於上述比較結果，設定表示是否需要對寫入至上述第1記憶胞之上述第1資料進行錯誤訂正處理之旗標，

於上述旗標尚未確立之情形時，於上述第2命令中，上述感測放大器將自上述第1記憶胞讀出之上述第1資料直接寫入至上述

第2記憶胞，

於上述旗標確立之情形時，上述控制器對自上述第1記憶胞讀出之上述第1資料進行錯誤訂正處理，並將錯誤訂正結果作為上述第2資料而發送至上述半導體記憶裝置，且上述感測放大器將上述第2資料寫入至上述第2記憶胞。

5. 一種半導體記憶裝置，其特徵在於具備：

第1記憶胞，其能夠記憶 $n$ 位元( $n$ 為1以上之自然數)之資料；

第2記憶胞，其能夠記憶 $m$ 位元( $m$ 為2以上之自然數， $m > n$ )之資料；及

感測放大器，其對上述第1及第2記憶胞進行資料之讀出及寫入；且

於自外部之控制器接收到第1命令時，上述感測放大器將第1資料寫入至上述第1記憶胞，於上述寫入之後自上述第1記憶胞讀出上述第1資料，並將上述第1資料與上述讀出之第1資料進行比較，

於接收上述第1命令後接收到與該第1命令不同之第2命令時，基於上述比較結果，上述感測放大器將藉由第1電壓而自上述第1記憶胞讀出之上述第1資料、或藉由與上述第1電壓不同之第2電壓而自上述第1記憶胞讀出之上述第1資料寫入至上述第2記憶胞。

6. 如請求項5之半導體記憶裝置，其中

根據上述比較結果設定與移位讀取相關之旗標，

於上述旗標尚未確立之情形時，於上述第1及第2命令中藉由第1電壓而讀出上述第1記憶胞，

於上述旗標確立之情形時，於上述第1命令中藉由上述第1電壓而讀出上述第1記憶胞，於上述第2命令中藉由上述第2電壓而

讀出上述第1記憶胞。

7. 如請求項1或5之半導體記憶裝置，其中

上述半導體記憶裝置根據於上述比較結束後自上述控制器接收到之第3命令，將上述比較結果輸出至上述控制器。

8. 如請求項1或5之半導體記憶裝置，其進而具備第3記憶胞，該第3記憶胞能夠記憶 $n$ 位元( $n$ 為1以上之自然數)之資料，且藉由上述感測放大器進行資料之讀出及寫入；

於接收上述第1命令而獲得上述第1及第2資料之比較結果後，上述感測放大器將第3資料寫入至上述第3記憶胞，於寫入上述第3資料之後自上述第3記憶胞讀出上述第3資料，並將上述第3資料與上述讀出之第3資料進行比較，

於接收上述第1命令後接收到與該第1命令不同之第2命令時，上述感測放大器將自上述第1及第3記憶胞讀出之2位元之資料寫入至上述第2記憶胞。

9. 如請求項1或5之半導體記憶裝置，其中

上述感測放大器包含第1及第2鎖存電路，

於接收到上述第1命令之情形時之動作中，上述第1資料自上述控制器被傳輸至上述第1鎖存電路，自上述第1記憶胞讀出之上述第1資料被傳輸至上述第2鎖存電路。

10. 一種記憶體系統，其特徵在於：

具備如請求項1或5之半導體記憶裝置、及能夠輸出上述第1及第2命令之控制器。



圖式

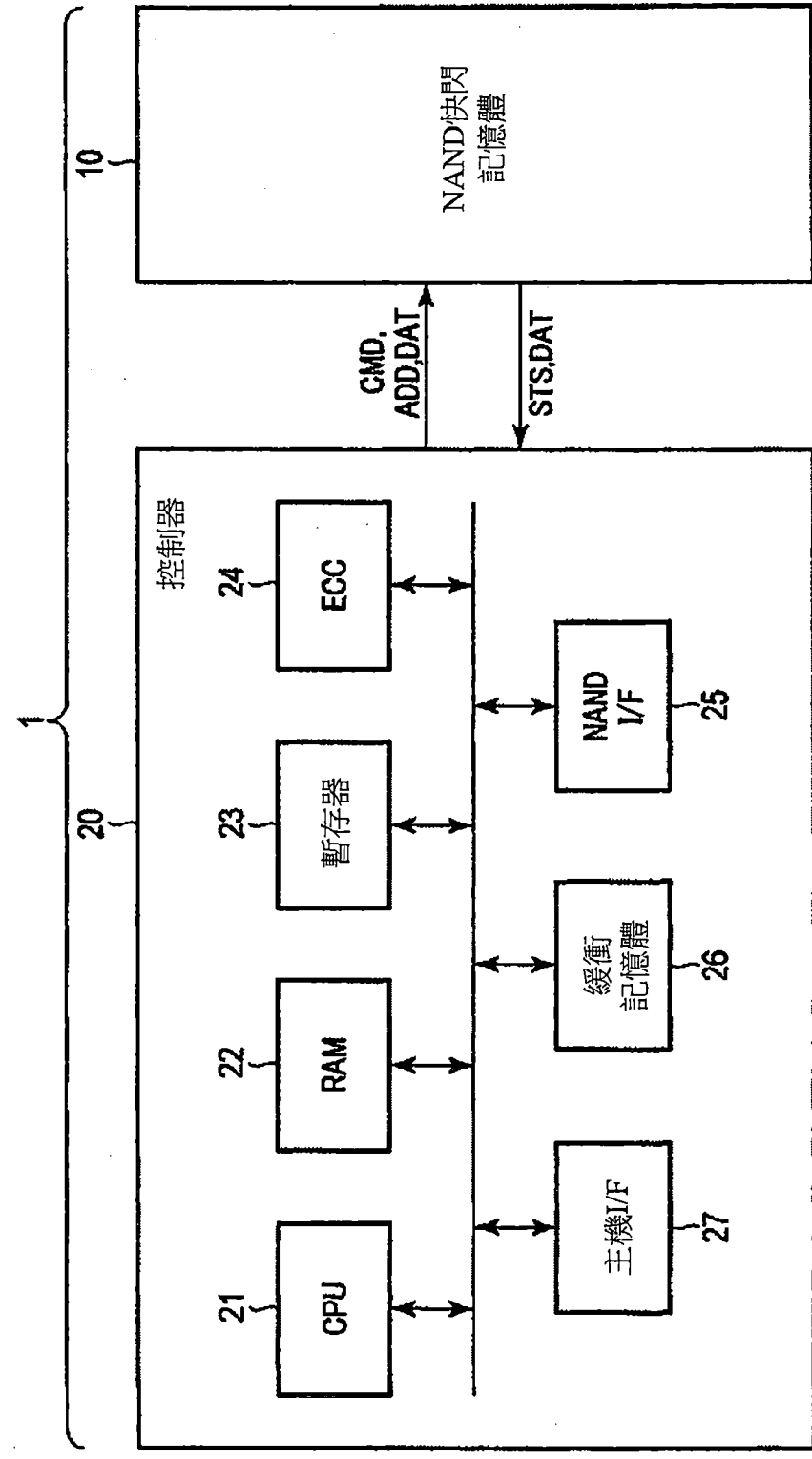


圖1

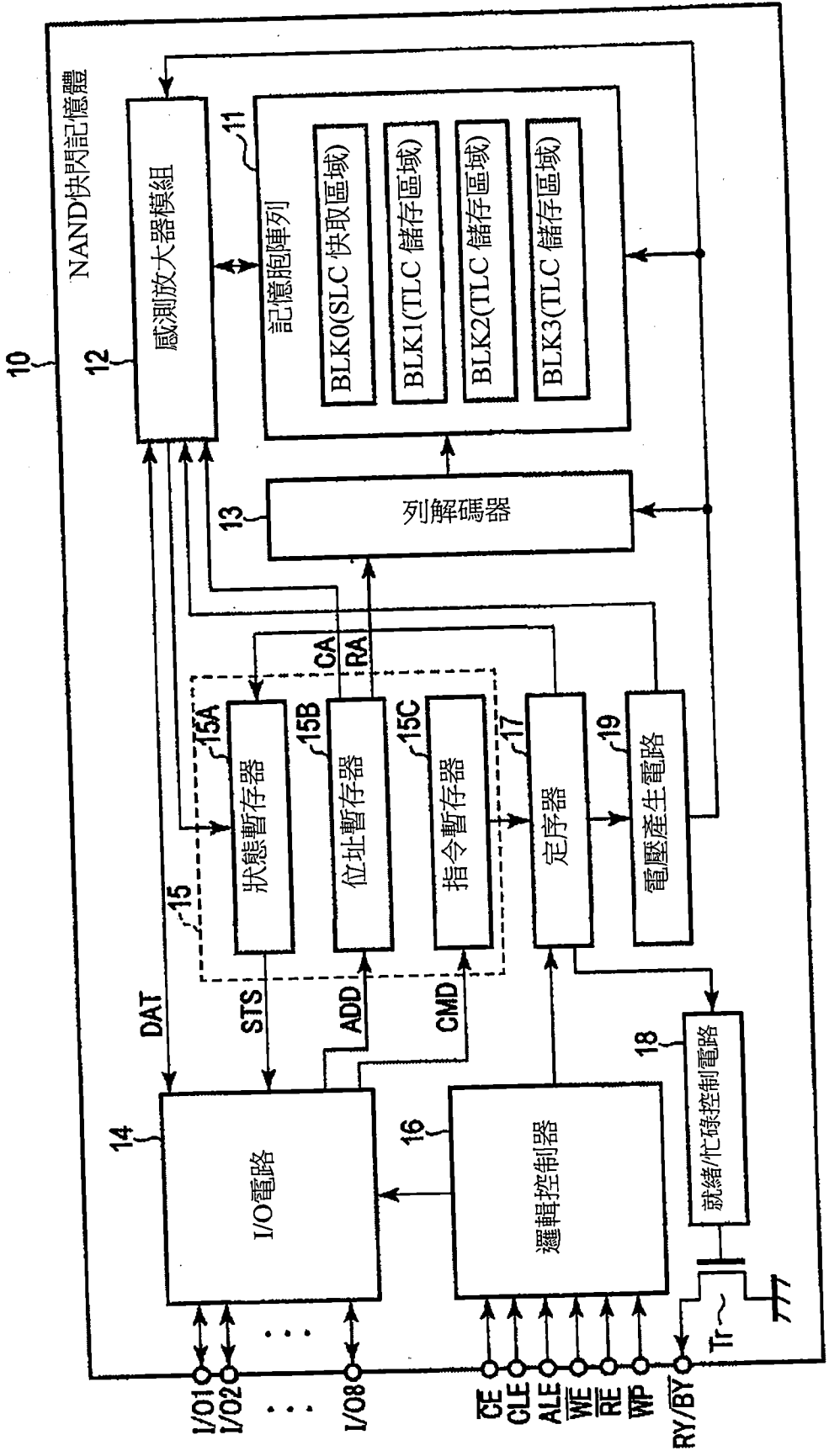


圖2

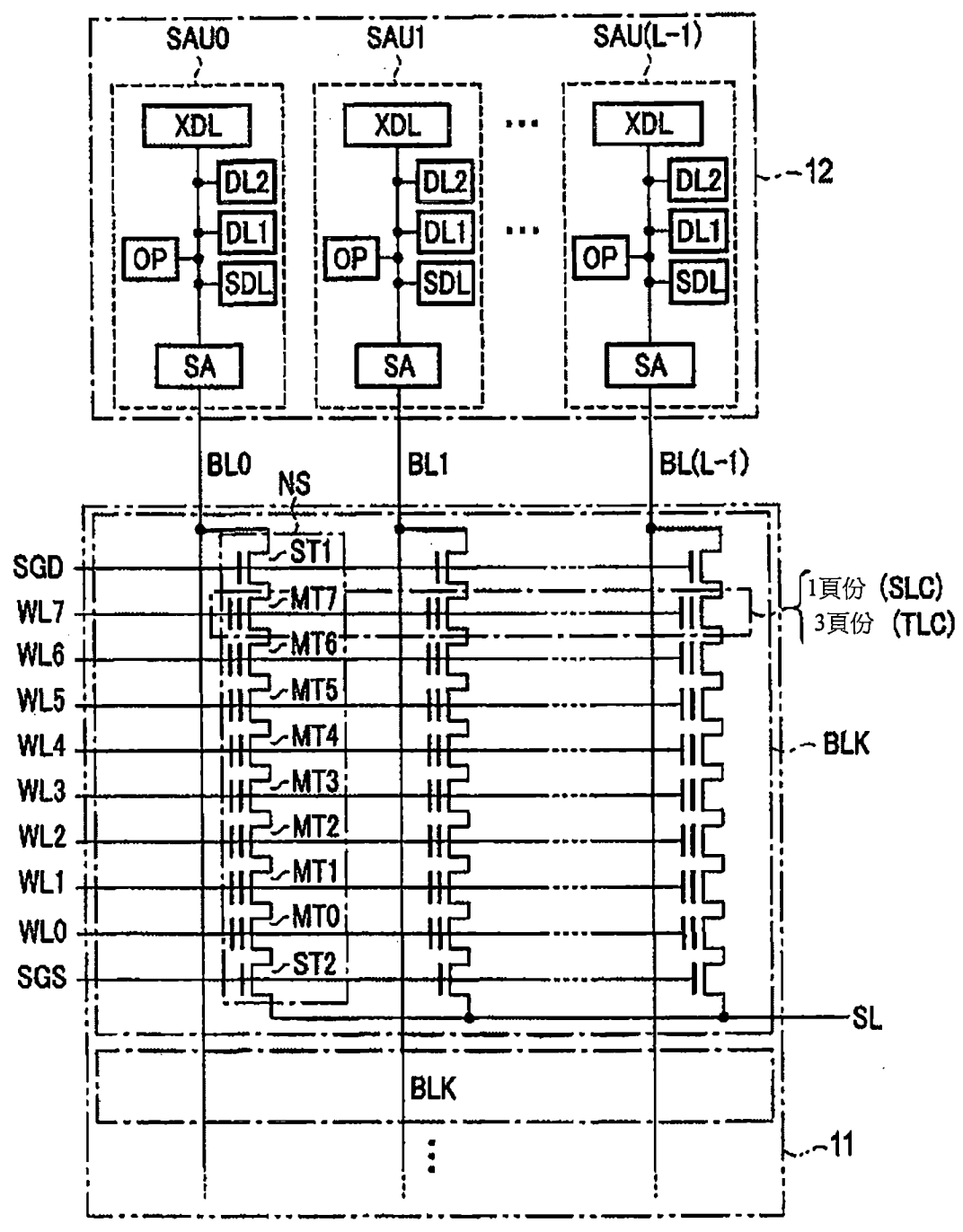


圖3

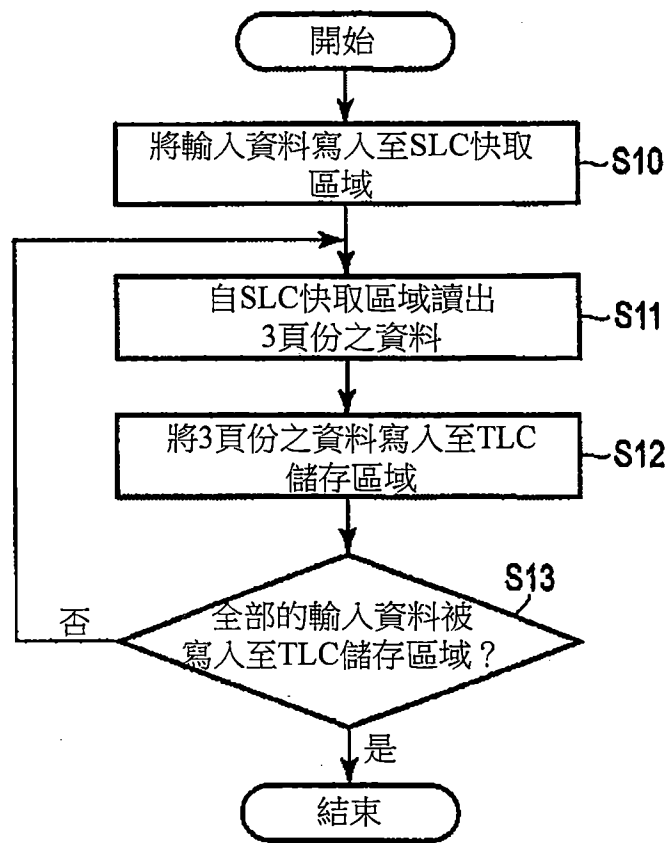


圖4

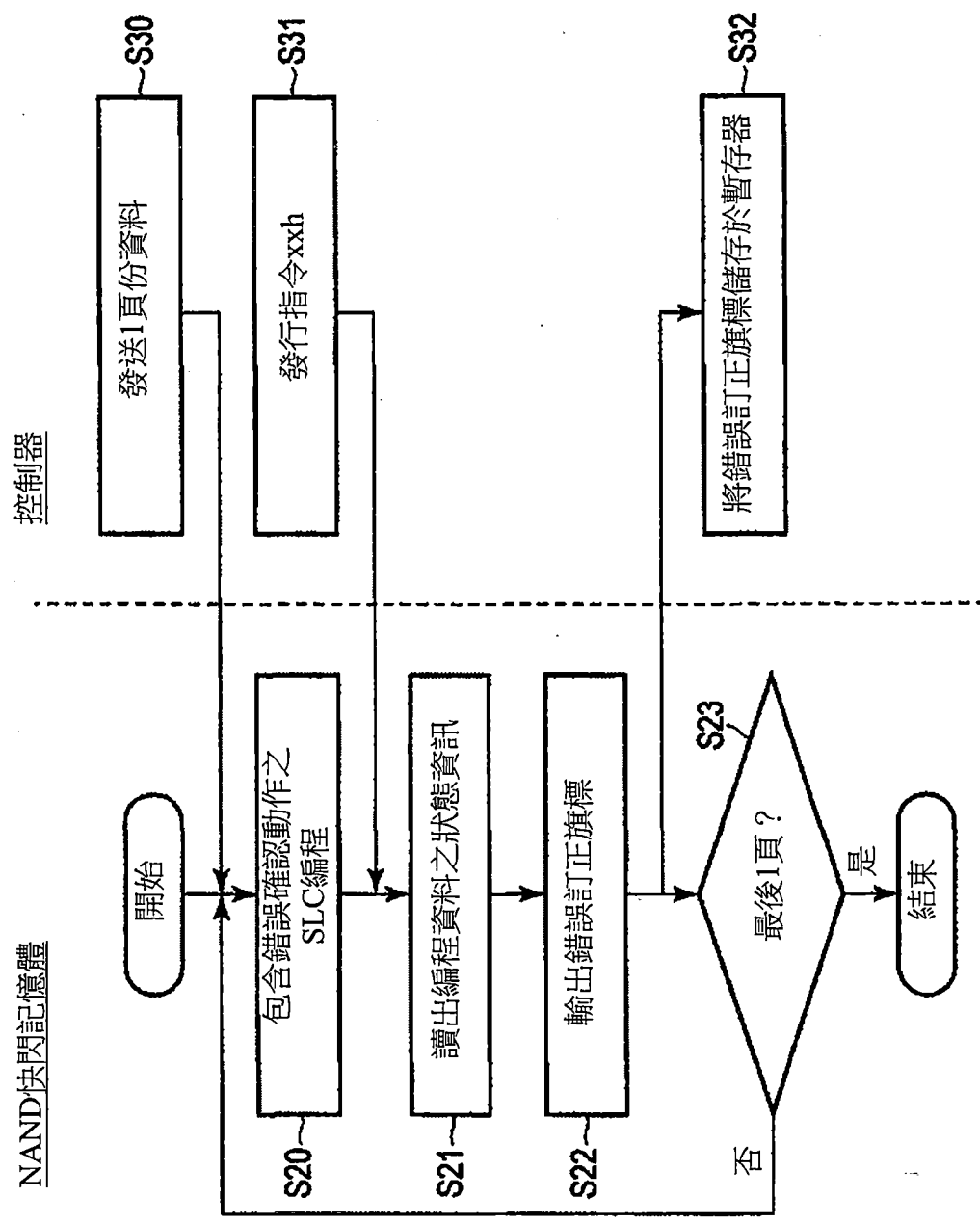


圖5

SLC讀出錯誤訂正狀態用於xxh

	DQ0	DQ1	DQ2	DQ3	DQ4	DQ5	DQ6	DQ7
定義值	錯誤訂正旗標	未使用	未使用	未使用	未使用	未使用	未使用	忙碌： “0” 就緒： “1”

圖6

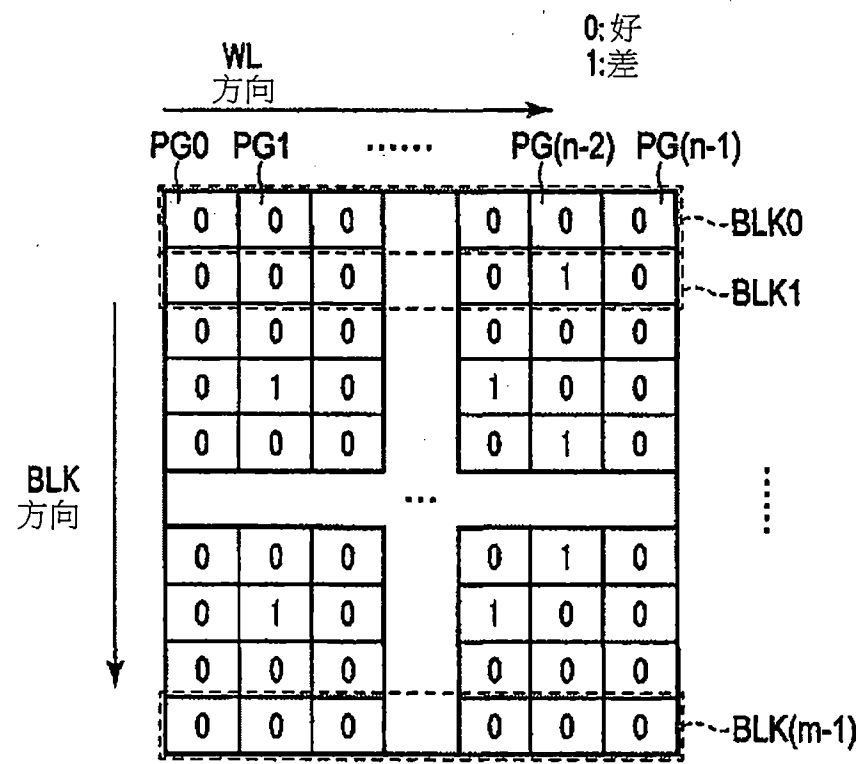


圖7

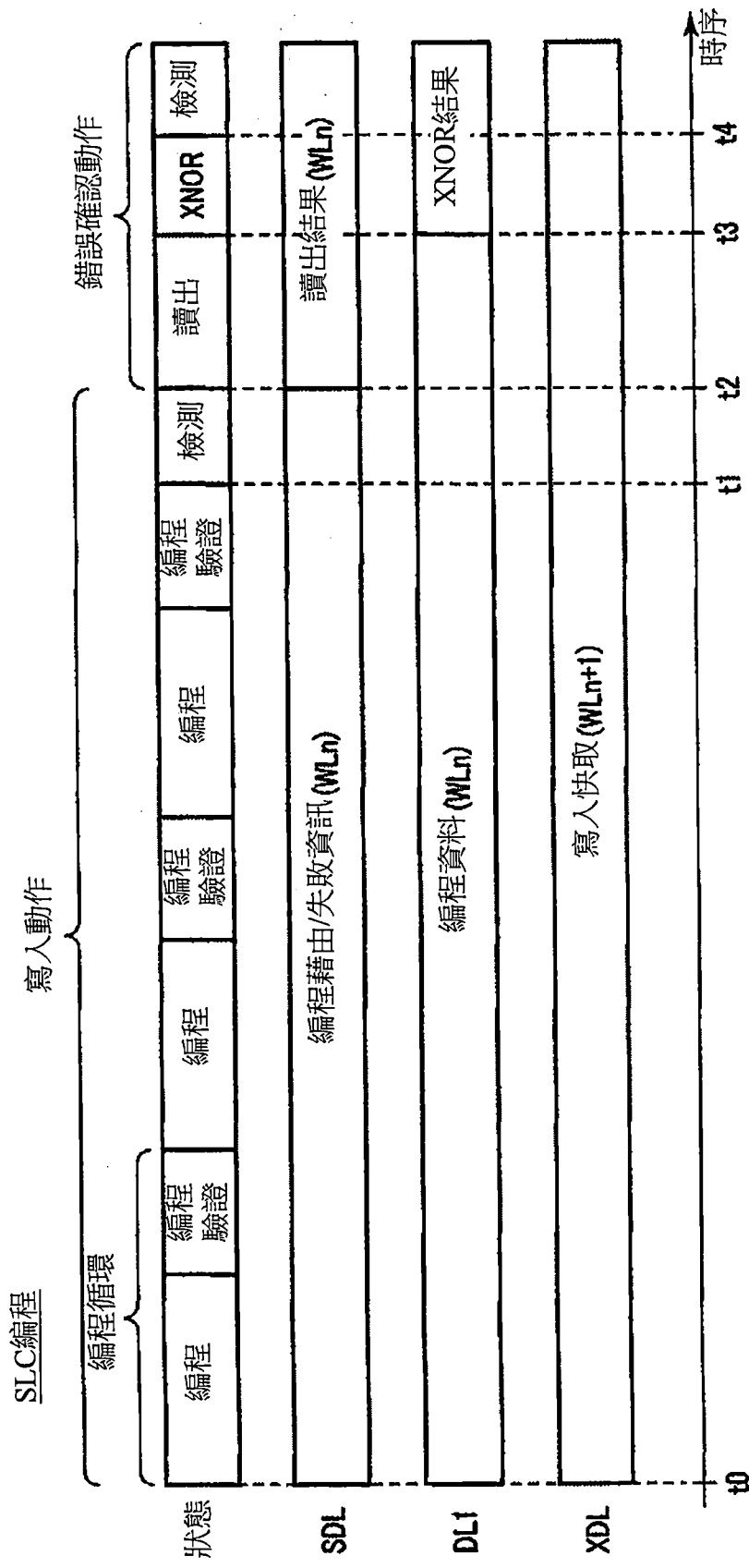
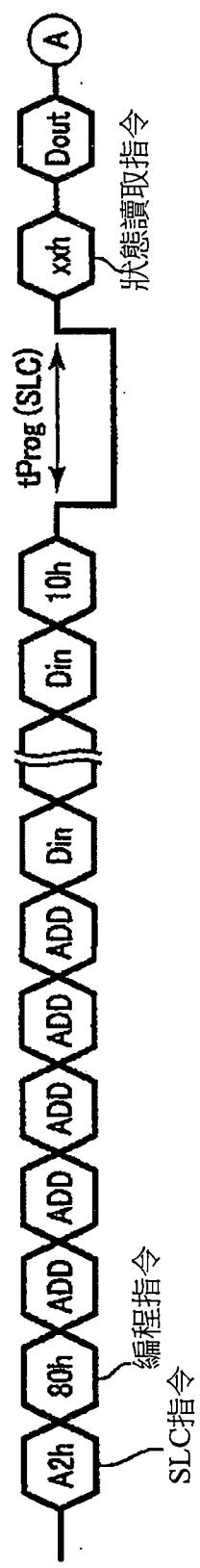


圖 8



SLC編程(3頁中之第1頁).



SLC編程(3頁中之第2頁)



SLC編程(3頁中之第3頁)

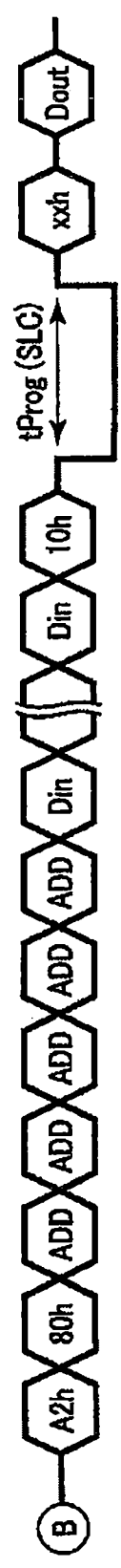


圖9

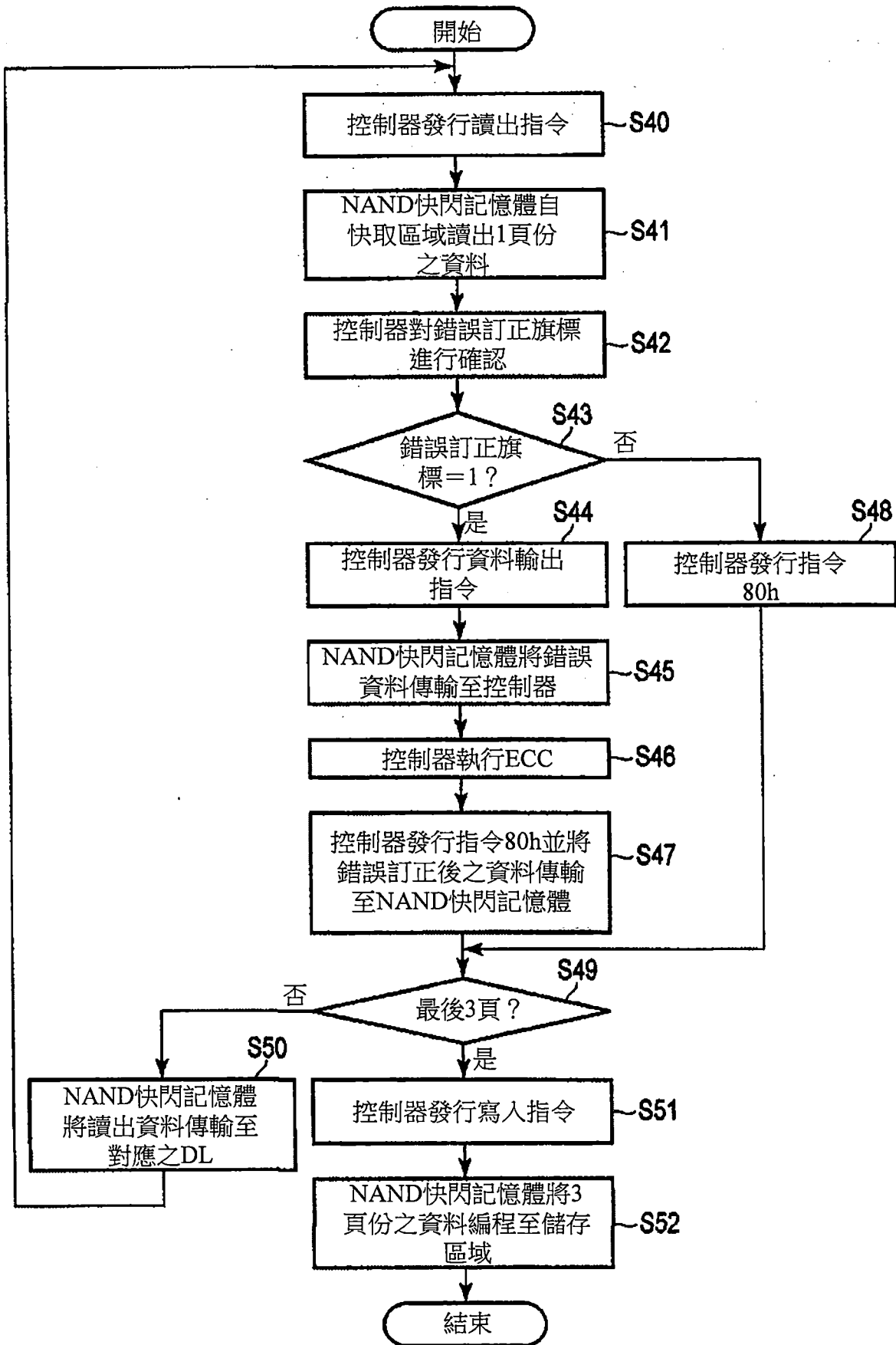
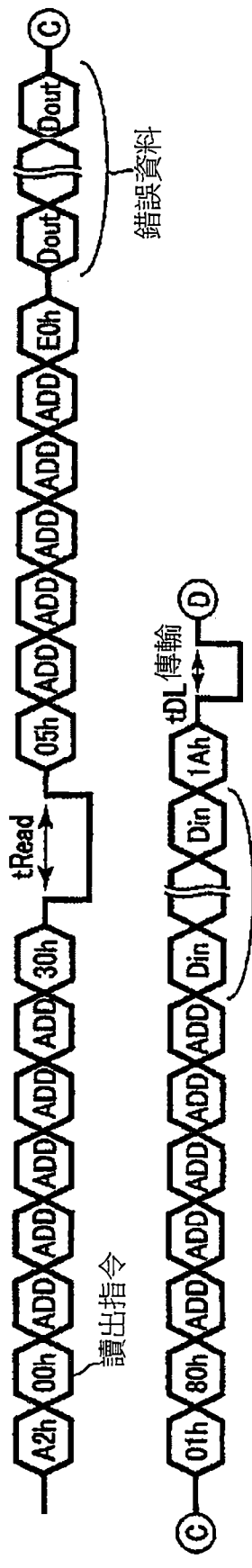
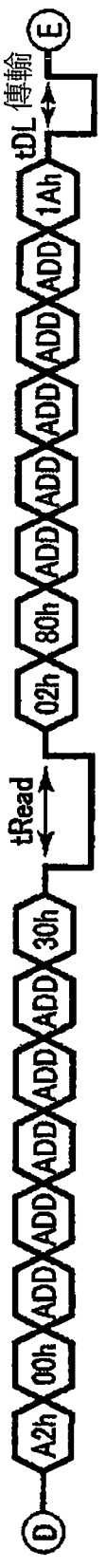


圖10

SLC讀出(3頁中之第1頁): 錯誤訂正旗標=1



SLC讀出(3頁中之第2頁): 錯誤訂正旗標=0



SLC讀出(3頁中之第3頁): 錯誤訂正旗標=0



圖11

傳輸SLC讀出資料之例子(錯誤訂正旗標=1)

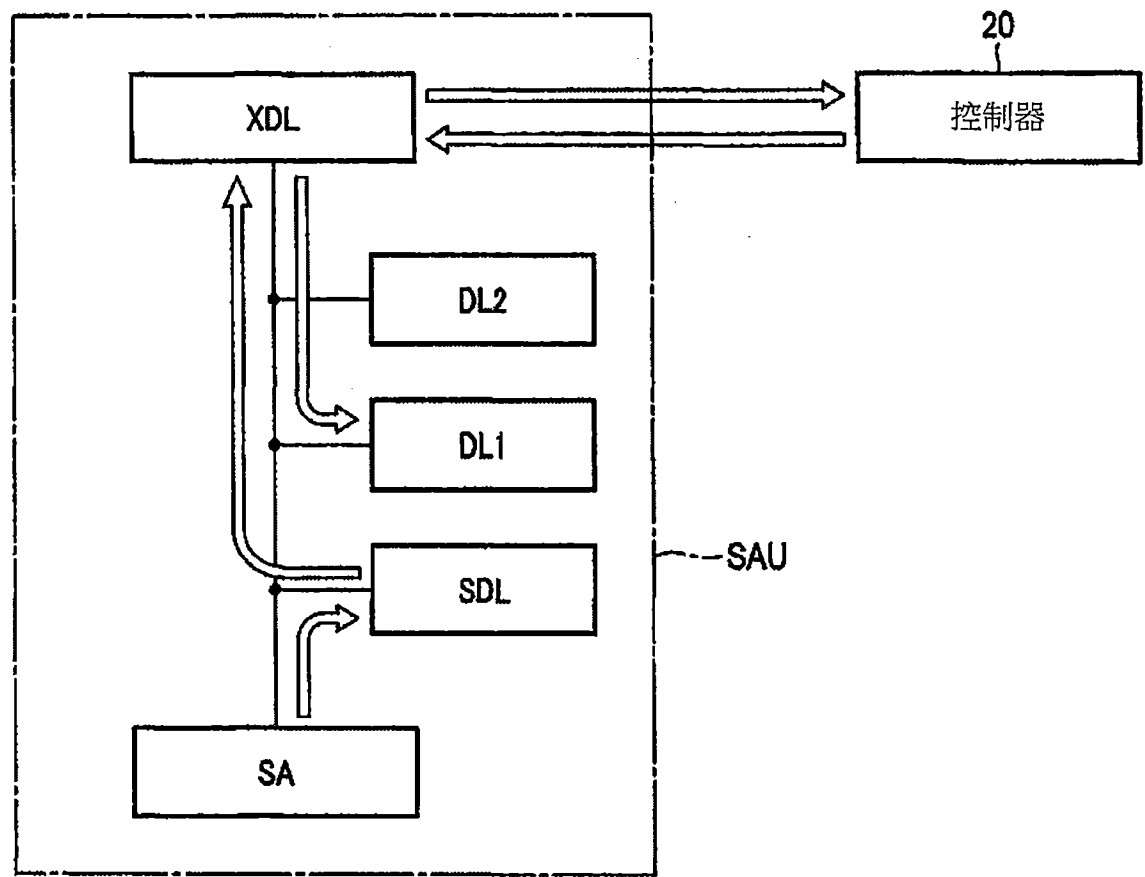


圖12

傳輸SLC讀出資料之例子(錯誤訂正旗標=0)

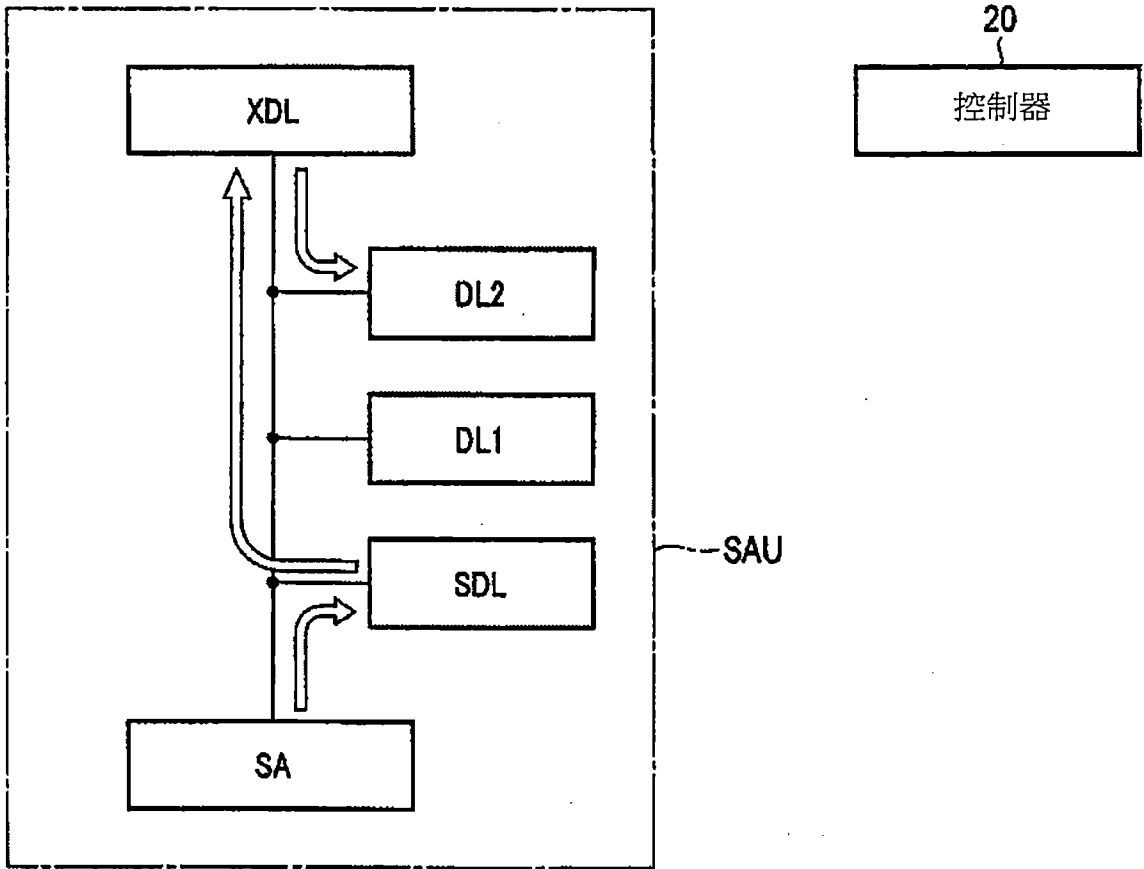


圖13

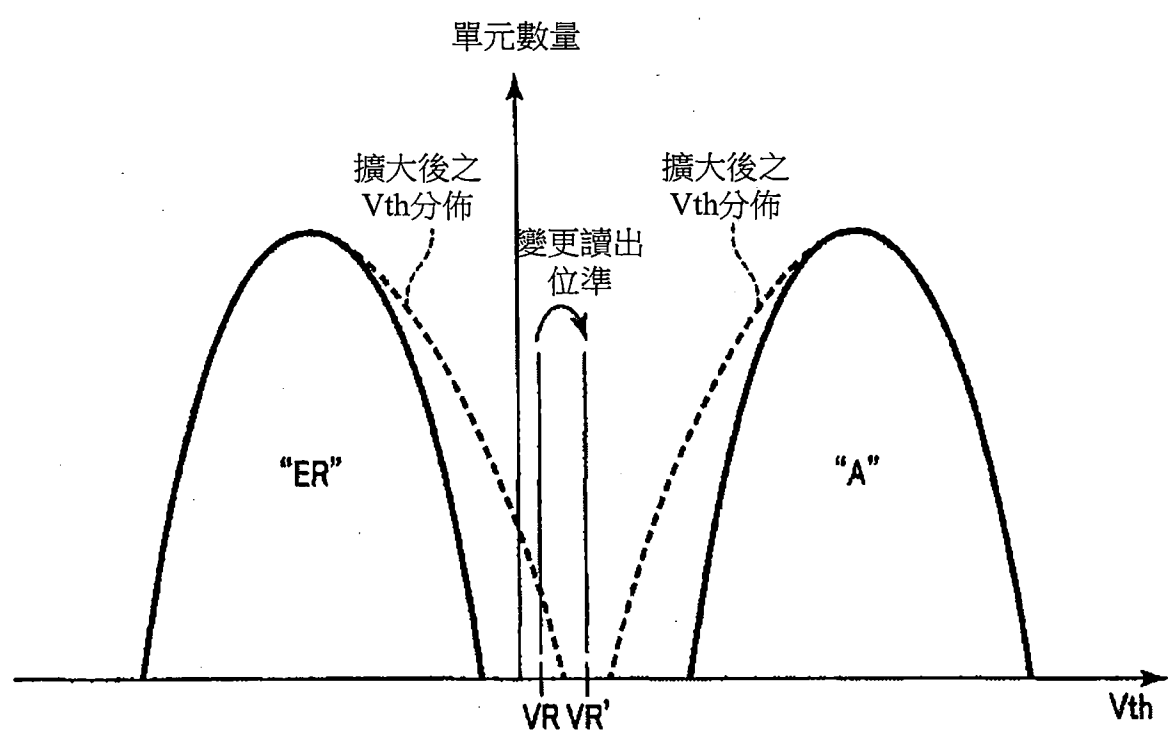


圖14

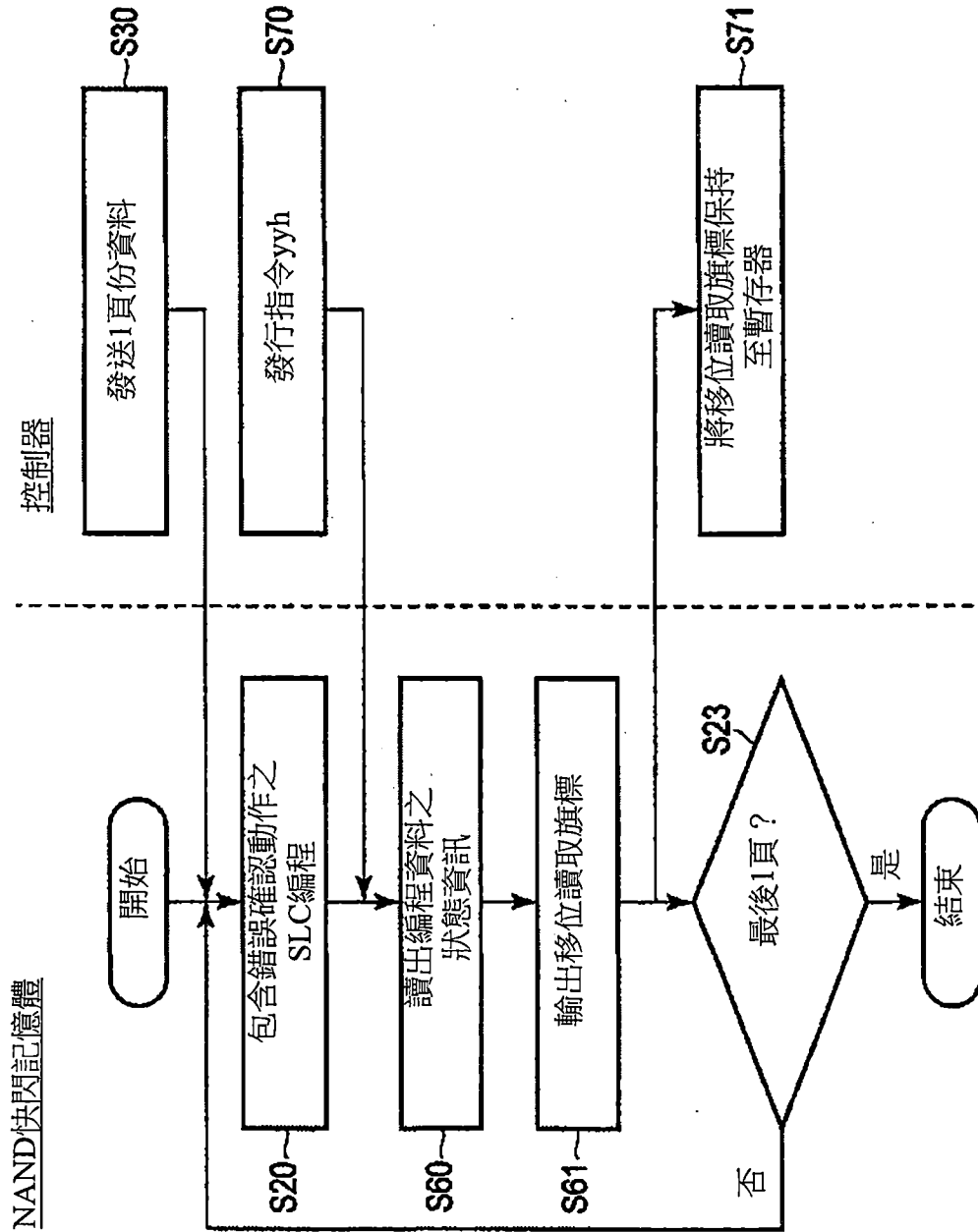


圖15

S/LC讀出移位讀取狀態用於yyh

	DQ0	DQ1	DQ2	DQ3	DQ4	DQ5	DQ6	DQ7
定義值	移位讀取旗標	未使用	未使用	未使用	未使用	未使用	未使用	忙碌：“0” 就緒：“1”

圖16



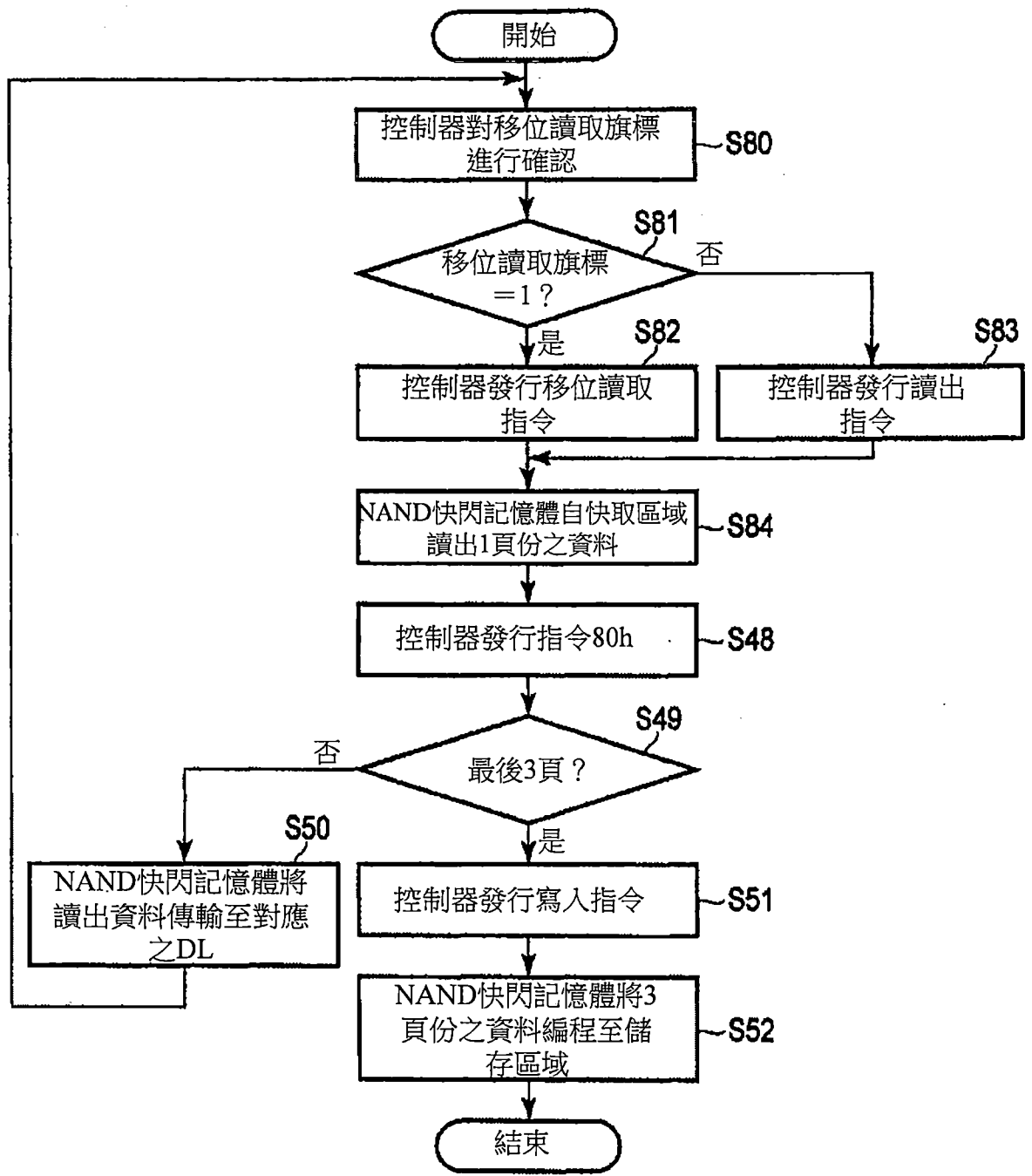


圖17

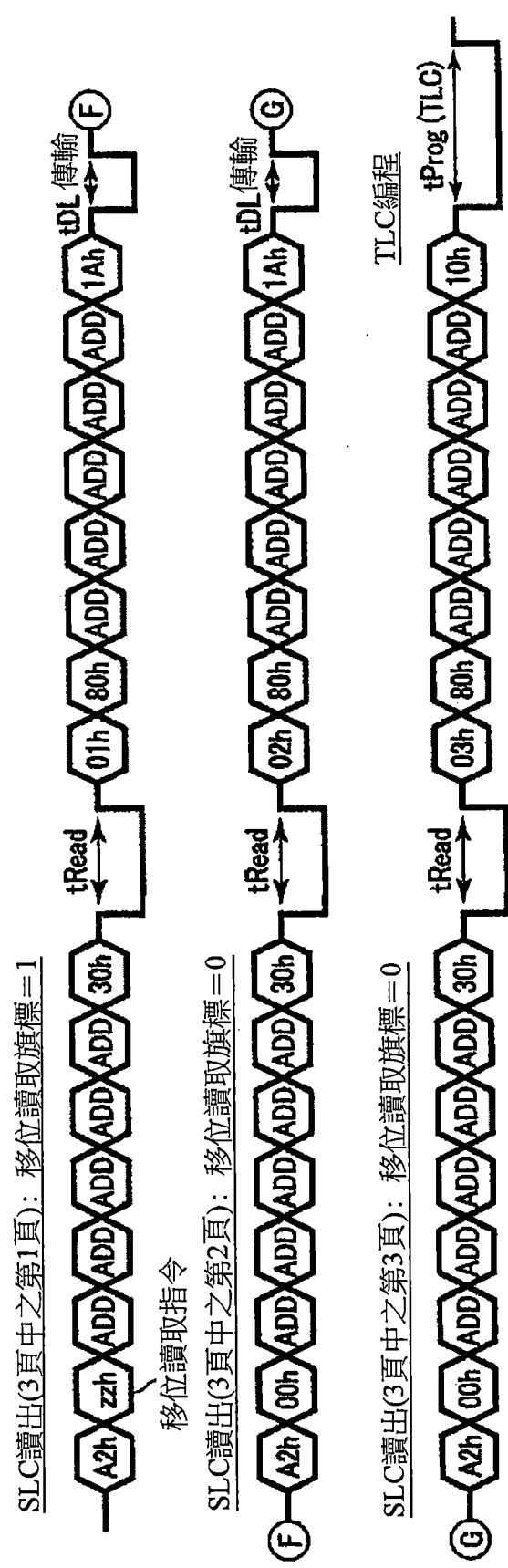


圖18