



# (12) 发明专利申请

(10) 申请公布号 CN 101859785 A

(43) 申请公布日 2010. 10. 13

(21) 申请号 201010139654. 4

(22) 申请日 2010. 04. 06

(30) 优先权数据

2009-096610 2009. 04. 13 JP

(71) 申请人 索尼公司

地址 日本东京

(72) 发明人 泽田宪

(74) 专利代理机构 北京信慧永光知识产权代理

有限责任公司 11290

代理人 陈桂香 武玉琴

(51) Int. Cl.

H01L 27/146(2006. 01)

H04N 5/335(2006. 01)

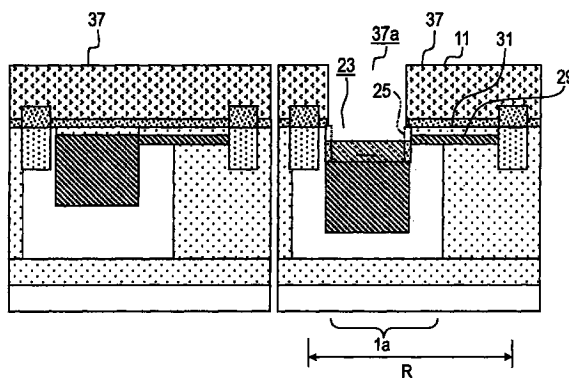
权利要求书 2 页 说明书 10 页 附图 13 页

## (54) 发明名称

固体摄像器件制造方法、固体摄像器件以及电子装置

## (57) 摘要

本发明提供固体摄像器件制造方法、固体摄像器件以及电子装置,该固体摄像器件制造方法包括:第一步骤,用于在半导体基板的顶面上形成凹陷部;第二步骤,用于通过从所述凹陷部的底面引入杂质而在所述凹陷部的下部中选择性地形成第一导电型的杂质区;以及第三步骤,用于在所述凹陷部中形成半导体层,从而形成包含所述杂质区和所述半导体层的光电转换部。根据本发明,可容易地在保持了表面平坦度的半导体基板上以高的精确度形成布线层、光学系统等。此外,利用从半导体基板的顶面延伸至更深位置的光电转换部,就能以高的灵敏度来感测具有较长波长的光。因此,在小型化像素中实现高质量的成像也成为可能。



1. 一种固体摄像器件制造方法,其包括:  
第一步骤,用于在半导体基板的顶面上形成凹陷部;  
第二步骤,用于通过从所述凹陷部的底面引入杂质而在所述凹陷部的下部中选择性地形成第一导电型的杂质区;以及  
第三步骤,用于在所述凹陷部中形成半导体层,并形成包含所述杂质区和所述半导体层的光电转换部。
2. 如权利要求 1 所述的固体摄像器件制造方法,其中,在所述第三步骤中,在以下状态中形成所述半导体层:在所述半导体层的至少与所述杂质区接触的一部分中包含第一导电型的杂质。
3. 如权利要求 1 所述的固体摄像器件制造方法,在所述第三步骤之后还包括以下步骤:将第一导电型的杂质引入到所述半导体层的至少与所述杂质区接触的一部分中。
4. 如权利要求 1 ~ 3 中任一项所述的固体摄像器件制造方法,其中,在所述第三步骤中,所述半导体层被形成至所述半导体基板的所述顶面的高度。
5. 如权利要求 1 ~ 4 中任一项所述的固体摄像器件制造方法,其中,所述半导体层的顶面层为第二导电型。
6. 如权利要求 1 ~ 5 中任一项所述的固体摄像器件制造方法,其中,在所述第三步骤中,在由单晶硅制成的所述半导体基板的所述凹陷部中形成作为所述半导体层的晶体硅或晶体硅-锗。
7. 一种固体摄像器件,其包括:  
半导体基板,它具有形成于其顶面上的凹陷部;  
第一导电型的杂质区,它形成于所述半导体基板的位于所述凹陷部的底面下方的一部分中;以及  
第一导电型的半导体层,它形成于所述凹陷部中,  
其中,所述杂质区和所述半导体层形成光电转换部。
8. 如权利要求 7 所述的固体摄像器件,其中,所述半导体层的顶面与所述半导体基板的顶面处于相同的高度。
9. 如权利要求 7 或 8 所述的固体摄像器件,其中,所述半导体层的顶面层为第二导电型。
10. 如权利要求 7 ~ 9 中任一项所述的固体摄像器件,其中:  
所述半导体基板由单晶硅制成;并且  
所述半导体层由晶体硅或晶体硅-锗制成。
11. 如权利要求 7 ~ 10 中任一项所述的固体摄像器件,其中,仅由所述第一导电型的杂质区形成的光电转换部与所述光电转换部一起形成于所述半导体基板的顶面侧上。
12. 如权利要求 11 所述的固体摄像器件,其中,设有由所述杂质区和所述半导体层形成的所述光电转换部,以作为与仅由所述杂质区形成的所述光电转换部相比用于感测较长波长的光的光电转换部。
13. 如权利要求 7 ~ 10 中任一项所述的固体摄像器件,其中,设有多个光电转换部,所述凹陷部在所述多个光电转换部中具有不同的深度。
14. 如权利要求 13 所述的固体摄像器件,其中,所述凹陷部在所述用于感测较长波长

的光的光电转换部中所具有的深度大于在用于感测较短波长的光的其它光电转换部中的深度。

15. 一种电子装置,其包含固体摄像器件,所述固体摄像器件包括:

半导体基板,它具有形成于其顶面上的凹陷部;

第一导电型的杂质区,它形成于所述半导体基板的位于所述凹陷部的底面下方的一部分中;以及

第一导电型的半导体层,它形成于所述凹陷部中,

其中,所述杂质区和所述半导体层形成光电转换部。

## 固体摄像器件制造方法、固体摄像器件以及电子装置

[0001] 相关申请的交叉参考

[0002] 本申请包含与 2009 年 4 月 13 日向日本专利局提交的日本优先权专利申请 JP2009-096610 所揭露的内容相关的主题,在此将该日本优先权专利申请的全部内容以引用的方式并入本文。

### 技术领域

[0003] 本发明涉及固体摄像器件制造方法、固体摄像器件以及电子装置。更具体而言,本发明涉及一种用于制造具有深的光电转换部的固体摄像器件的方法、由该制造方法获得的固体摄像器件以及具有该固体摄像器件的电子装置。

### 背景技术

[0004] 在固体摄像器件中,特别是在互补金属氧化物半导体 (CMOS) 图像传感器中,对更高质量 (例如更高灵敏度) 的需求与对更多像素及更小芯片尺寸的需求一致地日益增加。为满足这些需求,在固体摄像器件中,像素正在变得更加小型化,并且目前正在开发和商品化 1.5 微米方形像素或更小的像素。

[0005] 然而,当固体摄像器件中所使用的像素的尺寸减小时,进入到设置在每个像素中的光电二极管中的光的量也会减少。因此,在具有 1.2 微米方形或更小的像素尺寸的微像素中,较长波长侧的灵敏度降低是十分显著的,因而在用于感测具有波长较长的红光的像素中,灵敏度损失被认为是一个严重的问题。

[0006] 可通过以下方法来提高在较长波长侧的灵敏度:把在形成光电二极管时的离子注入能量设定为多个等级,以便在较深位置处形成用作光电转换部的杂质区。然而,在杂质区的形成深度方面存在着限制,这是因为所注入的杂质会在水平方向上扩散,这可能导致更多的大量混色 (color-mixture)。

[0007] 为解决此问题,日本专利申请特开平 JP-A-9-213923 公开了一种配置:在此配置中,对用作光电二极管的形成区域的半导体基板顶面进行蚀刻以形成凹陷部,并让用作光电转换部的 n 型半导体在该凹陷部中生长至所需的厚度 (具体参见图 2 和第 [0020] 段至第 [0035] 段)。日本专利申请特开平 JP-A-9-213923 记载了如下内容:由于使用了具有比硅还要大的吸收系数的材料作为要进行生长的 n 型半导体,因而 n 型半导体的所需厚度较小,且因此 n 型半导体不会从半导体基板的顶面凸出。

[0008] 然而,在上述配置中,光电转换部是由生长于半导体基板的凹陷部中的 n 型半导体形成的,因而该配置具有以下问题。

[0009] 具体而言,当使硅在由硅制成的半导体基板的凹陷部中进行生长以作为 n 型半导体时,被形成至所需厚度的 n 型半导体的顶面将会从半导体基板的顶面凸出。在此状态下形成的光电二极管会提供较差的平坦度,因而不能满足作为形成布线层、包含透镜系统的光学系统等的基础所需要的平坦度。因此,上述形成过程难以实现,且光学系统的设计也很困难。

[0010] 此外,当在由硅制成的半导体基板的凹陷部中生长具有比硅的吸收系数足够大的吸收系数的材料时,例如 GaAs、GaP 或 InGaAsP 等化合物 n 型半导体可作为 n 型半导体的候选材料。然而,一般而言,当让化合物半导体在由单晶硅制成的极小凹陷部中进行异质(heterogeneously)生长时,将会出现界面态、缺陷等等。在光电二极管中,光电转换部中的这种界面态或缺陷可能成为引起像素缺陷和图像质量劣化的主要因素。

## 发明内容

[0011] 因此,鉴于上述问题,本发明的目的是提供一种能够形成深的光电转换部而不会影响表面平坦度的固体摄像器件制造方法。本发明的另一目的是通过该制造方法而提供一种能够实现像素小型化且同时能够提供高的图像质量的固体摄像器件。

[0012] 本发明实施例的固体摄像器件制造方法包含以下各步骤:在半导体基板的顶面上形成凹陷部;通过从所述凹陷部的底面引入杂质而在所述凹陷部的下部中选择性地形成第一导电型的杂质区;以及在所述凹陷部中形成半导体层,从而形成包含所述杂质区和所述半导体层的光电转换部。

[0013] 在该方法中,因为第一导电型的杂质区是通过从形成于半导体基板中的凹陷部的底部进行杂质扩散而形成的,因而可在半导体基板中的更深位置处形成该杂质区。这样,利用该杂质区以及在其上形成的半导体层,就可以在保持半导体基板的表面平坦度的同时获得从半导体基板的顶面到达更深位置的光电转换部。

[0014] 本发明另一实施例的固体摄像器件包括:第一导电型的杂质区,它形成于半导体基板的一部分中,该部分位于形成在所述半导体基板中的凹陷部的底面下方;以及第一导电型的半导体层,它形成于所述凹陷部中。其中,利用所述杂质区和所述半导体层构成了光电转换部。

[0015] 本发明又一实施例的电子装置包含上述这种固体摄像器件。

[0016] 如上所述,根据本发明的各实施例,可容易地在保持了表面平坦度的半导体基板上以高的精确度形成布线层、光学系统等。此外,利用从半导体基板的顶面延伸至更深位置的光电转换部,就能以高的灵敏度来感测具有较长波长的光。因此,在小型化像素中实现高质量的成像也成为可能。

## 附图说明

[0017] 图 1A 至图 1D 为显示了第一实施例的制造方法的工序步骤的第一剖面图。

[0018] 图 2A 和图 2B 为显示了第一实施例的工序步骤的第二剖面图。

[0019] 图 3A 和图 3B 为显示了第一实施例的工序步骤的第三剖面图。

[0020] 图 4A 和图 4B 为显示了第一实施例的工序步骤的第四剖面图。

[0021] 图 5A 和图 5B 为显示了第一实施例的工序步骤的第五剖面图。

[0022] 图 6A 至图 6C 为显示了第一实施例的工序步骤的第六剖面图。

[0023] 图 7A 和图 7B 为显示了第二实施例的制造方法的工序步骤的第一剖面图。

[0024] 图 8A 和图 8B 为显示了第二实施例的工序步骤的第二剖面图。

[0025] 图 9A 和图 9B 为显示了第二实施例的工序步骤的第三剖面图。

[0026] 图 10A 和图 10B 为显示了第二实施例的工序步骤的第四剖面图。

[0027] 图 11 为显示了第二实施例的工序步骤的第五剖面图。

[0028] 图 12 为显示了第三实施例的示例性装置的配置的图。

### 具体实施方式

[0029] 在下文中,将按照以下顺序对本发明的实施例进行说明。

[0030] 1、第一实施例(只在红色像素的感光区域中设置凹陷部)

[0031] 2、第二实施例(在各种颜色像素的感光区域中设置具有不同深度的凹陷部)

[0032] 3、第三实施例(使用了固体摄像器件的电子装置的示例性结构)

[0033] 换句话说,将在第一实施例及第二实施例中例如 CMOS 图像传感器等固体摄像器件的制造方法进行说明,之后再对由该制造方法获得的固体摄像器件的结构进行说明。在以下的说明中,将 n 型和 p 型分别称作第一导电型和第二导电型;然而,也可颠倒这两个导电型的称谓。

[0034] 1、第一实施例

[0035] 将结合图 1A 至图 6C 所示的工序图对第一实施例的固体摄像器件制造方法进行说明。在这些图中,显示了两个像素(即,对红光敏感的红色像素 R 以及对绿光或蓝光敏感的绿色像素 G 或蓝色像素 B)的剖面图。

[0036] 首先,如图 1A 所示,在由单晶硅制成的半导体基板 1 上形成氮化硅膜 5(厚度:约 150 纳米),且在氮化硅膜 5 和半导体基板 1 之间形成有二氧化硅膜 3。然后,对这些层叠膜进行图案化,并使用该图案化的膜作为掩模、通过离子注入将杂质引入到半导体基板 1 的顶面侧,从而形成将各个像素部 G、B 及 R 彼此分离开的扩散阻挡层 7。此时,以 10keV 的注入能量按照  $1E13/cm^2$  的注入剂量引入硼离子 ( $B^+$ )。

[0037] 然后,在半导体基板 1 的整个表面上形成二氧化硅膜,并通过使用先前用作掩模的氮化硅膜 5 作为终止层,对该二氧化硅膜进行化学机械研磨(CMP),由此在扩散阻挡层 7 上形成了由二氧化硅制成的器件隔离层 9。

[0038] 随后,如图 1B 所示,把用作 CMP 终止层的氮化硅膜 5 以及位于其下面的二氧化硅膜 3 进行分层并除去。这样,暴露出半导体基板 1 的顶面。尽管由于对二氧化硅膜 3 进行的分层和除去因而也会部分地且轻微地除去由二氧化硅制成的器件隔离层 9,但器件隔离层 9 仍保留于半导体基板 1 上。

[0039] 然后,如图 1C 所示,在半导体基板 1 的暴露表面上形成厚度约为 10 纳米的二氧化硅膜 11,该二氧化硅膜 11 将在稍后进行的离子注入中用作保护膜(所谓的注入穿透膜(implantation-through film))。

[0040] 随后,如图 1D 所示,通过高能量离子注入,在半导体基板 1 的像素部的预定深度位置处形成 p 型杂质区 13,该 p 型杂质区 13 用作第二导电型的杂质区从而预防溢出。此时,在半导体基板 1 的除了像素部以外的其它部分上均覆盖有抗蚀剂图案(图未示出)的状态下,以 2000keV 的高注入能量按照  $1E11/cm^2$  的注入剂量引入硼离子 ( $B^+$ )。

[0041] 然后,如图 2A 所示,在各个像素部的将会形成光电二极管的光电转换部的区域(即,感光区域 1a)上覆盖抗蚀剂图案 15,并且在感光区域 1a 周围形成 p 型阱区 16,该 p 型阱区 16 用作第二导电型的阱区。以多等级的注入能量进行离子注入,将 p 型阱区 16 形成具有从半导体基板 1 的顶面延伸至 p 型杂质区 13 的深度的轮廓。例如,通过 3 步骤式离

子注入 (3-step ion implantation) 来引入硼离子 ( $B^+$ ) ;换句话说,以 1500keV 的注入能量按照  $2E12/cm^2$  的注入剂量引入离子,以 700keV 的注入能量按照  $2E12/cm^2$  的注入剂量引入离子,以及以 200keV 的注入能量按照  $3E12/cm^2$  的注入剂量引入离子。在完成上述离子注入后,除去抗蚀剂图案 15。

[0042] 随后,如图 2B 所示,形成抗蚀剂图案 17 以覆盖红色像素 R 并在绿色像素 G 和蓝色像素 B 的感光区域 1a 上具有开口部 17a。然后,通过在抗蚀剂图案 17 上执行离子注入,在绿色像素 G 和蓝色像素 B 的感光区域 1a 中形成 n 型杂质区 19,该 n 型杂质区 19 用作第一导电型的杂质区。

[0043] 通过以多等级的注入能量执行离子注入,将 n 型杂质区 19 形成为所期望的从半导体基板 1 的顶面延伸至预定深度的轮廓。例如,通过 3 步骤式离子注入来引入磷离子 ( $P^+$ ) ;换句话说,以 1200keV 的注入能量按照  $1E11/cm^2$  的注入剂量引入离子,以 600keV 的注入能量按照  $3E11/cm^2$  的注入剂量引入离子,以及以 300keV 的注入能量按照  $4E11/cm^2$  的注入剂量引入离子。优选的是,n 型杂质区 19 形成于与 p 型杂质区 13 相隔一定距离的位置处。

[0044] 随后,通过使用抗蚀剂图案 17 作为掩模执行离子注入,在 n 型杂质区 19 的顶面层上形成表面 p 型区 20。此时,例如,以 50keV 的注入能量按照约为  $2E12/cm^2$  的注入剂量引入氟化硼离子 ( $BF_2^+$ )。在完成上述离子注入后,除去抗蚀剂图案 17。

[0045] 这样,在绿色像素 G 和蓝色像素 B 的感光区域 1a 中形成了光电二极管 PD,在该光电二极管 PD 中,由 n 型杂质区 19 形成光电转换部。该光电二极管 PD 的配置是只由 n 型杂质区 19 形成光电转换部。

[0046] 另一方面,在红色像素 R 的感光区域 1a 中,通过以下方法来形成有光电二极管。

[0047] 首先,如图 3A 所示,形成抗蚀剂图案 21 以覆盖绿色像素 G 和蓝色像素 B 并在红色像素 R 的感光区域 1a 上具有开口部 21a。然后,使用抗蚀剂图案 21 作为掩模对二氧化硅膜 11 和半导体基板 1 的顶面进行蚀刻,从而在红色像素 R 中的感光区域 1a 的顶面上形成凹陷部 23。该蚀刻步骤是通过例如 RIE(反应性离子蚀刻)等干式蚀刻来进行的。此外,凹陷部 23 具有约 500 纳米至 1 微米的深度。

[0048] 随后,如图 3B 所示,形成二氧化硅膜 25,使其覆盖住暴露于凹陷部 23 的内壁的半导体基板 1,该二氧化硅膜 25 在稍后进行的离子注入中用作保护膜(所谓的注入穿透膜)。

[0049] 然后,通过在抗蚀剂图案 21 上执行离子注入,只在红色像素 R 的感光区域 1a 中形成 n 型杂质区 19r,该 n 型杂质区 19r 用作第一导电型的杂质区。通过以多等级的注入能量执行离子注入,将 n 型杂质区 19r 形成为具有所期望的从凹陷部 23 的底面延伸至预定深度的轮廓。这种多步骤式离子注入可通过与形成绿色像素 G 和蓝色像素 B 的 n 型杂质区 19 时相同的方法来执行。例如,通过 3 步骤式离子注入来引入磷离子 ( $P^+$ ) ;换句话说,以 1200keV 的注入能量按照  $1E11/cm^2$  的注入剂量引入离子,以 600keV 的注入能量按照  $3E11/cm^2$  的注入剂量引入离子,以及以 300keV 的注入能量按照  $4E11/cm^2$  的注入剂量引入离子。优选的是,n 型杂质区 19r 形成于与 p 型杂质区 13 相隔一定距离的位置处。在完成上述离子注入后,除去抗蚀剂图案 21。

[0050] 然后,如图 4A 所示,在半导体基板 1 上形成抗蚀剂图案 27,该抗蚀剂图案 27 在与各个像素的感光区域 1a 邻近的区域上具有开口部 27a。随后,通过使用抗蚀剂图案 27 作为掩模进行离子注入,在半导体基板 1 的顶面层上形成 n 型沟道区 29,该 n 型沟道区 29 用作

第一导电型的沟道区。此时,例如,以 150keV 的注入能量按照约为  $5E11/cm^2$  的注入剂量引入砷离子 ( $As^+$ )。

[0051] 在本实施例中,在绿色像素 G 和蓝色像素 B 中,n 型沟道区 29 被形成为连接至 n 型杂质区 19。另一方面,在红色像素 R 中,n 型沟道区 29 被形成为到达凹陷部 23 的侧壁。此外,在红色像素 R 中,可将 n 型沟道区 29 连接至位于凹陷部 23 下方的 n 型杂质区 19r。

[0052] 随后,通过使用抗蚀剂图案 27 作为掩模进行离子注入,在 n 型沟道区 29 的顶面层上形成表面 p 型区 31。此时,例如,以 50keV 的注入能量按照约为  $2E12/cm^2$  的注入剂量引入氟化硼离子 ( $BF^{2+}$ )。

[0053] 在本实施例中,在绿色像素 G 和蓝色像素 B 中,表面 p 型区 31 被形成为连接至覆盖着 n 型杂质区 19 的表面 p 型区 20。另一方面,在红色像素 R 中,表面 p 型区 31 被形成为到达凹陷部 23 的侧壁。在完成上述离子注入后,除去抗蚀剂图案 27。

[0054] 这样,在绿色像素 G 和蓝色像素 B 中,n 型沟道区 29 和表面 p 型区 31 被形成为与形成于半导体基板 1 的顶面侧上的光电二极管 PD 的 n 型杂质区 19 相接触。另一方面,在红色像素 R 中, n 型沟道区 29 和表面 p 型区 31 被形成为到达形成于半导体基板 1 的顶面上的凹陷部 23 的侧壁。

[0055] 然后,如图 4B 所示,形成抗蚀剂图案 33,使其在红色像素 R 的感光区域 1a 上具有开口部 33a。此处,在形成抗蚀剂图案 33 时非常重要是:完全覆盖位于半导体基板 1 的顶面之上且位于凹陷部 23 的上部周边处的部分。为此,开口部 33a 的开口形状可以小于凹陷部 23 的开口形状。

[0056] 随后,使用抗蚀剂图案 33 作为掩模,对凹陷部 23 的底部处的二氧化硅膜 25 进行蚀刻和除去,使得半导体基板 1 的里面形成有 n 型杂质区 19r 的顶面暴露于凹陷部 23 的底部。通过使用例如 RIE(反应性离子蚀刻)等各向异性蚀刻,该蚀刻步骤仅暴露出凹陷部 23 的底部。在完成该蚀刻步骤后,除去抗蚀剂图案 33。

[0057] 然后,如图 5A 所示,通过使用二氧化硅膜 11 和 25 作为掩模,在半导体基板 1 的暴露表面上形成 n 型半导体层 35,具体地,使 n 型半导体层 35 与暴露于形成在红色像素 R 的感光区域 1a 中的凹陷部 23 的底面处的 n 型杂质区 19r 相接触。在本实施例中,将 n 型半导体层 35 生长得使凹陷部 23 的内侧未被完全填满,而是使凹陷部 23 上保留了 200 至 300 纳米的深度。

[0058] 在该步骤中形成的 n 型半导体层 35 可由例如多晶硅等晶体硅制成,或者由晶体硅-锗(硅锗合金)等制成。具体而言,当半导体基板 1 是由单晶硅制成时,优选的是, n 型半导体层 35 由相同原子类型的硅制成。由此,可形成没有缺陷的 n 型半导体层 35。当 n 型半导体层 35 是由硅-锗制成时,优选的是,将锗的成分比控制为 20% 以下。由此,不仅可在接近 600 纳米的波长下在保持了实质上与硅相同的吸收系数的同时与硅相比能够降低生长温度,而且可防止在先前步骤中形成的杂质区中发生杂质的扩散。

[0059] 当形成 n 型半导体层 35 时,通过将 n 型杂质引入到到在半导体基板 1 上生长晶体时所用的氛围气体中,以与 n 型杂质区 19r 接触的状态形成预先含有 n 型杂质的 n 型半导体层 35。

[0060] 此外, n 型半导体层 35 可通过以下方式来予以形成:通过晶体生长而形成不含 n 型杂质的半导体层,随后通过离子注入等将 n 型杂质引入到该半导体层中。此时,在以



180keV 的注入能量按照约为  $4E12/cm^2$  的注入剂量引入砷离子 ( $As^+$ ) 的离子注入条件下,将 n 型半导体层 35 形成得与 n 型杂质区 19r 相接触。当执行这样的离子注入时,如有必要,可使用抗蚀剂图案作为掩模。

[0061] 随后,如图 5B 所示,形成抗蚀剂图案 37,使其在红色像素 R 的感光区域 1a 上具有开口部 37a。此处,在形成抗蚀剂图案 37 时非常重要的一点是:使覆盖着凹陷部 23 的内壁的二氧化硅膜 25 暴露出来。

[0062] 然后,使用抗蚀剂图案 37 作为掩模,对凹陷部 23 的侧壁上的二氧化硅膜 25 进行蚀刻和除去,因此,凹陷部 23 的侧壁处的 n 型沟道区 29 以及半导体基板 1 的里面形成有表面 p 型区 31 的部分被暴露出来。上述蚀刻步骤是通过例如湿式蚀刻等各向同性蚀刻来进行的。当凹陷部 23 的上部周边处的二氧化硅膜 11 通过抗蚀剂图案 37 而暴露出来时,在如下状态中停止上述蚀刻步骤:凹陷部 23 的侧壁上的二氧化硅膜 25 被除去而凹陷部 23 的上部周边处的二氧化硅膜 11 被保留。在完成该蚀刻步骤后,除去抗蚀剂图案 37。

[0063] 然后,如图 6A 所示,使用二氧化硅膜 11 作为掩模,在 n 型半导体层 35 上形成另一个 n 型半导体层 39n,且 n 型半导体层 39n 连接至 n 型沟道区 29。随后,形成与表面 p 型区 31 连接的 p 型半导体层,该 p 型半导体层变为表面 p 型区 39p。这时,使 n 型半导体层 39n 和表面 p 型区 39p 按照此顺序进行生长从而填充凹陷部 23 的内侧,并将 n 型半导体层 39n 和表面 p 型区 39p 形成至与半导体基板 1 的顶面大致为相同高度。

[0064] 与先前形成的 n 型半导体层 35 类似,在此步骤中形成的 n 型半导体层 39n 和表面 p 型区 39p 是由单晶硅或多晶硅或者晶体硅-锗等制成,具体而言,n 型半导体层 39n 和表面 p 型区 39p 优选由与半导体基板 1 为相同原子类型的硅制成。

[0065] 另外,当形成 n 型半导体层 39n 和表面 p 型区 39p 时,可将杂质引入到在生长晶体时所用的氛围气体中,以使它们具有各自的导电型。此外,它们可通过以下方式来予以形成:形成不含杂质的半导体层,然后将 p 型杂质或 n 型杂质引入到该半导体层中。

[0066] 随后,如图 6B 所示,以覆盖表面 p 型区 39p 的方式形成约 10 纳米厚度的二氧化硅膜 41。此处,二氧化硅膜 41 可被形成为如该图所示仅覆盖着表面 p 型区 39p,也可被形成于半导体基板 1 的整个表面上。

[0067] 这样,在红色像素 R 的感光区域 1a 中形成了光电二极管 PDr,在该光电二极管 PDr 中,由设置在凹陷部 23 的底部下方的 n 型杂质区 19r 以及填充于凹陷部 23 内侧的 n 型半导体层 35 和 39n 形成光电转换部。此外,位于 n 型半导体层 39n 上的表面 p 型区 39p 用作空穴累积层。

[0068] 然后,如图 6C 所示,在每个像素的层叠有 n 型沟道区 29 和表面 p 型区 31 的部分上,形成读取用的门电极 43、其它必要的门电极以及布线。尽管该图中没有示出,但除了形成上述元件之外,还形成了包括透镜系统的光学系统,并且在像素 R、G 及 B 的各个感光区域 1a 上形成了能让所期望波长的光透过的滤色镜,由此形成固体摄像器件 50。

[0069] 这样形成的固体摄像器件 50 具有红色像素 R、绿色像素 G 以及蓝色像素 B。其中,在红色像素 R 中,设置有光电二极管 PDr,在该光电二极管 PDr 中,由设置在形成于半导体基板 1 顶面上的凹陷部 23 下方的 n 型杂质区 19r 以及以连接至 n 型杂质区 19r 的状态设置在凹陷部 23 中的 n 型半导体层 35 和 39n 的层叠结构形成光电转换部。

[0070] 当在这样的红色像素 R 中形成光电转换部时,通过从形成于半导体基板 1 中的凹

陷部 23 的底部执行杂质扩散（离子注入），可在半导体基板 1 中的更深位置处形成 n 型杂质区 19r。由此，与当从半导体基板 1 的顶面进行离子注入时要使用高于所需能量的能量来执行离子注入以将 n 型杂质区形成至近似相同深度的情形相比，可抑制所注入的杂质的水平扩散。

[0071] 例如，当通过从半导体基板 1 的顶面进行离子注入来将 n 型杂质区 19r 形成至近似相同深度时，需要将磷离子 (P<sup>+</sup>) 的注入能量增加到 2000keV 至 3500keV。因此，杂质很可能在水平方向上扩散。相反，在第一实施例中，因为是从凹陷部 23 的底部进行杂质扩散，所以磷离子 (P<sup>+</sup>) 的注入能量为 1200keV 以下，并且有效注入深度较小。于是，可抑制杂质的水平扩散。

[0072] 此外，由上文可知，利用抑制了杂质水平扩散的 n 型杂质区 19r 以及形成于 n 型杂质区 19r 的上部上的 n 型半导体层 35 和 39n，可获得具有从半导体基板 1 的较深位置延伸至半导体基板 1 顶面的深度的光电转换部。

[0073] 此外，因为 n 型半导体层 35 和 39n 的层叠结构的高度近似于半导体基板 1 的顶面的高度，所以可保持半导体基板 1 的表面平坦度。

[0074] 这样，可容易地在保持了表面平坦度的半导体基板 1 上以高的精确度形成布线层、光学系统等。此外，利用具有从半导体基板 1 的较深位置延伸至半导体基板 1 顶面的深度的光电转换部，可在接收红光时以高的灵敏度来感测较长波长的光。因此，在小型化像素中实现高质量成像成为可能。

[0075] 在第一实施例中，是在形成了凹陷部 23 和 n 型杂质区 19、并且在感光区域 1a 中形成了 n 型沟道区 29 和表面 p 型区 31 以后，才形成 n 型半导体层 35 和 39n 以及表面 p 型区 39p。然而，在本发明中，只要是在形成凹陷部 23 并且在凹陷部 23 的底部处形成 n 型杂质区 19r 以后，在凹陷部 23 中形成 n 型半导体层 35 和 39n，便可获得同样的优点。因此，并不特定地限制 n 型沟道区 29、表面 p 型区 31 等的形成顺序。

[0076] 2、第二实施例

[0077] 以下，将结合图 7A 至图 11 所示的工序图对第二实施例的固体摄像器件制造方法进行说明。本实施例中所述的制造方法是一种用于形成如下固体摄像器件的方法，在该固体摄像器件中，通过使用第一实施例的方法在每种颜色的像素中设置有多个具有不同深度的凹陷部的光电转换部。在这些图中，显示了这三种像素（即，对红光敏感的红色像素 R、对绿光敏感的绿色像素 G 以及对蓝光敏感的蓝色像素 B）的剖面图。

[0078] 首先，如图 7A 所示，在由单晶硅制成的半导体基板 1 的顶面侧上形成扩散阻挡层 7、器件隔离层 9、用作注入穿透膜的二氧化硅膜 11、p 型杂质区 13 以及 p 型阱区 16。换句话说，执行与第一实施例中基于图 1A 至图 2A 所述的步骤相同的步骤。

[0079] 随后，如图 7B 所示，形成抗蚀剂图案 21，使其覆盖绿色像素 G 和蓝色像素 B 并且在红色像素 R 的感光区域 1a 上具有开口部 21a。然后，使用抗蚀剂图案 21 作为掩模，对二氧化硅膜 11 和半导体基板 1 的顶面进行蚀刻，从而在红色像素 R 的感光区域 1a 的顶面上形成凹陷部 23r。该蚀刻步骤是通过例如 RIE（反应性离子蚀刻）等干式蚀刻来进行的。此外，凹陷部 23r 具有约 500 纳米至 1 微米的深度。

[0080] 随后，以覆盖凹陷部 23r 的内壁的方式形成二氧化硅膜 25，然后，只在凹陷部 23r 的底部上执行离子注入，从而选择性地形成用作第一导电型的杂质区的 n 型杂质区 19r。也

可以按照类似于基于图 3B 所述的方式来执行该步骤。在完成该步骤后,除去抗蚀剂图案 21。

[0081] 然后,在图 8A 所示的步骤中,对于绿色像素 G,形成凹陷部 23g,形成二氧化硅膜 25 以及在凹陷部 23g 的底部上选择性地形成 n 型杂质区 19g。可以按照与以上针对红色像素 R 所述的步骤相似的方式来执行这些步骤,并且重要的是将凹陷部 23g 形成至小于红色像素 R 的凹陷部 23r 的深度。

[0082] 此外,类似地,在图 8B 所示的步骤中,对于蓝色像素 B,形成凹陷部 23b,形成二氧化硅膜 25 以及在凹陷部 23b 的底部上选择性地形成 n 型杂质区 19b。可以按照与以上针对红色像素 R 所述的步骤类似的方式来执行这些步骤,并且重要的是将凹陷部 23b 形成至小于红色像素 R 的凹陷部 23r 的深度和绿色像素 G 的凹陷部 23g 的深度。

[0083] 这样,在每种颜色的像素 R、G 及 B 中在半导体基板 1 的顶面上形成了凹陷部 23r、23g 及 23b,使得用于感测较长波长的光的像素中的凹陷部所具有的深度大于用于感测较短波长的光的其它像素中的凹陷部的深度。此处,并不特定地限制针对红色像素 R、绿色像素 G 及蓝色像素 B 的各个步骤的执行顺序。

[0084] 然后,如图 9A 所示,在半导体基板 1 上形成抗蚀剂图案 27,抗蚀剂图案 27 在与各个像素 R、G 及 B 的感光区域 1a 相邻的区域上具有开口部 27a。随后,通过使用抗蚀剂图案 27 作为掩模来执行离子注入,在半导体基板 1 的顶面上形成用作第一导电型的沟道区的 n 型沟道区 29,并随后形成表面 p 型区 31。

[0085] 该步骤是以类似于第一实施例中基于图 4A 所述的方式来执行的,并且 n 型沟道区 29 和表面 p 型区 31 被形成为到达各个像素 R、G 及 B 中的凹陷部 23 的侧壁。在完成上述离子注入后,除去抗蚀剂图案 27。

[0086] 然后,如图 9B 所示,使形成有 n 型杂质区 19r 的半导体基板 1 的顶面暴露于形成在红色像素 R 中的凹陷部 23r 的底部,并且形成与 n 型杂质区 19r 接触的 n 型半导体层 35。然后,暴露出凹陷部 23r 的侧壁上的 n 型沟道区 29 以及半导体基板 1 的形成有表面 p 型区 31 的部分,并且在 n 型半导体层 35 上形成另一 n 型半导体层 39n,使该另一 n 型半导体层 39n 连接至 n 型沟道区 29。随后,形成与表面 p 型区 31 连接的 p 型半导体层,该 p 型半导体层变为表面 p 型区 39p。此时,使 n 型半导体层 39n 和表面 p 型区 39p 以此顺序进行生长从而填充凹陷部 23r 的内侧,并将 n 型半导体层 39n 和表面 p 型区 39p 形成至近似与半导体基板 1 的顶面具有相同的高度。然后,用二氧化硅膜 41 覆盖该表面 p 型区 39p。

[0087] 这样,在红色像素 R 的感光区域 1a 中形成了光电二极管 PD<sub>r</sub>,在该光电二极管 PD<sub>r</sub> 中,由设置在凹陷部 23r 的底部下方的 n 型杂质区 19r 以及填充于凹陷部 23r 的内侧的 n 型半导体层 35 和 39n 形成光电转换部。此外,位于 n 型半导体层 39n 上的表面 p 型区 39p 用作空穴累积层。上述步骤是以类似于第一实施例中基于图 4B 至图 6B 所述的方式来执行的。

[0088] 随后,如图 10A 所示,通过对绿色像素 G 执行相同的步骤,形成光电二极管 PD<sub>g</sub>,在该光电二极管 PD<sub>g</sub> 中,由设置在凹陷部 23g 的底部下方的 n 型杂质区 19g 以及填充于凹陷部 23g 的内侧的 n 型半导体层 35 和 39n 形成光电转换部。此外,在 n 型半导体层 39n 上形成用作空穴累积层的表面 p 型区 (p 型半导体层) 39p,使该表面 p 型区 (p 型半导体层) 39p 具有近似与半导体基板 1 的顶面相同的高度。

[0089] 另外,如图 10B 所示,通过对蓝色像素 B 执行相同的步骤,形成光电二极管 PDb,在光电二极管 PDb 中,由设置在凹陷部 23b 的底部下方的 n 型杂质区 19b 以及填充于凹陷部 23b 的内侧的 n 型半导体层 35 和 39n 形成光电转换部。此外,在 n 型半导体层 39n 上形成用作空穴累积层的表面 p 型区 (p 型半导体层) 39p,使该表面 p 型区 (p 型半导体层) 39p 具有近似与半导体基板 1 的顶面相同的高度。

[0090] 然后,如图 11 所示,在每个像素 R、G 及 B 的层叠有 n 型沟道区 29 和表面 p 型区 31 的部分上,形成读取用的门电极 43、其它必要的门电极以及布线。尽管该图中没有示出,但除了具有上述元件之外,还形成有包括透镜系统的光学系统,并且在像素 R、G 及 B 各自的感光区域 1a 上形成有能透射所期望波长的光的滤色镜,由此制成固体摄像器件 51。

[0091] 在这样形成的固体摄像器件 51 的每种颜色的各个像素 R、G 及 B 中,分别设置有光电二极管 PDr、PDg 及 PDb,在光电二极管 PDr、PDg 及 PDb 中,分别由设置在形成于半导体基板 1 顶面上的凹陷部 23r、23g 及 23b 下方的 n 型杂质区 19r、19g 及 19b 以及以连接至 n 型杂质区 19r、19g 及 19b 的状态设置在凹陷部 23 中的 n 型半导体层 35 和 39n 的层叠结构形成光电转换部。

[0092] 当在每种颜色的这些像素 R、G 及 B 中形成光电转换部时,通过从形成于半导体基板 1 中的凹陷部 23r、23g 及 23b 的底部进行杂质扩散 (离子注入),可在半导体基板 1 中的更深位置处形成 n 型杂质区 19r、19g 及 19b。此时,各个像素 R、G 及 B 的凹陷部 23r、23g 及 23b 的深度被设定成使用于感测较长波长的光的像素中的凹陷部所具有的深度大于用于感测较短波长的光的其它像素中的凹陷部的深度。因此,在红色像素 R 中,可由形成于最深位置处的 n 型杂质区 19r 以及 n 型半导体层 35 和 39n 形成光电转换部。

[0093] 此外,因为 n 型半导体层 35 和 39n 的层叠结构具有近似与半导体基板 1 的顶面相同的高度,因此可保持半导体基板 1 的表面平坦度。

[0094] 这样,类似于第一实施例,可容易地在保持了表面平坦度的半导体基板 1 上以高的精确度形成布线层、光学系统等等。此外,利用具有从半导体基板 1 的较深位置延伸至半导体基板 1 顶面的深度的光电转换部,就可在接收红光时以高的灵敏度来感测较长波长的光。因此,可在小型化像素中实现高质量成像。

[0095] 在第二实施例中,在所有像素 R、G 及 B 中在半导体基板 1 中设置有凹陷部 23r、23g 及 23b。然而,在用于感测最短波长的光的蓝色像素 B 中,可不设置凹陷部,并且可只由 n 型杂质区形成光电转换部。

[0096] 此外,在第二实施例中,只要是在形成凹陷部并且在凹陷部的底部上形成 n 型杂质区以后,在凹陷部中形成 n 型半导体层,便可获得同样的优势。所以,并不特定地限制 n 型沟道区 29、表面 p 型区 31 等的形成顺序。

[0097] 3、第三实施例

[0098] 图 12 显示了本发明第三实施例的具有上述固体摄像器件的电子装置的结构。

[0099] 图 12 所示的电子装置 200 在摄像单元 201 中设置有固体摄像器件 210。在摄像单元 201 的聚光侧上设置有用会聚成像的聚光光学单元 202。此外,摄像单元 201 连接至信号处理单元 203,信号处理单元 203 包括用于驱动摄像单元 201 的驱动电路、用于处理已在固体摄像器件 210 中经过光电转换的信号以获得图像信号的信号处理电路、以及其它电路。此外,由信号处理单元 203 处理过的图像信号被存储在图像存储单元 (图未示出)

中。在这种电子装置 200 中,固体摄像器件 210 可以是在各实施例中所说明的固体摄像器件 50(51)。

[0100] 因为电子装置 200 使用了根据本发明实施例的固体摄像器件 50(51),因此可具有能够获得具有优良质量的图像的优势。

[0101] 电子装置 200 可具有以下形式:其被形成为单芯片配置形式并且可以是具有摄像功能的模块形式,在该模块形式中封装有摄像单元以及信号处理单元或光学系统。此处所用的电子装置 200 是指具有摄像功能的总体装置,例如可以是数码相机、个人电脑、摄影机、电视机以及由移动电话代表的移动终端装置。此外,“摄像”旨在不仅包括在一般照相机进行拍摄时的图像捕捉,而且还包括更广意义上的指纹探测等等。

[0102] 所属领域的技术人员应理解,可根据设计要求和其它因素进行各种修改、组合、子组合以及改动,只要它们处于随附权利要求书的范围或其等效范围内即可。

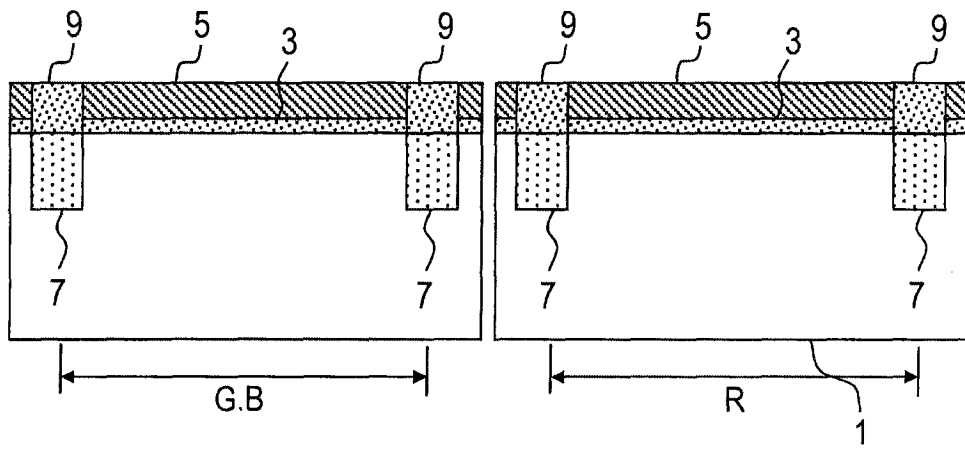


图 1A

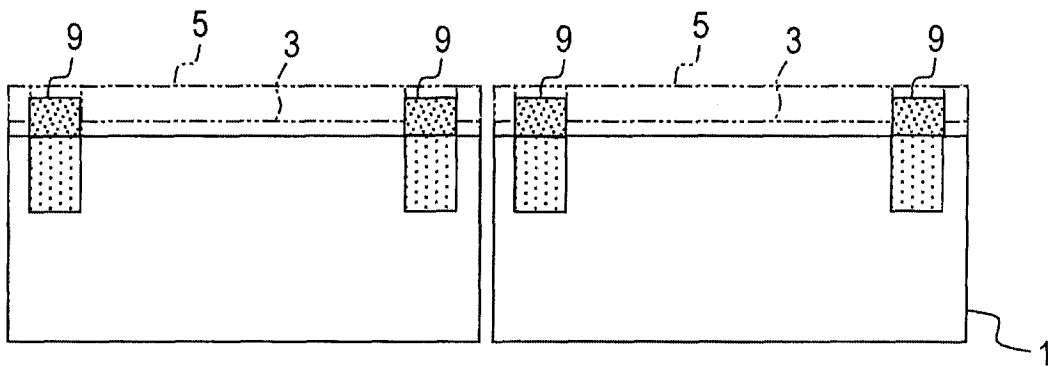


图 1B

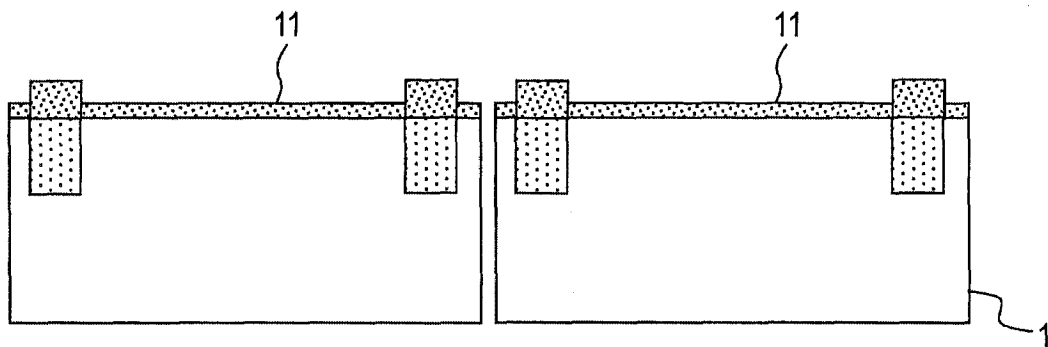


图 1C

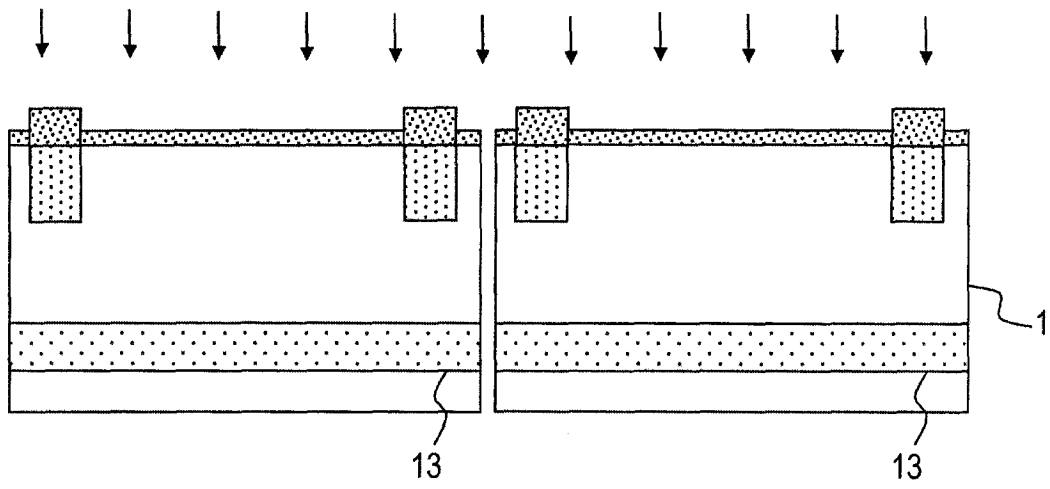


图 1D

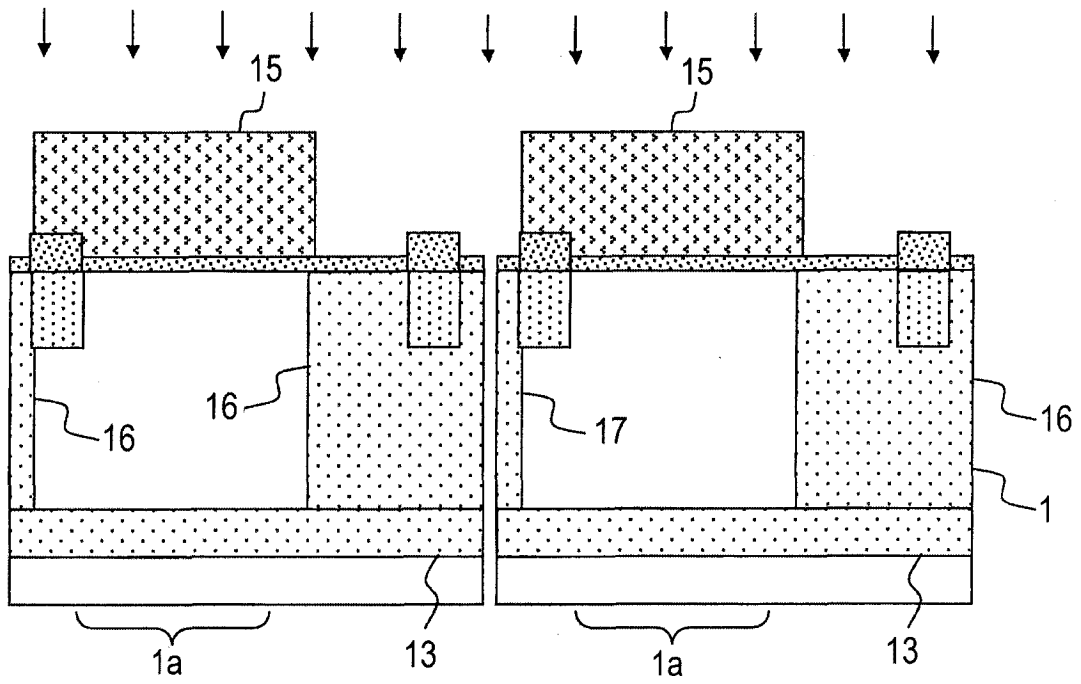


图 2A

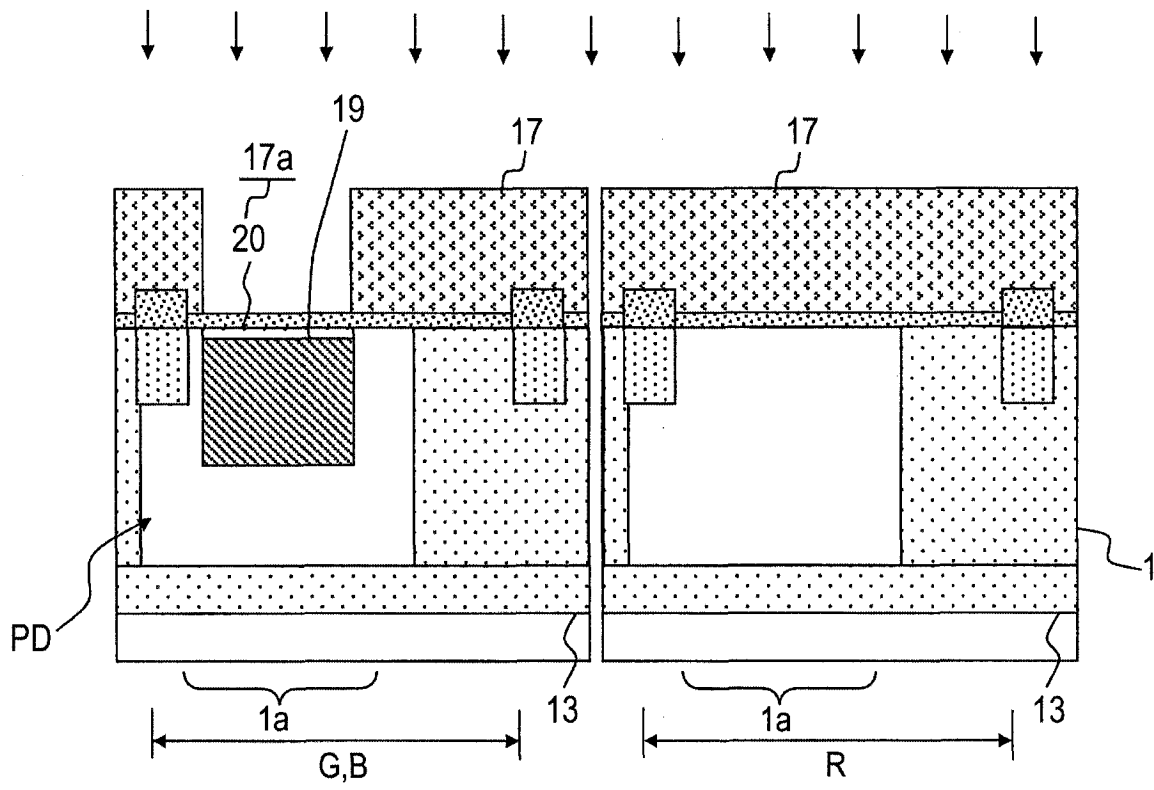


图 2B

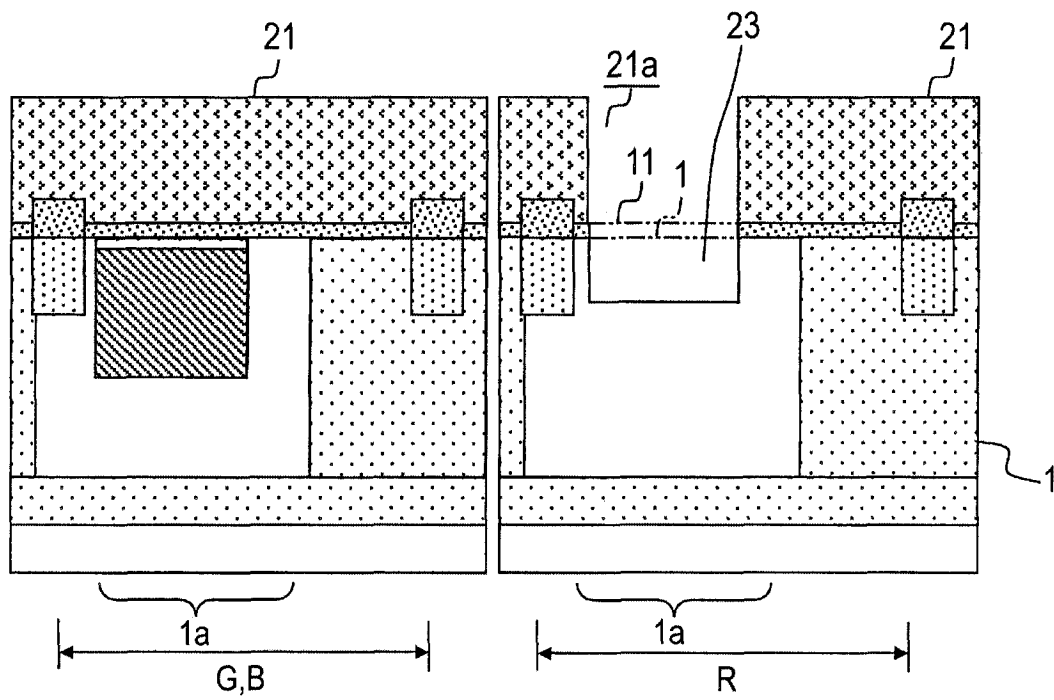


图 3A



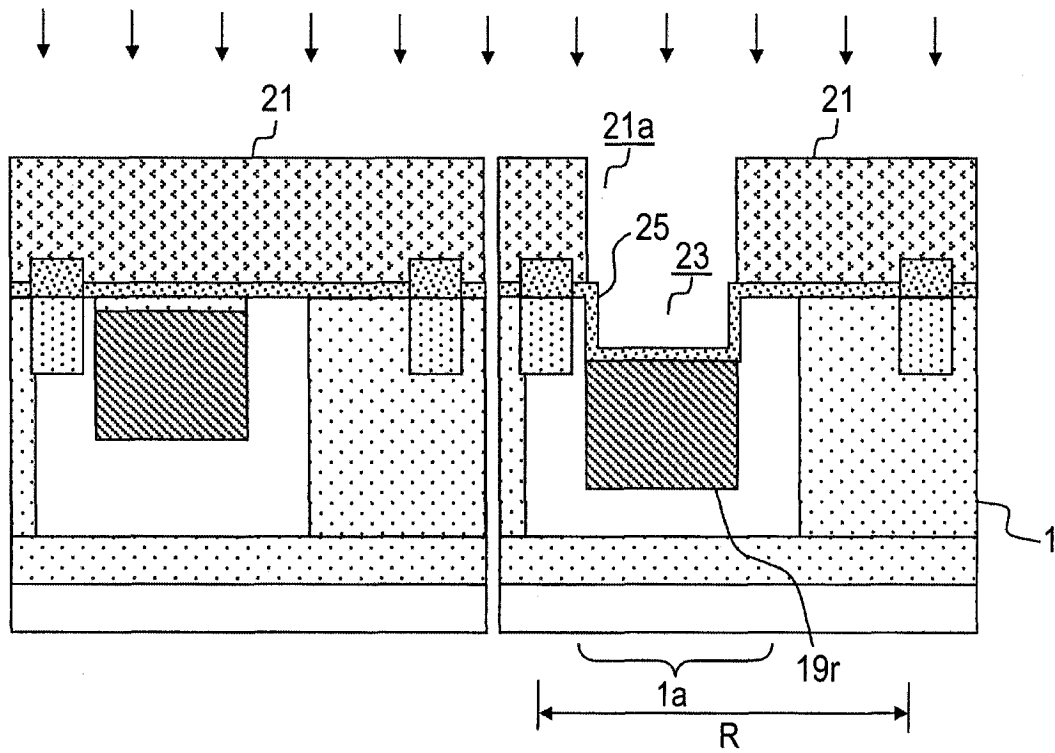


图 3B

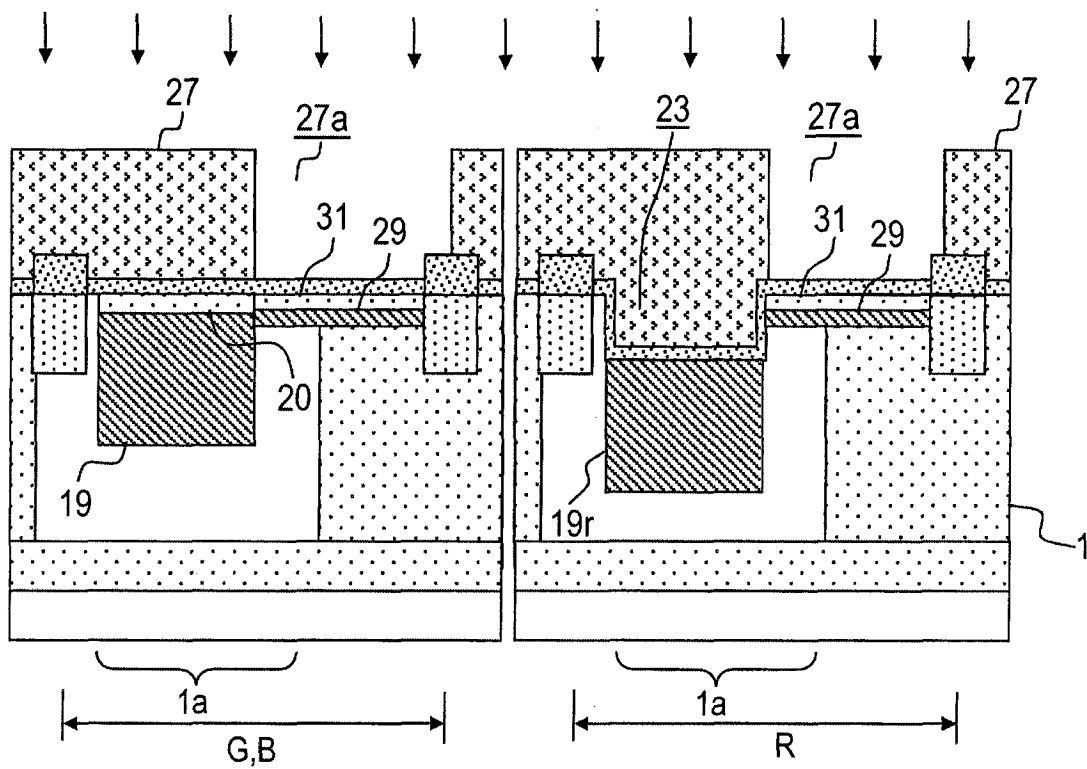


图 4A

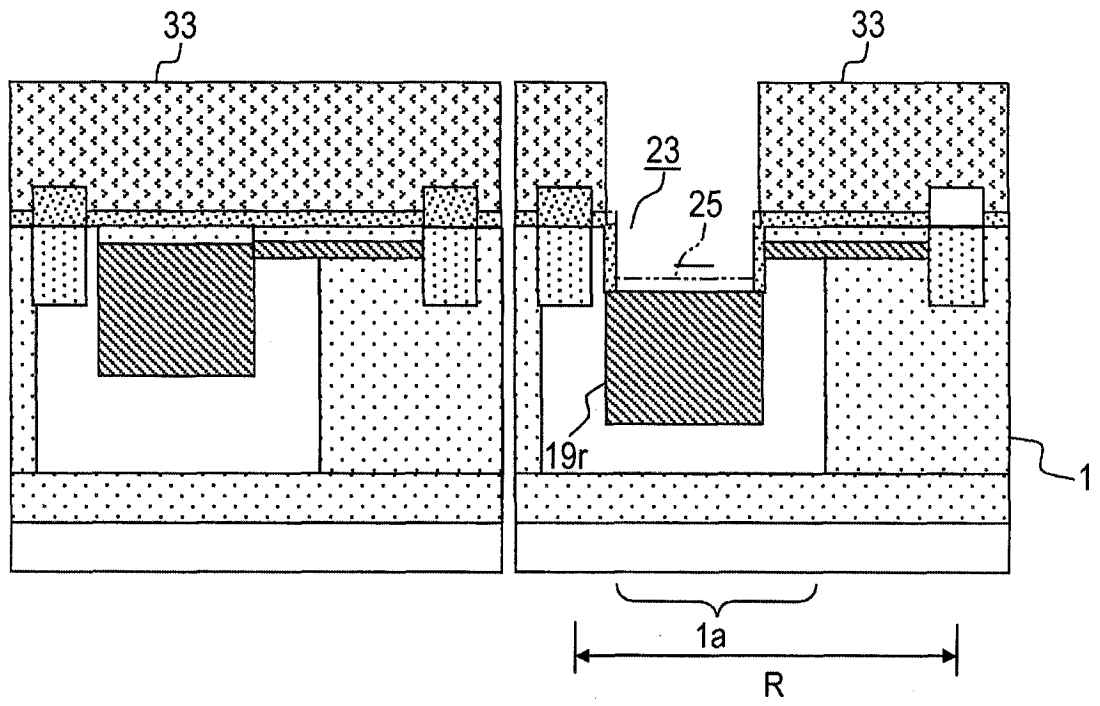


图 4B

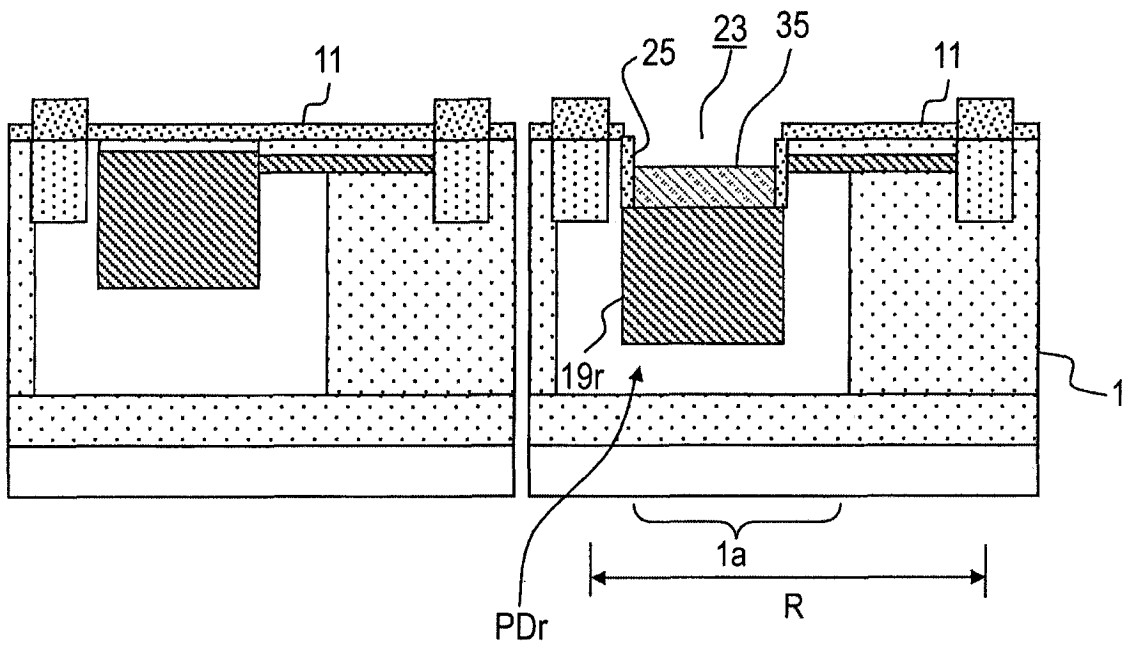


图 5A

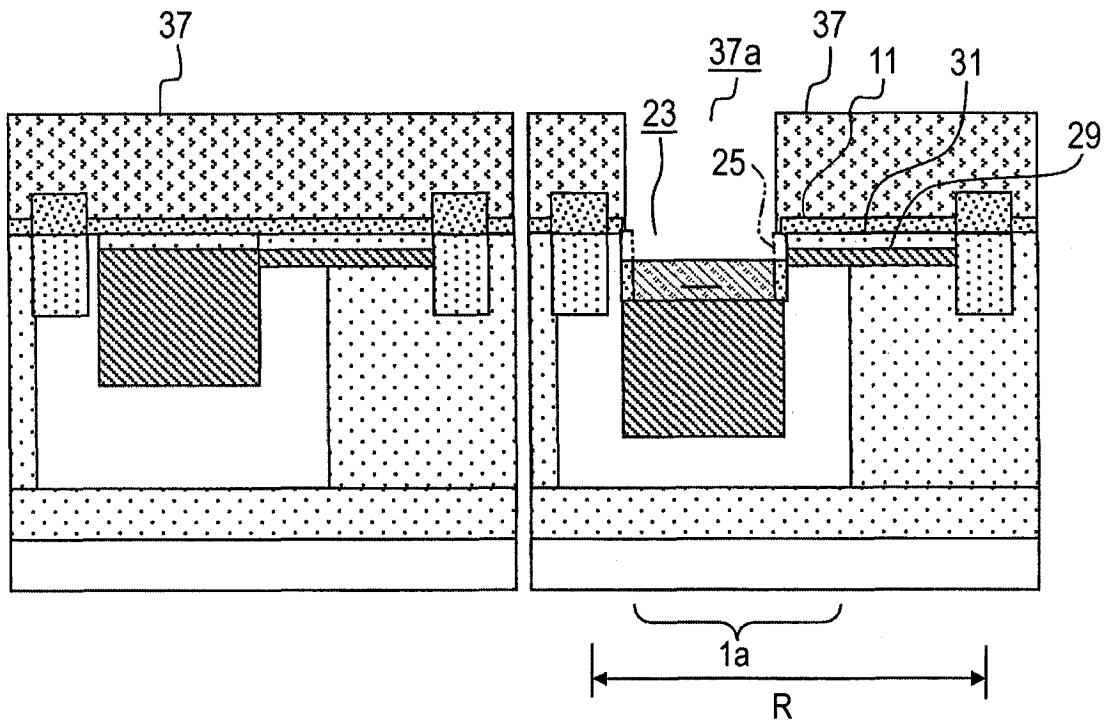


图 5B

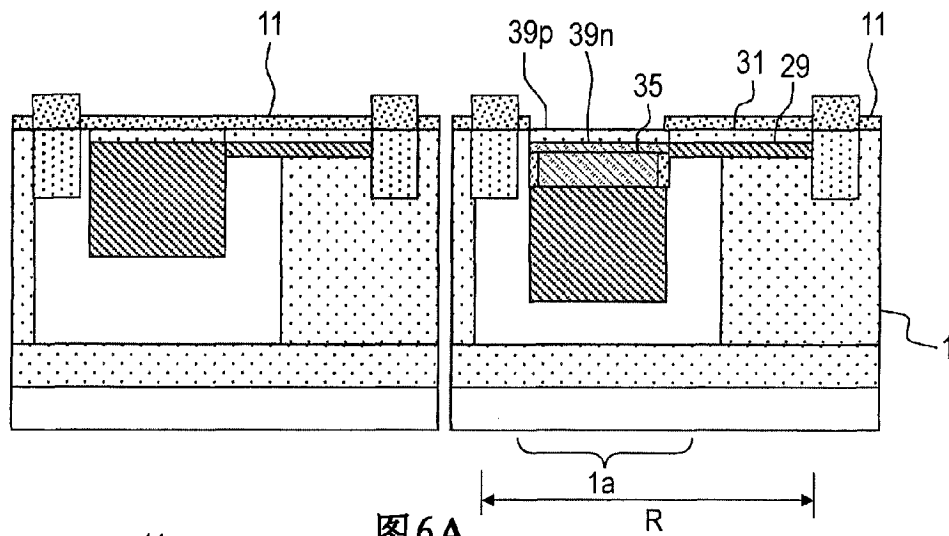


图6A

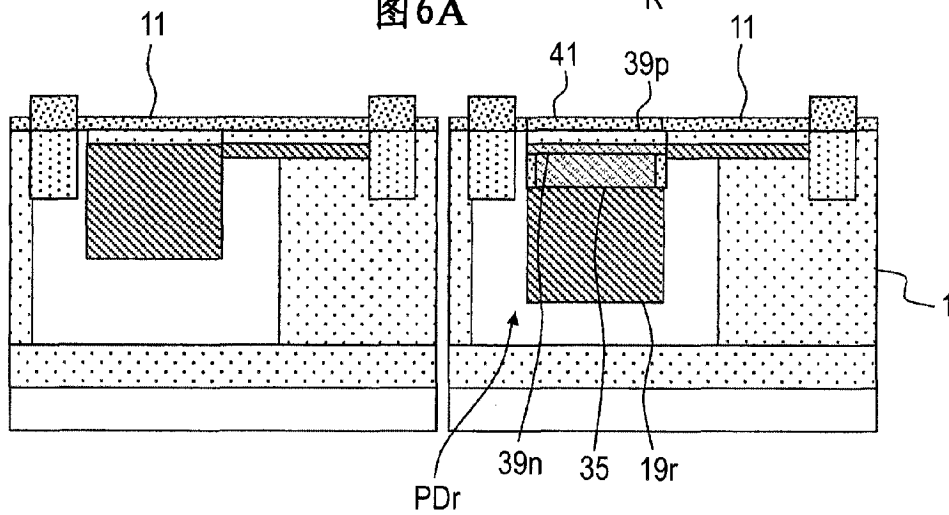


图6B

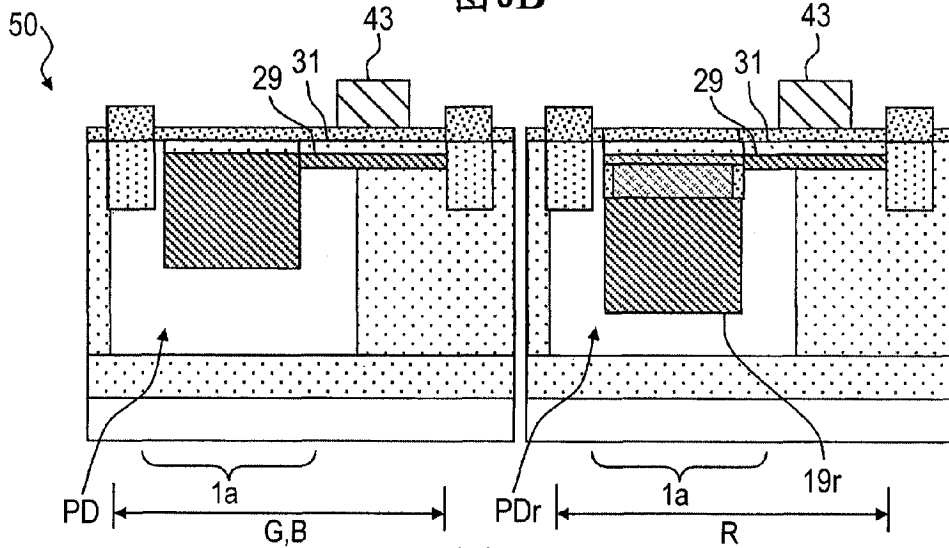


图6C

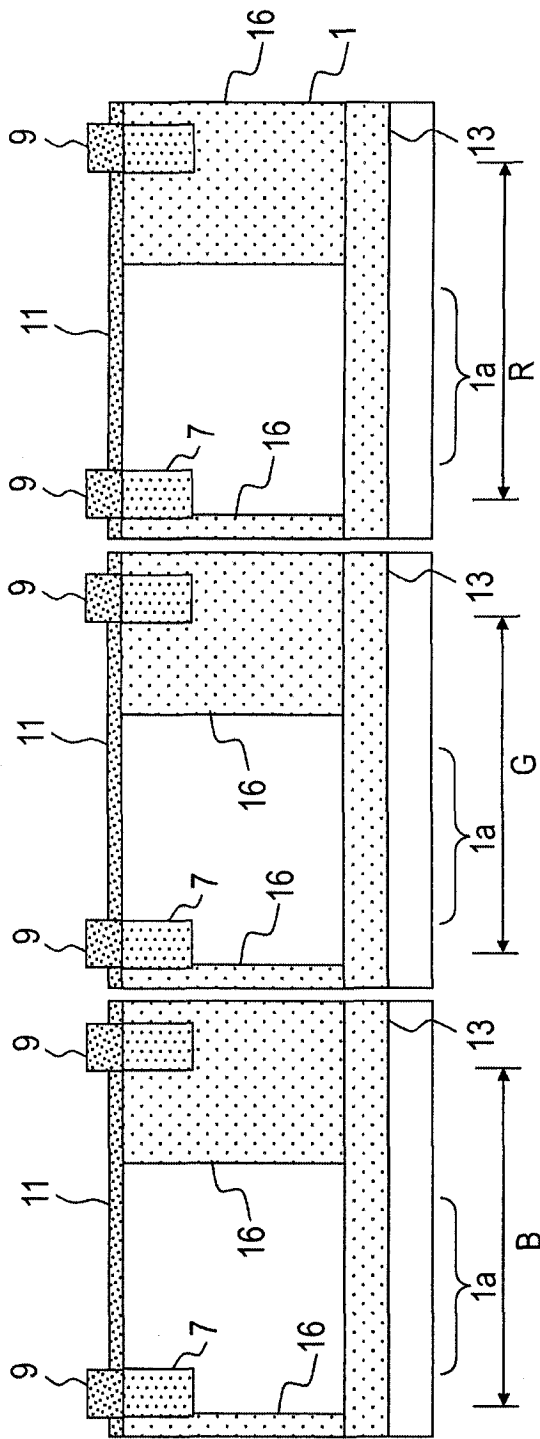


图7A

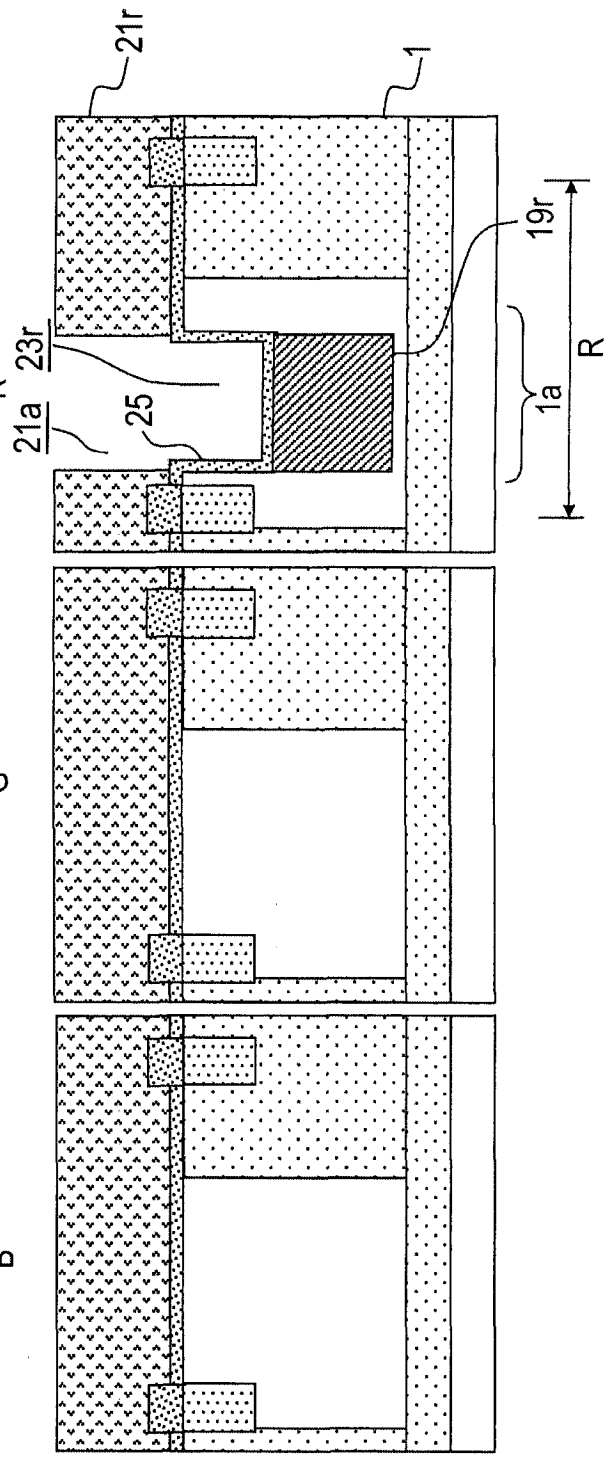


图7B

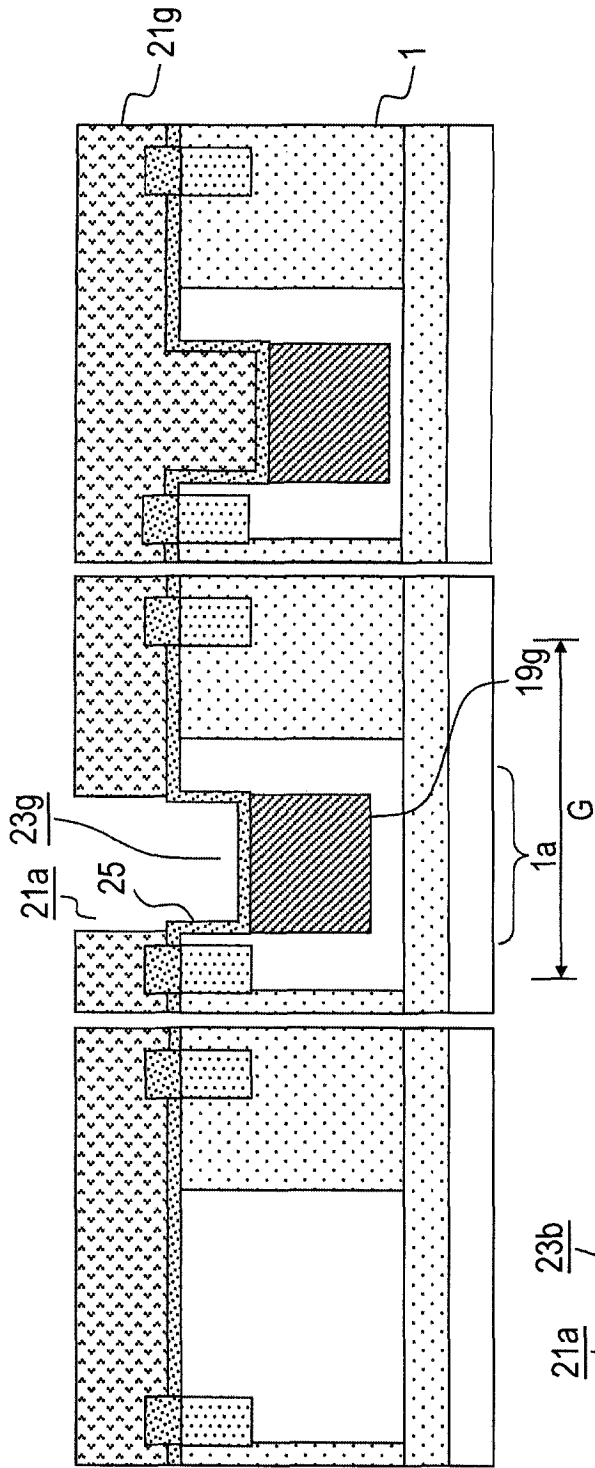


图 8A

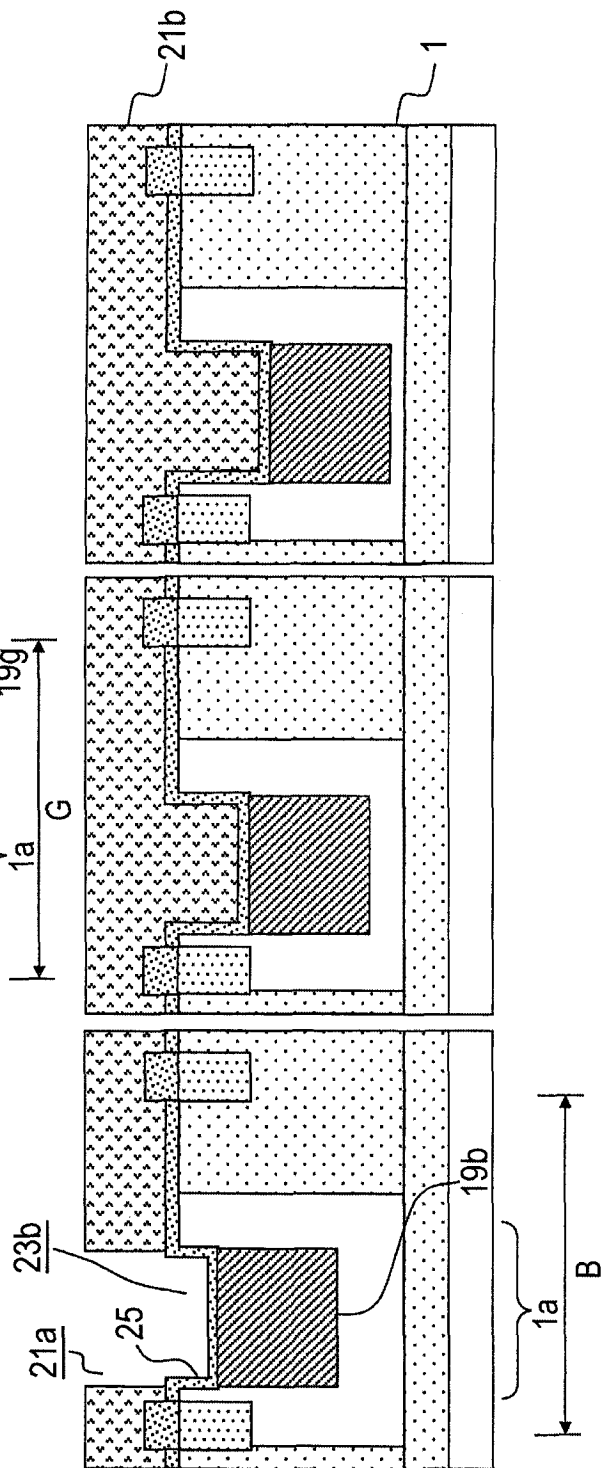
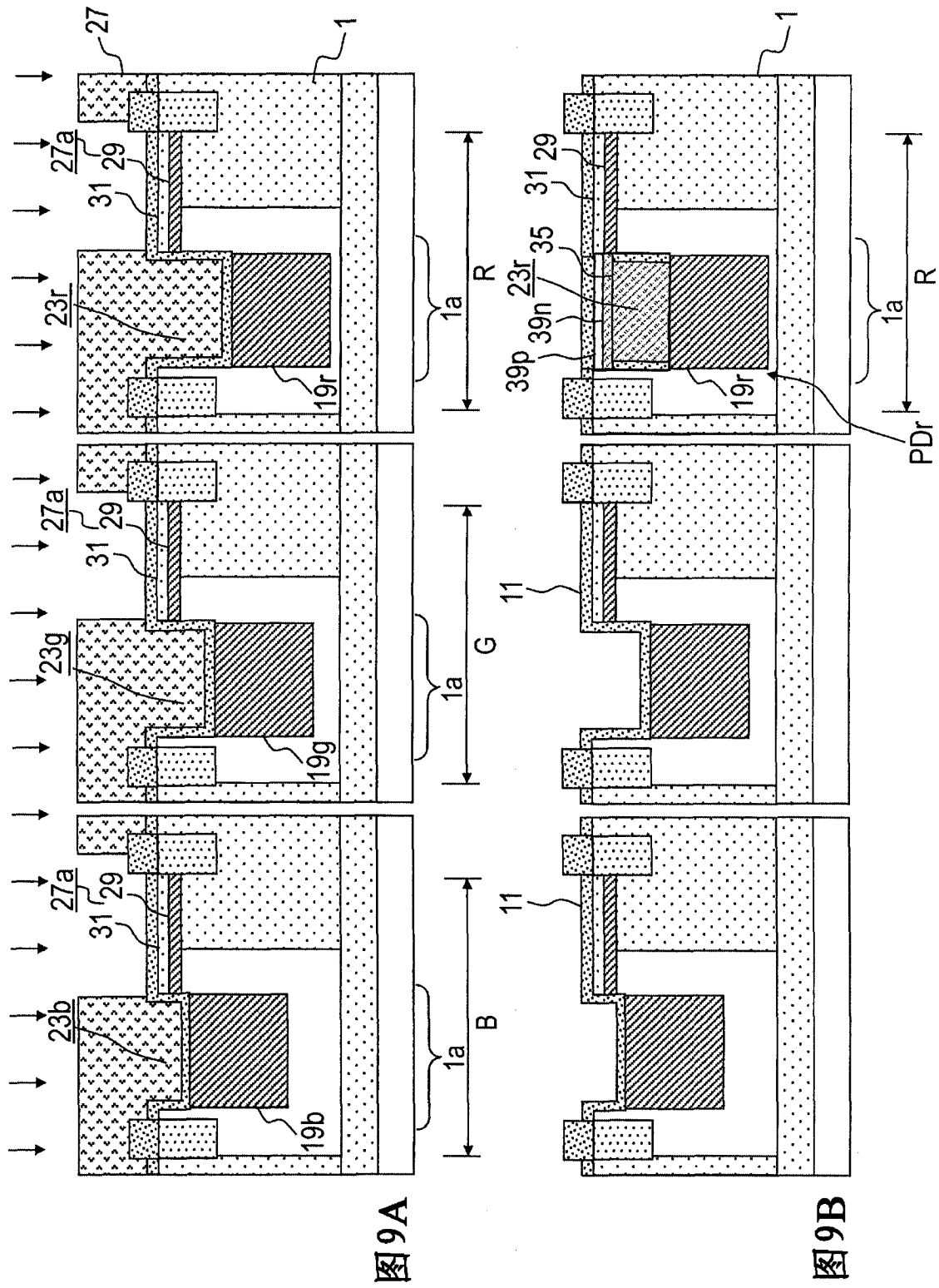


图 8B



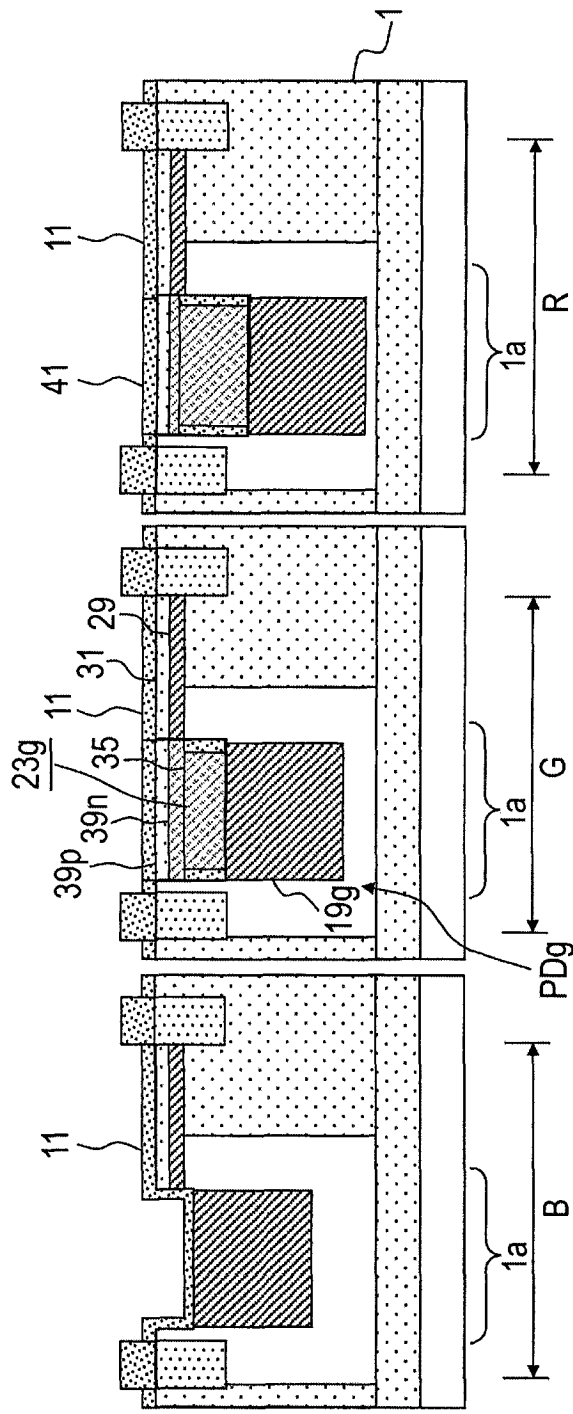


图 10A

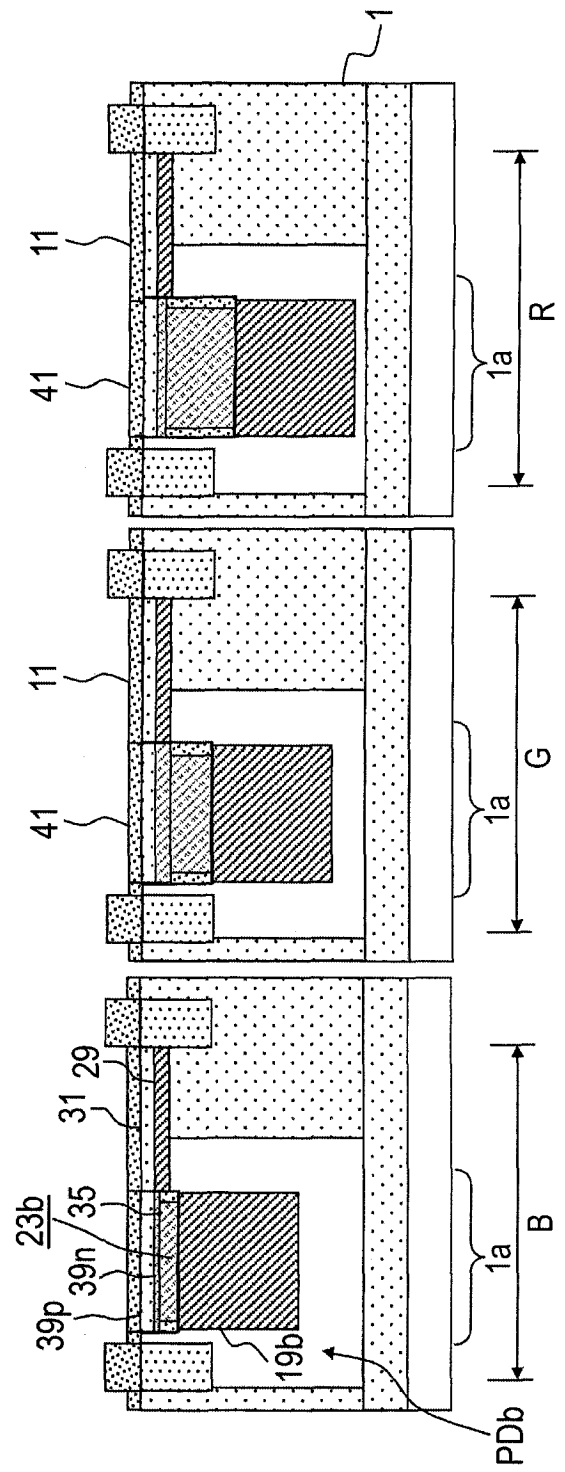


图 10B



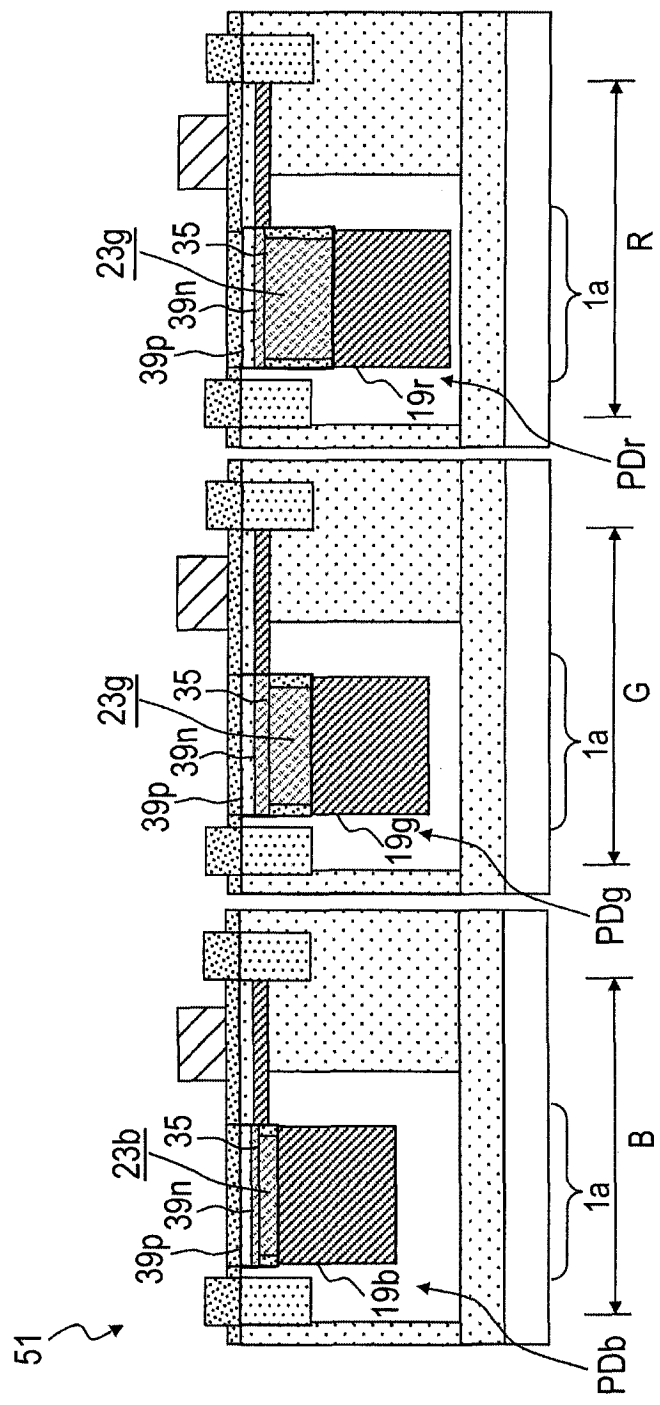


图 11

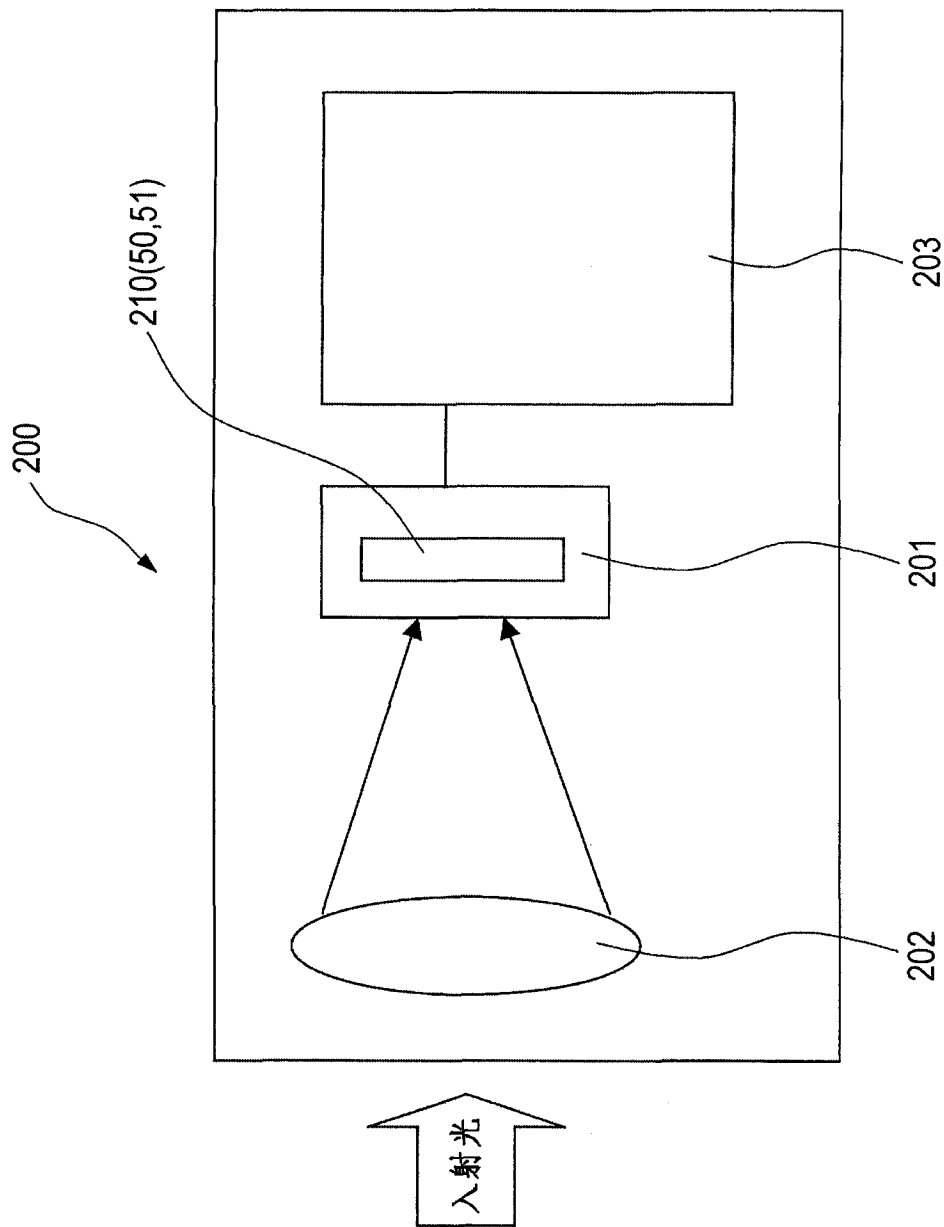


图 12