



(12) 发明专利

(10) 授权公告号 CN 113092858 B

(45) 授权公告日 2022.04.12

(21) 申请号 202110387851.6

CN 1410776 A, 2003.04.16

(22) 申请日 2021.04.12

CN 104090160 A, 2014.10.08

(65) 同一申请的已公布的文献号

CN 102334038 A, 2012.01.25

申请公布号 CN 113092858 A

CN 107817383 A, 2018.03.20

(43) 申请公布日 2021.07.09

CN 111769822 A, 2020.10.13

(73) 专利权人 湖南师范大学

CN 106646282 A, 2017.05.10

地址 410000 湖南省长沙市岳麓区麓山路36号

CN 105182069 A, 2015.12.23

CN 206321776 U, 2017.07.11

RU 2002125772 A, 2004.03.27

(72) 发明人 杜保强 沈坤 余慧敏 唐文胜

杜宝强 等. 基于时间间隔测量的宽范围高分辨率时间同步检测方法. 《电子学报》. 2013, 第41卷(第6期), 第1076-1083页.

(74) 专利代理机构 郑州联科专利事务所(普通合伙) 41104

A. Annagrebah et al.. Time-To-Digital Converter with adjustable resolution using a digital Vernier Ring Oscillator. 《2018 Conference on Design of Circuits and Integrated Systems (DCIS)》. 2018, 第1-4页.

代理人 王聚才

审查员 王晓涵

(51) Int. Cl.

G01R 23/10 (2006.01)

G01R 23/12 (2006.01)

(56) 对比文件

CN 103176045 A, 2013.06.26

CN 109030939 A, 2018.12.18

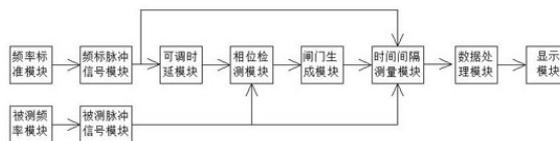
权利要求书4页 说明书10页 附图1页

(54) 发明名称

一种基于时频信息测量的高精度频标比对系统及比对方法

(57) 摘要

本发明提供了一种基于时频信息测量的高精度频标比对系统及比对方法,包括依次连接的频率标准模块、频标脉冲信号模块、可调时延模块、相位检测模块、闸门生成模块、时间间隔测量模块、数据处理模块和显示模块,频标脉冲信号模块的信号输出端还与时间间隔测量模块的信号输入端连接,还包括被测频率模块和被测脉冲信号模块,被测脉冲信号模块的信号输出端与相位检测模块和时间间隔测量模块的信号输入端均连接;本发明避免了传统频标比对方法中频率的归一化处理,利用FPGA技术克服了附加噪声的影响,使系统的鲁棒性得到了进一步加强;本发明实现了射频范围内任意频率关系的快速直接相位测量,加快了频标比对的速度。



CN 113092858 B

1. 一种基于时频信息测量的高精度频标比对系统,其特征在於:包括频率标准模块、被测频率模块、频标脉冲信号模块、被测脉冲信号模块、可调时延模块、相位检测模块、闸门生成模块、时间间隔测量模块、数据处理模块、显示模块和电源模块;频率标准模块、频标脉冲信号模块、可调时延模块、相位检测模块、闸门生成模块、时间间隔测量模块、数据处理模块和显示模块依次连接,频标脉冲信号模块的信号输出端还与时间间隔测量模块的信号输入端连接,被测频率模块的信号输出端与被测脉冲信号模块的信号输入端连接,被测脉冲信号模块的信号输出端与相位检测模块和时间间隔测量模块的信号输入端均连接;

所述的频率标准模块用于产生频率准确度高于 $\pm 1 \times 10^{-12}$ 量级的频标信号;

所述的被测频率模块用于产生频率准确度低于 $\pm 1 \times 10^{-12}$ 量级的比对频率信号即被测频率信号;

所述的频标脉冲信号模块和被测脉冲信号模块分别用于产生占空比为50%的矩形频标脉冲信号和占空比为50%的矩形被测脉冲信号;

所述的可调时延模块用于产生频标信号的固定时延信号和微调时延信号;

所述的相位检测模块用于产生相位重合点脉冲信号;

所述的闸门生成模块用于产生参考闸门时间间隔和实际闸门开关信号;

所述的时间间隔测量模块用于产生频标信号和被测频率信号的计数值;

所述的数据处理模块用于处理频标信号和被测频率信号的计数值,产生实际闸门时间、被测频率信号的频率和系统的频率稳定度;

所述的显示模块,用于接收数据处理模块的处理结果并进行显示。

2. 根据权利要求1所述的一种基于时频信息测量的高精度频标比对系统,其特征在於:所述的频率标准模块采用10MHz 5071A高性能铯原子频标,频率准确度为 $\pm 5 \times 10^{-13}$ 。

3. 根据权利要求2所述的一种基于时频信息测量的高精度频标比对系统,其特征在於:所述的被测频率模块采用晶体振荡器或KDS铷原子钟,频率准确度低于 $\pm 1 \times 10^{-12}$ 量级。

4. 根据权利要求3所述的一种基于时频信息测量的高精度频标比对系统,其特征在於:所述的频标脉冲信号模块和被测脉冲信号模块均采用施密特触器74LS14N芯片。

5. 根据权利要求4所述的一种基于时频信息测量的高精度频标比对系统,其特征在於:所述的可调时延模块由第一级时延电路、第二级时延电路和第三级时延电路组成;

所述的第一级时延电路由第一边沿型D触发器74LS175芯片和第一D触发器74LS375芯片组成,第一边沿型D触发器74LS175芯片和第一D触发器74LS375芯片的信号输入端,即第一级时延电路的信号输入端,均连接频标脉冲信号模块的信号输出端,第一D触发器74LS375芯片的信号输出端连接第二级时延电路的信号输入端,第一边沿型D触发器74LS175芯片的信号输出端连接所述的相位检测模块的信号输入端;

所述的第二级时延电路由第二边沿型D触发器74LS175芯片和第二D触发器74LS375芯片组成,第二边沿型D触发器74LS175芯片和第二D触发器74LS375芯片的信号输入端,即第二级时延电路的信号输入端,均连接第一级时延电路中第一D触发器74LS375芯片的信号输出端,第二D触发器74LS375芯片的信号输出端连接第三级时延电路的信号输入端,第二边沿型D触发器74LS175芯片的信号输出端连接所述的相位检测模块的信号输入端;

所述的第三级时延电路由第三边沿型D触发器74LS175芯片、第三D触发器74LS375芯片和第四边沿型D触发器74LS175芯片组成,第三边沿型D触发器74LS175芯片和第三D触发器

74LS375芯片的信号输入端,即第三级时延电路的信号输入端,均连接第二级时延电路中第二D触发器74LS375芯片的信号输出端,第三D触发器74LS375芯片的信号输出端连接第四边沿型D触发器74LS175芯片的信号输入端,第三边沿型D触发器74LS175芯片的信号输出端连接相位检测模块的信号输入端,第四边沿型D触发器74LS175芯片的信号输出端连接所述的相位检测模块的信号输入端。

6. 根据权利要求5所述的一种基于时频信息测量的高精度频标比对系统,其特征在于:所述的相位检测模块由第一脉冲变换电路、第二脉冲变换电路、第三脉冲变换电路、第四脉冲变换电路、第五脉冲变换电路、第一相位重合检测电路、第二相位重合检测电路、第三相位重合检测电路和第四相位重合检测电路组成;

所述的第一脉冲变换电路、第二脉冲变换电路、第三脉冲变换电路、第四脉冲变换电路、第五脉冲变换电路均采用脉冲变换电路,所述的脉冲变换电路由脉冲变换D触发器74LS375芯片、脉冲变换逻辑与门电路74LS08D芯片和脉冲变换逻辑非门电路74LS04N芯片组成,脉冲变换D触发器74LS375芯片的D信号输入端作为所述的脉冲变换电路的输入端连接脉冲变换逻辑与门电路74LS08D芯片的A信号输入端,脉冲变换D触发器74LS375芯片的Q信号输出端连接脉冲变换逻辑非门电路74LS04N芯片的信号输入端,脉冲变换逻辑非门电路74LS04N芯片的信号输出端连接脉冲变换逻辑与门电路74LS08D芯片的B信号输入端,脉冲变换逻辑与门电路74LS08D芯片的信号输出端Y作为脉冲变换电路的信号输出端;

所述的第一相位重合检测电路由第一逻辑与门电路74LS08D芯片组成,第一逻辑与门电路74LS08D芯片的A1信号输入端连接所述的第一脉冲变换电路的信号输出端,第一逻辑与门电路74LS08D芯片的B1信号输入端连接所述的第二脉冲变换电路的信号输出端;所述的第一相位重合检测电路的信号输出端与所述的闸门生成模块的信号输入端连接;

所述的第二相位重合检测电路由第二逻辑与门电路74LS08D芯片组成,第二逻辑与门电路74LS08D芯片的A2信号输入端连接所述的第一脉冲变换电路的信号输出端,第二逻辑与门电路74LS08D芯片的B2信号输入端连接所述的第三脉冲变换电路的信号输出端;所述的第二相位重合检测电路的信号输出端与所述的闸门生成模块的信号输入端连接;

所述的第三相位重合检测电路由第三逻辑与门电路74LS08D芯片组成,第三逻辑与门电路74LS08D芯片的A3信号输入端连接所述的第一脉冲变换电路的信号输出端,第三逻辑与门电路74LS08D芯片的B3信号输入端连接所述的第四脉冲变换电路的信号输出端;所述的第三相位重合检测电路的信号输出端与所述的闸门生成模块的信号输入端连接;

所述的第四相位重合检测电路由第四逻辑与门电路74LS08D芯片组成,第四逻辑与门电路74LS08D芯片的A4信号输入端连接所述的第一脉冲变换电路的信号输出端,第四逻辑与门电路74LS08D芯片的B4信号输入端连接所述的第五脉冲变换电路的信号输出端;所述的第四相位重合检测电路的信号输出端与所述的闸门生成模块的信号输入端连接。

7. 根据权利要求6所述的一种基于时频信息测量的高精度频标比对系统,其特征在于:所述的闸门生成模块由可编程分频器、三输入三或非门电路74LS27N芯片和逻辑非门电路74LS04N芯片组成,所述的可编程分频器的信号输出端连接所述的时间间隔测量模块的信号输入端,所述的三输入三或非门电路74LS27N芯片的信号输入端分别连接所述的第一相位重合检测电路、第二相位重合检测电路、第三相位重合检测电路和第四相位重合检测电路的信号输出端,三输入三或非门电路74LS27N芯片的信号输出端连接逻辑非门电路

74LS04N芯片的信号输入端,所述的逻辑非门电路74LS04N芯片的信号输出端连接所述的时间间隔测量模块的信号输入端。

8. 根据权利要求7所述的一种基于时频信息测量的高精度频标比对系统,其特征在于:所述的时间间隔测量模块采用可编程计数器,由FPGA硬件描述语言编程实现;所述的FPGA采用Cyclone IV芯片EP4CE75。

9. 根据权利要求8所述的一种基于时频信息测量的高精度频标比对系统,其特征在于:所述的数据处理模块采用嵌入式单片机STM32F103RBT6芯片,所述的显示模块可采用LCD液晶显示器。

10. 一种利用权利要求9所述的一种基于时频信息测量的高精度频标比对系统所进行的一种基于时频信息测量的高精度频标比对方法,其特征在于,包括以下步骤:

步骤A: 利用频标脉冲信号模块和被测脉冲信号模块分别对频率标准模块和被测频率模块产生的频标信号和被测频率信号进行数字化处理,即将由10MHz 5071A高性能铯原子频标产生的频标信号和由晶体振荡器或KDS铷原子钟产生的被测频率信号通过施密特触发器74LS14N分别转换为占空比为50%的矩形频标脉冲信号和矩形被测脉冲信号;

步骤B: 将占空比为50%的矩形频标脉冲信号送入可调时延模块进行时间延迟产生时延信号;

具体的,将占空比为50%的矩形频标脉冲信号送入第一级时延电路,通过第一D触发器74LS375芯片产生第一固定时延信号,第一固定时延信号的时延量大小为第一D触发器74LS375芯片的时钟周期,通过第一边沿型D触发器74LS175芯片产生第一微调时延信号,第一微调时延信号的时延量大小为第一边沿型D触发器74LS175芯片的时钟周期,第一固定时延信号的时延量大于第一微调时延信号的时延量;

将第一固定时延信号送入第二级时延电路,通过第二D触发器74LS375芯片产生第二固定时延信号,第二固定时延信号的时延量大小为第二D触发器74LS375芯片的时钟周期,通过第二边沿型D触发器74LS175芯片产生第二微调时延信号,第二微调时延信号的时延量大小为第二边沿型D触发器74LS175芯片的时钟周期,第二固定时延信号的时延量大于第二微调时延信号的时延量;

将第二固定时延信号送入第三级时延电路,通过第三D触发器74LS375芯片产生第三固定时延信号,第三固定时延信号的时延量大小为第三D触发器74LS375时钟周期,通过第三边沿型D触发器74LS175芯片产生第三微调时延信号,第三微调时延信号的时延量大小为第三边沿型D触发器74LS175芯片的时钟周期,第三固定时延信号的时延量大于第三微调时延信号的时延量;

将第三固定时延信号送入第四边沿型D触发器74LS175芯片产生第四微调时延信号,第四微调时延信号的时延量大小为第四边沿型D触发器74LS175芯片的时钟周期,第三固定时延信号的时延量大于第四微调时延信号的时延量;

步骤C: 将被测脉冲信号模块产生的占空比为50%的矩形被测脉冲信号送入第一脉冲变换电路,产生占空比低于10%的矩形被测脉冲信号,将第一微调时延信号、第二微调时延信号、第三微调时延信号和第四微调时延信号分别送入第二脉冲变换电路、第三脉冲变换电路、第四脉冲变换电路和第五脉冲变换电路,分别产生脉冲变换后的第一微调时延信号、第二微调时延信号、第三微调时延信号和第四微调时延信号;

将占空比低于10%的矩形被测脉冲信号和脉冲变换后的第一微调时延信号送入第一相位重合检测电路产生第一相位重合点脉冲；

将占空比低于10%的矩形被测脉冲信号和脉冲变换后的第二微调时延信号送入第二相位重合检测电路产生第二相位重合点脉冲；

将占空比低于10%的矩形被测脉冲信号和脉冲变换后的第三微调时延信号送入第三相位重合检测电路产生第三相位重合点脉冲；

将占空比低于10%的矩形被测脉冲信号和脉冲变换后的第四微调时延信号送入第四相位重合检测电路产生第四相位重合点脉冲；

步骤D：根据频标信号和被测频率信号之间的频率关系，计算频标信号和被测频率信号的最小公倍数，以最小公倍数周期为时间间隔，由闸门生成模块中的可编程分频器生成参考闸门信号；

将第一相位重合点脉冲、第二相位重合点脉冲、第三相位重合点脉冲和第四相位重合点脉冲同时送入闸门生成模块中的三输入三或非门电路74LS27N芯片，三输入三或非门电路74LS27N芯片的信号输出端连接逻辑非门电路74LS04N芯片的信号输入端，在参考闸门信号控制下，逻辑非门电路74LS04N芯片的信号输出端产生时间间隔测量模块的实际闸门信号；

步骤E：将占空比为50%的矩形频标脉冲信号和矩形被测脉冲信号同时送入时间间隔测量模块，时间间隔测量模块由可编程计数器组成，在实际闸门信号的控制下进行无间隙计数，获得矩形频标脉冲信号和矩形被测脉冲信号的计数值；

步骤F：将可编程计数器的计数值送入数据处理模块，即单片机STM32F103RBT6芯片进行处理，获得实际闸门时间、被测频率信号的频率和系统的频率稳定度。

一种基于时频信息测量的高精度频标比对系统及比对方法

技术领域

[0001] 本发明涉及一种频标比对系统及比对方法,尤其涉及一种基于时频信息测量的高精度频标比对系统及比对方法。

背景技术

[0002] 在时频信息测量中,传统的频标比对方法建立在同频相位比对基础之上,针对不同频标信号之间的相位比对,须经过混频、倍频、频率合成等复杂的频率变换过程使其频率归一化,频率的归一化处理不仅使系统结构复杂、成本增加,还容易引入合成线路的附加噪声,使频标比对的精度即准确度以及频率测量的频率稳定度难以保证;异频相位比对方法无需频率归一化可直接完成两比对信号之间的相位测量,克服了传统频标比对方法在原理上的缺陷,但异频相位比对方法获得高精度的基础是两比对信号之间固定的频率关系,针对复杂频率关系和大频率差异关系下两频标信号之间的相位比对,由于作为闸门信号的相位重合点生成困难,测量的准确度和稳定度将大幅度下降,甚至造成系统无法测量。

发明内容

[0003] 本发明的目的在于提供一种基于时频信息测量的高精度频标比对系统及对比方法,能够将作为闸门信号的相位重合点的被动生成变为主动检测,实现复杂背景下任意频率关系的直接相位测量,提高时频信息测量中频标比对的响应时间即速度和频率测量的秒级频率稳定度,加强系统的稳定性和可靠性。

[0004] 为了实现上述目的,本发明采用以下技术方案:

[0005] 一种基于时频信息测量的高精度频标比对系统,包括频率标准模块、被测频率模块、频标脉冲信号模块、被测脉冲信号模块、可调时延模块、相位检测模块、闸门生成模块、时间间隔测量模块、数据处理模块、显示模块和电源模块;频率标准模块、频标脉冲信号模块、可调时延模块、相位检测模块、闸门生成模块、时间间隔测量模块、数据处理模块和显示模块依次连接,频标脉冲信号模块的信号输出端还与时间间隔测量模块的信号输入端连接,被测频率模块的信号输出端与被测脉冲信号模块的信号输入端连接,被测脉冲信号模块的信号输出端与相位检测模块和时间间隔测量模块的信号输入端均连接;

[0006] 所述的频率标准模块用于产生频率准确度高于 $\pm 1 \times 10^{-12}$ 量级的频标信号;

[0007] 所述的被测频率模块用于产生频率准确度低于 $\pm 1 \times 10^{-12}$ 量级的比对频率信号即被测频率信号;

[0008] 所述的频标脉冲信号模块和被测脉冲信号模块分别用于产生占空比为50%的矩形频标脉冲信号和占空比为50%的矩形被测脉冲信号;

[0009] 所述的可调时延模块用于产生频标信号的固定时延信号和微调时延信号;

[0010] 所述的相位检测模块用于产生相位重合点脉冲信号;

[0011] 所述的闸门生成模块用于产生参考闸门时间间隔和实际闸门开关信号;

[0012] 所述的时间间隔测量模块用于产生频标信号和被测频率信号的计数值;

[0013] 所述的数据处理模块用于处理频标信号和被测频率信号的计数值,产生实际闸门时间、被测频率信号的频率和系统的频率稳定度;

[0014] 所述的显示模块,用于接收数据处理模块的处理结果并进行显示。

[0015] 所述的频率标准模块采用10MHz 5071A高性能铯原子频标,频率准确度为 $\pm 5 \times 10^{-13}$ 。

[0016] 所述的被测频率模块采用晶体振荡器或KDS铷原子钟,频率准确度低于 $\pm 1 \times 10^{-12}$ 量级。

[0017] 所述的频标脉冲信号模块和被测脉冲信号模块均采用施密特触器74LS14N芯片。

[0018] 所述的可调时延模块由第一级时延电路、第二级时延电路和第三级时延电路组成;

[0019] 所述的第一级时延电路由第一边沿型D触发器74LS175芯片和第一D触发器74LS375芯片组成,第一边沿型D触发器74LS175芯片和第一D触发器74LS375芯片的信号输入端,即第一级时延电路的信号输入端,均连接频标脉冲信号模块的信号输出端,第一D触发器74LS375芯片的信号输出端连接第二级时延电路的信号输入端,第一边沿型D触发器74LS175芯片的信号输出端连接所述的相位检测模块的信号输入端;

[0020] 所述的第二级时延电路由第二边沿型D触发器74LS175芯片和第二D触发器74LS375芯片组成,第二边沿型D触发器74LS175芯片和第二D触发器74LS375芯片的信号输入端,即第二级时延电路的信号输入端,均连接第一级时延电路中第一D触发器74LS375芯片的信号输出端,第二D触发器74LS375芯片的信号输出端连接第三级时延电路的信号输入端,第二边沿型D触发器74LS175芯片的信号输出端连接所述的相位检测模块的信号输入端;

[0021] 所述的第三级时延电路由第三边沿型D触发器74LS175芯片、第三D触发器74LS375芯片和第四边沿型D触发器74LS175芯片组成,第三边沿型D触发器74LS175芯片和第三D触发器74LS375芯片的信号输入端,即第三级时延电路的信号输入端,均连接第二级时延电路中第二D触发器74LS375芯片的信号输出端,第三D触发器74LS375芯片的信号输出端连接第四边沿型D触发器74LS175芯片的信号输入端,第三边沿型D触发器74LS175芯片的信号输出端连接相位检测模块的信号输入端,第四边沿型D触发器74LS175芯片的信号输出端连接所述的相位检测模块的信号输入端。

[0022] 所述的相位检测模块由第一脉冲变换电路、第二脉冲变换电路、第三脉冲变换电路、第四脉冲变换电路、第五脉冲变换电路、第一相位重合检测电路、第二相位重合检测电路、第三相位重合检测电路和第四相位重合检测电路组成;

[0023] 所述的第一脉冲变换电路、第二脉冲变换电路、第三脉冲变换电路、第四脉冲变换电路、第五脉冲变换电路均采用脉冲变换电路,所述的脉冲变换电路由脉冲变换D触发器74LS375芯片、脉冲变换逻辑与门电路74LS08D芯片和脉冲变换逻辑非门电路74LS04N芯片组成,脉冲变换D触发器74LS375芯片的D信号输入端连接脉冲变换逻辑与门电路74LS08D芯片的A信号输入端,脉冲变换D触发器74LS375芯片的Q信号输出端连接脉冲变换逻辑非门电路74LS04N芯片的信号输入端,脉冲变换逻辑非门电路74LS04N芯片的信号输出端连接脉冲变换逻辑与门电路74LS08D芯片的B信号输入端,脉冲变换逻辑与门电路74LS08D芯片的信号输出端Y作为脉冲变换电路的信号输出端;

[0024] 所述的第一相位重合检测电路由第一逻辑与门电路74LS08D芯片组成,第一逻辑与门电路74LS08D芯片的A1信号输入端连接所述的第一脉冲变换电路的信号输出端,第一逻辑与门电路74LS08D芯片的B1信号输入端连接所述的第二脉冲变换电路的信号输出端;所述的第一相位重合检测电路的信号输出端与所述的闸门生成模块的信号输入端连接;

[0025] 所述的第二相位重合检测电路由第二逻辑与门电路74LS08D芯片组成,第二逻辑与门电路74LS08D芯片的A2信号输入端连接所述的第一脉冲变换电路的信号输出端,第二逻辑与门电路74LS08D芯片的B2信号输入端连接所述的第三脉冲变换电路的信号输出端;所述的第二相位重合检测电路的信号输出端与所述的闸门生成模块的信号输入端连接;

[0026] 所述的第三相位重合检测电路由第三逻辑与门电路74LS08D芯片组成,第三逻辑与门电路74LS08D芯片的A3信号输入端连接所述的第一脉冲变换电路的信号输出端,第三逻辑与门电路74LS08D芯片的B3信号输入端连接所述的第四脉冲变换电路的信号输出端;所述的第三相位重合检测电路的信号输出端与所述的闸门生成模块的信号输入端连接;

[0027] 所述的第四相位重合检测电路由第四逻辑与门电路74LS08D芯片组成,第四逻辑与门电路74LS08D芯片的A4信号输入端连接所述的第一脉冲变换电路的信号输出端,第四逻辑与门电路74LS08D芯片的B4信号输入端连接所述的第五脉冲变换电路的信号输出端;所述的第四相位重合检测电路的信号输出端与所述的闸门生成模块的信号输入端连接。

[0028] 所述的闸门生成模块由可编程分频器、三输入三或非门电路74LS27N芯片和逻辑非门电路74LS04N芯片组成,所述的可编程分频器的信号输出端连接所述的时间间隔测量模块的信号输入端,所述的三输入三或非门电路74LS27N芯片的信号输入端分别连接所述的第一相位重合检测电路、第二相位重合检测电路、第三相位重合检测电路和第四相位重合检测电路的信号输出端,输入三或非门电路74LS27N芯片的信号输出端连接逻辑非门电路74LS04N芯片的信号输入端,所述的逻辑非门电路74LS04N芯片的信号输出端连接所述的时间间隔测量模块的信号输入端。

[0029] 所述的时间间隔测量模块采用可编程计数器,由FPGA硬件描述语言编程实现;所述的FPGA采用Cyclone IV芯片EP4CE75。

[0030] 所述的数据处理模块采用嵌入式单片机STM32F103RBT6芯片,所述的显示模块可采用LCD液晶显示器。

[0031] 一种基于时频信息测量的高精度频标比对方法,包括以下步骤:

[0032] 步骤A: 利用频标脉冲信号模块和被测脉冲信号模块分别对频率标准模块和被测频率模块产生的频标信号和被测频率信号进行数字化处理,即将由10MHz 5071A高性能铯原子频标产生的频标信号和由晶体振荡器或KDS铷原子钟产生的被测频率信号通过施密特触发器74LS14N分别转换为占空比为50%的矩形频标脉冲信号和矩形被测脉冲信号;

[0033] 步骤B: 将占空比为50%的矩形频标脉冲信号送入可调时延模块进行时间延迟产生时延信号;

[0034] 具体的,将占空比为50%的矩形频标脉冲信号送入第一级时延电路,通过第一D触发器74LS375芯片产生第一固定时延信号,第一固定时延信号的时延量大小为第一D触发器74LS375芯片的时钟周期,通过第一边沿型D触发器74LS175芯片产生第一微调时延信号,第一微调时延信号的时延量大小为第一边沿型D触发器74LS175芯片的时钟周期,第一固定时延信号的时延量大于第一微调时延信号的时延量;

[0035] 将第一固定时延信号送入第二级时延电路,通过第二D触发器74LS375芯片产生第二固定时延信号,第二固定时延信号的时延量大小为第二D触发器74LS375芯片的时钟周期,通过第二边沿型D触发器74LS175芯片产生第二微调时延信号,第二微调时延信号的时延量大小为第二边沿型D触发器74LS175芯片的时钟周期,第二固定时延信号的时延量大于第二微调时延信号的时延量;

[0036] 将第二固定时延信号送入第三级时延电路,通过第三D触发器74LS375芯片产生第三固定时延信号,第三固定时延信号的时延量大小为第三D触发器74LS375时钟周期,通过第三边沿型D触发器74LS175芯片产生第三微调时延信号,第三微调时延信号的时延量大小为第三边沿型D触发器74LS175芯片的时钟周期,第三固定时延信号的时延量大于第三微调时延信号的时延量;

[0037] 将第三固定时延信号送入第四边沿型D触发器74LS175芯片产生第四微调时延信号,第四微调时延信号的时延量大小为第四边沿型D触发器74LS175芯片的时钟周期,第三固定时延信号的时延量大于第四微调时延信号的时延量;

[0038] 步骤C: 将被测脉冲信号模块产生的占空比为50%的矩形被测脉冲信号送入第一脉冲变换电路,产生占空比低于10%的矩形被测脉冲信号,将第一微调时延信号、第二微调时延信号、第三微调时延信号和第四微调时延信号分别送入第二脉冲变换电路、第三脉冲变换电路、第四脉冲变换电路和第五脉冲变换电路,分别产生脉冲变换后的第一微调时延信号、第二微调时延信号、第三微调时延信号和第四微调时延信号;

[0039] 将占空比低于10%的矩形被测脉冲信号和脉冲变换后的第一微调时延信号送入第一相位重合检测电路产生第一相位重合点脉冲;

[0040] 将占空比低于10%的矩形被测脉冲信号和脉冲变换后的第二微调时延信号送入第二相位重合检测电路产生第二相位重合点脉冲;

[0041] 将占空比低于10%的矩形被测脉冲信号和脉冲变换后的第三微调时延信号送入第三相位重合检测电路产生第三相位重合点脉冲;

[0042] 将占空比低于10%的矩形被测脉冲信号和脉冲变换后的第四微调时延信号送入第四相位重合检测电路产生第四相位重合点脉冲;

[0043] 步骤D: 根据频标信号和被测频率信号之间的频率关系,计算频标信号和被测频率信号的最小公倍数,以最小公倍数周期为时间间隔,由闸门生成模块中的可编程分频器生成参考闸门信号;

[0044] 将第一相位重合点脉冲、第二相位重合点脉冲、第三相位重合点脉冲和第四相位重合点脉冲同时送入闸门生成模块中的三输入三或非门电路74LS27N芯片,三输入三或非门电路74LS27N芯片的信号输出端连接逻辑非门电路74LS04N芯片的信号输入端,在参考闸门信号控制下,逻辑非门电路74LS04N芯片的信号输出端产生时间间隔测量模块的实际闸门信号;

[0045] 步骤E: 将占空比为50%的矩形频标脉冲信号和矩形被测脉冲信号同时送入时间间隔测量模块,时间间隔测量模块由可编程计数器组成,在实际闸门信号的控制下进行无间隙计数,获得矩形频标脉冲信号和矩形被测脉冲信号的计数值;

[0046] 步骤F: 将可编程计数器的计数值送入数据处理模块,即单片机STM32F103RBT6芯片进行处理,获得实际闸门时间、被测频率信号的频率和系统的频率稳定度。

[0047] 与现有技术相比,本发明的有益效果为:

[0048] 本发明避免了传统频标比对方法中频率的归一化处理,利用FPGA技术简化了系统结构,降低了成本,克服了附加噪声的影响,使系统的鲁棒性得到了进一步加强;由于采用了区别于传统频标比对方法的可调时延链技术,有效消除了复杂频率关系对相位测量精度的影响,本发明的系统响应时间和频率准确度均得到了大幅度提高,任意时刻的系统响应时间优于1ms,频率准确度优于 $\pm 6 \times 10^{-13}$,实现了射频范围内任意频率关系的快速直接相位测量,加快了频标比对的速度。

附图说明

[0049] 为了更清楚地说明本发明具体实施方式或现有技术中的技术方案,下面将对具体实施方式或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图是本发明的一些实施方式,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0050] 图1为本发明的原理框图。

具体实施方式

[0051] 下面将结合附图对本发明的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0052] 如图1所示:本发明所述的一种基于时频信息测量的高精度频标比对系统,包括频率标准模块、被测频率模块、频标脉冲信号模块、被测脉冲信号模块、可调时延模块、相位检测模块、闸门生成模块、时间间隔测量模块、数据处理模块、显示模块和电源模块;频率标准模块、频标脉冲信号模块、可调时延模块、相位检测模块、闸门生成模块、时间间隔测量模块、数据处理模块和显示模块依次连接,频标脉冲信号模块的信号输出端还与时间间隔测量模块的信号输入端连接,被测频率模块的信号输出端与被测脉冲信号模块的信号输入端连接,被测脉冲信号模块的信号输出端与相位检测模块和时间间隔测量模块的信号输入端均连接;

[0053] 所述的频率标准模块用于产生频率准确度高于 $\pm 1 \times 10^{-12}$ 量级的频标信号;优选的,所述的频率标准模块采用10MHz 5071A高性能铯原子频标,10MHz 5071A高性能铯原子频标的频率准确度为 $\pm 5E-13$,用于产生频率准确度优高于 $\pm 1 \times 10^{-12}$ 量级的频标信号;

[0054] 所述的被测频率模块用于产生频率准确度低于 $\pm 1 \times 10^{-12}$ 量级的比对频率信号即被测频率信号;优选的,所述的被测频率模块可采用晶体振荡器或者KDS铷原子钟等二级频标,用于产生频率准确度低于 $\pm 1 \times 10^{-12}$ 量级的比对频率信号,即被测频率信号;

[0055] 所述的频标脉冲信号模块和被测脉冲信号模块分别用于产生占空比为50%的矩形频标脉冲信号和占空比为50%的矩形被测脉冲信号;优选的,所述的频标脉冲信号模块和被测脉冲信号模块采用施密特触器74LS14N芯片;即所述的频标脉冲信号模块和被测脉冲信号模块分别用于将对所述的频率标准模块和所述的被测频率模块产生的频标信号和被测频率信号进行数字化处理;

[0056] 所述的可调时延模块用于产生频标信号的固定时延信号和微调时延信号;优选

的,所述的可调时延模块由第一级时延电路、第二级时延电路和第三级时延电路组成;

[0057] 所述的第一级时延电路由第一边沿型D触发器74LS175芯片和第一D触发器74LS375芯片组成,第一边沿型D触发器74LS175芯片和第一D触发器74LS375芯片的信号输入端,即第一级时延电路的信号输入端,均连接频标脉冲信号模块的信号输出端,第一D触发器74LS375芯片的信号输出端连接第二级时延电路的信号输入端,第一边沿型D触发器74LS175芯片的信号输出端连接所述的相位检测模块的信号输入端,具体的,第一边沿型D触发器74LS175芯片的信号输出端连接所述的相位检测模块中第一相位重合检测电路的信号输入端;将占空比为50%的矩形频标脉冲信号送入第一级时延电路,通过第一D触发器74LS375芯片产生第一固定时延信号,第一固定时延信号的时延量大小为第一D触发器74LS375时钟周期,通过第一边沿型D触发器74LS175芯片产生第一微调时延信号,第一微调时延信号的时延量大小为第一边沿型D触发器74LS175芯片的时钟周期,第一固定时延信号的时延量远大于第一微调时延信号的时延量;

[0058] 所述的第二级时延电路由第二边沿型D触发器74LS175芯片和第二D触发器74LS375芯片组成,第二边沿型D触发器74LS175芯片和第二D触发器74LS375芯片的信号输入端,即第二级时延电路的信号输入端,均连接第一级时延电路中第一D触发器74LS375芯片的信号输出端,第二D触发器74LS375芯片的信号输出端连接第三级时延电路的信号输入端,第二边沿型D触发器74LS175芯片的信号输出端连接所述的相位检测模块的信号输入端;具体的,第二边沿型D触发器74LS175芯片的信号输出端连接所述的相位检测模块中第二相位重合检测电路的信号输入端;将第一固定时延信号送入第二级时延电路,通过第二D触发器74LS375芯片产生第二固定时延信号,第二固定时延信号的时延量大小为第二D触发器74LS375时钟周期,通过第二边沿型D触发器74LS175芯片产生第二微调时延信号,第二微调时延信号的时延量大小为第二边沿型D触发器74LS175芯片的时钟周期,第二固定时延信号的时延量远大于第二微调时延信号的时延量;

[0059] 所述的第三级时延电路由第三边沿型D触发器74LS175芯片、第三D触发器74LS375芯片和第四边沿型D触发器74LS175芯片组成,第三边沿型D触发器74LS175芯片和第三D触发器74LS375芯片的信号输入端,即第三级时延电路的信号输入端,均连接第二级时延电路中第二D触发器74LS375芯片的信号输出端,第三D触发器74LS375芯片的信号输出端连接第四边沿型D触发器74LS175芯片的信号输入端,第三边沿型D触发器74LS175芯片的信号输出端连接相位检测模块的信号输入端,具体的,第三边沿型D触发器74LS175芯片的信号输出端连接所述的相位检测模块中第三相位重合检测电路的信号输入端;第四边沿型D触发器74LS175芯片的信号输出端连接所述的相位检测模块的信号输入端;将第二固定时延信号送入第三级时延电路,通过第三D触发器74LS375芯片产生第三固定时延信号,第三固定时延信号的时延量大小为第三D触发器74LS375时钟周期,通过第三边沿型D触发器74LS175芯片产生第三微调时延信号,第三微调时延信号的时延量大小为第三边沿型D触发器74LS175芯片的时钟周期,第三固定时延信号的时延量远大于第三微调时延信号的时延量;将第三固定时延信号送入第四边沿型D触发器74LS175芯片产生第四微调时延信号,第四微调时延信号的时延量大小为第四边沿型D触发器74LS175芯片的时钟周期,第三固定时延信号的时延量远大于第四微调时延信号的时延量;

[0060] 所述的相位检测模块用于产生相位重合点脉冲信号;具体的,所述的相位检测模

块由第一脉冲变换电路、第二脉冲变换电路、第三脉冲变换电路、第四脉冲变换电路、第五脉冲变换电路、第一相位重合检测电路、第二相位重合检测电路、第三相位重合检测电路和第四相位重合检测电路组成；

[0061] 所述的第一脉冲变换电路、第二脉冲变换电路、第三脉冲变换电路、第四脉冲变换电路、第五脉冲变换电路均采用脉冲变换电路，所述的脉冲变换电路由脉冲变换D触发器74LS375芯片、脉冲变换逻辑与门电路74LS08D芯片和脉冲变换逻辑非门电路74LS04N芯片组成，脉冲变换D触发器74LS375芯片的D信号输入端连接脉冲变换逻辑与门电路74LS08D芯片的A信号输入端，脉冲变换D触发器74LS375芯片的Q信号输出端连接脉冲变换逻辑非门电路74LS04N芯片的信号输入端，脉冲变换逻辑非门电路74LS04N芯片的信号输出端连接脉冲变换逻辑与门电路74LS08D芯片的B信号输入端，脉冲变换逻辑与门电路74LS08D芯片的信号输出端Y作为脉冲变换电路的信号输出端；

[0062] 所述的第一相位重合检测电路由第一逻辑与门电路74LS08D芯片组成，第一逻辑与门电路74LS08D芯片的A1信号输入端连接所述的第一脉冲变换电路的信号输出端，第一逻辑与门电路74LS08D芯片的B1信号输入端连接所述的第二脉冲变换电路的信号输出端；所述的第一相位重合检测电路的信号输出端与所述的闸门生成模块的信号输入端连接；

[0063] 所述的第二相位重合检测电路由第二逻辑与门电路74LS08D芯片组成，第二逻辑与门电路74LS08D芯片的A2信号输入端连接所述的第一脉冲变换电路的信号输出端，第二逻辑与门电路74LS08D芯片的B2信号输入端连接所述的第三脉冲变换电路的信号输出端；所述的第二相位重合检测电路的信号输出端与所述的闸门生成模块的信号输入端连接；

[0064] 所述的第三相位重合检测电路由第三逻辑与门电路74LS08D芯片组成，第三逻辑与门电路74LS08D芯片的A3信号输入端连接所述的第一脉冲变换电路的信号输出端，第三逻辑与门电路74LS08D芯片的B3信号输入端连接所述的第四脉冲变换电路的信号输出端；所述的第三相位重合检测电路的信号输出端与所述的闸门生成模块的信号输入端连接；

[0065] 所述的第四相位重合检测电路由第四逻辑与门电路74LS08D芯片组成，第四逻辑与门电路74LS08D芯片的A4信号输入端连接所述的第一脉冲变换电路的信号输出端，第四逻辑与门电路74LS08D芯片的B4信号输入端连接所述的第五脉冲变换电路的信号输出端；所述的第四相位重合检测电路的信号输出端与所述的闸门生成模块的信号输入端连接；

[0066] 将被测脉冲信号模块产生的占空比为50%的矩形被测脉冲信号送入第一脉冲变换电路，产生占空比低于10%的矩形被测脉冲信号，将第一微调时延信号、第二微调时延信号、第三微调时延信号和第四微调时延信号分别送入第二脉冲变换电路、第三脉冲变换电路、第四脉冲变换电路和第五脉冲变换电路，分别产生脉冲变换后的第一微调时延信号、第二微调时延信号、第三微调时延信号和第四微调时延信号；

[0067] 将占空比低于10%的矩形被测脉冲信号和脉冲变换后的第一微调时延信号送入第一相位重合检测电路产生第一相位重合点脉冲；

[0068] 将占空比低于10%的矩形被测脉冲信号和脉冲变换后的第二微调时延信号送入第二相位重合检测电路产生第二相位重合点脉冲；

[0069] 将占空比低于10%的矩形被测脉冲信号和脉冲变换后的第三微调时延信号送入第三相位重合检测电路产生第三相位重合点脉冲；

[0070] 将占空比低于10%的矩形被测脉冲信号和脉冲变换后的第四微调时延信号送入第

四相位重合检测电路产生第四相位重合点脉冲；

[0071] 所述的闸门生成模块用于产生参考闸门时间间隔和实际闸门开关信号；具体的，所述的闸门生成模块由可编程分频器、三输入三或非门电路74LS27N芯片和逻辑非门电路74LS04N芯片组成，所述的可编程分频器的信号输出端连接所述的时间间隔测量模块的信号输入端，所述的三输入三或非门电路74LS27N芯片的信号输入端分别连接所述的第一相位重合检测电路、第二相位重合检测电路、第三相位重合检测电路和第四相位重合检测电路的信号输出端，输入三或非门电路74LS27N芯片的信号输出端连接逻辑非门电路74LS04N芯片的信号输入端，所述的逻辑非门电路74LS04N芯片的信号输出端连接所述的时间间隔测量模块的信号输入端；根据频标信号和被测频率信号之间的频率关系，计算频标信号和被测频率信号的最小公倍数，以最小公倍数周期为时间间隔，由闸门生成模块中的可编程分频器生成参考闸门信号；将第一相位重合点脉冲、第二相位重合点脉冲、第三相位重合点脉冲和第四相位重合点脉冲同时送入闸门生成模块中的三输入三或非门电路74LS27N芯片，三输入三或非门电路74LS27N芯片的信号输出端连接逻辑非门电路74LS04N芯片的信号输入端，在参考闸门信号控制下，逻辑非门电路74LS04N芯片的信号输出端产生时间间隔测量模块的实际闸门信号；

[0072] 所述的时间间隔测量模块用于产生频标信号和被测频率信号的计数值；具体的，所述的时间间隔测量模块采用可编程计数器，由FPGA硬件描述语言编程实现；所述的FPGA采用Cyclone IV芯片EP4CE75，且EP4CE75型FPGA还可实现可编程分频器和74LS系列芯片的逻辑功能；

[0073] 所述的数据处理模块用于处理频标信号和被测频率信号的计数值，产生实际闸门时间、被测频率信号的频率和系统的频率稳定度；所述的显示模块，用于接收数据处理模块的处理结果并进行显示；具体的，所述的数据处理模块采用嵌入式单片机STM32F103RBT6芯片，所述的显示模块可采用LCD液晶显示器。

[0074] 利用上述的一种基于时频信息测量的高精度频标比对系统所进行的一种基于时频信息测量的高精度频标比对方法，包括以下步骤：

[0075] 步骤A：利用频标脉冲信号模块和被测脉冲信号模块分别对频率标准模块和被测频率模块产生的频标信号和被测频率信号进行数字化处理，即将由10MHz 5071A高性能铯原子频标产生的频标信号和由晶体振荡器或KDS铷原子钟产生的被测频率信号通过施密特触发器74LS14N分别转换为占空比为50%的矩形频标脉冲信号和矩形被测脉冲信号；

[0076] 步骤B：将占空比为50%的矩形频标脉冲信号送入可调时延模块进行时间延迟产生时延信号；

[0077] 具体的，将占空比为50%的矩形频标脉冲信号送入第一级时延电路，通过第一D触发器74LS375芯片产生第一固定时延信号，第一固定时延信号的时延量大小为第一D触发器74LS375芯片的时钟周期，通过第一边沿型D触发器74LS175芯片产生第一微调时延信号，第一微调时延信号的时延量大小为第一边沿型D触发器74LS175芯片的时钟周期，第一固定时延信号的时延量大于第一微调时延信号的时延量；

[0078] 将第一固定时延信号送入第二级时延电路，通过第二D触发器74LS375芯片产生第二固定时延信号，第二固定时延信号的时延量大小为第二D触发器74LS375芯片的时钟周期，通过第二边沿型D触发器74LS175芯片产生第二微调时延信号，第二微调时延信号的时

延量大小为第二边沿型D触发器74LS175芯片的时钟周期,第二固定时延信号的时延量大于第二微调时延信号的时延量;

[0079] 将第二固定时延信号送入第三级时延电路,通过第三D触发器74LS375芯片产生第三固定时延信号,第三固定时延信号的时延量大小为第三D触发器74LS375时钟周期,通过第三边沿型D触发器74LS175芯片产生第三微调时延信号,第三微调时延信号的时延量大小为第三边沿型D触发器74LS175芯片的时钟周期,第三固定时延信号的时延量大于第三微调时延信号的时延量;

[0080] 将第三固定时延信号送入第四边沿型D触发器74LS175芯片产生第四微调时延信号,第四微调时延信号的时延量大小为第四边沿型D触发器74LS175芯片的时钟周期,第三固定时延信号的时延量大于第四微调时延信号的时延量;

[0081] 步骤C: 将被测脉冲信号模块产生的占空比为50%的矩形被测脉冲信号送入第一脉冲变换电路,产生占空比低于10%的矩形被测脉冲信号,将第一微调时延信号、第二微调时延信号、第三微调时延信号和第四微调时延信号分别送入第二脉冲变换电路、第三脉冲变换电路、第四脉冲变换电路和第五脉冲变换电路,分别产生脉冲变换后的第一微调时延信号、第二微调时延信号、第三微调时延信号和第四微调时延信号;

[0082] 将占空比低于10%的矩形被测脉冲信号和脉冲变换后的第一微调时延信号送入第一相位重合检测电路产生第一相位重合点脉冲;

[0083] 将占空比低于10%的矩形被测脉冲信号和脉冲变换后的第二微调时延信号送入第二相位重合检测电路产生第二相位重合点脉冲;

[0084] 将占空比低于10%的矩形被测脉冲信号和脉冲变换后的第三微调时延信号送入第三相位重合检测电路产生第三相位重合点脉冲;

[0085] 将占空比低于10%的矩形被测脉冲信号和脉冲变换后的第四微调时延信号送入第四相位重合检测电路产生第四相位重合点脉冲;

[0086] 步骤D: 根据频标信号和被测频率信号之间的频率关系,计算频标信号和被测频率信号的最小公倍数,以最小公倍数周期为时间间隔,由闸门生成模块中的可编程分频器生成参考闸门信号;

[0087] 将第一相位重合点脉冲、第二相位重合点脉冲、第三相位重合点脉冲和第四相位重合点脉冲同时送入闸门生成模块中的三输入三或非门电路74LS27N芯片,三输入三或非门电路74LS27N芯片的信号输出端连接逻辑非门电路74LS04N芯片的信号输入端,在参考闸门信号控制下,逻辑非门电路74LS04N芯片的信号输出端产生时间间隔测量模块的实际闸门信号;

[0088] 步骤E: 将占空比为50%的矩形频标脉冲信号和矩形被测脉冲信号同时送入时间间隔测量模块,时间间隔测量模块由可编程计数器组成,在实际闸门信号的控制下进行无间隙计数,获得矩形频标脉冲信号和矩形被测脉冲信号的计数值;

[0089] 步骤F: 将可编程计数器的计数值送入数据处理模块,即单片机STM32F103RBT6芯片进行处理,获得实际闸门时间、被测频率信号的频率和系统的频率稳定度。

[0090] 与现有技术相比,本发明所述的一种基于时频信息测量的高精度频标比对系统及比对方法具有以下有益效果:

[0091] 本发明避免了传统频标比对方法中频率的归一化处理,利用FPGA技术简化了系统

结构,降低了成本,克服了附加噪声的影响,使系统的鲁棒性得到了进一步加强;由于采用了区别于传统频标比对方法的可调时延链技术,有效消除了复杂频率关系对相位测量精度的影响,本发明的系统响应时间和频率准确度均得到了大幅度提高,任意时刻的系统响应时间优于1ms,频率准确度优于 $\pm 6 \times 10^{-13}$,实现了射频范围内任意频率关系的快速直接相位测量,加快了频标比对的速度。

[0092] 最后应说明的是:以上各实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述各实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

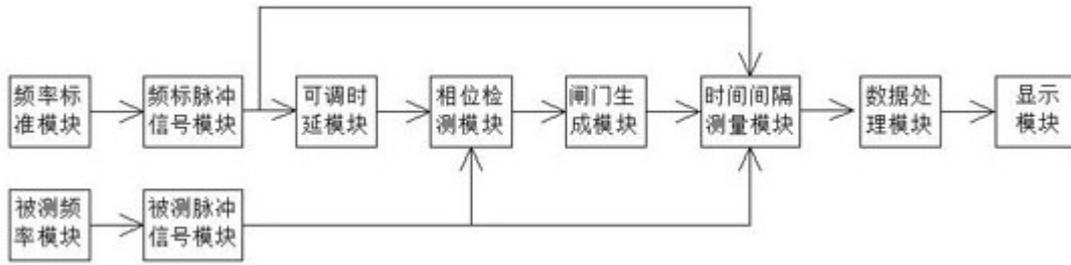


图1