

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年9月9日(09.09.2016)

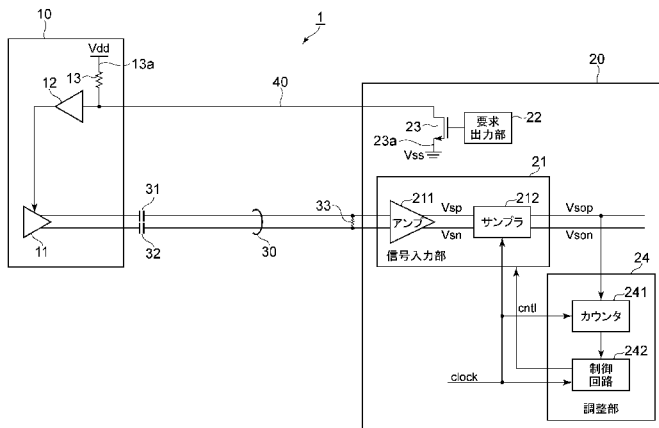


(10) 国際公開番号
WO 2016/140075 A1

- (51) 国際特許分類:
H04L 25/02 (2006.01) H04B 3/00 (2006.01)
 - (21) 国際出願番号: PCT/JP2016/054750
 - (22) 国際出願日: 2016年2月18日(18.02.2016)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2015-042053 2015年3月4日(04.03.2015) JP
 - (71) 出願人: ザインエレクトロニクス株式会社 (THINE ELECTRONICS, INC.) [JP/JP]; 〒1010053 東京都千代田区神田美土代町9番地1 Tokyo (JP).
 - (72) 発明者: 三浦 賢(MIURA Satoshi); 〒1010053 東京都千代田区神田美土代町9-1 ザインエレクトロニクス株式会社内 Tokyo (JP).
 - (74) 代理人: 長谷川 芳樹, 外(HASEGAWA Yoshiki et al.); 〒1000005 東京都千代田区丸の内二丁目1番1号丸の内 MY PLAZA (明治安田生命ビル) 9階 創英国際特許法律事務所 Tokyo (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: RECEPTION DEVICE AND TRANSMISSION/RECEPTION SYSTEM INCLUDING SAME

(54) 発明の名称: 受信装置およびそれを含む送受信システム



- 21 Signal input unit
- 22 Request output unit
- 24 Adjustment unit
- 211 Amp
- 212 Sampler
- 241 Counter
- 242 Control circuit

(57) Abstract: The present invention relates to a reception device and the like that can be applied to a transmission/reception system that can perform high-speed transmission and that are provided with a structure that makes it possible to perform offset adjustment without increasing circuit area and power consumption. The reception device is provided with a signal input unit that includes an offset adjustment circuit and with an adjustment unit. When a pair of adjustment signals that have an inter-signal voltage that is fixed at 0 V are outputted to the reception device from a transmission device that is connected thereto via a differential signal line that is configured from at least one pair of signal lines, the signal input unit, to which the pair of adjustment signals are inputted, outputs logical value data that corresponds to the inter-signal voltage. On the basis of the logical value data inputted within a fixed period, the adjustment unit decides adjustment value data that is for adjusting the offset of a threshold value that is for obtaining the logical value data.

(57) 要約: 高速伝送可能な送受信システムに適用され、回路面積および消費電力を増加させることなくオフセット調整を可能にするための構造を備えた受信装置等に関する。当該受信装置は、オフセット調整回路を含む信号入力部と、調整部を備える。少なくとも一対

の信号線で構成された差動信号線を介して互いに接続された送信装置から受信装置へ、信号間電圧が0Vに固定された一対の調整用信号が出力されると、一対の調整用信号を入力した信号入力部が信号間電圧に対応した論理値データを出力する。調整部は、一定期間の間に入力された論理値データに基づいて、論理値データを得るための閾値のオフセットを調整するための調整値データを決定する。

WO 2016/140075 A1

明 細 書

発明の名称：受信装置およびそれを含む送受信システム

技術分野

[0001] 本発明は、受信装置および該受信装置を含む送受信システムに関するものである。

背景技術

[0002] 差動信号線を構成する一対の信号線を介して互いに接続された送信装置および受信装置を備える送受信システムにおいて、受信装置の信号入力部は、送信装置から送出された差動信号それぞれを入力し、クロックが指示するタイミングで該差動信号をサンプリングすることにより信号間電圧（差動電圧に相当）に対応する論理値データを生成する。このような送受信システムにより高速差動伝送をする際に、差動信号それぞれが減衰したり反射したりすることにより、受信装置の信号入力部における差動信号サンプリングのマージンが小さくなる。

[0003] 受信装置の信号入力部における差動信号サンプリングの際のオフセットを調整することにより、差動信号サンプリングのマージンを大きくすることができる。オフセットは、例えば、入力された差動信号の信号間電圧を論理値1および論理値0の何れであるかを2値判定（デジタル値判定）する際の閾値のずれである。オフセットは、回路を構成する各デバイスの特性ばらつきによって生じるが、信号入力部の回路の工夫により調整され得る。

[0004] 特許文献1に開示された発明は、受信装置の入力端において差動信号線を構成する一対の信号線を互いに短絡させた状態にして、差動信号サンプリングで得られたデータに基づいてオフセットを検出し、その検出結果に基づいてオフセットを調整する。

先行技術文献

特許文献

[0005] 特許文献1：特許第5349842号公報

発明の概要

発明が解決しようとする課題

[0006] 発明者らは、高速差動伝送に適用可能な従来の受信装置について検討した結果、以下のような課題を発見した。すなわち、特許文献1に開示された発明では、受信装置の入力端において差動信号線を短絡させるためにスイッチが必要であることから、その入力端の負荷容量が大きくなり、高速差動伝送に悪影響が生じる。また、オフセットを検出する回路等が必要になることから、受信装置の回路面積および消費電力が大きい。さらに、受信装置の入力端においてスイッチを閉じて差動信号線を短絡させた状態のときに、送信装置から信号が送出されていると、その信号が受信装置にとってノイズとなる場合がある。

[0007] 本発明は、上述のような課題を解決するためになされたものであり、高速伝送可能な送受信システムに適用され、回路面積および消費電力を増加させることなくオフセット調整を可能にするための構造を備えた受信装置、および該受信装置を含む送受信システムを提供することを目的としている。

課題を解決するための手段

[0008] 本実施形態に係る受信装置は、差動信号線を構成する一对の信号線を介して送信装置と接続されている。当該受信装置は、信号入力部と、要求出力部と、調整部を備える。

[0009] 信号入力部は、送信装置から一对の信号線それぞれに送出された差動信号を入力し、クロックが指示するタイミングで差動信号をサンプリングすることでデータを生成する。具体的には、信号入力部において、クロックが指示するタイミングでサンプリングされた差動信号の信号間電圧に対応した論理値データが生成される。また、信号入力部は、その差動信号サンプリングの際のオフセットが調整可能であり、そのため、信号入力部は、入力された調整値データに従って論理値データを得るための閾値のオフセットを変動させるオフセット調整回路を含む。

[0010] 要求出力部は、オフセットを調整するための差動信号（調整用信号）の送

出を送信装置に対して要求する要求信号を、差動信号線を構成する一対の信号線またはこれら一対の信号線とは異なる別の信号線を介して送信装置へ送出する。具体的にオフセット調整用の信号は、信号間電圧が0 Vに固定された一対の調整用信号（以下、本明細書において、「差動0 Vの差動信号」と記す）である。

[0011] 調整部は、要求出力部から送信装置へ送出された要求信号に基づいて送信装置から一対の信号線を介して送られてきた差動0 Vの差動信号を信号入力部が入力したときに、信号入力部から出力されるデータに基づいてオフセットを調整する。具体的に調整部は、要求信号に応答して送信装置から出力された差動0 Vの差動信号（一対の調整用信号）の入力時から一定時間の間に信号入力部から出力された論理値データを、クロックが指示するタイミングで入力し、入力された論理値データから抽出されるオフセット情報に基づいて決定された調整値データを、信号入力部の前記オフセット調整回路へ出力する。

[0012] 本実施形態に係る受信装置において、調整部は、送信装置から送出される差動0 Vの差動信号それぞれを信号入力部が入力したときに、差動信号サンプリングにより論理値1のデータおよび論理値0のデータが互いに等しい頻度で信号入力部から出力されるようにオフセットを調整するのが好適である。具体的に、調整部は、信号入力部から出力される論理値データとして、一定時間の間に論理値1および論理値0が互いに等しい頻度で信号入力部から出力されるように調整値データを決定する。信号入力部がサンプリングする差動信号は、差動0 V（信号間電圧が0 V）に固定された一対の信号であるが、それぞれランダムなノイズが重畳されている。したがって、オフセットが理想値0であれば、信号入力部から出力される論理値データとして、論理値0および論理値1それぞれの出力頻度は互いに等しくなるためである。

[0013] 本実施形態に係る送受信システムは、上述のような構造を備えた受信装置（本実施形態に係る受信装置）と、送信装置を備える。送信装置は、要求入力部と、信号出力部を含む。特に、要求出力部は、受信装置から送出された

要求信号を入力する。信号出力部は、要求入力部が入力した要求信号に応答して、一对の信号線を介して差動0Vの差動信号を受信装置へそれぞれ送出する。

[0014] 本実施形態に係る送受信システムにおいて、受信装置から送信装置へ要求信号を伝送する信号線としては、送信装置の側で抵抗器を介して第1基準電位端に接続される一方、受信装置の側でスイッチを介して第2基準電位端に接続された信号線が好ましい。この場合、受信装置においてスイッチの開閉状態を制御することにより、要求信号の送信が可能になる。また、受信装置から送信装置へ要求信号を伝送する信号線としては、送信装置から受信装置へ差動信号を伝送する差動信号線の間隔を空ける際に生じる余り線が適用されてもよい。

発明の効果

[0015] 本実施形態によれば、高速伝送可能な送受信システムに適用され、回路面積および消費電力を増加させることなくオフセット調整を可能にするための構造を備えた受信装置が得られる。

図面の簡単な説明

[0016] [図1]は、本実施形態に係る送受信システム1の構成を示す図である。

[図2]は、オフセット調整可能なサンプラ212の回路例を示す図である。

発明を実施するための形態

[0017] 以下、添付図面を参照して、本発明を実施するための形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。本発明は、これらの例示に限定されるものではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

[0018] 図1は、本実施形態に係る送受信システム1の構成を示す図である。送受信システム1は、一对の信号線で構成された差動信号線30および信号線（要求信号線）40を介して互いに接続された送信装置10および受信装置20を備え、送信装置10から送出された差動信号を受信装置20により受信

する。

[0019] 送信装置10は、信号出力部11、要求入力部12および抵抗器13を備える。要求入力部12は、受信装置20から信号線40を介して送られてきた要求信号を入力する。抵抗器13は、要求入力部12の入力端（すなわち、信号線40）と第1基準電位端13aとの間に設けられている。第1基準電位端13aには電源電位V_{dd}が与えられる。信号出力部11は、差動信号線30を介して差動信号を受信装置20へ送出する。また、信号出力部11は、要求入力部12が入力した要求信号に基づいて差動0Vの差動信号を受信装置20へ送出する。

[0020] 受信装置20は、信号入力部21、要求出力部22、スイッチ23および調整部24を備える。信号入力部21は、送信装置10の信号出力部11から差動信号線30を介して送られてきた差動信号を入力し、クロックclockが指示するタイミングで差動信号をサンプリングすることでデジタルデータ（論理値1または論理値0の2値データ）を生成する。また、信号入力部21における差動信号サンプリングの際のオフセットは調整可能である。

[0021] 信号入力部21は、差動信号線30を経て到達した差動信号を増幅するアンプ211と、アンプ211により増幅された差動信号V_{sp}、V_{sn}をクロックclockに従ってサンプリングすることでデータV_{sop}、V_{son}を生成するサンプラ212とを含む。アンプ211およびサンプラ212の何れかがオフセット調整可能であってもよい。

[0022] V_{sop}、V_{son}は互いに相補的な値をとるデジタルデータであり、一方が論理値1であるとき他方は論理値0である。クロックclockは、送信装置10からデータとは別に送られて来たものであってもよいし、送信装置10から送られて来た信号がデータにクロック情報を埋め込んだ信号である場合に該信号に基づいて受信装置20において復元したクロックであってもよい。

[0023] 要求出力部22は、信号線40を介して要求信号を送信装置10へ送る。この要求信号は、信号入力部21における差動信号サンプリングの際のオフセットを調整する為の差動信号の送出を送信装置10に対して要求する信号

である。スイッチ23は、信号線40と第2基準電位端23aとの間に設けられている。第2基準電位端23aには接地電位 V_{ss} が与えられる。

[0024] スイッチ23が閉じているときには信号線40の電位は第2基準電位（接地電位 V_{ss} ）となる。スイッチ23が開いているときには信号線40の電位は第1基準電位（電源電位 V_{dd} ）となる。すなわち、要求出力部22は、スイッチ23の開閉状態に基づいて要求信号を送信装置10へ送ることができる。スイッチ23は例えばMOSトランジスタにより構成され、その場合、ゲート電圧の大きさによってスイッチ23の開閉状態が設定される。

[0025] このような信号線40、抵抗器13およびスイッチ23を含む構成は、ホットプラグ検出（Hot Plug Detect）機能を実現する構成と同等である。すなわち、送信装置10と受信装置20との間でケーブル／コネクタが外れているときや、受信装置20がパワーダウンしているときには、信号線40の電位が第1基準電位（電源電位 V_{dd} ）となる。送信装置10と受信装置20との間でケーブル／コネクタが接続されていて、受信装置20が動作可能であるときには、信号線40の電位が第2基準電位（接地電位 V_{ss} ）となる。送信装置10は、信号線40の電位レベルを検知することで、受信装置20が信号を受信し得る状態であるか否かを把握することができる。送信装置10は、受信装置20が受信可能状態であることを確認した上で受信装置20へ信号を送信することができる。

[0026] 調整部24は、要求出力部22から送信装置10へ送出された要求信号に基づいて送信装置10の信号出力部11から送られて来た差動0Vの差動信号（信号間電圧が0Vに固定された一対の調整用信号）それぞれを信号入力部21が入力したときに、信号入力部21から出力されるデータに基づいて、信号入力部21における差動信号サンプリングの際のオフセットを調整する。すなわち、調整部24は、要求信号に応答して送信装置10から出力された差動0Vの差動信号それぞれの入力時から一定時間の間に信号入力部21から出力されたデータを、クロックclockが指示するタイミングで入力し、入力されたデータから抽出されるオフセット情報に基づいて決定された調整

値データを、信号入力部 21 のオフセット調整回路 80 へ出力する。好適には、調整部 24 は、信号入力部 21 における差動信号サンプリングにより論理値 1 および論理値 0 の各データが互いに等しい頻度で出力されるようにオフセットを調整する。なお、信号入力部 21 がサンプリングする差動信号の信号間電圧は 0 V（差動 0 V）であるが、該差動信号それぞれにはランダムなノイズが重畳されている。したがって、オフセットが理想値 0 であれば、データ V_{sop} 、 V_{son} が論理値 0 および論理値 1 それぞれになる頻度は互いに等しい。

- [0027] 調整部 24 は、信号入力部 21 からの出力データ（論理値データ）からオフセット情報を抽出するためのカウンタ 241 と、該オフセット情報に基づいて信号入力部 21 におけるオフセットを調整するための調整データを決定するための制御回路 242 を含む。カウンタ 241 は、信号入力部 21 から出力されるデータとともにクロック clock をも入力し、一定期間に亘って、その出力データが論理値 1 である事象または出力データが論理値 0 である事象を計数する。或いは、カウンタ 241 は、一定期間に亘って、出力データが論理値 1 である場合に計数値を 1 増し、出力データが論理値 0 である場合に計数値を 1 減ずることで、出力データが論理値 1 である事象の数と論理値 0 である事象の数との差を求める。
- [0028] 制御回路 242 は、カウンタ 241 による計数結果（オフセット情報）とともにクロック clock をも入力し、該計数結果に基づいて、信号入力部 21 における差動信号サンプリングにより論理値 1 および論理値 0 の各データが互いに等しい頻度で出力されるようにデジタル値 cnt1（調整値データ）を決定する。制御回路 242 は、デジタル値 cnt1 を信号入力部 21 へ出力する。信号入力部 21 は、このデジタル値 cnt1 に応じてオフセットを調整する。
- [0029] 差動信号線 30 は、送信装置 10 の信号出力部 11 から送出された差動信号それぞれを、受信装置 20 の信号入力部 21 へ伝送する。差動信号線 30 を構成する一対の信号線の間には抵抗器 33 が設けられている。
- [0030] 送信装置 10 と受信装置 20 との間が AC 結合される場合には、差動信号

線30を構成する一对の信号線それぞれにコンデンサ31, 32が挿入される。AC結合の場合には、送信装置10は、差動信号線30を構成する一对の信号線それぞれに一定電圧値を出力することで、受信装置20の信号入力部21へ到達する差動信号の信号間電圧を0Vにすることができる。

[0031] 送信装置10と受信装置20との間がDC結合される場合には、コンデンサ31, 32は不要である。DC結合の場合には、送信装置10は、差動信号線30を構成する一对の信号線それぞれに互いに同じ電圧値を出力することで、受信装置20の信号入力部21へ到達する差動信号の信号間電圧を0Vにすることができる。

[0032] 信号線40は、受信装置20の要求出力部22から送信装置10の要求入力部12へ要求信号を伝送する。この信号線40が伝送する要求信号は高速でなくてよいので、信号線40として低速で安価な線を用いることができる。また、送信装置10と受信装置20との間でフラットケーブルのような信号間干渉が大きくケーブル品質が悪いものを使用する場合は、差動信号線30の間隔を空ける際に生じる余り線を信号線40として用いることもできる。

[0033] 図2は、オフセット調整可能なサンプラ212の回路例を示す図である。サンプラ212は、NMOSトランジスタ50~59、抵抗器60, 61、電流源62~65およびNAND回路66, 67、D/Aコンバータ(DAC)70を備える。オフセットを変動させるためのオフセット調整回路80は、NMOSトランジスタ56, 57, 59、抵抗器60, 61、電流源62~65により構成されている。また、サンプラ212は、アンプ211から出力される信号 V_{sp} を入力する第1入力端 P_{11} 、アンプ211から出力される信号 V_{sn} を入力する第2入力端 P_{12} 、データ V_{sop} を出力する第1出力端 P_{21} 、データ V_{son} を出力する第2出力端 P_{22} 、クロックを入力するクロック入力端 P_3 、制御回路242から出力されるデジタル値 $cntl$ を入力するデジタル値入力端 P_4 、第1内部ノード N_1 、第2内部ノード N_2 、第3内部ノード N_3 、第4内部ノード N_4 、第5内部ノード N_5 、第6内部ノード N_6 、第7内部

ノード N_7 、第8内部ノード N_8 を有する。

- [0034] NMOSトランジスタ50のドレインは電源電位 V_{dd} が与えられ、NMOSトランジスタ50のソースは第8内部ノード N_8 に接続され、NMOSトランジスタ50のゲートは第7内部ノード N_7 に接続されている。NMOSトランジスタ51のドレインは電源電位 V_{dd} が与えられ、NMOSトランジスタ51のソースは第7内部ノード N_7 に接続され、NMOSトランジスタ51のゲートは第8内部ノード N_8 に接続されている。
- [0035] NMOSトランジスタ52のドレインは第8内部ノード N_8 に接続され、NMOSトランジスタ52のソースは第1内部ノード N_1 に接続され、NMOSトランジスタ52のゲートは第7内部ノード N_7 に接続されている。NMOSトランジスタ53のドレインは第7内部ノード N_7 に接続され、NMOSトランジスタ53のソースは第2内部ノード N_2 に接続され、NMOSトランジスタ53のゲートは第8内部ノード N_8 に接続されている。
- [0036] NMOSトランジスタ54のドレインは第1内部ノード N_1 に接続され、NMOSトランジスタ54のソースは第3内部ノード N_3 に接続され、NMOSトランジスタ54のゲートは第1入力端 P_{11} に接続されている。NMOSトランジスタ55のドレインは第2内部ノード N_2 に接続され、NMOSトランジスタ55のソースは第3内部ノード N_3 に接続され、NMOSトランジスタ55のゲートは第2入力端 P_{12} に接続されている。
- [0037] NMOSトランジスタ56のドレインは第1内部ノード N_1 に接続され、NMOSトランジスタ56のソースは第4内部ノード N_4 に接続され、NMOSトランジスタ56のゲートは第5内部ノード N_5 に接続されている。NMOSトランジスタ57のドレインは第2内部ノード N_2 に接続され、NMOSトランジスタ57のソースは第4内部ノード N_4 に接続され、NMOSトランジスタ57のゲートは第6内部ノード N_6 に接続されている。
- [0038] NMOSトランジスタ58のドレインは第3内部ノード N_3 に接続され、NMOSトランジスタ58のソースは接地電位 V_{ss} が与えられ、NMOSトランジスタ58のゲートはクロック入力端 P_3 に接続されている。NMOSトラ

ンジスタ59のドレインは第4内部ノード N_4 に接続され、NMOSトランジスタ59のソースは接地電位 V_{ss} が与えられ、NMOSトランジスタ59のゲートはクロック入力端 P_3 に接続されている。

[0039] 抵抗器60は、電源電位端と第5内部ノード N_5 との間に設けられている。抵抗器61は、電源電位端と第6内部ノード N_6 との間に設けられている。電流源62, 63は、第5内部ノード N_5 と接地電位端との間に並列的に設けられている。電流源64, 65は、第6内部ノード N_6 と接地電位端との間に並列的に設けられている。電流源63, 64は、一定電流を流す。電流源62, 65は、D/Aコンバータ70を介してデジタル値入力端 P_4 に接続されており、デジタル値入力端 P_4 に入力されるデジタル値 $cntl$ に応じた量の電流を流す。

[0040] NAND回路66の一方の入力端子は第7内部ノード N_7 に接続され、NAND回路66の他方の入力端子は第1出力端 P_{21} に接続され、NAND回路66の出力端子は第2出力端 P_{22} に接続されている。NAND回路67の一方の入力端子は第8内部ノード N_8 に接続され、NAND回路67の他方の入力端子は第2出力端 P_{22} に接続され、NAND回路67の出力端子は第1出力端 P_{21} に接続されている。

[0041] このように構成されるサンプラ212のオフセット調整回路80では、デジタル値入力端 P_4 に入力されるデジタル値 $cntl$ に応じた電流を電流源62, 65が流すことにより、第5内部ノード N_5 の電位 V_{on} および第6内部ノード N_6 の電位 V_{op} それぞれもデジタル値 $cntl$ に応じたものとなる。第5内部ノード N_5 の電位 V_{on} がNMOSトランジスタ56のゲートに与えられる。第6内部ノード N_6 の電位 V_{op} がNMOSトランジスタ57のゲートに与えられる。

[0042] クロック入力端 P_3 に入力されるクロック $clock$ の立上りエッジのタイミングで、入力端 P_{11} , P_{12} に入力される差動信号 V_{sp} , V_{sn} がサンプリングされて、出力端 P_{21} , P_{22} からデータ V_{sop} , V_{son} が出力される。このサンプリングの際に、 V_{op} , V_{on} の電位差によって、 V_{sp} , V_{sn} の電位差に偏りが生じる。この偏りの量はオフセットと比例する。したがって、デジタル値 cnt

lによって V_{op} 、 V_{on} の電位差を調整することで、オフセットを調整することができる。

[0043] 本実施形態の送受信システム1の動作例は以下のとおりである。受信装置20がパワーオンまたはウェイクアップされると、要求出力部22は、スイッチ23を開状態として、信号線40の電位を第1基準電位（電源電位 V_{dd} ）とすることで、要求信号を送信装置10へ送る。送信装置10の要求入力部12は、信号線40の電位が第1基準電位（電源電位 V_{dd} ）となったことを検知して、受信装置20から要求信号が送られて来たことを把握する。そして、送信装置10の信号出力部11は、差動0Vの差動信号（信号間電圧が0Vに固定された調整用信号）それぞれを受信装置20へ送出する。

[0044] 差動0Vの差動信号それぞれを受信した受信装置20の信号入力部21は、クロックclockが指示するタイミングで差動信号をサンプリングすることでデータ V_{sop} 、 V_{son} を生成する。このとき、信号入力部21がサンプリングする差動信号の信号間電圧は0V（差動0V）であるが、ランダムなノイズが重畳されたものとなっている。したがって、オフセットが理想値0であれば、データ V_{sop} 、 V_{son} が論理値0および論理値1それぞれになる頻度は互いに等しい。そこで、調整部24は、信号入力部21から出力される論理値1および論理値0の各データが互いに等しい頻度で出力されるように、信号入力部21に与えるデジタル値cntlを設定することで、信号入力部21におけるオフセットを最適に調整する。

[0045] オフセット調整が終了すると、調整部24は、最適調整時のデジタル値cntlを記憶し、その記憶したデジタル値cntlを以降も信号入力部21に与える。また、要求出力部22は、スイッチ23を閉状態として、信号線40の電位を第2基準電位（接地電位 V_{ss} ）とすることで、オフセット調整が終了した旨を送信装置10へ通知する。この通知を受けた送信装置10の信号出力部11は、これ以降、通常データを差動信号として受信装置20へ送出する。

[0046] このように、本実施形態では、受信装置20の要求出力部22から送信装置10の要求入力部12へ要求信号が送られた後、送信装置10の信号出力

部 1 1 から受信装置 2 0 の信号入力部 2 1 へ差動 0 V の差動信号それぞれが送られ、これら差動 0 V の差動信号を入力した信号入力部 2 1 のオフセットが調整部 2 4 により調整される。このとき、アンプ 2 1 1 およびサンプラ 2 1 2 を含む信号入力部 2 1 の全体のオフセットが調整される。

[0047] 本実施形態の受信装置 2 0 は、調整部 2 4 をデジタル回路で構成することができるので、特許文献 1 に開示された発明の構成と比べて回路面積および消費電力を低減することができる。また、特許文献 1 に開示された発明では受信装置の入力端において差動信号線を構成する一对の信号線を短絡させるためのスイッチが必要であるのに対して、本実施形態の受信装置 2 0 は、このようなスイッチが不要であることから、入力端の負荷容量の増加を招くことなく、オフセット調整により高速差動伝送が可能である。

[0048] また、本実施形態では、受信装置 2 0 の要求出力部 2 2 から送信装置 1 0 の要求入力部 1 2 へ要求信号を伝送する信号線 4 0 をホットプラグ検出用の信号線と共用するので、送信装置 1 0 と受信装置 2 0 との間で新たな信号線を追加する必要はなく、また、要求信号を送受信するための回路の追加は必要ないか又は僅かな規模で済む。

符号の説明

[0049] 1 …送受信システム、1 0 …送信装置、1 1 …信号出力部、1 2 …要求入力部、1 3 …抵抗器、2 0 …受信装置、2 1 …信号入力部、2 2 …要求出力部、2 3 …スイッチ、2 4 …調整部、3 0 …差動信号線、3 1, 3 2 …コンデンサ、3 3 …抵抗器、4 0 …信号線、7 0 …D/Aコンバータ(DAC)、8 0 …オフセット調整回路、2 1 1 …アンプ、2 1 2 …サンプラ、2 4 1 …カウンタ、2 4 2 …制御回路。

請求の範囲

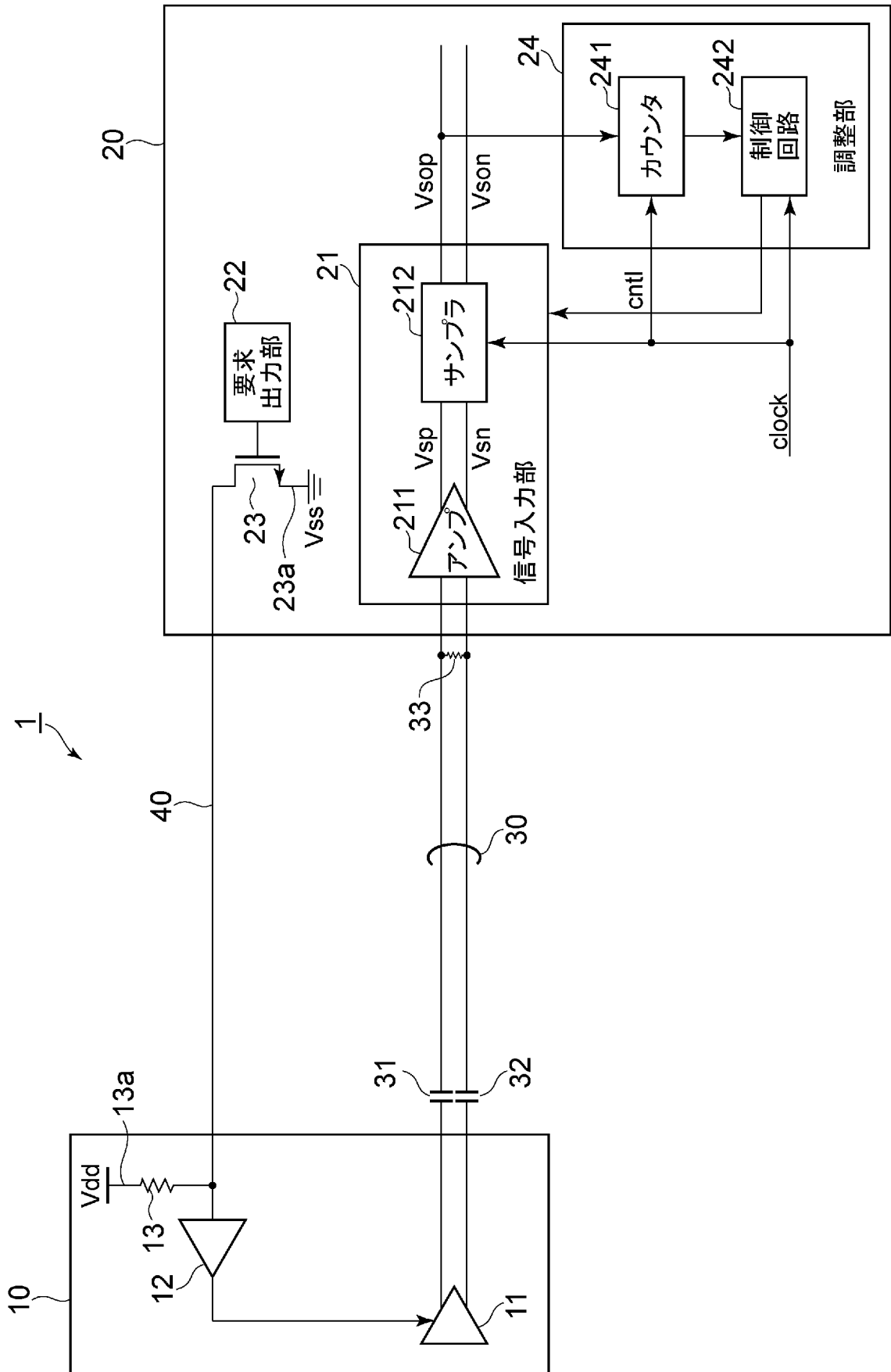
- [請求項1] 差動信号線を構成する一对の信号線を介して送信装置から送出された差動信号それぞれを入力し、クロックが指示するタイミングでサンプリングされた前記差動信号の信号間電圧に対応した論理値データを出力するとともに、入力された調整値データに従って前記論理値データを得るための閾値のオフセットを変動させるオフセット調整回路を含む信号入力部と、
- 前記オフセットを調整するため、前記信号間電圧が0Vに固定された一对の調整用信号それぞれの、前記一对の信号線への送出を要求する要求信号を、前記送信装置へ送出する要求出力部と、
- 前記要求信号に応答して前記送信装置から出力された前記一对の調整用信号の入力時から一定時間の間に前記信号入力部から出力された前記論理値データを、前記クロックが指示するタイミングで入力し、入力された前記論理値データから抽出されるオフセット情報に基づいて決定された前記調整値データを、前記信号入力部の前記オフセット調整回路へ出力する調整部と、
- を備えた受信装置。
- [請求項2] 前記調整部は、前記論理値データとして、前記一定時間の間に論理値1および論理値0が互いに等しい頻度で前記信号入力部から出力されるように前記調整値データを決定する請求項1に記載の受信装置。
- [請求項3] 請求項1または2に記載の受信装置と、
- 前記受信装置から送出された前記要求信号を入力する要求入力部と、前記要求入力部が入力した前記要求信号に応答して前記信号間電圧が0Vに固定された前記一对の調整用信号を前記一对の信号線それぞれに送出する信号出力部と、を含む送信装置と、
- を備えた送受信システム。
- [請求項4] 前記受信装置から前記送信装置へ前記要求信号を伝送する信号線として、前記送信装置の側で抵抗器を介して第1基準電位端に接続され

る一方、前記受信装置の側でスイッチを介して第2基準電位端に接続された信号線を更に備え、

前記要求出力部は、前記スイッチの開閉状態を制御することにより前記要求信号を前記送信装置へ送信する、請求項3に記載の送受信システム。

[請求項5] 前記受信装置から前記送信装置へ前記要求信号を伝送する信号線として、前記送信装置から前記受信装置へ前記差動信号それぞれを伝送する差動信号線の間隔を空ける際に生じる余り線が利用される、請求項3または4に記載の送受信システム。

[図1]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/054750

A. CLASSIFICATION OF SUBJECT MATTER
H04L25/02(2006.01) i, H04B3/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04L25/02, H04B3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-22392 A (Hitachi, Ltd.), 31 January 2008 (31.01.2008), entire text & US 2008/0013645 A1	1-5
A	JP 62-123853 A (Fujitsu Ltd.), 05 June 1987 (05.06.1987), entire text (Family: none)	1-5

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 25 March 2016 (25.03.16)	Date of mailing of the international search report 05 April 2016 (05.04.16)
---------------------------------------------------------------------------------------	--------------------------------------------------------------------------------

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--------------------------------------------------------------------------------------------------------------------------	-----------------------------------------

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H04L25/02(2006.01)i, H04B3/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H04L25/02, H04B3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-22392 A (株式会社日立製作所) 2008.01.31, 全文 & US 2008/0013645 A1	1-5
A	JP 62-123853 A (富士通株式会社) 1987.06.05, 全文 (ファミリーなし)	1-5

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

25.03.2016

国際調査報告の発送日

05.04.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

阿部 弘

5K

9382

電話番号 03-3581-1101 内線 3556