



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I535032 B

(45)公告日：中華民國 105 (2016) 年 05 月 21 日

(21)申請案號：101100175

(22)申請日：中華民國 101 (2012) 年 01 月 03 日

(51)Int. Cl. : *H01L29/786 (2006.01)**H01L21/28 (2006.01)**H01L21/316 (2006.01)*

(30)優先權：2011/01/12 日本

2011-004329

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201044595A1

US 2010/0233847A1

審查人員：侯鈺玲

申請專利範圍項數：10 項 圖式數：18 共 96 頁

(54)名稱

半導體裝置的製造方法

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

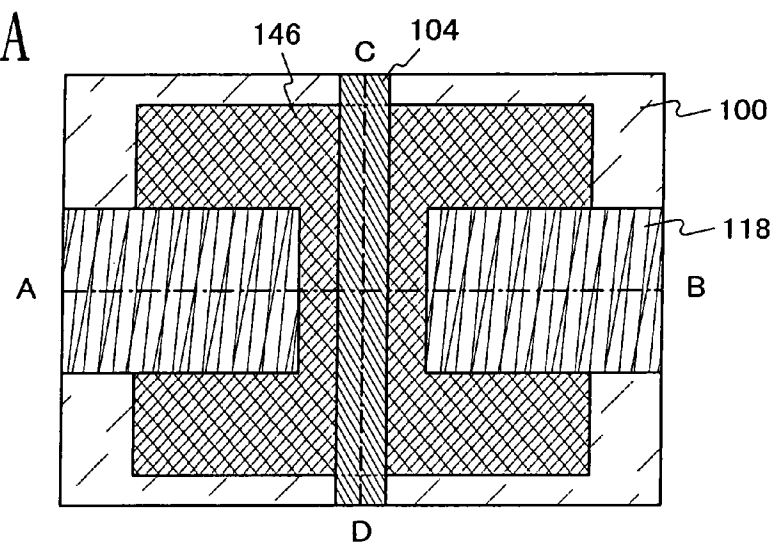
(57)摘要

本發明提供使用了氧化物半導體膜的截止電流極小的電晶體。此外，本發明藉由應用該電晶體從而提供耗電量極小的半導體裝置。在基板上藉由加熱處理來形成釋放氧的基底絕緣膜，在基底絕緣膜上形成第一氧化物半導體膜，並對基板進行加熱處理。接著，在第一氧化物半導體膜上形成導電膜，並對該導電膜進行加工以形成源極電極及汲極電極。接著，在對第一氧化物半導體膜進行加工來形成第二氧化物半導體膜之後，立即形成覆蓋源極電極、汲極電極及第二氧化物半導體膜的閘極絕緣膜，並在閘極絕緣膜上形成閘電極。

A transistor having an oxide semiconductor film in a channel formation region and a manufacturing method thereof are disclosed. The transistor is formed by the steps of: forming a base insulating over a substrate; forming an oxide semiconductor film over the base insulating film; forming a conductive film over the oxide semiconductor film; processing the conductive film to form a source electrode and a drain electrode; processing the oxide semiconductor film; forming a gate insulating film over the source electrode, the drain electrode, and the oxide semiconductor film; and forming a gate electrode over the gate insulating film. The aforementioned manufacturing method allows the formation of a transistor in which a side surface of the oxide semiconductor film is not in direct contact with bottom surfaces of the source electrode and the drain electrode, which contributes to the extremely small leak current of the transistor.

指定代表圖：

圖2A



符號簡單說明：

100 . . . 基板

104 . . . 閘電極

118 . . . 汲極電極

146 . . . 第二區

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101100175

※申請日：101年01月03日

※IPC分類：

H01L 29/186 2006.01

一、發明名稱：(中文/英文)

H01L 29/28 2006.01

半導體裝置的製造方法

H01L 29/36 2006.01

Method for manufacturing semiconductor device

二、中文發明摘要：

本發明提供使用了氧化物半導體膜的截止電流極小的電晶體。此外，本發明藉由應用該電晶體從而提供耗電量極小的半導體裝置。在基板上藉由加熱處理來形成釋放氧的基底絕緣膜，在基底絕緣膜上形成第一氧化物半導體膜，並對基板進行加熱處理。接著，在第一氧化物半導體膜上形成導電膜，並對該導電膜進行加工以形成源極電極及汲極電極。接著，在對第一氧化物半導體膜進行加工來形成第二氧化物半導體膜之後，立即形成覆蓋源極電極、汲極電極及第二氧化物半導體膜的閘極絕緣膜，並在閘極絕緣膜上形成閘電極。

三、英文發明摘要：

A transistor having an oxide semiconductor film in a channel formation region and a manufacturing method thereof are disclosed. The transistor is formed by the steps of: forming a base insulating over a substrate; forming an oxide semiconductor film over the base insulating film; forming a conductive film over the oxide semiconductor film; processing the conductive film to form a source electrode and a drain electrode; processing the oxide semiconductor film; forming a gate insulating film over the source electrode, the drain electrode, and the oxide semiconductor film; and forming a gate electrode over the gate insulating film. The aforementioned manufacturing method allows the formation of a transistor in which a side surface of the oxide semiconductor film is not in direct contact with bottom surfaces of the source electrode and the drain electrode, which contributes to the extremely small leak current of the transistor.

四、指定代表圖：

(一) 本案指定代表圖為：第 (2A) 圖。

(二) 本代表圖之元件符號簡單說明：

100：基板

104：閘電極

118：汲極電極

146：第二區

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明關於一種具有包括電晶體等半導體元件的電路的半導體裝置的製造方法。例如，本發明關於安裝在電源電路中的功率裝置；包括記憶體、閘流電晶體、轉換器、影像感測器等在內的半導體積體電路；以及安裝有以液晶顯示面板為代表的電光學裝置和具有發光元件的發光顯示裝置等以作為部件的電子裝置。

在本發明說明中，半導體裝置指的是能夠藉由利用半導體特性而工作的所有裝置，因此電光學裝置、發光顯示裝置、半導體電路以及電子裝置都是半導體裝置。

【先前技術】

如以液晶顯示裝置為代表那樣，形成在玻璃基板等上的電晶體大多由非晶矽、多晶矽等構成。使用非晶矽的電晶體雖然其場效應遷移率低，但是可以應對玻璃基板的大面積化。此外，雖然使用多晶矽的電晶體具有高場效應遷移率，但是其具有不能應對玻璃基板的大面積化的缺點。

近年來，除了使用矽的電晶體之外，還使用氧化物半導體來製造電晶體，並將其應用於電子裝置和光裝置，這一技術正受到關注。例如，專利文獻 1 及專利文獻 2 公開了作為氧化物半導體使用氧化鋅、In-Ga-Zn-O 類氧化物來製造電晶體，並將該電晶體用於顯示裝置的像素的切換元件等的技術。

[專利文獻1] 日本專利申請公開第2007-123861號公報

[專利文獻2] 日本專利申請公開第2007-96055號公報

【發明內容】

本發明的課題之一是提供使用氧化物半導體膜的截止電流極小的電晶體。此外，本發明的課題之一是藉由應用該電晶體從而提供耗電量極小的半導體裝置。

本發明的一個方式包括如下步驟。在基板上形成基底絕緣膜；在該基底絕緣膜上形成第一氧化物半導體膜之後，進行加熱處理。接著，在第一氧化物半導體膜上形成導電膜；對該導電膜進行加工來形成源極電極及汲極電極。接著，在對第一氧化物半導體膜進行加工來形成第二氧化物半導體膜之後，不進行其他製程而形成覆蓋源極電極、汲極電極及第二氧化物半導體膜的閘極絕緣膜；在閘極絕緣膜上形成閘電極。

或者，本發明的一個方式包括如下步驟。在基板上形成藉由加熱處理釋放氧的基底絕緣膜；在該基底絕緣膜上形成第一氧化物半導體膜；在第一氧化物半導體膜上形成導電膜之後，進行加熱處理。接著，對導電膜進行加工來形成源極電極及汲極電極。接著，在對第一氧化物半導體膜進行加工來形成第二氧化物半導體膜之後，不進行其他製程而形成覆蓋源極電極、汲極電極及第二氧化物半導體膜的閘極絕緣膜；在閘極絕緣膜上形成閘電極。

本發明的技術思想之一如下：在形成第二氧化物半導

體膜之後，不進行其他製程而使用閘極絕緣膜覆蓋該第二氧化物半導體膜的側面。

在此，與電晶體的截止電流的減少相關聯地，說明經由氧化物半導體膜的側面流過的電流。

若藉由蝕刻處理等對氧化物半導體膜進行加工，則氧化物半導體膜的側面成爲活性。

如果氧化物半導體膜的側面是活性，則在減壓氣圍下或還原氣圍下氧化物半導體膜中的氧被抽出而在其側面上產生氧缺陷。特別是，在高溫下容易產生氧缺陷。

此外，在對氧化物半導體膜進行蝕刻處理時，例如當在乾蝕刻中氧化物半導體膜的側面暴露於包含氯自由基、氟自由基等的電漿時，在氧化物半導體膜的側面露出的金屬原子和氯自由基或氟自由基等接合。此時被認爲因爲金屬原子和氯原子及氟原子接合併脫離，所以在氧化物半導體膜中與該金屬原子接合的氧原子成爲活性。成爲活性的氧原子容易起反應而脫離。因此，因乾蝕刻等的電漿處理而在氧化物半導體膜的側面容易產生氧缺陷。

在氧化物半導體膜中，氧缺陷成爲施體而產生載子。

換言之，因產生氧缺陷從而氧化物半導體膜的側面 n 型化，而成爲電晶體中的洩漏源。

此外，在氧化物半導體膜的側面流過的電流不僅使截止電流的增加，而且有時還會形成以氧化物半導體膜的側面爲通道形成區的臨界值電壓不同的電晶體（寄生電晶體）。

因此，藉由在形成第二氧化物半導體膜之後，不進行其他製程而使用閘極絕緣膜覆蓋該第二氧化物半導體膜，從而可以減少在氧化物半導體膜的側面流過的電流，並抑制寄生電晶體的形成。

此外，因為電流容易在氧化物半導體膜的側面流過，所以較佳為採用不使源極電極及汲極電極的主表面（頂面或底面）與氧化物半導體膜的側面接觸的結構。例如，藉由在氧化物半導體膜上將源極電極及汲極電極設置在該氧化物半導體膜內側，從而可以使得源極電極及汲極電極的主表面與氧化物半導體膜的側面不會直接接觸。

此外，將氧化物半導體膜的基底的絕緣膜形成為藉由加熱處理釋放氧的絕緣膜，在對氧化物半導體膜進行加工之前從該絕緣膜釋放氧，並對氧化物半導體膜供給氧。當對氧化物半導體膜進行加工時，從絕緣膜釋放的氧發生從不被氧化物半導體膜覆蓋的區域的外擴散。為了抑制該現象且高效地對氧化物半導體膜供給氧，較佳為在對氧化物半導體膜進行加工之前使氧從絕緣膜釋放。藉由高效地減少氧化物半導體膜的氧缺陷，從而可以抑制因氧缺陷所導致的截止電流的增加。

此外，將包括 c 軸配向的結晶的氧化物半導體膜用於電晶體的通道形成區，在該 c 軸配向的結晶中具有從 ab 面、表面或介面的方向來看成為三角形或六角形的原子排列，且 ab 面上的 a 軸或 b 軸的方向不同。

上述氧化物半導體膜也可以包含鋅。藉由包含鋅，從

而容易形成包括 c 軸配向的結晶的氧化物半導體膜，在該 c 軸配向的結晶中具有從 ab 面、表面或介面的方向來看成爲三角形或六角形的原子排列，且 ab 面上的 a 軸或 b 軸的方向不同。

上述氧化物半導體膜可以藉由層疊組分不同的兩種膜來形成或在層疊之後進行熱處理而晶化來形成。

上述氧化物半導體膜由包含選自銮、鎵、鋅、錫、鈦及鋁中的兩種以上的元素的材料構成。

上述氧化物半導體膜的能隙爲 2.5 eV 以上，較佳爲 3.0 eV 以上。

上述氧化物半導體膜是減少氫、鹼金屬及鹼土金屬等的雜質濃度極低的氧化物半導體膜。由此，在上述氧化物半導體膜中不容易發生雜質所導致的載子生成。

氧化物半導體膜中的氫濃度低於 $5 \times 10^{18} / \text{cm}^3$ ，較佳爲 $1 \times 10^{18} / \text{cm}^3$ 以下，更佳爲 $5 \times 10^{17} / \text{cm}^3$ 以下，進一步佳爲 $1 \times 10^{16} / \text{cm}^3$ 以下。

因爲鹼金屬不是構成氧化物半導體的元素，所以是雜質。鹼土金屬也在它不是構成氧化物半導體的元素的情況下成爲雜質。尤其是，鹼金屬中的 Na 在與氧化物半導體膜接觸的絕緣膜中作爲 Na^+ 擴散，並且在氧化物半導體膜中，Na 斷開構成氧化物半導體的金屬與氧的鍵或擠進該鍵之中。其結果是，導致電晶體特性的劣化，例如因臨界值電壓遷移到負方向而產生的常開啓化、場效應遷移率的降低等。再者，還產生特性的不均勻。在氧化物半導體膜

中的氫濃度充分低的情況下顯著地出現雜質所導致的電晶體的上述特性劣化及特性不均勻。因此，當氧化物半導體膜中的氫濃度為 $1 \times 10^{18}/\text{cm}^3$ 以下，尤其是 $1 \times 10^{17}/\text{cm}^3$ 以下時，較佳為降低上述雜質的濃度。明確而言，利用二次離子質譜分析法測量的 Na 濃度的測定值較佳為 $5 \times 10^{16}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{16}/\text{cm}^3$ 以下，進一步佳為 $1 \times 10^{15}/\text{cm}^3$ 以下。同樣地，Li 濃度的測定值較佳為 $5 \times 10^{15}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{15}/\text{cm}^3$ 以下。同樣地，K 濃度的測定值較佳為 $5 \times 10^{15}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{15}/\text{cm}^3$ 以下。

藉由將以上所示的氧化物半導體膜用於電晶體的通道形成區，可以減小電晶體的截止電流。

較佳為不與源極電極及汲極電極重疊地形成閘電極。藉由不使閘電極與源極電極及汲極電極重疊，從而可以減少寄生電容，並實現電晶體的高速工作。

較佳為藉由以源極電極、汲極電極及閘電極為掩模對氧化物半導體膜添加離子，從而在源極電極、汲極電極及閘電極不重疊的區域中設置用作 LDD (Lightly Doped Drain: 輕摻雜汲極) 區的區域。藉由設置 LDD 區，可以抑制熱載子劣化等。此外，藉由不使 LDD 區和閘電極、源極電極及汲極電極重疊，從而可以減少寄生電容，並實現電晶體的高速工作。

可以利用離子植入裝置或離子摻雜裝置等進行離子添加。因為很少發生氫等雜質的混入，所以較佳為利用離子

植入裝置。

作為添加的離子，使用由氮、磷、砷及稀有氣體中至少任一種以上的元素構成的離子。

本發明可以提供截止電流極小的使用氧化物半導體膜的電晶體。此外，藉由應用該電晶體，從而可以提供耗電量極小的半導體裝置。

【實施方式】

以下參照圖式詳細地說明本發明的實施方式。但是，本發明不侷限於下述說明，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是其方式和詳細內容可以被變換為各種各樣的形式。此外，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。注意，當利用圖式說明發明結構時，表示相同物件的圖式標記在不同的圖式中共同使用。另外，有時使用相同的陰影圖案表示相同的部分，而不特別附加標記。

以下說明本發明，對在本發明說明中使用的用詞進行簡單的說明。首先，在本發明說明中，當將電晶體的源極和汲極中的一方叫做汲極時，以另一方為源極。就是說，不根據電位的高低區別源極和汲極。從而，本發明說明中，也可以將稱作源極的部分改稱為汲極。

另外，電壓大多指某個電位和基準電位（例如，接地電位）之間的電位差。由此，可以將電壓改稱為電位。

在本發明說明中，即使當描述為“連接”時，在實際

的電路中，有時也沒有物理連接的部分，而只是佈線延伸的情況。

注意，為方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或層疊順序。此外，本發明說明中的序數並不作為用於確定發明的事項而表示固有名稱。

[實施方式 1]

在本實施方式中，參照俯視圖及剖面圖說明本發明的一個方式的半導體裝置及其製造方法。

圖 2A 至 2C 是本發明的一個方式的半導體裝置。圖 2A 是半導體裝置的俯視圖。圖 2B 及 2C 分別是沿著圖 2A 的點劃線 A-B 及點劃線 C-D 的剖面圖。

為了簡化起見，在圖 2A 中省略膜的一部分。

在圖 2A 中，源極電極及汲極電極 118 和氧化物半導體膜 126 中，一部分的俯視形狀大致一致。換言之，源極電極及汲極電極 118 的整個區域與氧化物半導體膜 126 重疊。

“俯視形狀大致一致”是指在層疊的膜與膜之間至少一部分的輪廓彼此重疊來形成直線或曲線的情況。但是，有時還包括如下情況：輪廓不重疊，上層的膜形成在下層的膜的內側；或者上層的膜形成在下層的膜的外側。將這種情況也稱作“俯視形狀大致一致”。

說明圖 2B。圖 2B 示出如下結構，其中包括：基板 100；基板 100 上的基底絕緣膜 102；基底絕緣膜 102 上

的包括第一區 136 及第二區 146 的氧化物半導體膜 126；氧化物半導體膜 126 上的源極電極及汲極電極 118；源極電極及汲極電極 118 以及氧化物半導體膜 126 上的閘極絕緣膜 112；閘極絕緣膜 112 上的閘電極 104；以及閘極絕緣膜 112 及閘電極 104 上的層間絕緣膜 122。

接著，說明圖 2C。圖 2C 示出如下結構，其中包括：基板 100；基板 100 上的基底絕緣膜 102；基底絕緣膜 102 上的氧化物半導體膜 126 的第一區 136；覆蓋基底絕緣膜 102 及氧化物半導體膜 126 的閘極絕緣膜 112；閘極絕緣膜 112 上的閘電極 104；以及閘電極 104 上的層間絕緣膜 122。

接著，參照圖 1A 至 1H 說明圖 2A 至 2C 所示的半導體裝置的製造方法。

首先，在基板 100 上依次形成基底絕緣膜 102 及第一氧化物半導體膜 106（參照圖 1A）。

雖然對於基板 100 沒有很大的限制，但是基板 100 至少需要具有能夠承受之後的熱處理的程度的耐熱性。例如，作為基板 100，可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等。此外，可以應用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI（Silicon On Insulator：絕緣體上矽）基板等，並且還可以將在這些基板上設置有半導體元件的基板用作基板 100。

此外，作為基板 100，也可以使用撓性基板。當使用

撓性基板時，直接在撓性基板上製造電晶體。另外，作為在撓性基板上設置電晶體的方法，可以舉出如下方法：作為基板 100 使用非撓性的基板，在其上形成電晶體之後，將電晶體剝離並將該電晶體轉置到撓性基板上。在這種情況下，可以在基板 100 與電晶體之間設置剝離層。

例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧化鉛、氧化鈮或氧化銻並以層疊或單層結構設置基底絕緣膜 102。例如，可利用熱氧化法、CVD 法、濺射法形成基底絕緣膜 102。作為基底絕緣膜 102，還可以使用藉由加熱處理釋放氧的膜。藉由使用藉由加熱處理釋放氧的膜，從而可以修復在第一氧化物半導體膜 106 中產生的缺陷，而可以提高電晶體的電特性。

這裡，氧氮化矽是指包括矽、氧及氮且其含氧量多於含氮量的物質。另外，氮氧化矽是指包括矽、氧及氮且其含氮量多於含氧量的物質。

設置基底絕緣膜 102 以用於防止給電晶體特性帶來不良影響的元素從基板 100 擴散到第一氧化物半導體膜 106。因此，作為基底絕緣膜 102 可使用上述元素的擴散係數小的絕緣膜。這一點與下面所示的閘極絕緣膜 112 及層間絕緣膜 122 也相同。

“藉由加熱處理釋放氧”是指當利用 TDS (Thermal Desorption Spectroscopy: 熱脫附譜法) 分析時，換算為氧原子的氧釋放量為 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上或 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上。

在此，下面說明利用 TDS 分析的氧釋放量的測量方法。

進行 TDS 分析時的氣體的全釋放量與釋放氣體的離子強度的積分值成正比。而且，根據該積分值與標準樣品的比較，可以算出氣體的全釋放量。

例如，根據對作為標準樣品的包含預定密度的氫的矽晶片進行 TDS 分析而得到的結果及對絕緣膜進行 TDS 分析而得到的結果，絕緣膜的氧分子的釋放量 (N_{O_2}) 可以由數學式 1 算出。這裡，假定以藉由 TDS 分析得到的質量數 32 檢測出的氣體都來源於氧分子。作為質量數 32 的物質，還有 CH_3OH ，但是 CH_3OH 存在的可能性較低，所以這裡不考慮。此外，包含作為氧原子的同位素的質量數 17 的氧原子及質量數 18 的氧原子的氧分子在自然界中的存在比率極微量，所以也不考慮。

[數學式 1]

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times \alpha \quad (\text{數學式 1})$$

N_{H_2} 是將從標準樣品脫離的氫分子換算為密度的值。 S_{H_2} 是對標準樣品進行 TDS 分析而得到的離子強度的積分值。這裡，標準樣品的基準值是 N_{H_2} / S_{H_2} 。 S_{O_2} 是對絕緣膜進行 TDS 分析而得到的離子強度的積分值。 α 是在 TDS 分析中影響到離子強度的係數。關於數學式 1 的詳細說明，參照日本專利公開平 6-275697 號公報。另外，藉

由使用電子科學株式會社製造的熱脫附分析裝置 EMD-WA1000S/W，並且作為標準樣品使用包含 1×10^{16} atoms/cm³ 的氫原子的矽晶片來測量上述絕緣膜的氧的釋放量。

此外，在 TDS 分析中，氧的一部分作為氧原子被檢測出。氧分子與氧原子的比率可以從氧分子的離子化率算出。另外，因為上述的 α 包括氧分子的離子化率，所以藉由對氧分子的釋放量進行評價，還能夠估計氧原子的釋放量。

另外，NO₂ 是氧分子的釋放量。換算為氧原子時的釋放量是氧分子的釋放量的兩倍。

在上述結構中，藉由加熱處理釋放氧的膜也可以是氧過剩的氧化矽 (SiO_x (X>2))。氧過剩的氧化矽 (SiO_x (X>2)) 是指每單位體積包含的氧原子數多於矽原子數的兩倍的氧化矽。每單位體積的矽原子數及氧原子數是藉由盧瑟福背散射譜法測定的值。

藉由將氧從基底絕緣膜 102 供給到第一氧化物半導體膜 106 中，從而可以降低第一氧化物半導體膜 106 和基底絕緣膜 102 之間的介面態。其結果，可以抑制由於電晶體的工作等而在第一氧化物半導體膜 106 和基底絕緣膜 102 之間的介面俘獲載子的情況，從而可以提高電晶體的電特性。

再者，有時因氧化物半導體膜的氧缺陷而產生電荷。一般來說，氧化物半導體膜中的氧缺陷的一部分成為施體

，而釋放作為載子的電子。其結果，電晶體的臨界值電壓遷移到負方向。藉由從基底絕緣膜 102 向第一氧化物半導體膜 106 供給充分的氧，從而可以減少作為臨界值電壓遷移到負方向的主要原因的氧化物半導體膜中的氧缺陷。

換言之，藉由在基底絕緣膜 102 設置藉由加熱處理釋放氧的膜，從而可以減少第一氧化物半導體膜 106 和基底絕緣膜 102 之間的介面上的介面態及第一氧化物半導體膜 106 的氧缺陷，並減小第一氧化物半導體膜 106 和基底絕緣膜 102 之間的介面上的載子俘獲的影響。

上面示出了基底絕緣膜 102 所起到的效果，也可以適當地將基底絕緣膜 102 置換為閘極絕緣膜 112 及層間絕緣膜 122。在此情況下，按照起到效果的製程，將第一氧化物半導體膜 106 置換為第二氧化物半導體膜 116 或氧化物半導體膜 126，即可。

作為第一氧化物半導體膜 106，使用 CAAC 氧化物半導體（也稱為 C Axis Aligned Crystalline Oxide Semiconductor：c 軸配向結晶氧化物半導體）較佳。但是，第一氧化物半導體膜 106 不侷限於 CAAC 氧化物半導體，也可以使用非晶氧化物半導體膜。

CAAC 氧化物半導體是指包括如下結晶的氧化物半導體：該結晶中進行 c 軸配向，並且在從 ab 面、表面或介面的方向看時具有三角形狀或六角形狀的原子排列，在 c 軸上金屬原子排列為層狀或者金屬原子和氧原子排列為層狀，而在 ab 面（或者表面或介面）上 a 軸或 b 軸的方向

不同（以 c 軸為中心旋轉）。

從更廣義來理解，CAAC 氧化物半導體是指非單晶，並是指包括如下相的材料，該相中在從垂直於其 ab 面的方向看時具有三角形、六角形、正三角形或正六角形的原子排列，並且從垂直於 c 軸的方向看時金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。

雖然 CAAC 氧化物半導體不是單晶，但是也不只由非晶形成。另外，雖然 CAAC 氧化物半導體包括晶化部分（結晶部分），但是有時不能明確辨別一個結晶部分與其他結晶部分的邊界。

構成 CAAC 氧化物半導體的氧的一部分也可以用氮來取代。另外，構成 CAAC 氧化物半導體的各結晶部分的 c 軸也可以在一定的方向上（例如，垂直於支撐 CAAC 氧化物半導體的基板面、CAAC 氧化物半導體的表面的方向）一致。或者，構成 CAAC 氧化物半導體的各結晶部分的 ab 面的法線也可以朝向一定的方向（例如，垂直於支撐 CAAC 氧化物半導體的基板面或 CAAC 氧化物半導體的表面的方向）。

CAAC 氧化物半導體可根據其組分等而成為導體或絕緣體。另外，CAAC 氧化物半導體根據其組分等而對可見光透明，或者對可見光不透明。

接著，說明 CAAC 氧化物半導體的形成方法。

首先，藉由濺射法、分子束外延法、原子層沉積法或脈衝雷射蒸鍍法等形成氧化物半導體膜。另外，藉由在形

成氧化物半導體膜時對基板進行加熱處理，從而可以形成結晶區的比例高的氧化物半導體膜。例如，可將基板溫度設定為 150℃ 以上且 450℃ 以下，較佳設定為 200℃ 以上且 350℃ 以下。

接著，也可以進行第一加熱處理。藉由進行第一加熱處理，從而可以形成結晶區的比例更高的氧化物半導體膜。例如可在 200℃ 以上且低於基板的應變點的溫度下進行第一加熱處理。較佳為在 250℃ 以上且 450℃ 以下進行第一加熱處理。雖然對於氣圍沒有限制，但是在氧化氣圍下、惰性氣圍下或減壓氣圍下進行第一加熱處理。處理時間是 3 分鐘至 24 小時。處理時間越長，可以形成結晶區的比例越高的氧化物半導體膜，然而超過 24 小時的熱處理導致生產率的降低，所以不是較佳的。

氧化氣圍是包含氧化氣體的氣圍。氧化氣體是氧、臭氧、或一氧化二氮等，較佳的是，氧化氣體不含水、氫等。例如，引入熱處理裝置的氧、臭氧或一氧化二氮的純度設定為 8N (99.999999%) 以上，較佳為設定為 9N (99.9999999%) 以上 (雜質濃度為 10ppb 以下，較佳為小於 0.1ppb)。作為氧化氣圍，可混合氧化氣體和惰性氣體以供使用。在這種情況下，採用至少包含 10ppm 以上的氧化氣體的氣圍。

在此，惰性氣圍是指以氮、稀有氣體 (氮、氦、氬、氪或氙) 等的惰性氣體作為主要成分的氣圍。明確而言，諸如氧化氣體等的反應氣體小於 10ppm 的氣圍。

第一加熱處理可以使用 RTA (Rapid Thermal Anneal : 快速熱退火) 裝置。藉由利用 RTA , 從而能夠在短時間內 , 在基板的應變點以上的溫度下進行熱處理。因此 , 可以縮短用來形成結晶區的比例比非晶區高的氧化物半導體膜的時間。

作為氧化物半導體膜 , 也可以使用如下材料 : 四元類金屬氧化物的 In-Sn-Ga-Zn-O 類的材料 ; 三元類金屬氧化物的 In-Ga-Zn-O 類的材料、In-Sn-Zn-O 類的材料、In-Al-Zn-O 類的材料、Sn-Ga-Zn-O 類的材料、Al-Ga-Zn-O 類的材料、Sn-Al-Zn-O 類的材料 ; 二元類金屬氧化物的 In-Zn-O 類的材料、Sn-Zn-O 類的材料、Al-Zn-O 類的材料、Zn-Mg-O 類的材料、Sn-Mg-O 類的材料、In-Mg-O 類的材料、In-Ga-O 類的材料 ; In-O 類的材料 ; Sn-O 類的材料 ; 或 Zn-O 類的材料等。此外 , 也可以使上述材料包含氧化矽。在此 , 例如 In-Ga-Zn-O 類的材料是指具有銦 (In) 、鎵 (Ga) 、鋅 (Zn) 的氧化物 , 並且對於其組分比沒有特別的限制。此外 , 也可以包含 In 、 Ga 及 Zn 之外的元素。此時 , 較佳的是 , 與氧化物半導體膜的化學計量相比使氧化物半導體包含過剩的 O 。藉由使氧化物半導體包含過剩的 O , 可以抑制氧化物半導體膜的氧缺陷所導致的載子的生成。

另外 , 作為一例 , 當作為氧化物半導體使用 In-Zn-O 類的材料時 , 將原子數比設定為 $In/Zn=0.5$ 至 50 , 較佳為設定為 $In/Zn=1$ 至 20 , 更較佳為設定為 $In/Zn=3$ 至 15 。

藉由將 Zn 的原子數比設定為上述範圍內，可以提高電晶體的場效應遷移率。在此，當化合物的原子數比為 In : Zn : O = X : Y : Z 時，滿足 $Z > 1.5X + Y$ 的關係。

作為氧化物半導體，可以使用由化學式 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示的材料。在此，M 表示選自 Ga、Al、Mn 及 Co 中的一種或多種金屬元素。例如，作為 M，也可以使用 Ga、Ga 及 Al、Ga 及 Mn 或 Ga 及 Co 等。

此外，包含 $1 \times 10^{17} \text{ atoms/cm}^3$ 以上且 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下（較佳為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下）的氮的 In-Ga-Zn-O 類材料成為包括 c 軸配向的六方晶的結晶結構的氧化物，且在 In-O 的結晶面（包含銦及氧的結晶面）和 In-O 的結晶面（包含銦及氧的結晶面）之間具備一個具有 Ga 及 Zn 的層。或者，也可以在包含上述範圍內的氮的 In-Ga-Zn-O 類氧化物半導體膜中的相鄰的 In-O 的結晶面和 In-O 的結晶面之間具備多個具有 Ga 及 Zn 的層。

接著，也可以在氧化物半導體膜上形成第二層的氧化物半導體膜，來形成氧化物半導體膜的層疊體。可以藉由同樣的方法形成第一層的氧化物半導體膜及第二層的氧化物半導體膜。

當形成第二層的氧化物半導體膜時，藉由在對基板進行加熱處理的狀態下形成氧化物半導體膜，從而可以以第一層的氧化物半導體膜為晶種使第二層的氧化物半導體膜晶化。此時，也可採用第一層的氧化物半導體膜及第二層的氧化物半導體膜由同一元素構成的同質生長（homo-

growth)。或者也可採用第一層的氧化物半導體膜及第二層的氧化物半導體膜由至少一種以上的不同元素構成的異質生長 (hetero-growth)。

另外，也可以在形成第二層的氧化物半導體膜之後進行第二加熱處理。第二加熱處理可藉由與第一加熱處理相同的方法進行。藉由進行第二加熱處理，從而可以形成結晶區的比例比非晶區高的層疊結構。或者，藉由進行第二加熱處理，從而可以以第一層的氧化物半導體膜為晶種使第二層的氧化物半導體膜晶化。此時，也可採用第一層的氧化物半導體膜及第二層的氧化物半導體膜由同一元素構成的同質生長。或者，也可採用第一層的氧化物半導體膜及第二層的氧化物半導體膜由至少一種以上的不同元素構成的異質生長。

可以藉由如上方法形成 CAAC 氧化物半導體。

在此，也可以藉由形成 CAAC 氧化物半導體的過程的第一加熱處理及第二加熱處理，從基底絕緣膜 102 向第一氧化物半導體膜 106 供給氧。

也可以在形成第一氧化物半導體膜 106 之後進行第三加熱處理。在 150°C 以上且低於基板的應變點的溫度下，較佳為在 250°C 以上且 450°C 以下的溫度下，更佳為在 300°C 以上且 450°C 以下的溫度下進行第三加熱處理。藉由進行第三加熱處理，從而可以從基底絕緣膜 102 向第一氧化物半導體膜 106 供給氧。在減壓氣圍下、惰性氣圍下或氧化氣圍下進行第三加熱處理。

接著，在第一氧化物半導體膜 106 上形成導電膜 108 (參照圖 1B)。

導電膜 108 可採用單層結構或層疊結構，並使用選自 Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、Ta、W 及這些元素的氮化物、氧化物以及合金中的 1 個以上的材料。因為氧化物導電膜的電阻比金屬膜高，所以較佳為與薄層電阻為 $10\Omega/\text{sq}$ 以下的低電阻膜進行層疊以減少導電膜 108 的電阻。

也可以在形成導電膜 108 之後進行第四加熱處理。第四加熱處理可藉由與第三加熱處理相同的方法進行。藉由第四加熱處理，可以從基底絕緣膜 102 向第一氧化物半導體膜 106 供給氧。

接著，在導電膜 108 上塗敷抗蝕劑，並藉由光刻法形成抗蝕劑掩模。使用該抗蝕劑掩模對導電膜 108 進行加工來形成源極電極及汲極電極 118 (參照圖 1C)。

接著，在第一氧化物半導體膜 106 上塗敷抗蝕劑，並藉由光刻法形成抗蝕劑掩模。使用該抗蝕劑掩模對第一氧化物半導體膜 106 進行加工來形成第二氧化物半導體膜 116 (參照圖 1D)。由此，可以防止源極電極及汲極電極 118 的底面與第二氧化物半導體膜 116 的側面接觸。

或者，也可以使用由多色調掩模形成的抗蝕劑掩模對導電膜 108 及第一氧化物半導體膜 106 進行加工。在此情況下，使用多色調掩模形成具有其厚度彼此不同的第一抗蝕劑區及第二抗蝕劑區的第一抗蝕劑掩模。在此，在第一

抗蝕劑掩模中，第二抗蝕劑區的厚度比第一抗蝕劑區的厚度大。首先，使用第一抗蝕劑掩模將導電膜 108 加工成組合第一抗蝕劑區和第二抗蝕劑區後的區域的形狀，來形成源極電極及汲極電極 118。接著，藉由利用灰化等的電漿處理使第一抗蝕劑掩模縮退從而去除第一抗蝕劑區，來形成只使第二抗蝕劑區殘留的第二抗蝕劑掩模。接著，藉由使用第二抗蝕劑掩模對第一氧化物半導體膜 106 進行加工，得到圖 1D 所示的形狀。

在此，也可以藉由灰化等的電漿處理進行抗蝕劑掩模的剝離製程。藉由進行灰化來剝離抗蝕劑掩模，從而與使用剝離液的情況相比不容易在第二氧化物半導體膜 116 的側面產生氧缺陷，所以是較佳的。

藉由採用上述製程加工導電膜 108 及第一氧化物半導體膜 106，從而第二氧化物半導體膜 116 的一部分殘留在被加工的導電膜 108 之下。換言之，被加工的導電膜 108 的整個區域與第二氧化物半導體膜 116 的一部分重疊。在此，當被加工的導電膜 108 兼作佈線時，可以減少積累在該佈線和其他佈線的交叉部中的電荷。因此起到抑制信號延遲等的效果。

接著，形成覆蓋源極電極及汲極電極 118 以及第二氧化物半導體膜 116 的閘極絕緣膜 112（參照圖 1E）。較佳為在形成第二氧化物半導體膜 116 之後立即形成閘極絕緣膜 112。這是由於利用閘極絕緣膜 112 減少產生在第二氧化物半導體膜 116 的側面的氧缺陷的緣故。

在此，說明使用一個模型進行計算來對氧化物半導體膜的頂面及側面中的氧缺陷的容易性進行驗證而得的結果。注意，由於 CAAC 氧化物半導體的一個側面具有多個結晶面因而計算很複雜。因此，這裡使用 c 軸配向的纖鋅礦結晶的 ZnO 單晶進行計算。如圖 17 所示，作為結晶的模型，分別沿著平行於 c 軸的面及垂直於 c 軸的面進行截斷，來製造 (001) 表面、(100) 表面及 (110) 表面。

在製造表面結構之後，如圖 18A 至 18C 所示那樣進行氧從 (100) 表面、(110) 表面及 (001) 表面脫離時的情況的計算，並且對各表面的脫離的容易性進行比較。

以使 (001) 面成為表面的方式截斷晶格來製造模型。但是，由於使用三維週期結構進行計算，所以製造了具有兩個 (001) 表面的真空區為 1nm 的平板模型。同樣地，由於側面被設想為垂直於 (001) 表面，所以製造了如下平板模型，其中作為側面的一例，(100) 面及 (110) 面出現在表面上。藉由對上述兩個表面進行計算，可以觀察到垂直於 (001) 表面的面上的氧脫離的容易性的趨勢。在此情況下的真空區也是 1nm。(100) 表面模型、(110) 表面模型及 (001) 表面模型的原子數分別是 64、108、108 原子。此外，製造了從上述三個結構的表面抽出一個氧原子的結構。

進行計算時使用密度泛函法的程式的 CASTEP。作為密度泛函法使用平面波基底廣勢法，作為泛函使用 GGAPBE。首先，在纖鋅礦結構的 4 原子的單元晶胞中進

行包括晶格常數的結構優化。接著，根據優化的結構製造了表面結構。然後，在所製造的表面結構有氧缺陷的結構中及在所製造的表面結構沒有氧缺陷的結構中，進行使晶格常數固定的結構優化。使用進行結構優化之後的能量。

在單元晶胞的計算中使用 380eV 的截止能量，而在表面結構的計算中使用 300eV 的截止能量。作為 k 點，在單元晶胞的計算中使用 9×9×6 的網格，在 (100) 表面模型中使用 3×2×1 的網格數量，在 (110) 表面模型的計算中使用 1×2×2 的網格，在 (001) 表面模型的計算中使用 2×2×1 的網格。

對從上述表面結構加上有氧缺陷的結構的能量及氧分子的能量的一半而得到的值減去沒有氧缺陷的結構的能量後得到的能量差（在此稱為束縛能量）進行計算。可以認為氧在束縛能量小的表面上容易脫離。

[數學式 2]

$$\begin{aligned} (\text{束縛能量}) &= (\text{有氧缺陷的結構的能量}) \\ &+ (\text{氧分子的能量的一半}) \\ &- (\text{沒有氧缺陷的結構的能量}) \end{aligned}$$

表 1 中示出根據數學式 2 得到的各表面的束縛能量。

[表 1]

	束縛能量
(100) 表面模型	2.89
(110) 表面模型	2.64
(001) 表面模型	3.38

根據表 1 所示的結果可以認為，(100) 表面及 (110) 表面的束縛能量比 (001) 表面小，所以氧較容易脫離。換言之，可知的是：在垂直於頂面的方向上具有 c 軸，並沿該 c 軸配向的 ZnO 膜中，與頂面相比，氧較容易從側面脫離。在 CAAC 氧化物半導體的 ZnO 中各種結晶面混在一起，但是在側面具有與 ZnO 單晶相同種類的結晶面。因此，可以認為存在與 ZnO 單晶中的氧脫離的容易性相同的趨勢。

因此，作為閘極絕緣膜 112，使用藉由加熱處理釋放氧的絕緣膜較佳。例如，使用與基底絕緣膜 102 相同的材料形成閘極絕緣膜 112，即可。

接著，在閘極絕緣膜 112 上形成閘電極 104（參照圖 1F）。以不與源極電極及汲極電極 118 重疊的方式設置閘電極 104。藉由不使閘電極和源極電極及汲極電極重疊，從而可以減少寄生電容並進行電晶體的高速工作。可加工用於導電膜 108 的材料來形成閘電極 104。

或者，作為閘電極 104 也可以使用包含 Al、Si、Ti、Ni、Cu、Zn、Ga、Ge、In、Sn 及 W 中的一種以上的氧化物膜。該氧化物膜也可以包含 $5 \times 10^{19} \text{ atoms/cm}^3$ 以上且

20atomic%以下的氮，較佳為包含 1×10^{20} atoms/cm³ 以上且 7atomic%以下的氮。例如，作為包含 In、Ga 及 Zn 的氧化物膜，使用包含 1×10^{20} atoms/cm³ 以上且 7atomic%以下的氮的膜較佳。當使用上述氧化物膜時，閘電極 104 較佳為採用與金屬膜的層疊結構。此時，以與閘極絕緣膜 112 接觸的方式設置上述氧化物膜。因為上述氧化物膜可取的功函數的範圍比金屬膜大，所以電晶體的臨界值電壓的控制性提高。

接著，較佳的是，以源極電極及汲極電極 118 以及閘電極 104 為掩模經過閘極絕緣膜 112 對第二氧化物半導體膜 116 添加離子，來形成包括未添加離子的第一區 136 及添加有離子的第二區 146 的氧化物半導體膜 126（參照圖 1G）。對第二區以 5×10^{18} atoms/cm³ 以上且 1×10^{22} atoms/cm³ 以下的濃度，較佳為以 5×10^{18} atoms/cm³ 以上且 5×10^{19} atoms/cm³ 以下的濃度添加選自氮、磷、砷及稀有氣體中的一種以上的元素。但是，添加的離子不侷限於上述離子，而可採用由能夠使第二氧化物半導體膜 116 低電阻化的元素構成的離子。此時，由於藉由經過閘極絕緣膜 112 添加離子，從而第二氧化物半導體膜 116 不會直接暴露於電漿，因此第二氧化物半導體膜 116 不容易受到損壞，並且可以進一步防止第二氧化物半導體膜 116 的厚度減小。

接著，形成層間絕緣膜 122（參照圖 1H）。

可使用與基底絕緣膜 102 相同的材料形成層間絕緣膜

122。

接著，也可以進行第五加熱處理。在 150℃ 以上且 450℃ 以下，較佳為在 250℃ 以上且 325℃ 以下進行第五加熱處理。或者也可以使溫度在 250℃ 到 325℃ 的範圍內逐漸地提高。藉由進行第五加熱處理，從而也可從層間絕緣膜 122 向氧化物半導體膜 126 供給氧。

藉由上述製程，可以製造截止電流極小的電晶體。

此外，藉由採用使用本實施方式所示的氧化物半導體膜的電晶體，即使使用如母玻璃等大基板，也可以提供可靠性高且能夠進行批量生產的半導體裝置。

[實施方式 2]

圖 3A 示出構成半導體裝置的記憶元件（以下也稱為儲存單元）的電路圖的一例。儲存單元由將氧化物半導體以外的材料（例如，矽、銻、碳化矽、砷化銻、氮化銻、有機化合物等）用於通道形成區的電晶體 1160 及將氧化物半導體用於通道形成區的電晶體 1162 構成。

將氧化物半導體用於通道形成區的電晶體 1162 可以根據實施方式 1 製造。

如圖 3A 所示，電晶體 1160 的閘電極與電晶體 1162 的源極電極和汲極電極中的一方電連接。另外，第一佈線 SL（1st Line：也稱為源極線）與電晶體 1160 的源極電極電連接，第二佈線 BL（2nd Line：也稱為位元線）與電晶體 1160 的汲極電極電連接。另外，第三佈線 S1（3rd

Line：也稱為第一信號線）與電晶體 1162 的源極電極和汲極電極中的另一方電連接，第四佈線 S2（4th Line：也稱為第二信號線）與電晶體 1162 的閘電極電連接。

由於將氧化物半導體以外的材料例如單晶矽用於通道形成區的電晶體 1160 可以進行充分的高速工作，所以藉由使用電晶體 1160 可以高速地進行儲存內容的讀出等。此外，將氧化物半導體用於通道形成區的電晶體 1162 具有其截止電流比電晶體 1160 小的特徵。因此，藉由使電晶體 1162 成為截止狀態，可以在極長時間保持電晶體 1160 的閘電極的電位。

藉由有效地利用能夠保持閘電極的電位這一特徵，可以如下所述那樣進行資訊的寫入、保持以及讀出。

首先，對資訊的寫入及保持進行說明。首先，藉由將第四佈線 S2 的電位設定為使電晶體 1162 成為導通狀態的電位，使電晶體 1162 成為導通狀態。由此，將第三佈線 S1 的電位施加到電晶體 1160 的閘電極（寫入）。然後，藉由將第四佈線 S2 的電位設定為使電晶體 1162 成為截止狀態的電位，使電晶體 1162 成為截止狀態，從而保持電晶體 1160 的閘電極的電位（保持）。

因為電晶體 1162 的截止電流極小，所以在長時間保持電晶體 1160 的閘電極的電位。例如，若電晶體 1160 的閘電極的電位為使電晶體 1160 成為導通狀態的電位，則在長時間保持電晶體 1160 的導通狀態。另外，若電晶體 1160 的閘電極的電位為使電晶體 1160 成為截止狀態的電

位，則在長時間保持電晶體 1160 的截止狀態。

接著，對資訊的讀出進行說明。如上所述，當在保持電晶體 1160 的導通狀態或截止狀態的狀態下將預定的電位（恆定電位）施加到第一佈線 SL 時，第二佈線 BL 的電位根據電晶體 1160 的導通狀態或截止狀態而取不同的值。例如，在電晶體 1160 處於導通狀態的情況下，第二佈線 BL 的電位靠近於第一佈線 SL 的電位。另外，在電晶體 1160 處於截止狀態的情況下，第二佈線 BL 的電位不變化。

如上所述，藉由在保持資訊的狀態下對第二佈線 BL 的電位和預定的電位進行比較，從而可以讀出資訊。

接著，對資訊的改寫進行說明。資訊的改寫與上述資訊的寫入和保持同樣進行。換言之，將第四佈線 S2 的電位設定為使電晶體 1162 成為導通狀態的電位，使電晶體 1162 成為導通狀態。由此，對電晶體 1160 的閘電極施加第三佈線 S1 的電位（有關新的資訊的電位）。然後，藉由將第四佈線 S2 的電位設定為使電晶體 1162 成為截止狀態的電位，使電晶體 1162 成為截止狀態，從而處於保持新的資訊的狀態。

如上所述，根據所公開的發明的儲存單元可以藉由再次進行資訊的寫入從而直接改寫資訊。因此，不需要快閃記憶體器等所需要的擦除工作，並且，可以抑制起因於擦除工作的工作速度的降低。也就是說，可以實現具有儲存單元的半導體裝置的高速工作。

此外，圖 3B 中示出使圖 3A 的儲存單元發展後的儲存單元的電路圖的一例。

圖 3B 所示的儲存單元 1100 包括第一佈線 SL (源極線)、第二佈線 BL (位元線)、第三佈線 S1 (第一信號線)、第四佈線 S2 (第二信號線)、第五佈線 WL (字線)、電晶體 1164 (第一電晶體)、電晶體 1161 (第二電晶體) 以及電晶體 1163 (第三電晶體)。在電晶體 1164 及電晶體 1163 中，將氧化物半導體以外的材料用於通道形成區，在電晶體 1161 中，將氧化物半導體用於通道形成區。

在此，電晶體 1164 的閘電極與電晶體 1161 的源極電極和汲極電極中的一方電連接。另外，第一佈線 SL 與電晶體 1164 的源極電極電連接，並且電晶體 1164 的汲極電極與電晶體 1163 的源極電極電連接。另外，第二佈線 BL 與電晶體 1163 的汲極電極電連接，第三佈線 S1 與電晶體 1161 的源極電極和汲極電極中的另一方電連接，第四佈線 S2 與電晶體 1161 的閘電極電連接，並且第五佈線 WL 與電晶體 1163 的閘電極電連接。

接著，說明電路工作的具體例子。另外，也可以適當地改變下面所例示的電位、電壓等的數值。

在將資料寫入到儲存單元 1100 時，將第一佈線 SL 設定為 0V，將第五佈線 WL 設定為 0V，將第二佈線 BL 設定為 0V，並且將第四佈線 S2 設定為 2V。在寫入資料“1”時，將第三佈線 S1 設定為 2V，而在寫入資料“0”時

，將第三佈線 S1 設定為 0V。此時，電晶體 1163 處於截止狀態，電晶體 1161 處於導通狀態。另外，在寫入結束時，在使第三佈線 S1 的電位變化之前，將第四佈線 S2 設定為 0V，而使電晶體 1161 處於截止狀態。

其結果是，在寫入資料“1”之後，與電晶體 1164 的閘電極連接的節點（以下，稱為節點 A）的電位成為 2V 左右，而在寫入資料“0”之後，節點 A 的電位成為 0V 左右。在節點 A 中積累與第三佈線 S1 的電位相對應的電荷，如上所述，電晶體 1161 的截止電流極小，從而在長時間保持電晶體 1164 的閘電極的電位。

接著，在從儲存單元讀出資料時，將第一佈線 SL 設定為 0V，將第五佈線 WL 設定為 2V，將第四佈線 S2 設定為 0V，並且將第三佈線 S1 設定為 0V，使與第二佈線 BL 連接的讀出電路處於工作狀態。此時，電晶體 1163 處於導通狀態，電晶體 1161 處於截止狀態。

若資料為“0”，即節點 A 處於 0V 左右的狀態，則電晶體 1164 處於截止狀態，因此第二佈線 BL 與第一佈線 SL 之間的電阻處於高電阻狀態。另一方面，若資料為“1”，即節點 A 處於 2V 左右的狀態，則電晶體 1164 處於導通狀態，因此第二佈線 BL 與第一佈線 SL 之間的電阻處於低電阻狀態。在讀出電路中可以根據儲存單元的電阻狀態的不同而讀出資料“0”或“1”。另外，雖然在寫入時將第二佈線 BL 設定為 0V，但是也可以使第二佈線 BL 處於浮動狀態或充電到 0V 以上的電位。雖然在讀出時

將第三佈線 S1 設定為 0V，但是也可以使第三佈線 S1 處於浮動狀態或充電到 0V 以上的電位。

注意，資料“1”和資料“0”是爲了方便起見被定義的，也可以彼此交換。另外，上述工作電壓只是一例。只要以在資料爲“0”時使電晶體 1164 處於截止狀態且在資料爲“1”時使電晶體 1164 處於導通狀態的方式、在寫入時使電晶體 1161 處於導通狀態且在寫入時以外使電晶體 1161 處於截止狀態的方式以及在讀出時電晶體 1163 處於導通狀態的方式選擇工作電壓，即可。尤其是，也可以使用週邊邏輯電路的電源電位 VDD 以代替 2V。

在本實施方式中，爲了清楚地理解而說明瞭最小儲存單位（1 位元）的儲存單元，但是儲存裝置的結構不侷限於此。也可以藉由適當地連接多個儲存單元而構成更複雜的半導體裝置。例如，可以使用多個上述儲存單元而構成 NAND 型或 NOR 型的半導體裝置。佈線的結構也不侷限於圖 3A 或圖 3B，而可以適當地進行改變。

圖 4 示出具有 $m \times n$ 位元元的儲存容量的根據本發明的一個方式的半導體裝置的框電路圖。

圖 4 所示的半導體裝置包括： m 條第五佈線 WL(1) 至 WL(m) 及 m 條第四佈線 S2(1) 至 S2(m)； n 條第二佈線 BL(1) 至 BL(m) 及 n 條第三佈線 S1(1) 至 S1(m)；將多個儲存單元 1100(1, 1) 至 1100(m , n) 配置爲縱 m 個（行） \times 橫 n 個（列）（ m 、 n 爲自然數）的矩陣狀的儲存單元陣列 1110；以及週邊電路如使第

二佈線 BL 及第三佈線 S1 驅動的驅動電路 1111、使第四佈線 S2 及第五佈線 WL 驅動的驅動電路 1113 以及讀出電路 1112。作為其他週邊電路，也可以設置有刷新電路等。

作為各儲存單元的代表，以儲存單元 1100 (i, j) 為典型例進行考慮。在此，儲存單元 1100 (i, j) (i 為 1 以上且 m 以下的整數，j 為 1 以上且 n 以下的整數) 分別與第二佈線 BL (j)、第三佈線 S1 (j)、第五佈線 WL (i)、第四佈線 S2 (i) 以及第一佈線 SL 連接。將電位 V_s 施加到第一佈線 SL。另外，第二佈線 BL (1) 至 BL (n) 及第三佈線 S1 (1) 至 S1 (n) 與驅動電路 1111 及讀出電路 1112 連接，而第五佈線 WL (1) 至 WL (m) 及第四佈線 S2 (1) 至 S2 (m) 與驅動電路 1113 連接。

說明圖 4 所示的半導體裝置的工作。在本結構中，按每個行進行寫入及讀出。

在對第 i 行的儲存單元 1100 (i, 1) 至 1100 (i, n) 進行寫入時，將第一佈線 SL 的電位 V_s 設定為 0V，將第五佈線 WL (i) 設定為 0V，將第二佈線 BL (1) 至 BL (n) 設定為 0V，並且將第四佈線 S2 (i) 設定為 2V。此時，電晶體 1161 成為導通狀態。在寫入資料“1”的列中將第三佈線 S1 (1) 至 S1 (n) 設定為 2V，而在寫入資料“0”的列中將第三佈線 S1 (1) 至 S1 (n) 設定為 0V。另外，在資料寫入結束時，在使第三佈線 S1 (1) 至 S1 (n) 的電位變化之前將第四佈線 S2 (i) 設定為 0V，而使電

晶體 1161 處於截止狀態。另外，將第五佈線 $WL(i)$ 之外的第五佈線 WL 設定為 $0V$ ，並且將第四佈線 $S2(i)$ 之外的第四佈線 $S2$ 設定為 $0V$ 。

其結果是，在對資料“1”進行寫入的儲存單元中，與電晶體 1164 的閘電極連接的節點（以下稱為節點 A）的電位成為 $2V$ 左右，而在對資料“0”進行寫入的儲存單元中，節點 A 的電位成為 $0V$ 左右。另外，未選擇的儲存單元的節點 A 的電位不變。

在進行第 i 行的儲存單元 $1100(i, 1)$ 至 $1100(i, n)$ 的讀出時，將第一佈線 SL 的電位 V_s 設定為 $0V$ ，將第五佈線 $WL(i)$ 設定為 $2V$ ，將第四佈線 $S2(i)$ 設定為 $0V$ ，將第三佈線 $S1(1)$ 至 $S1(n)$ 設定為 $0V$ ，並使與第二佈線 $BL(1)$ 至 $BL(n)$ 連接的讀出電路處於工作狀態。在讀出電路中例如可以根據儲存單元的電阻狀態的不同而讀出資料“0”或“1”。另外，將第五佈線 $WL(i)$ 之外的第五佈線 WL 設定為 $0V$ ，並且將第四佈線 $S2(i)$ 之外的第四佈線 $S2$ 設定為 $0V$ 。另外，雖然在寫入時將第二佈線 BL 設定為 $0V$ ，但是也可以使第二佈線 BL 處於浮動狀態或充電到 $0V$ 以上的電位。雖然在讀出時將第三佈線 $S1$ 設定為 $0V$ ，但是也可以使第三佈線 $S1$ 處於浮動狀態或充電到 $0V$ 以上的電位。

由於根據本實施方式可以在極長的時間保持與將氧化物半導體用於通道形成區的電晶體連接的節點的電位，因此可以製造能夠以低耗電量進行資訊的寫入、保持、讀出

的記憶元件。

可以將本實施方式所示的結構、方法等與其他實施方式所示的結構、方法等適當地組合而實施。

[實施方式 3]

在本實施方式中示出具有電容元件的儲存單元的電路圖的一例。圖 5A 所示的儲存單元 1170 包括第一佈線 SL、第二佈線 BL、第三佈線 S1、第四佈線 S2、第五佈線 WL、電晶體 1171（第一電晶體）、電晶體 1172（第二電晶體）以及電容元件 1173。在電晶體 1171 中將氧化物半導體以外的材料用於通道形成區，而在電晶體 1172 中，將氧化物半導體用於通道形成區。

可以根據實施方式 1 製造將氧化物半導體用於通道形成區的電晶體 1172。

在此，電晶體 1171 的閘電極、電晶體 1172 的源極電極和汲極電極中的一方以及電容元件 1173 的一方的電極電連接。另外，第一佈線 SL 與電晶體 1171 的源極電極電連接，第二佈線 BL 與電晶體 1171 的汲極電極電連接，第三佈線 S1 與電晶體 1172 的源極電極和汲極電極中的另一方電連接，第四佈線 S2 與電晶體 1172 的閘電極電連接，並且第五佈線 WL 與電容元件 1173 的另一方電極電連接。

以下，說明電路工作的具體例子。另外，也可以適當地改變下面所例示的電位、電壓等的數值。

在將資料寫入到儲存單元 1170 時，將第一佈線 SL 設定為 0V，將第五佈線 WL 設定為 0V，將第二佈線 BL 設定為 0V，並且將第四佈線 S2 設定為 2V。在寫入資料“1”時，將第三佈線 S1 設定為 2V，在寫入資料“0”時，將第三佈線 S1 設定為 0V。此時，電晶體 1172 成為導通狀態。另外，在寫入結束時，在使第三佈線 S1 的電位變化之前，將第四佈線 S2 設定為 0V，而使電晶體 1172 處於截止狀態。

其結果是，在寫入資料“1”之後，連接到電晶體 1171 的閘電極的節點（以下，稱為節點 A）的電位成為 2V 左右，而在寫入資料“0”之後，節點 A 的電位成為 0V 左右。

在從儲存單元 1170 讀出資料時，將第一佈線 SL 設定為 0V，將第五佈線 WL 設定為 2V，將第四佈線 S2 設定為 0V，並且將第三佈線 S1 設定為 0V，使連接於第二佈線 BL 的讀出電路處於工作狀態。此時，電晶體 1172 處於截止狀態。

下面說明將第五佈線 WL 設定為 2V 時的電晶體 1171 的狀態。用來決定電晶體 1171 的狀態的節點 A 的電位取決於第五佈線 WL 與節點 A 之間的電容 C1 和電晶體 1171 的閘電極與源極電極及汲極電極之間的電容 C2。

另外，雖然在讀出時將第三佈線 S1 設定為 0V，但是也可以使第三佈線 S1 處於浮動狀態或充電到 0V 以上的電位的狀態。資料“1”和資料“0”是爲了方便起見被定

義的，也可以相反。

關於寫入時的第三佈線 S1 的電位，只要在寫入後電晶體 1172 處於截止狀態且在第五佈線 WL 的電位為 0V 時電晶體 1171 處於截止狀態的範圍分別選擇資料“1”或資料“0”的電位即可。關於讀出時的第五佈線 WL 的電位，只要以在資料“0”時電晶體 1171 處於截止狀態而在資料“1”時電晶體 1171 處於導通狀態的方式選擇電位即可。例如，將上述第五佈線 WL 的電位設定為電晶體 1171 的臨界值電壓即可。只要在不改變上述電晶體 1171 的狀態的範圍，就可以採用任何臨界值電壓。

此外，參照圖 5B 說明使用儲存單元的 NOR 型半導體儲存裝置的例子，該儲存單元包括具有第一閘電極及第二閘電極的選擇電晶體以及電容元件。

圖 5B 所示的儲存單元陣列具有：排列為 i 行（ i 為 3 以上的自然數）和 j 列（ j 為 3 以上的自然數）的矩陣狀的多個儲存單元 1180； i 條字線 WL（字線 WL₁ 至 WL _{i} ）； i 條電容線 CL（電容線 CL₁ 至 CL _{i} ）； i 條閘極線 BGL（閘極線 BGL₁ 至 BGL _{i} ）； j 條位元線 BL（位元線 BL₁ 至 BL _{j} ）；以及源極線 SL。另外，在本實施方式中說明具備 i 條閘極線 BGL（閘極線 BGL₁ 至 BGL _{i} ）的儲存單元陣列，但是不侷限於此。例如，也可以在儲存單元陣列中不設置閘極線 BGL。為了方便，在此的 i 及 j 為 3 以上的自然數，但是本實施方式所示的儲存單元陣列的行數及列數都不侷限於 3 以上。既可以採用一行或一

列的儲存單元陣列，又可以採用兩行或兩列的儲存單元陣列。

再者，多個儲存單元 1180 的每一個（也稱為儲存單元 1180 (M, N)（其中，N 為 1 以上且 j 以下的自然數，M 為 1 以上且 i 以下的自然數。））具備電晶體 1181 (M, N)、電容元件 1183 (M, N) 以及電晶體 1182 (M, N)。

此外，在半導體儲存裝置中，電容元件由第一電容電極、第二電容電極以及重疊於第一電容電極及第二電容電極的介電層構成。在電容元件中根據施加到第一電容電極與第二電容電極之間的電壓積累電荷。

電晶體 1181 (M, N) 為 n 通道型電晶體，並具有源極電極、汲極電極、第一閘電極以及第二閘電極。此外，在本實施方式的半導體儲存裝置中，電晶體 1181 不一定需要為 n 通道型電晶體。

電晶體 1181 (M, N) 的源極電極和汲極電極中的一方與位元線 BL_N 連接，電晶體 1181 (M, N) 的第一閘電極與字線 WL_M 連接，電晶體 1181 (M, N) 的第二閘電極與閘極線 BGL_M 連接。藉由採用電晶體 1181 (M, N) 的源極電極和汲極電極中的一方與位元線 BL_N 連接的結構，可以在每個儲存單元中選擇性地讀出資料。

電晶體 1181 (M, N) 在儲存單元 1180 (M, N) 中具有選擇電晶體的功能。

作為電晶體 1181 (M, N)，可以使用將氧化物半導

體用於通道形成區的電晶體。

電晶體 1182 (M, N) 為 p 通道型電晶體。此外，在本實施方式的半導體儲存裝置中，電晶體 1182 不一定需要為 p 通道型電晶體。

電晶體 1182 (M, N) 的源極電極和汲極電極中的一方與源極線 SL 連接，電晶體 1182 (M, N) 的源極電極和汲極電極中的另一方與位元線 BL_N 連接，電晶體 1182 (M, N) 的閘電極與電晶體 1181 (M, N) 的源極電極和汲極電極中的另一方連接。

電晶體 1182 (M, N) 在儲存單元 1180 (M, N) 中具有輸出電晶體的功能。作為電晶體 1182 (M, N)，例如可以使用將單晶矽用於通道形成區的電晶體。

電容元件 1183 (M, N) 的第一電容電極與電容線 CL_M 連接，電容元件 1183 (M, N) 的第二電容電極與電晶體 1181 (M, N) 的源極電極和汲極電極中的另一方連接。另外，電容元件 1183 (M, N) 具有儲存電容的功能。

字線 WL₁ 至 WL_i 的每個電壓例如由使用解碼器的驅動電路控制。

位元線 BL₁ 至 BL_j 的每個電壓例如由使用解碼器的驅動電路控制。

電容線 CL₁ 至 CL_i 的每個電壓例如由使用解碼器的驅動電路控制。

閘極線 BGL₁ 至 BGL_i 的每個電壓例如使用閘極線

驅動電路控制。

閘極線驅動電路例如由具備二極體及第一電容電極與二極體的陽極及閘極線 BGL 電連接的電容元件的電路構成。

藉由調節電晶體 1181 的第二閘電極的電壓，可以調節電晶體 1181 的臨界值電壓。從而，可以調節用作選擇電晶體的電晶體 1181 的臨界值電壓，而可以使流在截止狀態下的電晶體 1181 的源極電極和汲極電極之間的電流為極小。因此，可以延長儲存電路中的資料保持期間。此外，由於可以使寫入及讀出資料時需要的電壓比現有的半導體裝置低，所以可以降低耗電量。

由於根據本實施方式可以在極長的時間保持與將氧化物半導體用於通道形成區的電晶體連接的節點的電位，因此可以製造能夠以低耗電量進行資訊的寫入、保持、讀出的記憶元件。

本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而使用。

[實施方式 4]

在本實施方式中，參照圖 6A 及 6B 說明使用實施方式 1 所示的電晶體的半導體裝置的例子。

圖 6A 示出具有相當於所謂 DRAM (Dynamic Random Access Memory) 的結構的半導體裝置的一例。圖 6A 所示的儲存單元陣列 1120 具有將多個儲存單元 1130 排列為

矩陣狀的結構。另外，儲存單元陣列 1120 具有 m 條第一佈線 BL 以及 n 條第二佈線 WL。注意，在本實施方式中將第一佈線 BL 稱為位元線 BL，將第二佈線 WL 稱為字線 WL。

儲存單元 1130 包括電晶體 1131 和電容元件 1132。電晶體 1131 的閘電極與第二佈線 WL 連接。另外，電晶體 1131 的源極電極和汲極電極中的一方與第一佈線 BL 連接，電晶體 1131 的源極電極和汲極電極中的另一方與電容元件的一方的電極連接。另外，電容元件的另一方的電極與電容線 CL 連接，並施加有一定的電壓。作為電晶體 1131 使用上述實施方式 1 所示的電晶體。

與將單晶矽用於通道形成區的電晶體相比，實施方式 1 所示的將氧化物半導體用於通道形成區的電晶體的截止電流較小。因此，如果將實施方式 1 所示的電晶體用於被認為所謂 DRAM 的圖 6A 所示的半導體裝置，則可以得到實質上的非揮發性記憶體。

圖 6B 示出具有相當於所謂 SRAM (Static Random Access Memory: 靜態隨機存取記憶體) 的結構的半導體裝置的一例。圖 6B 所示的儲存單元陣列 1140 可以採用將多個儲存單元 1150 排列為矩陣狀的結構。此外，儲存單元陣列 1140 具有第一佈線 BL、第二佈線 WL 以及第三佈線 (反相位元線 (inverted bit line) /BL)。

儲存單元 1150 具有第一電晶體 1151、第二電晶體 1152、第三電晶體 1153、第四電晶體 1154、第五電晶體

1155 以及第六電晶體 1156。第一電晶體 1151 和第二電晶體 1152 用作選擇電晶體。另外，第三電晶體 1153 和第四電晶體 1154 中，一方為 n 通道型電晶體（在此為第四電晶體 1154），另一方為 p 通道型電晶體（在此為第三電晶體 1153）。換言之，由第三電晶體 1153 和第四電晶體 1154 構成 CMOS 電路。同樣地，由第五電晶體 1155 和第六電晶體 1156 構成 CMOS 電路。

第一電晶體 1151、第二電晶體 1152、第四電晶體 1154、第六電晶體 1156 為 n 通道型電晶體，作為這些電晶體使用實施方式 1 所示的電晶體即可。第三電晶體 1153 和第五電晶體 1155 為 p 通道型電晶體，將氧化物半導體以外的材料用於這些電晶體的通道形成區即可。但是，既可以對上述第一至第六電晶體 1151 至 1156 中的 p 型電晶體應用實施方式 1 所示的電晶體，又可以對上述第一至第六電晶體 1151 至 1156 中的 n 型電晶體應用將氧化物半導體之外的材料用於通道形成區的電晶體。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

[實施方式 5]

可以至少其一部分使用將氧化物半導體用於通道形成區的電晶體來構成 CPU（Central Processing Unit: 中央處理單元）。

圖 7A 是示出 CPU 的具體結構的方塊圖。圖 7A 所示

的 CPU 在其基板 1190 上具有：運算邏輯單元（ALU：Arithmetic logic unit）1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、定時控制器 1195、暫存器 1196、暫存器控制器 1197、匯流排界面（匯流排 I/F）1198、能夠改寫的 ROM1199 以及 ROM 介面（ROM I/F）1189。作為基板 1190 使用半導體基板、SOI 基板、玻璃基板等。ROM1199 及 ROM 介面 1189 也可以設置在不同的晶片上。當然，圖 7A 所示的 CPU 只是簡化其結構而所示的一例，所以實際的 CPU 根據其用途具有各種各樣的結構。

藉由匯流排介面 1198 輸入到 CPU 的指令在輸入到指令解碼器 1193 並被解碼之後，輸入到 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、定時控制器 1195。

ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、定時控制器 1195 根據被解碼的指令而進行各種控制。明確而言，ALU 控制器 1192 生成用來控制 ALU1191 的工作的信號。另外，中斷控制器 1194 在進行 CPU 的程式時，根據其優先度或掩模的狀態來判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求而進行處理該要求。暫存器控制器 1197 生成暫存器 1196 的位址，並對應於 CPU 的狀態來進行暫存器 1196 的讀出或寫入。

另外，定時控制器 1195 生成用來控制 ALU1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194

以及暫存器控制器 1197 的工作定時的信號。例如，定時控制器 1195 具有根據基準時脈信號 CLK1 來生成內部時脈信號 CLK2 的內部時脈產生部，並將該時脈信號 CLK2 供應到上述各種電路。

在圖 7A 所示的 CPU 中，在暫存器 1196 中設置有記憶元件。作為暫存器 1196 的記憶元件可以使用實施方式 2 所示的記憶元件。

在圖 7A 所示的 CPU 中，暫存器控制器 1197 根據來自 ALU1191 的指令來選擇暫存器 1196 中的保持工作。換言之，暫存器控制器 1197 選擇暫存器 1196 所具有的記憶元件中的工作：由倒相元件（*phase-inversion element*）保持資料；或者由電容元件保持資料。在選擇由倒相元件保持資料的情況下，對暫存器 1196 中的記憶元件供應電源電壓。在選擇由電容元件保持資料的情況下，對電容元件進行資料的改寫，而可以停止對暫存器 1196 中的記憶元件供應電源電壓。

如圖 7B 或 7C 所示，電源的停止可以藉由在記憶元件群和施加有電源電位 VDD 或電源電位 VSS 的節點之間設置切換元件來進行。以下對圖 7B 及 7C 的電路進行說明。

圖 7B 及 7C 示出作為用來控制對記憶元件供應電源電位的切換元件，使用包括電晶體的儲存電路的結構的一例，在該電晶體中將氧化物半導體用於通道形成區。

圖 7B 所示的儲存裝置包括切換元件 1141 以及具有多

個記憶元件 1142 的記憶元件群 1143。明確而言，作為各記憶元件 1142 可以使用實施方式 2 所示的記憶元件。記憶元件群 1143 所具有的各記憶元件 1142 藉由切換元件 1141 施加有高電平的電源電位 VDD 。並且，記憶元件群 1143 所具有的各記憶元件 1142 施加有信號 IN 的電位和低電平的電源電位 VSS 。

在圖 7B 中，作為切換元件 1141 使用將氧化物半導體用於通道形成區的電晶體，並且該電晶體由施加到其閘電極的信號 SigA 來控制其開關。

另外，雖然圖 7B 中示出切換元件 1141 只具有一個電晶體的結構，但是不限於此，也可以具有多個電晶體。當切換元件 1141 具有多個用作切換元件的電晶體時，既可以將上述多個電晶體並聯，又可以將上述多個電晶體串聯，還可以組合並聯和串聯。

另外，在圖 7B 中，雖然由切換元件 1141 控制對記憶元件群 1143 所具有的各記憶元件 1142 供應高電平的電源電位 VDD ，但是也可以由切換元件 1141 控制供應低電平的電源電位 VSS 。

另外，圖 7C 示出儲存單元的一例，其中藉由切換元件 1141 對記憶元件群 1143 所具有的各記憶元件 1142 供應低電平的電源電位 VSS 。可以由切換元件 1141 控制對記憶元件群 1143 所具有的各記憶元件 1142 供應低電平的電源電位 VSS 。

即使在記憶元件群和施加有電源電位 VDD 或電源電

位 VSS 的節點之間設置切換元件，來暫時停止 CPU 的動作而停止供應電源電壓，也能夠保持資料，而可以降低耗電量。明確而言，例如即使個人電腦的使用者停止向鍵盤等輸入裝置輸入資訊，也可以停止 CPU 的工作，因此可以降低耗電量。

在此，雖然以 CPU 為例子來說明，但是也可以應用於 DSP (Digital Signal Processor : 數位信號處理器)、定制 LSI、FPGA (Field Programmable Gate Array : 現場可編程閘陣列) 等的 LSI。

本實施方式可以與上述實施方式適當地組合而實施。

[實施方式 6]

在本實施方式中示出使用將氧化物半導體用於通道形成區的電晶體來形成的顯示裝置的例子。作為設置在顯示裝置中的顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）。在發光元件的範疇內包括其亮度由電流或電壓控制的元件，明確而言，包括無機 EL (Electro Luminescence : 電致發光)、有機 EL 等。此外，也可以採用電子墨水等由於電作用而改變對比度的顯示媒體作為顯示元件。在本實施方式中，參照圖 8A 及 8B 說明液晶顯示裝置作為顯示裝置的一例。

此外，本實施方式中的顯示裝置包括處於密封有顯示元件的狀態的面板及在該面板中安裝有包括控制器的 IC 等的模組。

另外，本實施方式中的顯示裝置是指影像顯示裝置、顯示裝置或光源（包括照明裝置）。此外，顯示裝置還包括：安裝有連接器諸如 FPC、TAB 膠帶或 TCP 的模組；在 TAB 膠帶或 TCP 的端部上設置有印刷線路板的模組；或者藉由 COG 方式將 IC（積體電路）直接安裝到顯示元件的模組。

在圖 8A 中，以圍繞設置在第一基板 201 上的像素部 202 及掃描線驅動電路 204 的方式設置有密封材料 205。此外，在像素部 202 及掃描線驅動電路 204 上設置有第二基板 206。因此，像素部 202 及掃描線驅動電路 204 與液晶元件等的顯示元件一起被第一基板 201、密封材料 205 以及第二基板 206 密封。在圖 8A 中，在第一基板 201 上的與由密封材料 205 圍繞的區域不同的區域中安裝有使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上的信號線驅動電路 203。在圖 8A 中，供給到信號線驅動電路 203、掃描線驅動電路 204 以及像素部 202 的各種信號及電位藉由 FPC（Flexible printed circuit：撓性印刷電路）的 FPC218 供給。

此外，圖 8A 示出在第一基板 201 上設置掃描線驅動電路 204，並另行設置信號線驅動電路 203 且將該信號線驅動電路 203 安裝到第一基板 201 的例子，但是不侷限於該結構。也可以另行設置掃描線驅動電路並進行安裝，並且也可以另行僅設置信號線驅動電路的一部分或者掃描線驅動電路的一部分並進行安裝。

另外，對另行設置的驅動電路的連接方法沒有特別的限制，而可以採用 COG (Chip On Glass：玻璃覆晶封裝) 法、引線接合法或 TAB (Tape Automated Bonding：卷帶式自動接合) 法等。圖 8A 是藉由 COG 法安裝信號線驅動電路 203 的例子。

設置在第一基板上的像素部及掃描線驅動電路包括多個電晶體，並且，可以採用在實施方式 1 中所示的電晶體。

圖 8B 相當於沿著圖 8A 的 M-N 的剖面圖。

設置在第一基板 201 上的像素部 202 及掃描線驅動電路 204 包括多個電晶體，並且，在圖 8B 中示出像素部 202 所包括的電晶體 210 以及掃描線驅動電路 204 所包括的電晶體 211。

在本實施方式中，作為電晶體 210 及電晶體 211，可以採用在實施方式 1 中所示的電晶體。因此，作為圖 8B 所示的本實施方式的半導體裝置可以提供可靠性高的半導體裝置。

設置在像素部 202 中的電晶體 210 電連接到顯示元件而構成顯示面板。

作為顯示元件的液晶元件 213 包括第一電極 230、第二電極 231 以及液晶層 208。另外，以夾持液晶層 208 的方式設置有用作對準膜的絕緣膜 232 及絕緣膜 233。第二電極 231 設置在第二基板 206 一側，並且，第一電極 230 和第二電極 231 夾著液晶層 208 層疊。

此外，間隔物 235 為藉由選擇性地蝕刻絕緣膜而獲得的柱狀間隔物，並且是為控制液晶層 208 的厚度（單元間隙）而設置的。另外，還可以使用球狀間隔物。

當作為顯示元件使用液晶元件時，使用熱致液晶、低分子液晶、高分子液晶、高分子分散型液晶、鐵電液晶、反鐵電液晶等。上述液晶材料根據條件而呈現膽固醇相、近晶相、立方相、手性向列相、各向同性相等。

此外，液晶材料的固有電阻率為 $1 \times 10^9 \Omega \cdot \text{cm}$ 以上，較佳為 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上，更佳為 $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上。注意，本發明說明中的固有電阻率的值為在 20°C 下進行測量的值。

考慮到設置在像素部中的電晶體的洩漏電流等，以能夠在預定期間中保持電荷的方式設定設置在液晶顯示裝置的儲存電容。藉由使用具有氧化物半導體膜的電晶體，設置具有各像素中的液晶電容的 $1/3$ 以下或 $1/5$ 以下的電容的大小的儲存電容就足夠了。

如圖 8B 所示，半導體裝置包括連接端子電極 215 及端子電極 216，並且，連接端子電極 215 及端子電極 216 藉由各向異性導電膜 219 電連接到 FPC218 所包括的端子。另外，在端子電極 216 之下殘留氧化物半導體膜 217。

連接端子電極 215 由與第一電極 230 相同的導電膜形成，並且，端子電極 216 由與電晶體 210、電晶體 211 的源極電極及汲極電極相同的導電膜形成。

在本實施方式中使用的採用氧化物半導體膜的電晶體

可以減少截止電流。因此，可以使視頻信號等的電信號的保持時間延長，並也可以在電源導通狀態下使寫入間隔設定得長。從而，可以減少刷新工作的頻度，所以發揮抑制耗電量的效果。

此外，在本實施方式中使用的採用氧化物半導體膜的電晶體由於可以得到較高的電場效應遷移率，所以可以進行高速驅動。因此，藉由將上述電晶體用於液晶顯示裝置的像素部，可以提供高影像品質的影像。此外，由於可以將上述電晶體分別設置在同一基板上的驅動電路部及像素部中，所以可以削減液晶顯示裝置的零部件數。

作為液晶顯示裝置的液晶的驅動方法，有與基板垂直地施加電壓的垂直電場方式以及與基板平行地施加電壓的水準電場方式。下面舉例說明液晶的工作模式。

首先，圖 10A1 及 10A2 示出說明 TN 模式的液晶顯示裝置的像素結構的剖面模式圖。

在互相相對地配置的第一基板 3101 和第二基板 3102 之間夾有具有顯示元件的層 3100。此外，在第一基板 3101 一側形成有第一偏光板 3103，在第二基板 3102 一側形成有第二偏光板 3104。配置有成為交叉尼克耳狀態的第一偏光板 3103 的吸收軸和第二偏光板 3104 的吸收軸。

雖然在圖式中未示出，但是可以在第二偏光板 3104 的外側上設置背光燈等。在第一基板 3101 和第二基板 3102 上分別設置有第一電極 3108 和第二電極 3109。而且，至少將與背光燈相反一側，即在可見一側上的第一電極

3108 形成爲具有透光性。

在具有這種結構的液晶顯示裝置具有常白模式的情況下，當對第一電極 3108 及第二電極 3109 施加電壓（稱爲垂直電場方式）時，如圖 10A1 所示，液晶分子 3105 成爲在縱向方向上排列的狀態。於是，來自背光燈的光不能穿過第一偏光板 3103，成爲黑色顯示。

並且，如圖 10A2 所示，當不對第一電極 3108 和第二電極 3109 之間施加電壓時，液晶分子 3105 在橫向方向上排列而成爲在平面內扭曲的狀態。其結果是，來自背光燈的光可以穿過第一偏光板 3103，成爲白色顯示。此外，藉由調節對第一電極 3108 及第二電極 3109 施加的電壓，可以表示灰階。像這樣，可以進行預定的影像顯示。

此時，藉由設置濾色片可以進行全彩色顯示。可以在第一基板 3101 一側或第二基板 3102 一側設置濾色片。

作爲用於 TN 模式的液晶材料，使用公知的材料即可。

圖 10B1 及 B2 示出說明 VA 模式的液晶顯示裝置的像素結構的剖面模式圖。VA 模式爲當沒有電場時液晶分子 3105 與基板垂直地被配向的模式。

與圖 10A1 及 A2 同樣，在第一基板 3101 及第二基板 3102 上分別設置有第一電極 3108 及第二電極 3109。而且，至少將與背光燈相反一側，即在可見一側上的電極的第一電極 3108 形成爲具有透光性。並且，在第一基板 3101 一側形成有第一偏光板 3103，而在第二基板 3102 一側形

成有第二偏光板 3104。此外，配置有成爲交叉尼克耳狀態的第一偏光板 3103 的吸收軸和第二偏光板 3104 的吸收軸。

在具有這種結構的液晶顯示裝置中，當對第一電極 3108 及第二電極 3109 施加電壓（垂直電場方式）時，如圖 10B1 所示，液晶分子 3105 成爲在橫向方向上排列的狀態。於是，來自背光燈的光可以穿過第一偏光板 3103，成爲白色顯示。

而且，如圖 10B2 所示，當不對第一電極 3108 及第二電極 3109 施加電壓時，液晶分子 3105 成爲在縱向方向上排列的狀態。其結果是，由第二偏光板 3104 偏振的來自背光燈的光不受到液晶分子 3105 的雙折射的影響地穿過單元中。於是，被偏振的來自背光燈的光不能穿過第一偏光板 3103，成爲黑色顯示。此外，藉由調節對第一電極 3108 及第二電極 3109 施加的電壓，可以表示灰階。像這樣，可以進行預定的影像顯示。

此時，藉由設置濾色片可以進行全彩色顯示。可以在第一基板 3101 一側或第二基板 3102 一側設置濾色片。

圖 10C1 及 C2 示出說明 MVA 模式的液晶顯示裝置的像素結構的剖面模式圖。MVA 模式是一種方法，其中一個像素被分割爲多個部分，且使各部分的配向方向爲彼此不同而相互補償視角依賴性。如圖 10C1 所示，在 MVA 模式中在第一電極 3108 及第二電極 3109 上設置有用來控制配向的其剖面爲三角的突起物 3158 及 3159。另外，其

他結構與 VA 模式同樣。

當對第一電極 3108 及第二電極 3109 施加電壓（垂直電場方式）時，如圖 10C1 所示，液晶分子 3105 以其長軸大致垂直於突起物 3158 及 3519 的面的方式配向。於是，來自背光燈的光可以穿過第一偏光板 3103，成為白色顯示。

而且，如圖 10C2 所示，當不對第一電極 3108 及第二電極 3109 施加電壓時，液晶分子 3105 成為在縱向方向上排列的狀態。其結果是，來自背光燈的光不能穿過第一偏光板 3103，成為黑色顯示。此外，藉由調節對第一電極 3108 及第二電極 3109 施加的電壓，可以表示灰階。像這樣，可以進行預定的影像顯示。

此時，藉由設置濾色片，可以進行全彩色顯示。可以在第一基板 3101 一側或第二基板 3102 一側設置濾色片。

圖 13A 及 13B 示出 MVA 模式的另一例子的俯視圖和剖面圖。如圖 13A 所示，第二電極 3109a、第二電極 3109b 及第二電極 3109c 形成為“<”型地彎曲的圖案。如圖 13B 所示，在第二電極 3109a、3109b 及 3109c 上以及第一電極 3108 上分別形成有對準膜的絕緣膜 3162 及絕緣膜 3163。在第一電極 3108 上第二電極 3109b 重疊地形成有突起物 3158。

圖 11A1 及 11A2 是說明 OCB 模式的液晶顯示裝置的像素結構的剖面模式圖。在 OCB 模式中，液晶分子 3105 在液晶層內以補償視角依賴性的方式配向。這種配向被稱

為彎曲配向。

如圖 10A1、10A2、10B1、10B2、10C1、10C2 同樣，在第一基板 3101 及第二基板 3102 上分別設置有第一電極 3108 及第二電極 3109。然後，至少將與背光燈相反一側，即在可見一側上的電極的第一電極 3108 形成為具有透光性。並且，在第一基板 3101 一側形成有第一偏光板 3103，而在第二基板 3102 一側形成有第二偏光板 3104。此外，配置有成為交叉尼克耳狀態的第一偏光板 3103 的吸收軸和第二偏光板 3104 的吸收軸。

在具有這種結構的液晶顯示裝置中，當對第一電極 3108 及第二電極 3109 施加電壓（垂直電場方式）時進行黑色顯示。此時，如圖 11A1 所示，液晶分子 3105 成為在縱向方向上排列的狀態。於是，來自背光燈的光不能穿過第一偏光板 3103，成為黑色顯示。

並且，如圖 11A2 所示，當在第一電極 3108 和第二電極 3109 之間不施加電壓時，液晶分子 3105 成為彎曲配向狀態。其結果是，來自背光燈的光可以穿過第一偏光板 3103，成為白色顯示。此外，藉由調節對第一電極 3108 及第二電極 3109 施加的電壓，可以表示灰階。像這樣，可以進行預定的影像顯示。

此時，藉由設置濾色片可以進行全彩色顯示。也可以在第一基板 3101 一側或第二基板 3102 一側設置濾色片。

在這種 OCB 模式中，可以利用液晶層內的液晶分子 3105 的排列來補償視角依賴性。並且，可以利用包括一

對層疊的偏振器的層來提高對比度。

圖 11B1 及 11B2 示出說明 FLC 模式及 AFLC 模式的液晶顯示裝置的像素結構的剖面模式圖。

如圖 10A1、10A2、10B1、10B2、10C1、10C2 同樣，在第一基板 3101 及第二基板 3102 上分別設置有第一電極 3108 及第二電極 3109。然後，將與背光燈相反一側，即在可見一側上的電極的第一電極 3108 形成為具有透光性。並且，在第一基板 3101 一側形成有第一偏光板 3103，而在第二基板 3102 一側形成有第二偏光板 3104。此外，配置有成為交叉尼克耳狀態的第一偏光板 3103 的吸收軸和第二偏光板 3104 的吸收軸。

在具有這種結構的液晶顯示裝置中，當對第一電極 3108 及第二電極 3109 施加電壓（稱為垂直電場方式）時，液晶分子 3105 成為沿偏離研磨方向的橫向方向排列的狀態。其結果是，來自背光燈的光可以穿過第一偏光板 3103，成為白色顯示。

而且，如圖 11B2 所示，當對第一電極 3108 和第二電極 3109 之間未施加電壓時，液晶分子 3105 成為沿研磨方向的橫向方向排列的狀態。於是，來自背光燈的光不能穿過第一偏光板 3103，成為黑色顯示。此外，藉由調節對第一電極 3108 及第二電極 3109 施加的電壓，可以表示灰階。像這樣，可以進行預定的影像顯示。

此時，藉由設置濾色片可以進行全彩色顯示。也可以在第一基板 3101 一側或第二基板 3102 一側設置濾色片。

作為用於 FLC 模式及 AFLC 模式的液晶材料，使用公知的材料即可。

圖 12A1 及 12A2 示出說明 IPS 模式的液晶顯示裝置的像素結構的剖面模式圖。IPS 模式為利用只設置在一方的基板一側的電極的水準電場來使液晶分子 3105 相對於基板在平面內旋轉的模式。

IPS 模式的特徵在於利用設置在一方基板的一對電極控制液晶。因此，在第二基板 3102 上設置有一對電極 3150、3151。一對電極 3150、3151 較佳為分別具有透光性。而且，在第一基板 3101 一側形成有第一偏光板 3103，而在第二基板 3102 一側形成有第二偏光板 3104。此外，配置有成為交叉尼克耳狀態的第一偏光板 3103 的吸收軸和第二偏光板 3104 的吸收軸。

在具有這種結構的液晶顯示裝置中，當對一對電極 3150、3151 施加電壓時，如圖 12A1 所示，液晶分子 3105 沿偏離研磨方向的電力線配向。於是，來自背光燈的光可以穿過第一偏光板 3103，成為白色顯示。

並且，如圖 12A2 所示，不對一對電極 3150 和 3151 之間施加電壓時，液晶分子 3105 成為沿偏離研磨方向的橫向方向排列的狀態。其結果是，來自背光燈的光不能穿過第一偏光板 3103，成為黑色顯示。此外，藉由調節對一對電極 3150 和 3151 之間施加的電壓，可以表示灰階。像這樣，可以進行預定的影像顯示。

此時，藉由設置濾色片可以進行全彩色顯示。可以在

第一基板 3101 一側或第二基板 3102 一側設置濾色片。

圖 14A 至 14C 示出可以用於 IPS 模式的一對電極 3150 和 3151 的例子。如圖 14A 至 14C 的俯視圖所示，一對電極 3150 和 3151 互相交替地形成，在圖 14A 中電極 3150a 和電極 3150b 為具有起伏的波浪形狀，在圖 14B 中電極 3150b 和電極 3151c 為梳齒狀且其一部分為彼此層疊的形狀，在圖 14C 中電極 3150c 及電極 3151c 為梳齒狀且為電極彼此嚙合的形狀。

圖 12B1 及 12B2 示出說明 FFS 模式的液晶顯示裝置的像素結構的剖面模式圖。FFS 模式是與 IPS 模式相同的水準電場方式，但是其中如圖 12B1 及 12B2 所示，在電極 3150 上隔著絕緣膜形成電極 3151。

一對電極 3150 及 3151 分別具有透光性。並且，在第一基板 3101 一側形成有第一偏光板 3103，而第二基板 3102 一側形成有第二偏光板 3104。此外，配置有成為交叉尼克耳狀態的第一偏光板 3103 的吸收軸和第二偏光板 3104 的吸收軸。

在具有這種結構的液晶顯示裝置中，當對一對電極 3150、3151 施加電壓時，如圖 12B1 所示，液晶分子 3105 沿偏離研磨方向的電力線配向。於是，來自背光燈的光可以穿過第一偏光板 3103，成為白色顯示。

而且，如圖 12B2 所示，當對一對電極 3150 和 3151 之間施加電壓時，液晶分子 3105 成為沿研磨方向在橫向方向上排列的狀態。其結果是，來自背光燈的光不能穿過

第一偏光板 3103，成爲黑色顯示。此外，藉由調節對一對電極 3150 和 3151 之間施加的電壓，可以表示灰階。像這樣，可以進行預定的影像顯示。

此時，藉由設置濾色片可以進行全彩色顯示。可以在第一基板 3101 一側或第二基板 3102 一側設置濾色片。

圖 15A 至 15C 示出可以用於 FFS 模式的一對電極 3150 和 3151 的例子。如圖 15A 至 15C 的俯視圖所示，在一對電極 3150 上形成有形成爲各種圖案的電極 3151，在圖 15A 中電極 3150a 上的電極 3151a 爲具有彎曲的“<”型形狀，在圖 15B 中電極 3150b 上的電極 3151b 爲梳齒狀且爲電極彼此嚙合的形狀，在圖 15C 中電極 3150c 上的電極 3151c 爲梳齒狀。

作爲用於 IPS 模式及 FFS 模式的液晶材料，使用公知的材料即可。或者，也可以使用呈現藍相的液晶。

此外，除了上述模式之外，還可以應用 PVA 模式、ASM 模式、TBA 模式等的工作模式。

在顯示裝置中，適當地設置黑矩陣（遮光層）、偏振構件、相位差構件、抗反射構件等的光學構件（光學基板）等。例如，也可以使用利用偏振基板以及相位差基板的圓偏振。另外，作爲光源，也可以使用背光燈、側光燈等。

此外，也可以利用多個發光二極體（LED）作爲背光燈來進行分時顯示方式（場序制驅動方式）。藉由應用場序制驅動方式，可以不使用濾色片地進行彩色顯示。

如上所述，作為像素部中的顯示方式，可以採用逐行掃描方式或隔行掃描方式等。此外，當進行彩色顯示時在像素中受到控制的色彩單元不侷限於 RGB（R 表示紅色，G 表示綠色，B 表示藍色）的三種顏色。例如，也可以採用 RGBW（W 顯示白色）或者對 RGB 追加黃色、青色、品紅色等中的一種以上的顏色。另外，每個色彩單元的點中的顯示區的大小也可以彼此不同。但是，本發明不侷限於彩色顯示的顯示裝置，而也可以應用於單色顯示的顯示裝置。

此外，作為顯示裝置所包括的顯示元件，也可以應用利用電致發光的發光元件。利用電致發光的發光元件根據其發光材料為有機化合物還是無機化合物進行區分，一般來說，將前者稱為有機 EL 元件而將後者稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子及電洞分別從一對電極注入到包括具有發光性的有機化合物的層，以使電流流過。並且，這些載子（電子及電洞）複合來發光。根據這種機理，發光元件被稱為電流激發型發光元件。

無機 EL 元件根據其元件結構而分類為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件具有發光層，其中發光材料的微粒分散在黏合劑中，並且其發光機理是利用施體能階和受體能階的施體-受體複合型發光。薄膜型無機 EL 元件具有一種結構，其中，發光層夾在

介電層之間，並且該夾著發光層的介電層由電極夾住，其發光機理是利用金屬離子的內殼層電子躍遷的定域類型發光。注意，這裡使用有機 EL 元件作為發光元件進行說明。

為了取出發光，使發光元件的一對電極中的至少一個為透明即可。並且，在基板上製造電晶體及發光元件，作為發光元件，有從與基板相反一側的表面取出光的頂部發射；從基板一側的表面取出光的底部發射；從基板一側及與基板相反一側的表面取出光的雙面發射結構的發光元件，可以應用上述任一種發射結構的發光元件。

在圖 8B 中，作為第一基板 201、第二基板 206，也可以使用具有撓性的基板，例如使用具有透光性的塑膠基板等。作為塑膠基板，使用 FRP (Fiberglass-Reinforced Plastics；纖維增強塑膠) 板、PVF (聚氟乙烯) 薄膜、聚酯薄膜或丙烯酸樹脂薄膜。此外，也可以使用具有由 PVF 薄膜或聚酯薄膜夾住鋁箔的結構的片材。

圖 8B 的顯示裝置藉由使來自光源的光透射而進行顯示。因此，設置在光透射的像素部中的基板、絕緣膜、導電膜等的薄膜全都具有對可見光的透光性。

作為第一電極 230、第二電極 231，使用包括氧化鎢的氧化銦、包括氧化鎢的氧化銦鋅、包括氧化鈦的氧化銦、包括氧化鈦的氧化銦錫、氧化銦錫（以下顯示為 ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫等具有透光性的導電材料。

此外，作為第一電極 230、第二電極 231，使用包括導電高分子（也稱為導電聚合體）的導電組成物。

作為導電高分子，也可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物或者包含苯胺、吡咯及噻吩中的兩種以上的共聚物或其衍生物等。

此外，只要具有對可見光的透光性，第一電極 230、第二電極 231 就可以使用與導電膜 108 同樣的導電膜。此外，只要具有對可見光的透光性，就可以使用與電晶體 210 的閘電極同一層及同一材料。

此外，由於電晶體容易被靜電等損壞，所以較佳為設置驅動電路保護用的保護電路。保護電路使用非線性元件構成較佳。

圖 9A 示出可以應用於保護電路的電路的一例。保護電路 997 由 n 通道型電晶體 970a 及電晶體 970b 構成，並且在電晶體 970a 及電晶體 970b 中，閘極端子呈現與二極體同樣的特性地分別連接到汲極端子。另外，作為電晶體 970a 及電晶體 970b，也可以使用實施方式 1 所示的電晶體。

電晶體 970a 的第一端子（閘極）及第三端子（汲極）與第一佈線 945 連接，第二端子（源極）與第二佈線 960 連接。此外，電晶體 970b 的第一端子（閘極）及第三端子（汲極）與第二佈線 960 連接，第二端子（源極）與第一佈線 945 連接。也就是說，圖 9A 所示的保護電路

具備兩個電晶體分別使整流方向彼此相反來連接第一佈線 945 和第二佈線 960 的結構。換言之，採用如下結構：在第一佈線 945 和第二佈線 960 之間包括其整流方向從第一佈線 945 向第二佈線 960 的電晶體和其整流方向從第二佈線 960 向第一佈線 945 的電晶體。

在上述的保護電路中，當第二佈線 960 因靜電等而帶正電或負電時，電流向消除其電荷的方向流過。例如，當第二佈線 960 帶正電時，電流向將其正電荷釋放到第一佈線 945 的方向流過。藉由該工作，可以防止連接到帶電的第二佈線 960 的電路或元件的靜電損壞或錯誤工作。此外，可以防止在帶電的第二佈線 960 和其他佈線隔著絕緣膜交叉結構中發生的該絕緣膜的絕緣擊穿。

另外，保護電路不侷限於上述結構。例如，也可以是具有整流方向為從第一佈線 945 向第二佈線 960 的多個電晶體及整流方向為從第二佈線 960 向第一佈線 945 的多個電晶體的結構。此外，也可以使用奇數個電晶體構成保護電路。

圖 9A 所例示的保護電路可以應用於各種用途。例如，將第一佈線 945 用作顯示裝置的共同佈線，將第二佈線 960 用作多個信號線中之一，並可以在兩者之間應用上述保護電路。設置有保護電路的連接到信號線的像素電晶體被保護以避免受到佈線的帶電所導致的靜電損壞或臨界值電壓的轉移等的不良。該保護電路當然可以應用於顯示裝置的其他部分，還可以用於其他用途，例如半導體儲存裝

置、CPU 等。

接著，說明在基板上構成保護電路 997 的例子。圖 9B 示出保護電路 997 的俯視圖的一例。

電晶體 970a 具有閘電極 911a，閘電極 911a 與第一佈線 945 連接。電晶體 970a 的源極電極與第二佈線 960 連接，汲極電極藉由第一電極 915a 與第一佈線 945 連接。此外，電晶體 970a 在源極電極和汲極電極之間具備與閘電極 911a 重疊的半導體膜 913。

電晶體 970b 具有閘電極 911b，閘電極 911b 藉由接觸孔 925b 與第二佈線 960 連接。在電晶體 970b 中汲極電極與第二佈線 960 連接，源極電極藉由第一電極 915a 及接觸孔 925a 與第一佈線 945 連接。此外，電晶體 970b 在源極電極和汲極電極之間具備與閘電極 911b 重疊的半導體膜 914。

如上所述，藉由應用實施方式 1 所例示的電晶體，可以提供耗電量小且可靠性高的半導體裝置。另外，實施方式 1 所例示的電晶體不僅應用於具有上述顯示功能的半導體裝置，而且還可以應用於具有各種功能的半導體裝置，諸如安裝在電源電路的功率裝置、LSI 等的半導體積體電路或具有讀取物件物的資訊的影像感測器功能的半導體裝置等。

此外，因為可以抑制藉由電晶體的電荷釋放，所以在運動少的影像（包括靜態影像）中可以減少顯示的改寫頻率，來可以進一步減少顯示裝置的耗電量。

如上所述，根據本發明的一個方式可以得到顯示品質及可靠性高且耗電量小的液晶顯示裝置。

本實施方式可以與其他實施方式適當地組合而實施。

[實施方式 7]

在本實施方式中說明應用實施方式 1 的電子裝置的例子。

圖 16A 是可攜式資訊終端。該可攜式資訊終端包括外殼 300、按鈕 301、麥克風 302、顯示部 303、揚聲器 304 以及照相機 305，並具有作為可攜式電話機的功能。本發明的一個方式可以應用於顯示部 303 及照相機 305。此外，雖然未圖示，本發明的一個方式也可以應用於位於主體內部的 CPU、無線電路或儲存電路。

圖 16B 是顯示器。該顯示器包括外殼 310 以及顯示部 311。本發明的一個方式可以應用於顯示部 311。藉由使用本發明的一個方式，當增大顯示部 311 的尺寸時也可以實現顯示品質高的顯示器。

圖 16C 是數位靜態照相機。該數位靜態照相機包括外殼 320、按鈕 321、麥克風 322 以及顯示部 323。本發明的一個方式可以應用於顯示部 323。此外，雖然未圖示，本發明的一個方式也可以應用於設置在主體內部的儲存電路或影像感測器。

藉由使用本發明的一個方式，可以降低電子裝置的成本。此外，可以得到顯示品質高的顯示裝置。

本實施方式可以與其他實施方式適當地組合而實施。

【圖式簡單說明】

圖 1A 至 1H 是示出本發明的一個方式的半導體裝置的製造方法的一例的剖面圖；

圖 2A 至 2C 是示出本發明的一個方式的半導體裝置的一例的俯視圖及剖面圖；

圖 3A 及 3B 是示出本發明的一個方式的電路圖的一例；

圖 4 是示出本發明的一個方式的電路圖的一例；

圖 5A 及 5B 是示出本發明的一個方式的電路圖的一例；

圖 6A 及 6B 是示出本發明的一個方式的電路圖的一例；

圖 7A 至 7C 是示出 CPU 的具體例子的方塊圖及其一部分的電路圖；

圖 8A 及 8B 是示出表示本發明的一個方式的顯示裝置的一例的俯視圖及剖面圖；

圖 9A 及 9B 是示出表示本發明的一個方式的保護電路的一例的電路圖及俯視圖；

圖 10A1、10A2、10B1、10B2、10C1 及 10C2 是示出表示本發明的一個方式的液晶的工作模式的一例的剖面圖；

圖 11A1、11A2、11B1 及 11B2 是示出表示本發明的

一個方式的液晶的工作模式的一例的剖面圖；

圖 12A1、12A2、12B1 及 12B2 是示出表示本發明的一個方式的液晶的工作模式的一例的剖面圖；

圖 13A 及 13B 是示出表示本發明的一個方式的液晶的工作模式的一例的俯視圖及剖面圖；

圖 14A 至 14C 是示出表示本發明的一個方式的液晶的工作模式的一例的俯視圖；

圖 15A 至 15C 是示出表示本發明的一個方式的液晶的工作模式的一例的俯視圖；

圖 16A 至 16C 是示出使用本發明的一個方式的半導體裝置的電子裝置的例子的立體圖；

圖 17 是用來說明本發明的一個方式的結晶的模型；

圖 18A 至 18C 是用來說明本發明的一個方式的結晶的模型。

【主要元件符號說明】

100：基板

102：基底絕緣膜

104：閘電極

106：第一氧化物半導體膜

108：導電膜

112：閘極絕緣膜

116：第二氧化物半導體膜

118：汲極電極

- 122 : 層間絕緣膜
- 126 : 氧化物半導體膜
- 136 : 第一區
- 146 : 第二區
- 201 : 第一基板
- 202 : 像素部
- 203 : 信號線驅動電路
- 204 : 掃描線驅動電路
- 205 : 密封材料
- 206 : 第二基板
- 208 : 液晶層
- 210 : 電晶體
- 211 : 電晶體
- 213 : 液晶元件
- 215 : 連接端子電極
- 216 : 端子電極
- 217 : 氧化物半導體膜
- 218 : FPC
- 219 : 各向異性導電膜
- 230 : 第一電極
- 231 : 第二電極
- 232 : 絕緣膜
- 233 : 絕緣膜
- 235 : 間隔物

300 : 外殼
301 : 按鈕
302 : 麥克風
303 : 顯示部
304 : 揚聲器
305 : 照相機
310 : 外殼
311 : 顯示部
320 : 外殼
321 : 按鈕
322 : 麥克風
323 : 顯示部
911a : 閘電極
911b : 閘電極
913 : 半導體膜
914 : 半導體膜
915a : 第一電極
925a : 接觸孔
925b : 接觸孔
945 : 佈線
960 : 佈線
970a : 電晶體
970b : 電晶體
997 : 保護電路

- 1100 : 儲存單元
- 1110 : 儲存單元陣列
- 1111 : 驅動電路
- 1112 : 電路
- 1113 : 驅動電路
- 1120 : 儲存單元陣列
- 1130 : 儲存單元
- 1131 : 電晶體
- 1132 : 電容元件
- 1140 : 儲存單元陣列
- 1141 : 切換元件
- 1142 : 記憶元件
- 1143 : 記憶元件群
- 1150 : 儲存單元
- 1151 : 電晶體
- 1152 : 電晶體
- 1153 : 電晶體
- 1154 : 電晶體
- 1155 : 電晶體
- 1156 : 電晶體
- 1160 : 電晶體
- 1161 : 電晶體
- 1162 : 電晶體
- 1163 : 電晶體

- 1164 : 電 晶 體
- 1170 : 儲 存 單 元
- 1171 : 電 晶 體
- 1172 : 電 晶 體
- 1173 : 電 容 元 件
- 1180 : 儲 存 單 元
- 1181 : 電 晶 體
- 1182 : 電 晶 體
- 1183 : 電 容 元 件
- 1189 : ROM 介 面
- 1190 : 基 板
- 1191 : ALU
- 1192 : ALU 控 制 器
- 1193 : 指 令 解 碼 器
- 1194 : 中 斷 控 制 器
- 1195 : 定 時 控 制 器
- 1196 : 暫 存 器
- 1197 : 暫 存 器 控 制 器
- 1198 : 匯 流 排 介 面
- 1199 : ROM

- 3100 : 具 有 顯 示 元 件 的 層
- 3101 : 第 一 基 板
- 3102 : 第 二 基 板
- 3103 : 第 一 偏 光 板

3104 : 第二偏光板

3105 : 液晶分子

3108 : 第一電極

3109 : 第二電極

3109a : 第二電極

3109b : 第二電極

3109c : 第二電極

3150 : 電極

3150a : 電極

3150b : 電極

3150c : 電極

3151a : 電極

3151b : 電極

3151c : 電極

3151 : 電極

3158 : 突起物

3162 : 絕緣膜

七、申請專利範圍：

1. 一種半導體裝置的製造方法，該方法包括如下步驟：

在基板上形成半導體膜；

在該半導體膜上形成導電膜；

對該基板和形成在該半導體膜上的該導電膜加熱；

在該加熱步驟後，在該導電膜上形成第一抗蝕劑掩模；

使用該第一抗蝕劑掩模加工該導電膜來形成源極電極及汲極電極；

在加工該導電膜後，在該半導體膜上形成第二抗蝕劑掩模；

使用該第二抗蝕劑掩模加工該半導體膜以形成第二半導體膜。

2. 根據申請專利範圍第 1 項之半導體裝置的製造方法，其中該半導體膜包括氧化物半導體。

3. 根據申請專利範圍第 1 項之半導體裝置的製造方法，還包括如下步驟：在形成該半導體膜之後及形成該導電膜之前，加熱該基板。

4. 根據申請專利範圍第 1 項之半導體裝置的製造方法，其中該第二半導體膜包含氧化物半導體。

5. 根據申請專利範圍第 4 項之半導體裝置的製造方法，還包括如下步驟：在形成該半導體膜之後及形成該導電膜之前，加熱該基板。

6. 一種半導體裝置的製造方法，該方法包括如下步驟：

在基板上形成基底絕緣膜；

在該基底絕緣膜上形成半導體膜；

在該半導體膜上形成導電膜；

對該基板和形成在該半導體膜上的該導電膜加熱；

在該加熱步驟後，在該導電膜上形成第一抗蝕劑掩模；

使用該第一抗蝕劑掩模加工該導電膜來形成源極電極及汲極電極；

在加工該導電膜後，在該半導體膜上形成第二抗蝕劑掩模；

使用該第二抗蝕劑掩模加工該半導體膜以形成第二半導體膜；

在該第二半導體膜、該源極電極及該汲極電極上形成閘極絕緣膜；以及

在該閘極絕緣膜上形成閘極電極。

7. 根據申請專利範圍第 6 項之半導體裝置的製造方法，其中該半導體膜包括氧化物半導體。

8. 根據申請專利範圍第 6 項之半導體裝置的製造方法，還包括如下步驟：在形成該半導體膜之後及形成該導電膜之前，加熱該基板。

9. 根據申請專利範圍第 6 項之半導體裝置的製造方法，其中該第二半導體膜包含氧化物半導體。

10. 根據申請專利範圍第 9 項之半導體裝置的製造方法，還包括如下步驟：在形成該半導體膜之後及形成該導電膜之前，加熱該基板。

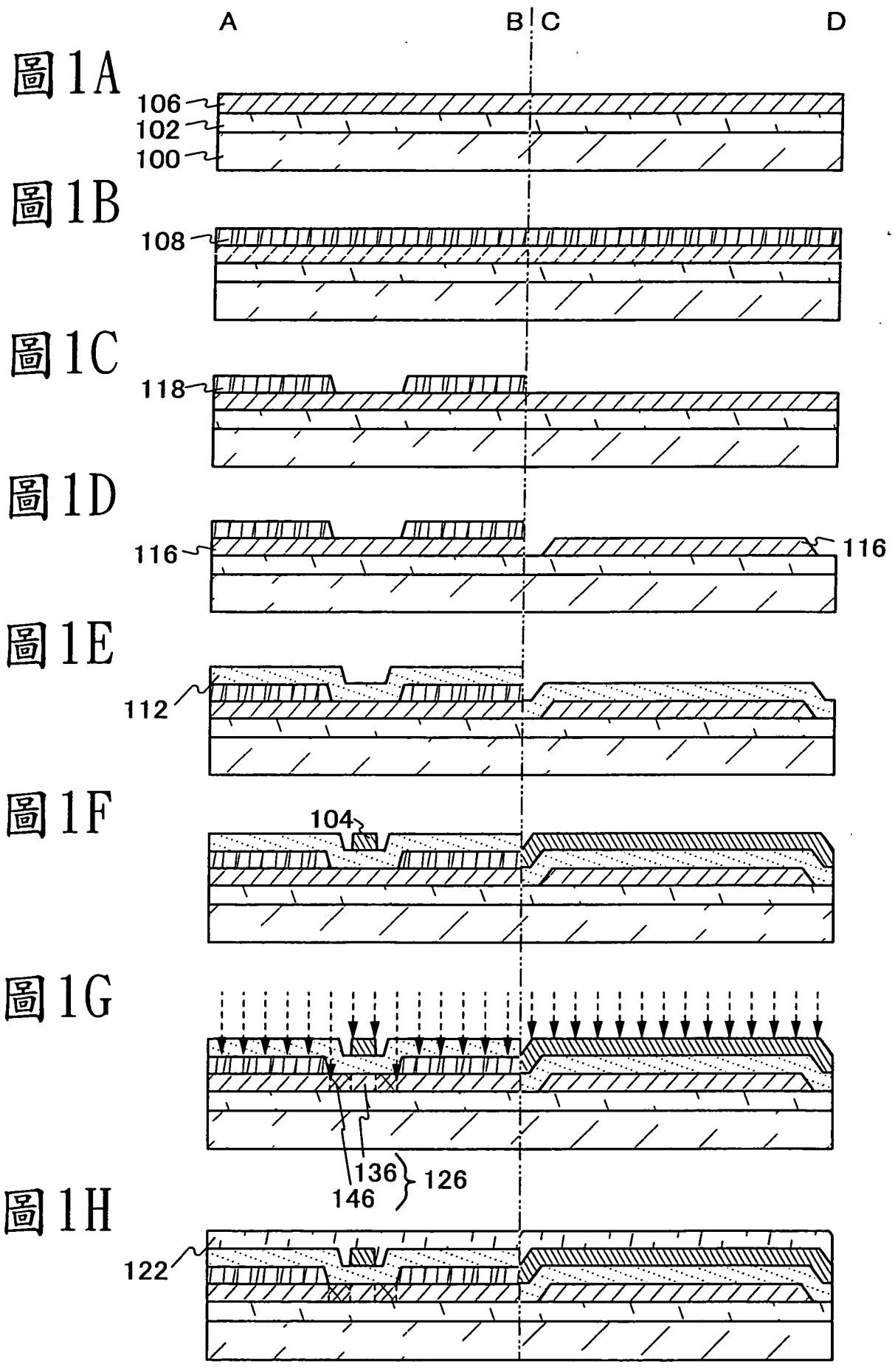


圖 2A

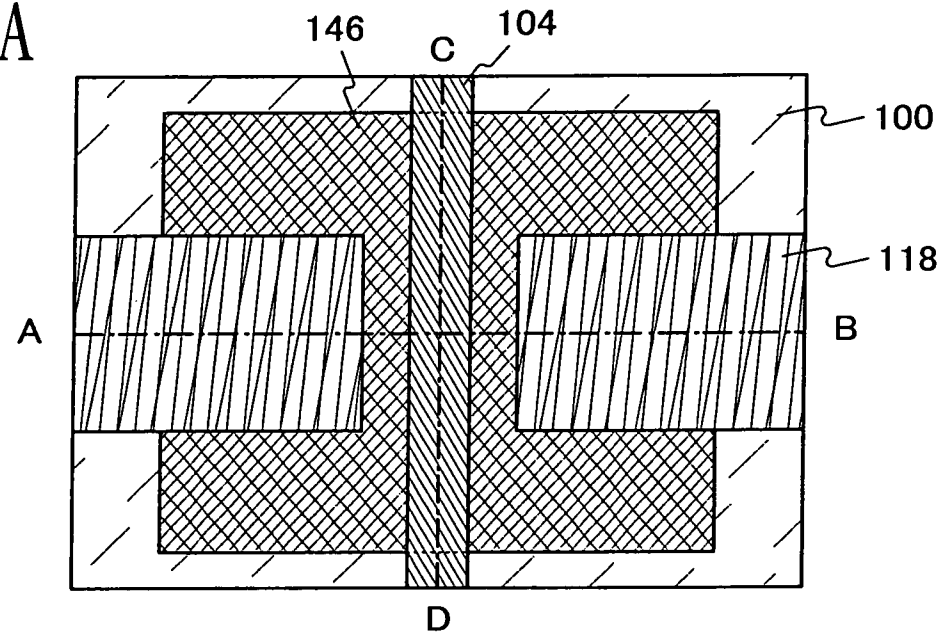


圖 2B

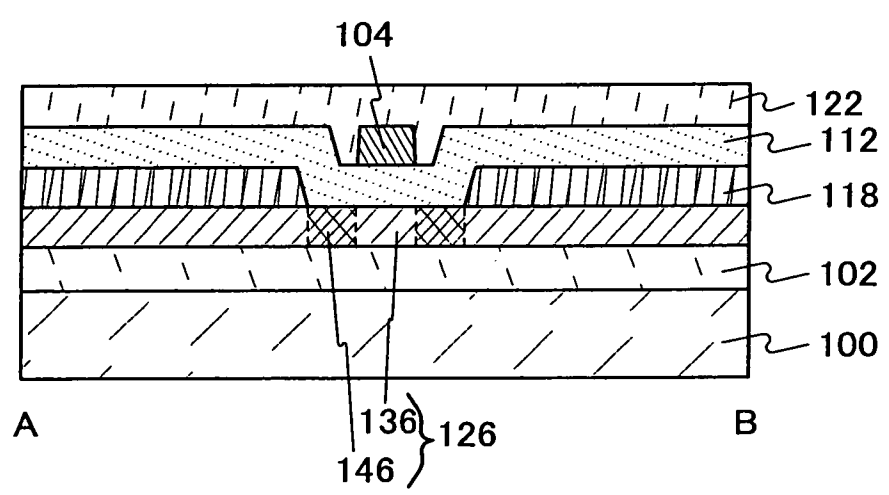


圖 2C

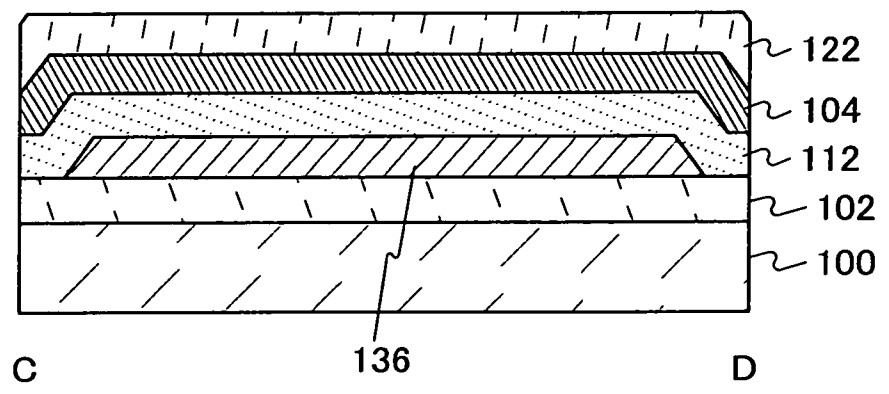


圖 3A

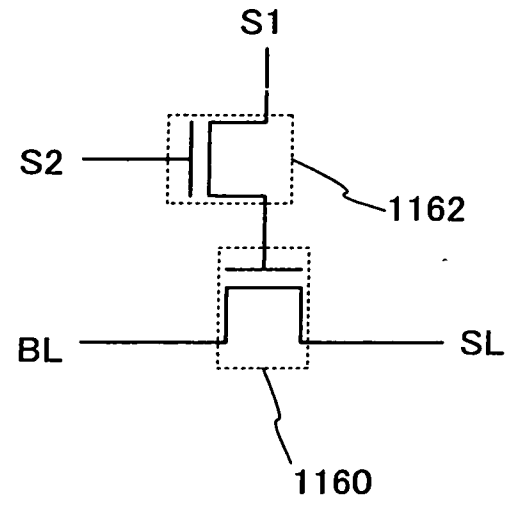


圖 3B

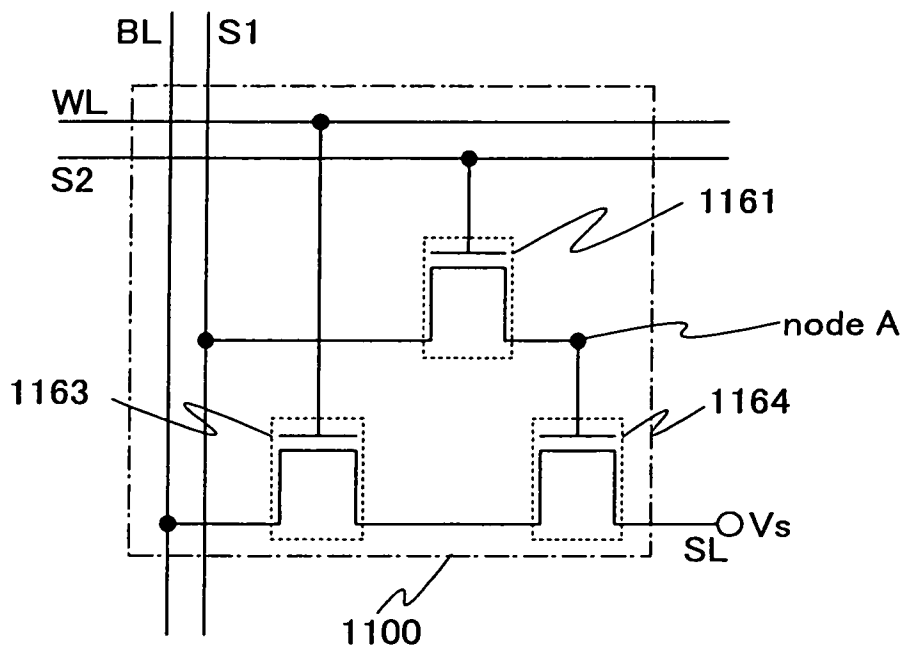


圖 4

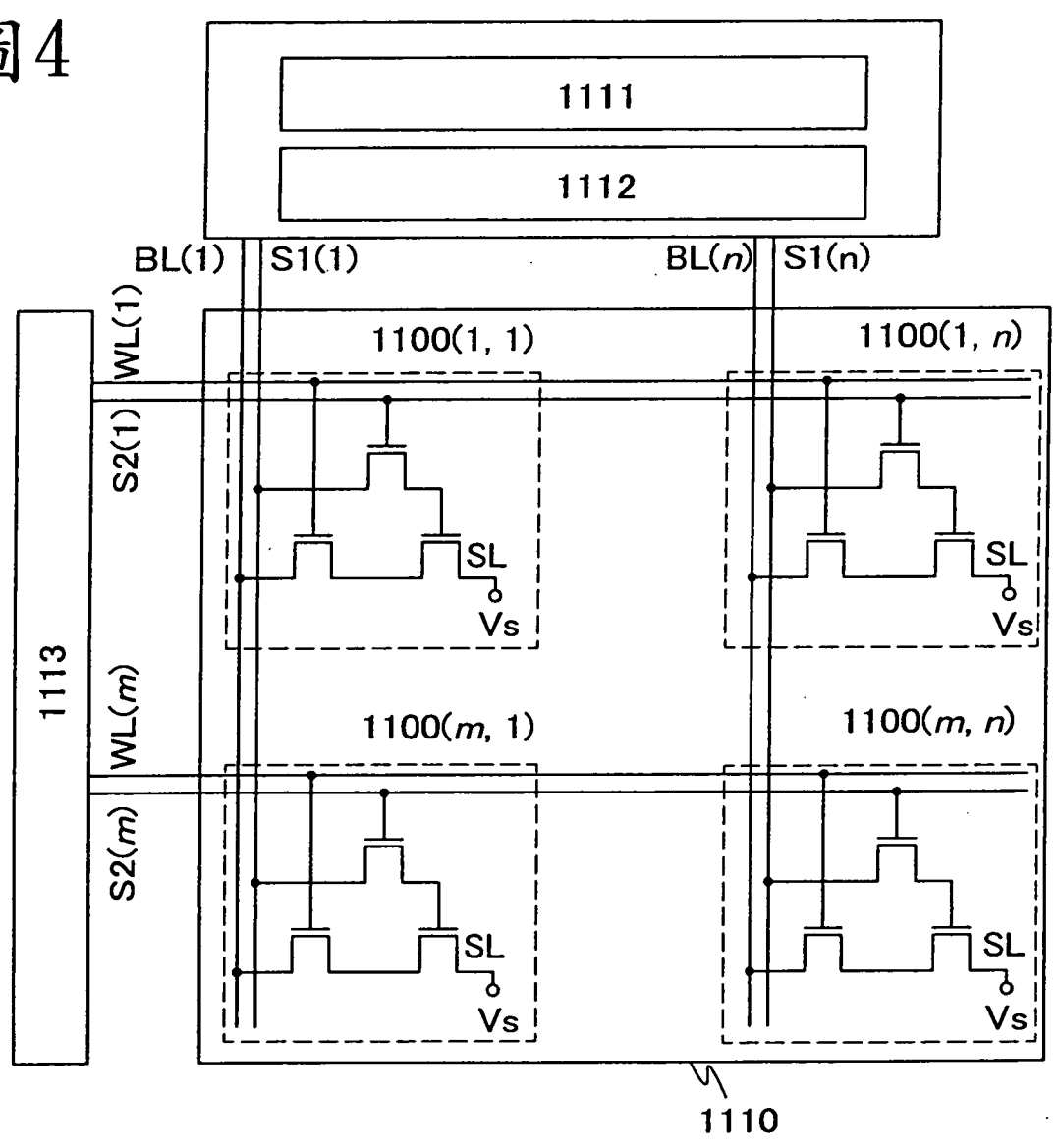


圖5A

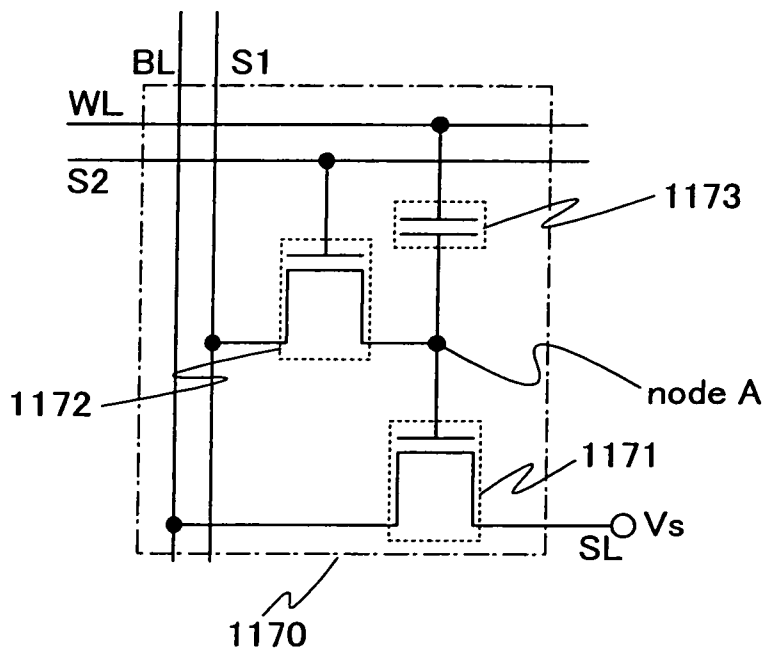


圖5B

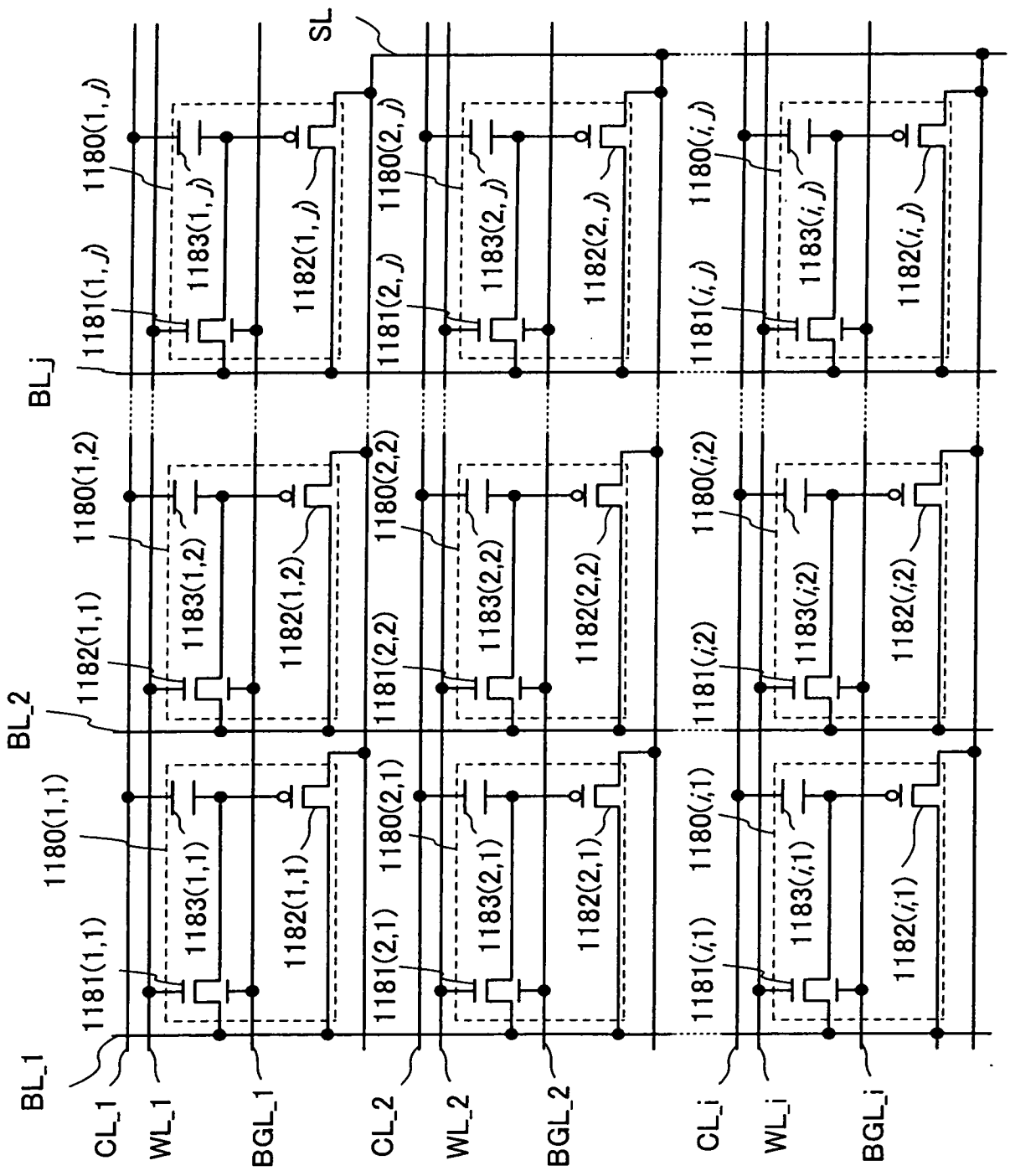


圖 6A

1120

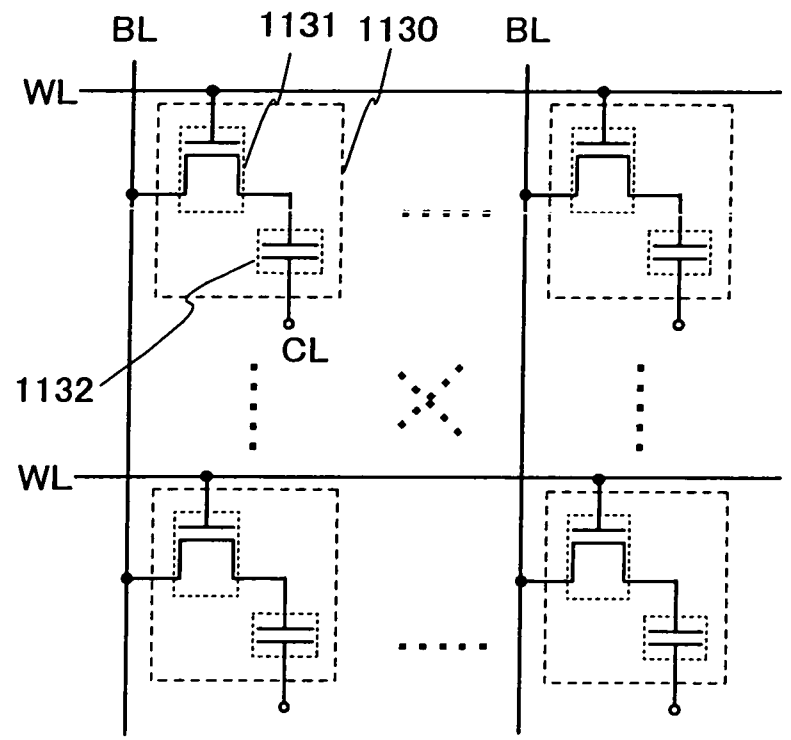


圖 6B

1140

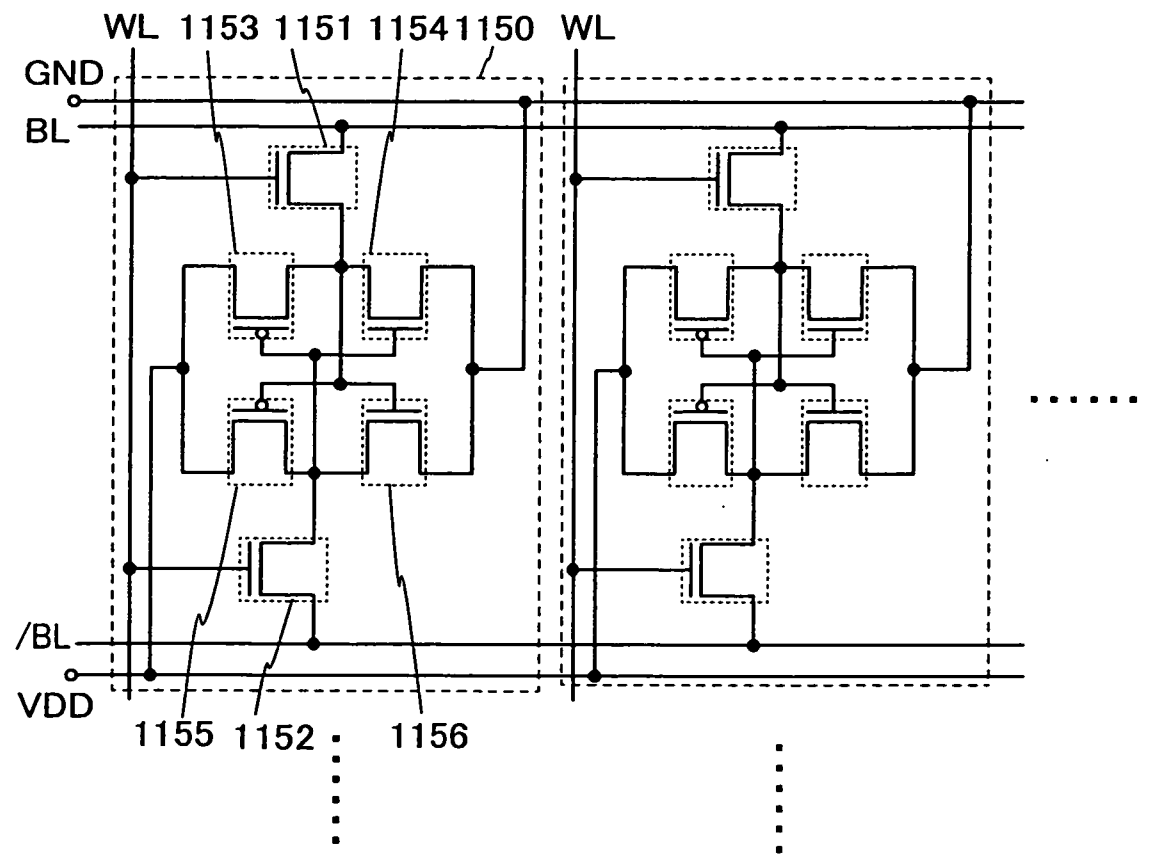


圖 7A

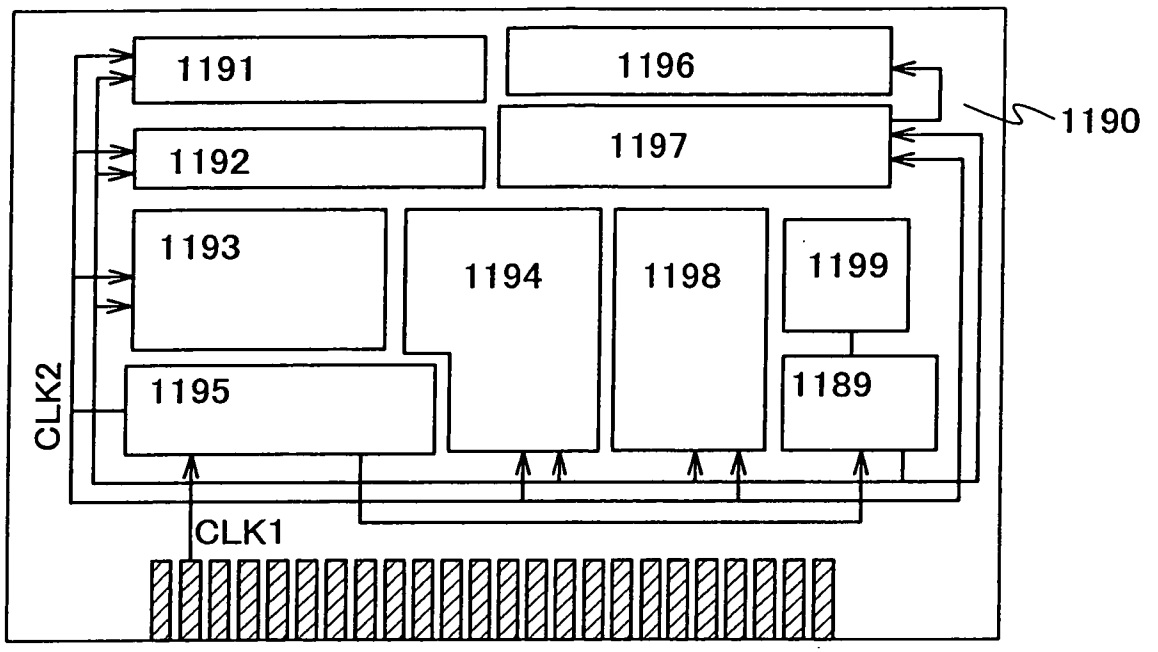


圖 7B

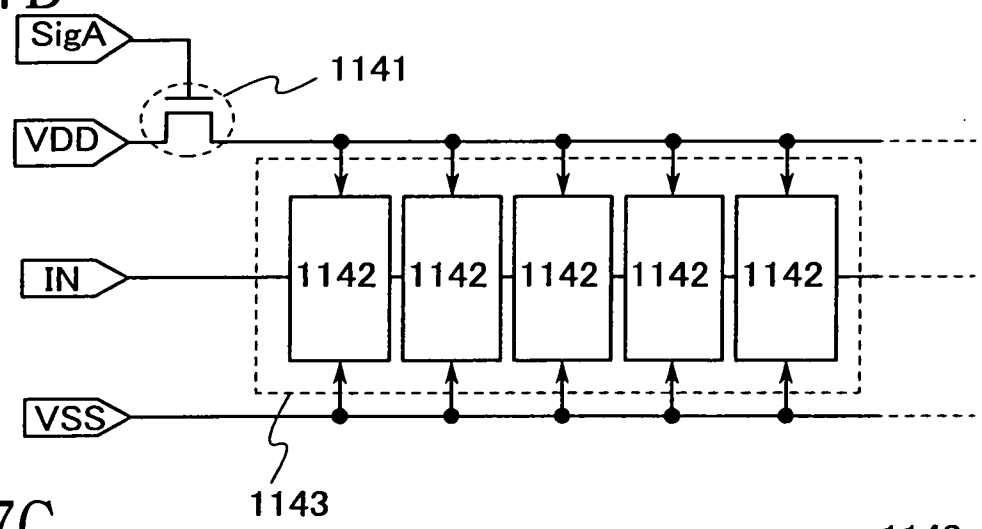


圖 7C

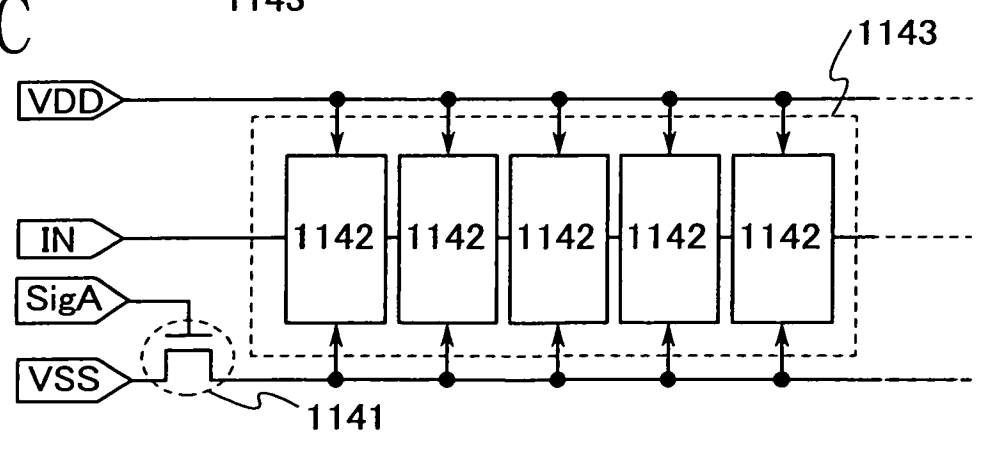


圖 8A

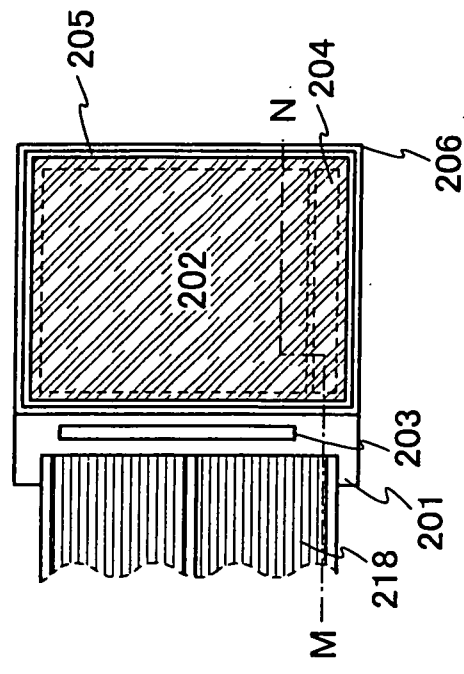


圖 8B

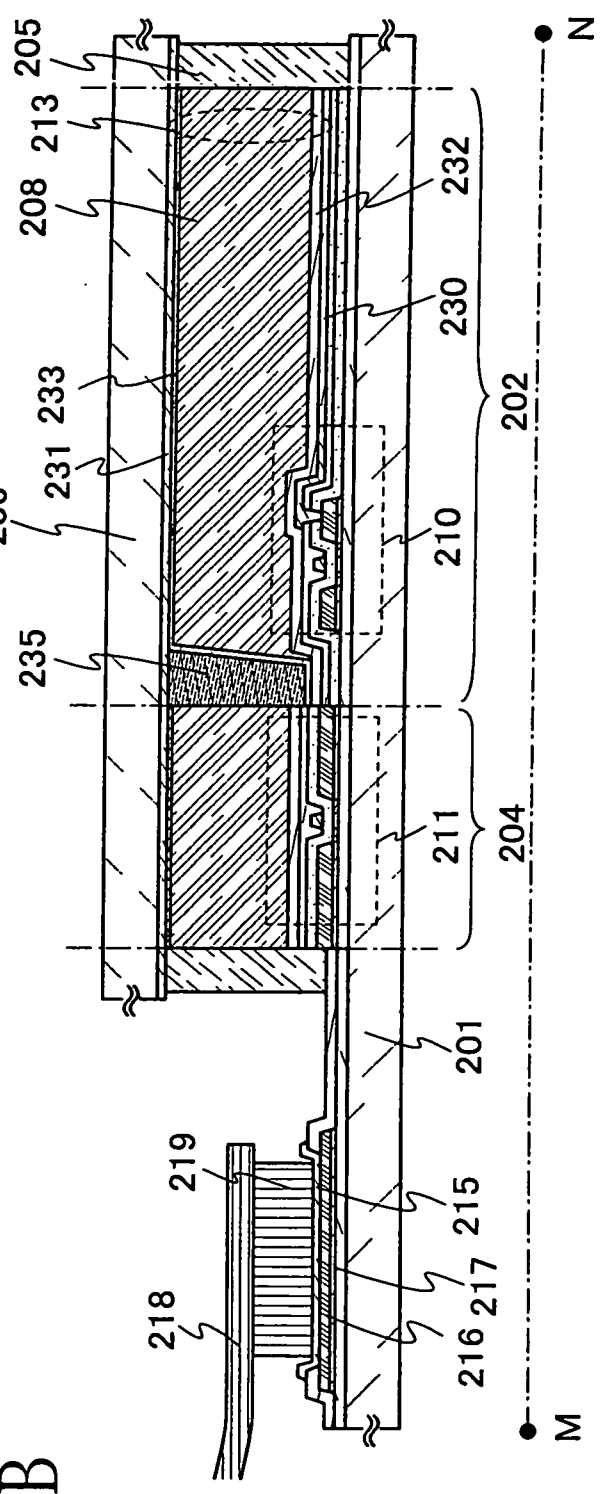


圖 9A

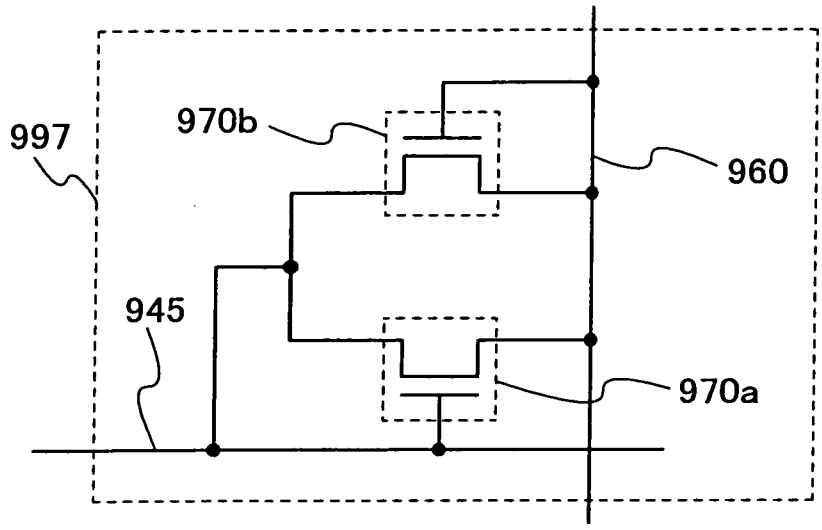


圖 9B

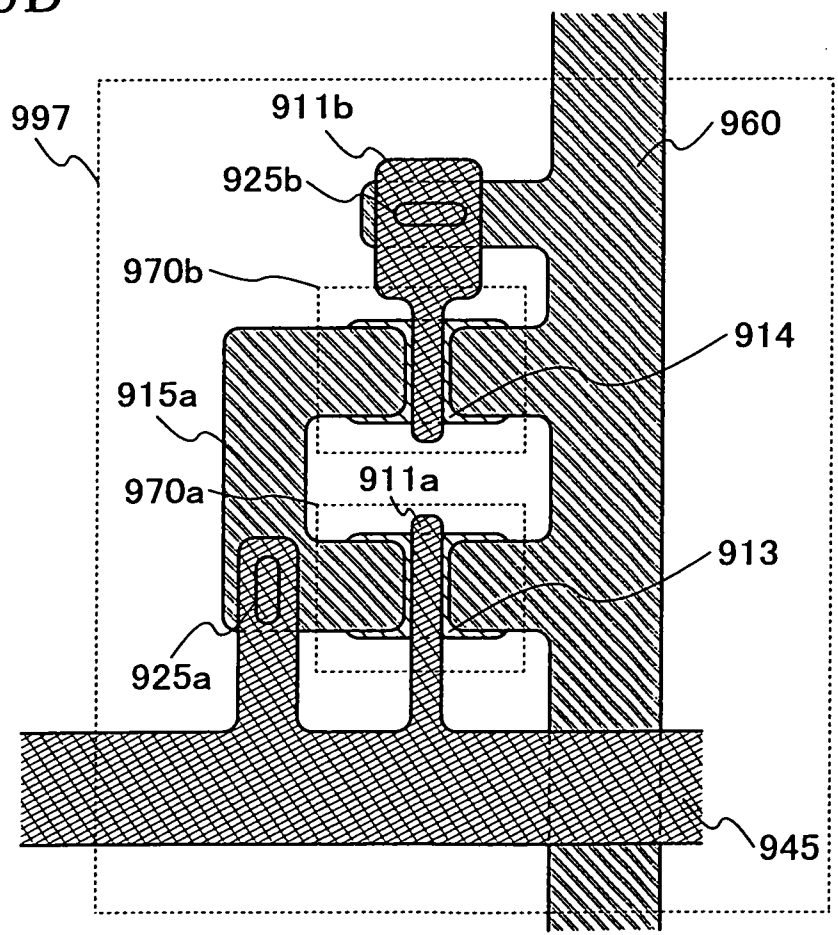


圖 10A1

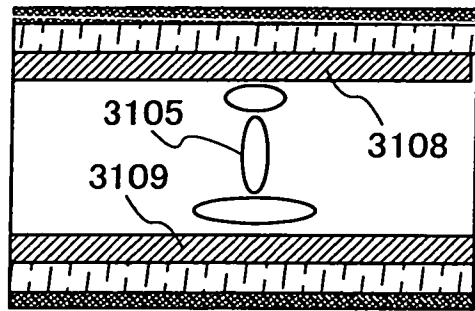


圖 10A2

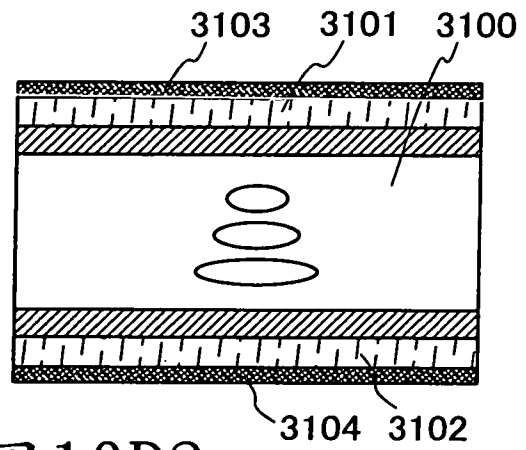


圖 10B1

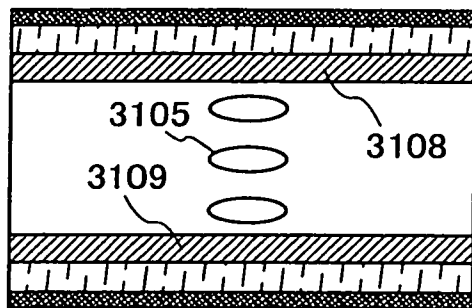


圖 10B2

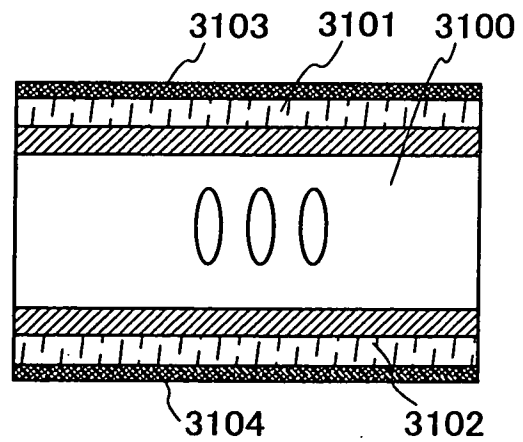


圖 10C1

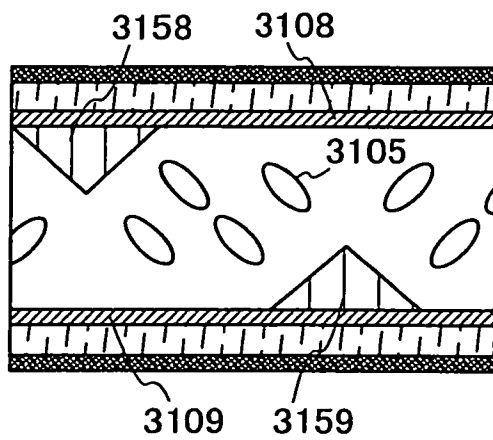


圖 10C2

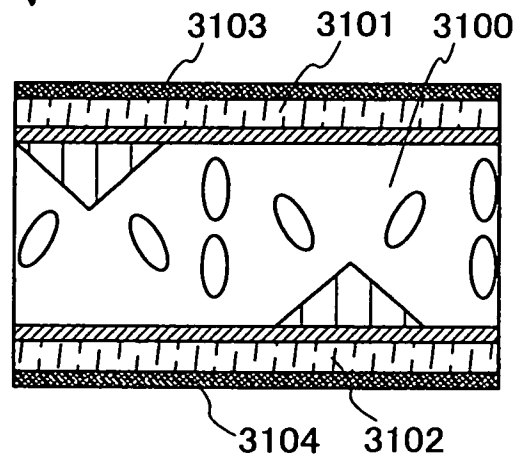


圖 11A1

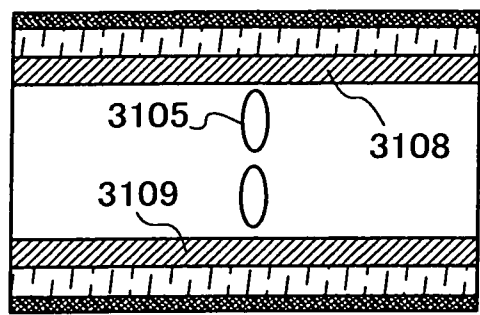


圖 11A2

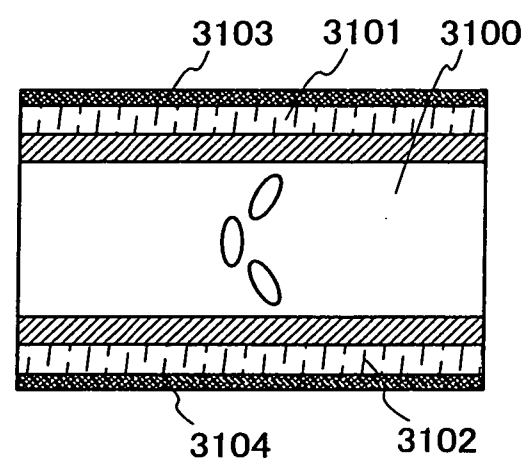


圖 11B1

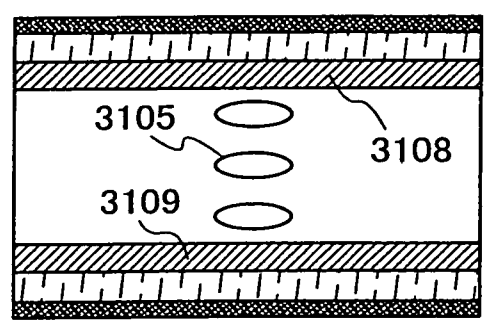


圖 11B2

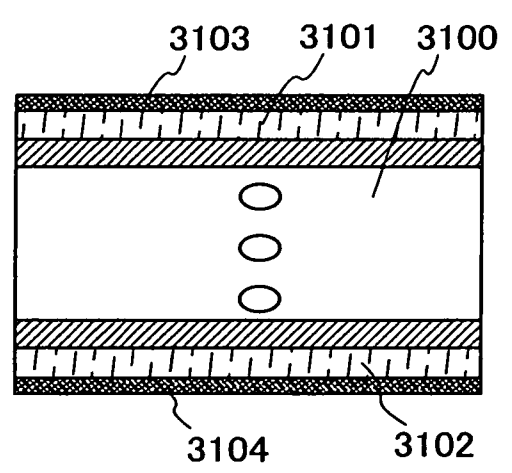


圖 12A1

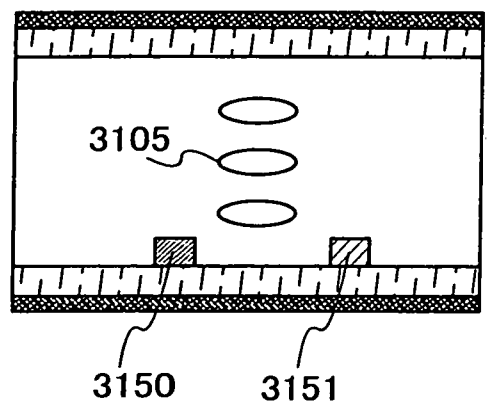


圖 12A2

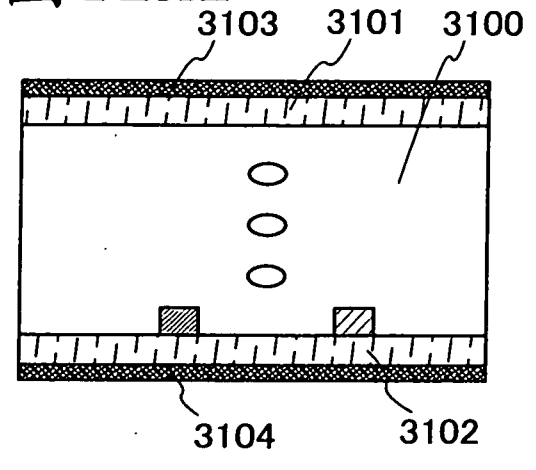


圖 12B1

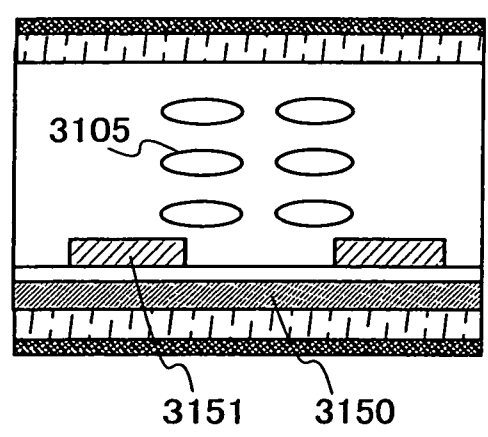


圖 12B2

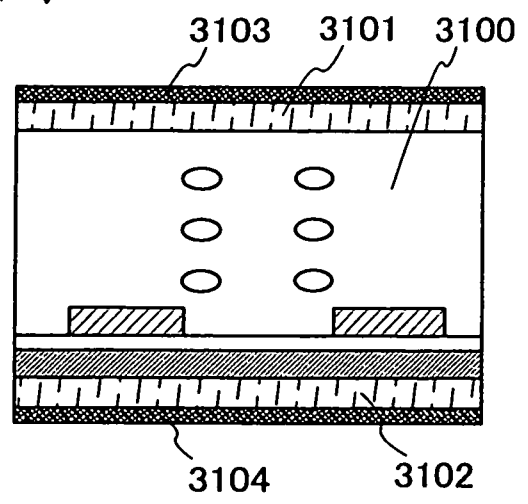


圖 13A

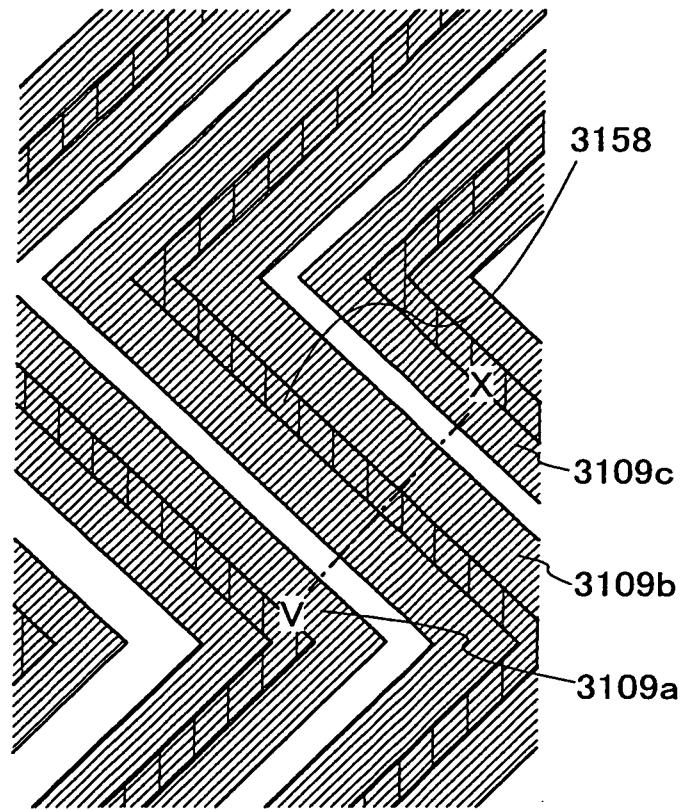


圖 13B

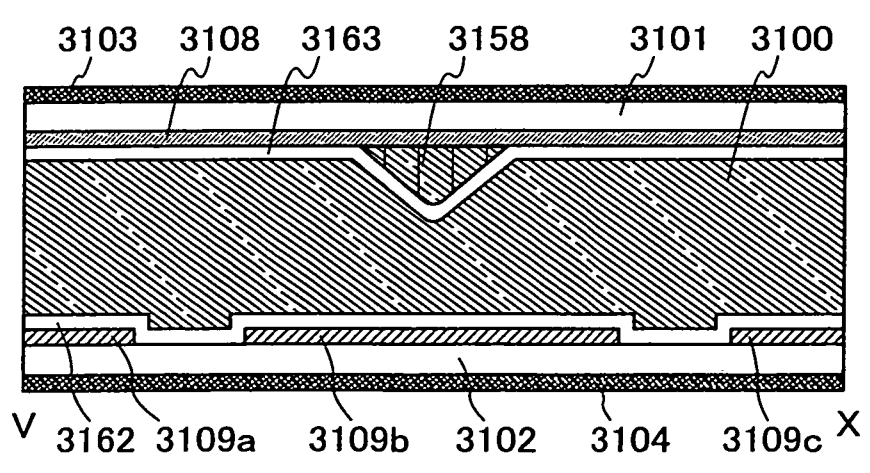


圖 14A

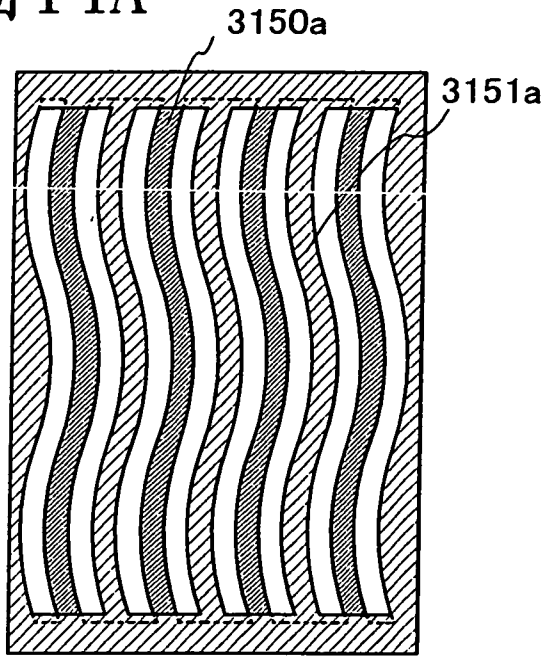


圖 14B

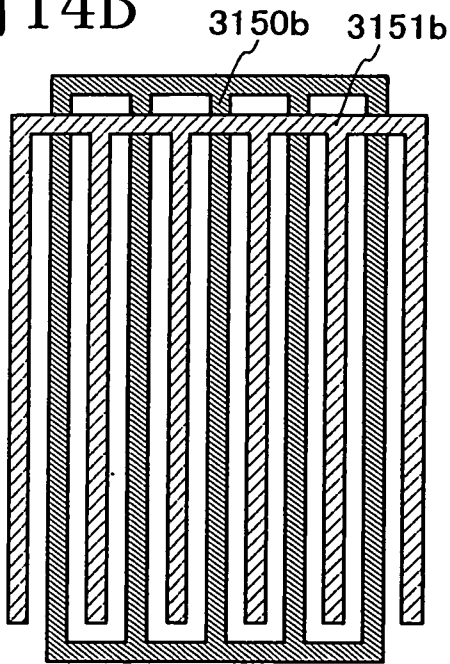


圖 14C

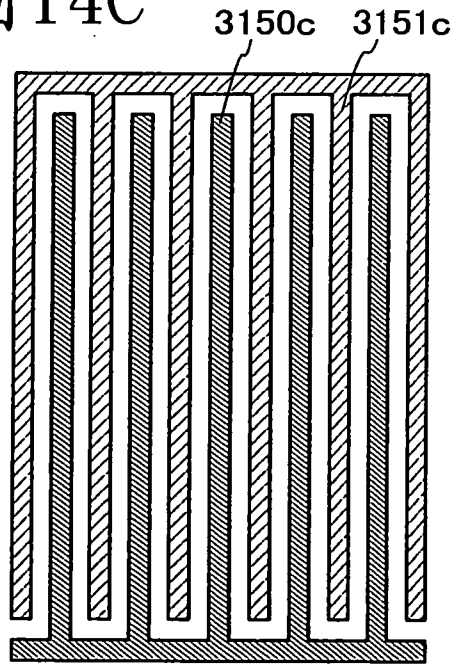


圖 15A

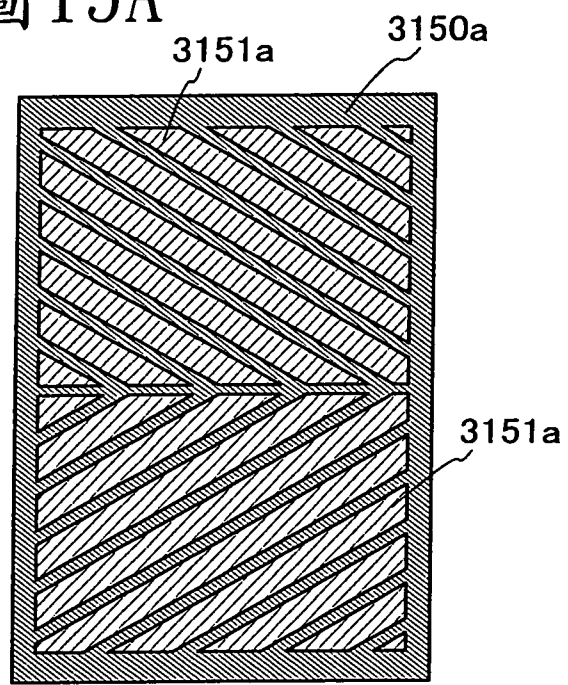


圖 15B

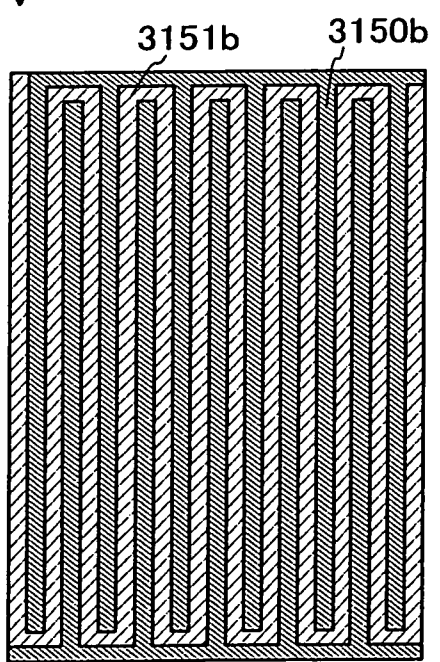


圖 15C

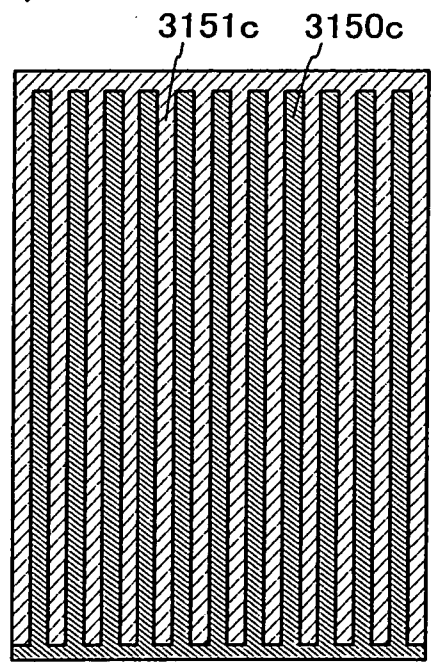


圖 16A

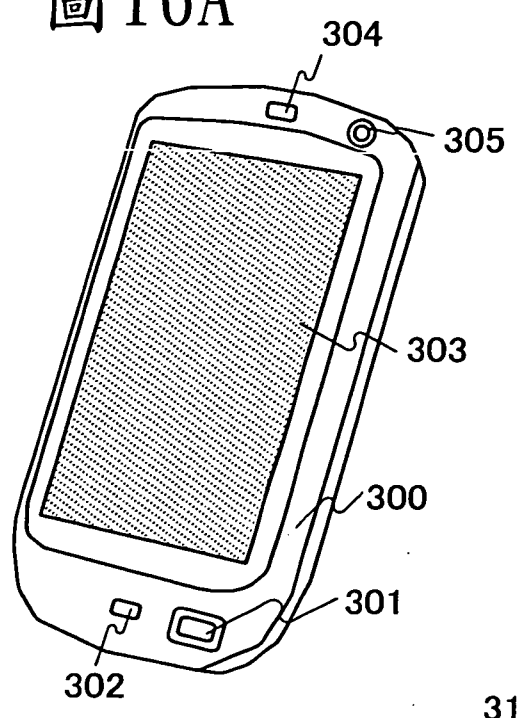


圖 16B

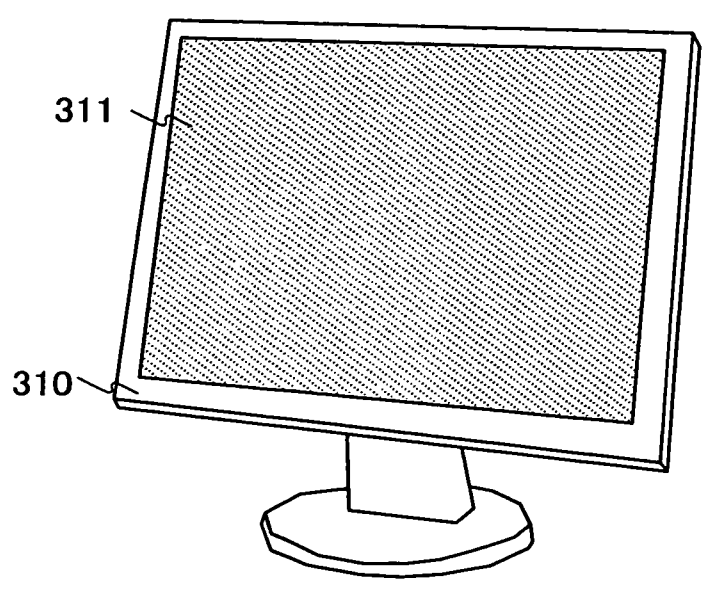


圖 16C

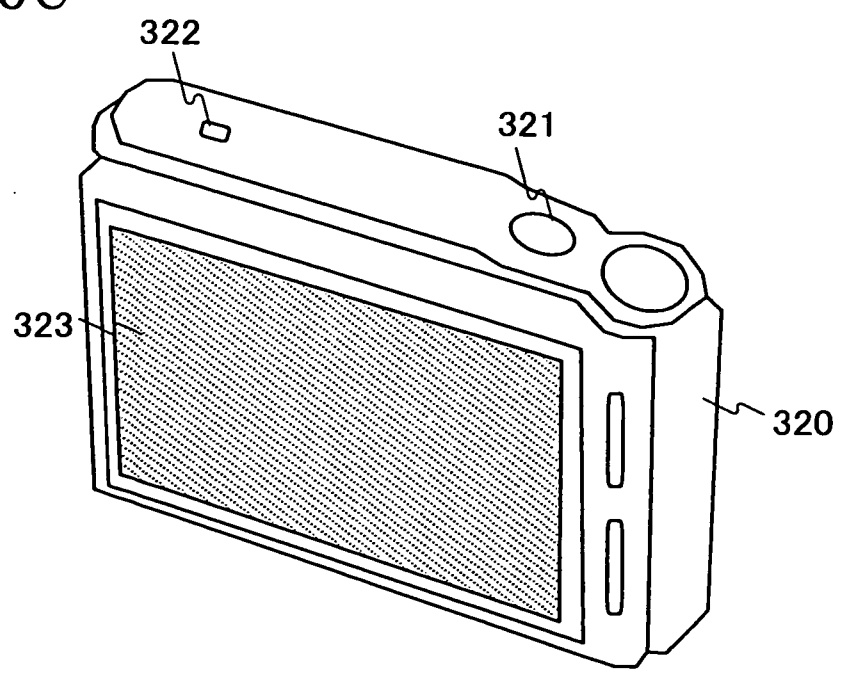


圖 17

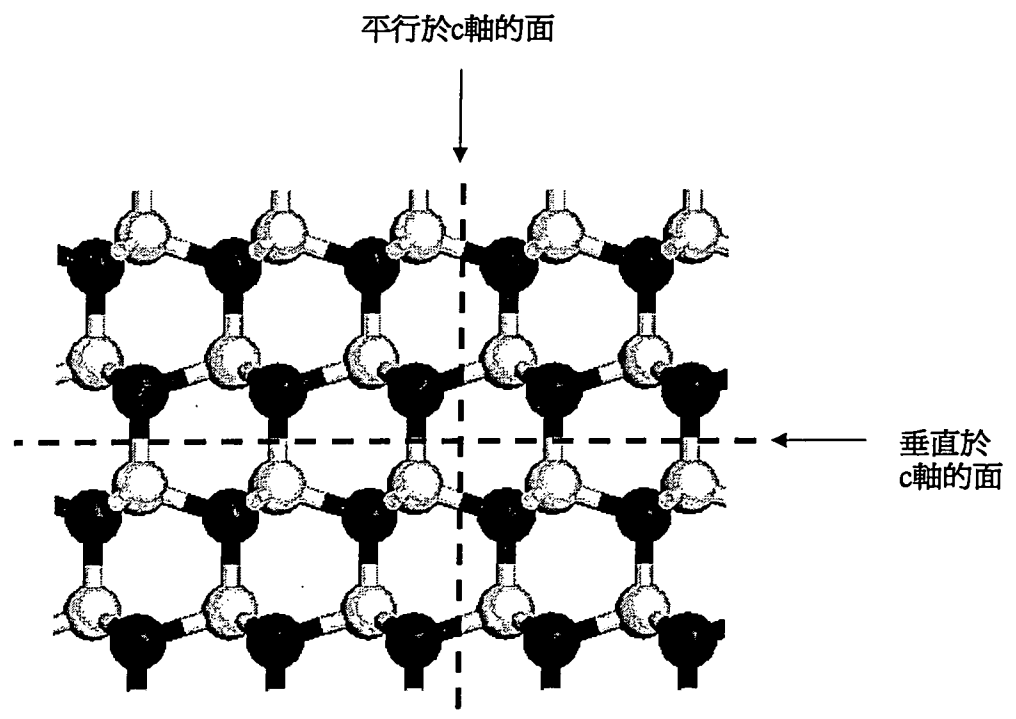


圖 18A (100)

圖 18B (110)

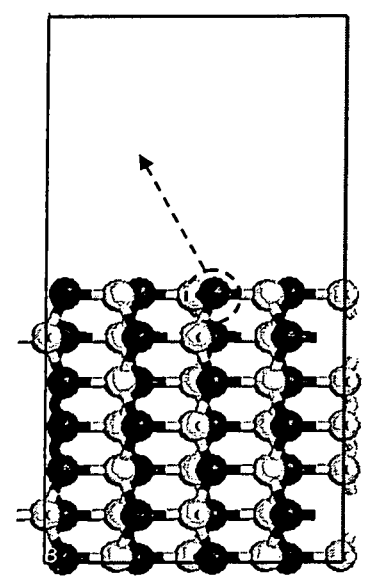
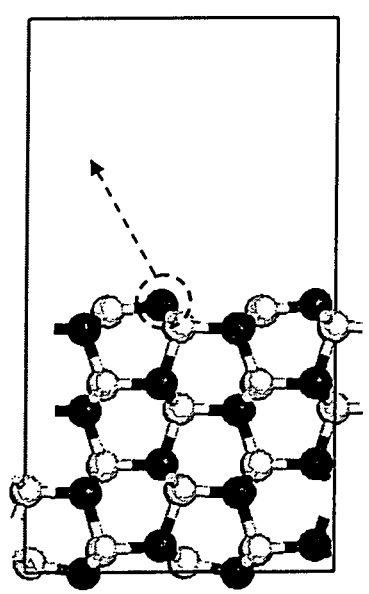


圖 18C (001)

