



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201243843 A1

(43)公開日：中華民國 101 (2012) 年 11 月 01 日

(21)申請案號：101109661

(22)申請日：中華民國 101 (2012) 年 03 月 21 日

(51)Int. Cl. : *G11C11/34 (2006.01)*

G11C14/00 (2006.01)

(30)優先權：2011/03/31 日本

2011-077380

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：黑川義元 KUROKAWA, YOSHIYUKI (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：16 項 圖式數：11 共 103 頁

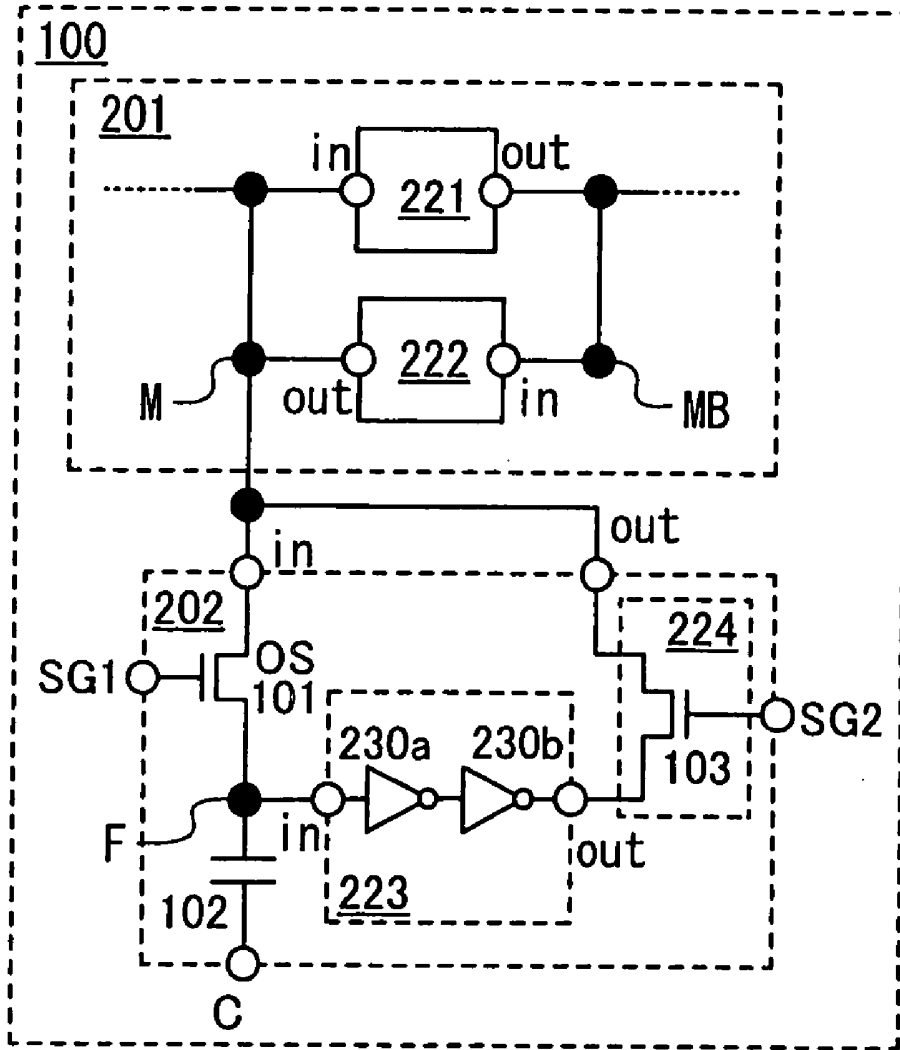
(54)名稱

記憶體電路，記憶體單元，及訊號處理電路

MEMORY CIRCUIT, MEMORY UNIT, AND SIGNAL PROCESSING CIRCUIT

(57)摘要

本發明的目的之一是提供一種即使在停止電源電壓的供應之後也可以保持資料的記憶體電路以及可以降低耗電量的訊號處理電路。一種記憶體電路包括電晶體、電容器、第一運算電路、第二運算電路、第三運算電路以及開關，其中，第一運算電路的輸出端子與第二運算電路的輸入端子電連接，第二運算電路的輸入端子藉由開關與第三運算電路的輸出端子電連接，第二運算電路的輸出端子與第一運算電路的輸入端子電連接，第一運算電路的輸入端子與電晶體的源極和汲極中的一個電連接，電晶體的源極和汲極中的另一個與電容器的一對電極的一個及第三運算電路的輸入端子電連接，並且，電晶體的通道形成在氧化物半導體層中。



- 100 : 記憶體電路
- 101 : 電晶體
- 102 : 電容器
- 103 : 電晶體
- 201 : 正反器電路
- 202 : 電路
- 221 : 運算電路
- 222 : 運算電路
- 223 : 運算電路
- 224 : 開關
- 230a : 反相器
- 230b : 反相器
- F : 節點
- M : 節點
- MB : 節點
- SG1 : 端子
- SG2 : 端子



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201243843 A1

(43)公開日：中華民國 101 (2012) 年 11 月 01 日

(21)申請案號：101109661

(22)申請日：中華民國 101 (2012) 年 03 月 21 日

(51)Int. Cl. : *G11C11/34 (2006.01)*

G11C14/00 (2006.01)

(30)優先權：2011/03/31 日本

2011-077380

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：黑川義元 KUROKAWA, YOSHIYUKI (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：16 項 圖式數：11 共 103 頁

(54)名稱

記憶體電路，記憶體單元，及訊號處理電路

MEMORY CIRCUIT, MEMORY UNIT, AND SIGNAL PROCESSING CIRCUIT

(57)摘要

本發明的目的之一是提供一種即使在停止電源電壓的供應之後也可以保持資料的記憶體電路以及可以降低耗電量的訊號處理電路。一種記憶體電路包括電晶體、電容器、第一運算電路、第二運算電路、第三運算電路以及開關，其中，第一運算電路的輸出端子與第二運算電路的輸入端子電連接，第二運算電路的輸入端子藉由開關與第三運算電路的輸出端子電連接，第二運算電路的輸出端子與第一運算電路的輸入端子電連接，第一運算電路的輸入端子與電晶體的源極和汲極中的一個電連接，電晶體的源極和汲極中的另一個與電容器的一對電極的一個及第三運算電路的輸入端子電連接，並且，電晶體的通道形成在氧化物半導體層中。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種即使關掉電源，邏輯狀態也不消失的記憶體電路。另外，本發明關於一種使用該記憶體電路的記憶體單元及訊號處理電路。再者，本發明關於一種該記憶體電路、該記憶體單元及該訊號處理電路的驅動方法。再者，本發明關於一種使用該訊號處理電路的電子裝置。

【先前技術】

中央處理器（Central Processing Unit, CPU）等的訊號處理電路根據其用途而具有多種多樣的結構，一般來說，除了用來儲存資料或程式的主記憶體以外，還設置有暫存器或快取記憶體等各種記憶體單元。暫存器具有為了保持運算處理或程式執行狀態等而暫時保持資料的功能。另外，快取記憶體介於運算電路與主記憶體之間，並為了減少對低速的主記憶體進行存取來實現運算處理的高速化而設置。

暫存器或快取記憶體等記憶體單元需要比主記憶體更高速地寫入資料。因此，通常，使用正反器電路作為暫存器，並使用靜態隨機存取記憶體（Static Random Access Memory, SRAM 記憶體）等作為快取記憶體。就是說，作為這些暫存器或快取記憶體等，使用如果停止供應電源電位則資料消失的揮發性記憶體單元。

為抑制耗電量，已提出了如下方法：在不進行資料的輸入及輸出的期間中，暫時停止對訊號處理電路進行電源電壓的供應。在該方法中，在暫存器或快取記憶體等的揮發性記憶體單元的周圍配置非揮發性記憶體單元，而將上述資料暫時儲存在該非揮發性記憶體單元。像這樣，即使是在訊號處理電路中停止供應電源電位的期間，暫存器或快取記憶體等也保持資料（例如，參照專利文獻 1）。

另外，當在訊號處理電路中長期地停止電源電壓的供應時，藉由在電源電壓的供應停止之前將揮發性記憶體單元內的資料轉移到硬碟或快閃記憶體等的外部儲存裝置，也可以防止資料的消失。

[專利文獻 1]日本專利申請公開平第 10-078836 號公報

在使用如下方法時，在訊號處理電路中停止電源電壓的供應停止的期間中將揮發性記憶體單元的資料儲存在配置在揮發性記憶體單元的周圍的非揮發性記憶體單元中，在上述方法中作為構成上述非揮發性記憶體單元的記憶體電路主要使用磁元件或鐵電體元件。使用鐵電體的記憶體電路由於有在重複寫入資料之後鐵電體材料劣化而發生寫入不良等的問題，所以對改寫次數有限制。

在作為非揮發性記憶體單元使用快閃記憶體時，在各記憶體電路中施加高電壓並利用穿隧電流而注入或放出電子。因此，有因重複改寫資料而各記憶體電路顯著地劣化等的問題。因此對改寫次數有限制。

另外，在使用如下方法時，在訊號處理電路中停止電源電壓的供應的期間中將揮發性記憶體單元的資料儲存在外部記憶體單元中，在上述方法中將資料從外部記憶體單元放回到揮發性記憶體單元需要較長時間。因此，利用外部記憶體單元的資料的備份不合適於以耗電量的降低為目的的頻繁的電源電壓的供應停止的狀況。

【發明內容】

於是，鑒於上述課題，本發明的目的之一是提供一種在停止電源電壓的供應之後也可以保持資料的具有新的結構的記憶體電路及該記憶體電路的驅動方法。

另外，本發明的目的之一是提供一種可以降低耗電量的訊號處理電路及該訊號處理電路的驅動方法。尤其是，本發明的目的之一是提供一種藉由停止電源電壓的供應，可以降低耗電量的訊號處理電路及該訊號處理電路的驅動方法。

以下示出本發明的記憶體電路的一個方式。

（記憶體電路的結構）

記憶體電路包括截止電流極小的電晶體、電容器、第一運算電路、第二運算電路、第三運算電路以及開關。第一運算電路的輸出端子與第二運算電路的輸入端子電連接。第二運算電路的輸入端子藉由開關與第三運算電路的輸出端子電連接。第二運算電路的輸出端子與第一運算電路

的輸入端子電連接。第一運算電路的輸入端子與上述電晶體的源極和汲極中的一個電連接。上述電晶體的源極和汲極中的另一個與電容器的一對電極的一個及第三運算電路的輸入端子電連接。

在此，作為截止電流極小的電晶體，可以使用其通道形成在由能隙比矽的能隙寬的半導體構成的層或基板中的電晶體。作為能隙比矽的能隙寬的半導體，可以舉出化合物半導體諸如氧化物半導體、氮化物半導體等。例如，作為截止電流極小的電晶體，可以使用其通道形成在氧化物半導體層中的電晶體。

在上述（記憶體電路的結構）中，作為第一運算電路，可以使用反相器、三態緩衝器、時脈反相器、NAND 電路、NOR 電路等。作為第二運算電路，可以使用反相器、三態緩衝器、時脈反相器、NAND 電路、NOR 電路等。作為第三運算電路，可以使用反相器、三態緩衝器、時脈反相器、NAND 電路、NOR 電路等。作為開關，例如可以使用類比開關、電晶體等。

另外，作為第三運算電路，也可以採用具有開關功能的電路，省略上述開關。例如，也可以作為第三運算電路使用三態緩衝器或時脈反相器，而省略開關。

在上述（記憶體電路的結構）中，當使用電晶體構成第一運算電路、第二運算電路、第三運算電路及開關時，該電晶體可以採用其通道形成在由氧化物半導體之外的半導體構成的層或基板中的電晶體。例如，可以採用其通道

形成在矽層或矽基板中的電晶體。

在上述（記憶體電路的結構）中，截止電流極小的電晶體可以採用上下的兩個閘極夾著形成通道的層（活性層）的電晶體。可以將控制訊號輸入到一個閘極，而將其他控制訊號輸入到另一個閘極。其他控制訊號也可以是固定電位的訊號。固定電位也可以是低電源電位或高電源電位。另外，也可以電連接兩個閘極，並輸入控制訊號。利用根據輸入到另一個閘極的訊號，可以控制電晶體的臨界電壓等。另外，也可以使電晶體的截止電流進一步降低。也可以使電晶體的導通電流增大。

在上述（記憶體電路的結構）中，電容器的一對電極的另一個可以採用被輸入固定電位的結構。例如，可以採用被輸入低電源電位的結構。

在上述（記憶體電路的結構）中，在供應電源電壓的期間中，第一運算電路和第二運算電路形成反饋迴路（feedbackloop），該反饋迴路可以保持資料。作為具有第一運算電路和第二運算電路並在反饋迴路中保持資料的電路，可以舉出正反器電路等。另外，正反器電路等的在反饋迴路中保持資料的電路可以採用與時脈訊號及時脈訊號的反相訊號同步地進行資料的輸入及輸出的結構。在此，在正反器電路的範疇內也包括栓鎖器電路。例如，在正反器電路的範疇內也包括準位式栓鎖器電路或邊緣式栓鎖器電路。本發明的記憶體電路的一個方式相當於對正反器電路等的在反饋迴路中保持資料的電路追加截止電流極小的

電晶體、電容器、運算電路（上述第三運算電路）以及開關的結構。由此，以下換句話說明上述（記憶體電路的結構）。

記憶體電路包括正反器電路、截止電流極小的電晶體、電容器、運算電路以及開關。正反器電路具有第一節點及第二節點，當供應電源電壓時，保持在第二節點中的訊號是保持在第一節點中的訊號的反相訊號。上述電晶體的源極和汲極中的一個與第一節點電連接。上述電晶體的源極和汲極中的另一個與電容器的一對電極的一個及運算電路的輸入端子電連接。運算電路的輸出端子藉由開關與第二節點電連接。

（記憶體電路的驅動方法）

對上述記憶體電路的驅動方法的一個方式進行說明。以下說明如下情況下的驅動方法，即在上述記憶體電路中，在供應電源電壓之後，為了降低耗電量，停止供應電源電壓，然後再次供應電源電壓。

（供應電源電壓時的工作）

對記憶體電路供應電源電壓，並且，時脈訊號及時脈訊號的反相訊號是其準位（電位）週期性地變到高準位或低準位的訊號。此時，由第一運算電路及第二運算電路構成的反饋迴路與時脈訊號及時脈訊號的反相訊號同步，保持對應於資料的訊號（及其反相訊號）。在此，開關處於

截止狀態。像這樣，記憶體電路將所輸入的資料保持在反饋迴路中，並輸出在反饋迴路中保持的資料。在此，其通道形成在氧化物半導體層中的電晶體的遷移率比其通道形成在矽層或矽基板中的電晶體低。在遷移率低的電晶體存在於反饋迴路上時，反饋迴路的資料輸入及資料輸出的速度慢。在本發明的記憶體電路的一個方式中，在反饋迴路上不存在其通道形成在氧化物半導體層中的電晶體等遷移率低的電晶體。由此，可以高速地進行反饋迴路中的資料的寫入及讀出，記憶體電路中的資料的寫入及讀出的速度（工作速度）快。另外，較佳的是，此時截止電流極小的電晶體處於截止狀態。假設截止電流極小的電晶體一直處於導通狀態，在反饋迴路中的資料的寫入及讀出時，對應於資料的訊號電位一直輸入到電容器，而反饋迴路中的資料的寫入及讀出的速度下降。

（停止電源電壓的供應之前的工作）

在停止電源電壓供應到記憶體電路的之前，固定時脈訊號及時脈訊號的反相訊號的準位（電位）。即，時脈訊號及時脈訊號的反相訊號的準位（電位）維持為將所定資料保持在反饋迴路中的狀態下的時脈訊號及時脈訊號的反相訊號的準位（電位）。即，時脈訊號及時脈訊號的反相訊號通常是其準位（電位）週期性地變到高準位或低準位的訊號，但是設置不使其產生該變化的期間。在此，將固定時脈訊號及時脈訊號的反相訊號的準位（訊號電位）的

期間也稱為時脈訊號固定期間。而且，在時脈訊號固定期間中，將截止電流極小的電晶體設定為截止狀態。例如，在時脈訊號固定期間之前，當截止電流極小的電晶體處於導通狀態時，在時脈訊號固定期間中截止電流極小的電晶體處於截止狀態。例如，在時脈訊號固定期間之前，當截止電流極小的電晶體處於截止狀態時，在時脈訊號固定期間中將截止電流極小的電晶體暫且成為設定為導通狀態，然後將截止電流極小的電晶體設定為截止狀態。像這樣，將對應於保持在反饋迴路中的資料的訊號（電位）轉移並保持在電容器中。注意，開關維持為截止狀態。

如上所述，藉由在將時脈訊號及時脈訊號的反相訊號的準位保持為固定的狀態下，將截止電流極小的電晶體設定為截止狀態，來可以在抑制對應於保持在反饋迴路中的資料的訊號（電位）的變動的狀態下，將對應於該資料的訊號（電位）保持在電容器中。

（停止電源電壓的供應的工作）

在上述（停止電源電壓的供應之前的工作）之後，停止將電源電壓供應到記憶體電路。另外，在上述（停止電源電壓的供應之前的工作）之後，可以停止時脈訊號及時脈訊號的反相訊號的供應。像這樣，藉由不但停止電源電壓的供應，而且停止時脈訊號及時脈訊號的反相訊號的供應，來可以降低用來供應時脈訊號及時脈訊號的反相訊號的電力。注意，開關維持為截止狀態。

在此，截止電流極小的電晶體維持為截止狀態，即使在停止對記憶體電路進行電源電壓的供應之後，對應於在反饋迴路中保持的資料的訊號（電位）也保持在電容器中。像這樣，藉由使用截止電流極小的電晶體，可以長期儲存電容器所保持的訊號（電位），由此記憶體電路在停止電源電壓的供應之後也可以長期保持資料。

另外，在本發明的記憶體電路的一個方式中，在截止電流極小的電晶體處於截止狀態且開關處於截止狀態的期間中，電容器的一對電極的一個與反饋迴路中的各節點在電性上斷開。因此，如果截止電流極小的電晶體處於截止狀態且開關處於截止狀態，則既可以在停止對記憶體電路進行電源電壓的供應的同時，停止時脈訊號及時脈訊號的反相訊號的供應，又可以在進行上述供應中的一個之後進行另一個。即，對停止電源電壓的供應的時序有自由度。

（再次開始電源電壓的供應的工作）

再次開始對記憶體電路供應電源電壓。另外，供應恢復到停止電源電壓的供應時的準位（電位）而固定的時脈訊號及時脈訊號的反相訊號。像這樣，開始時脈訊號固定期間。在此，如果截止電流極小的電晶體處於截止狀態且開關處於截止狀態，則既可以在再次開始對記憶體電路進行電源電壓的供應的同時，再次開始恢復到停止電源電壓的供應時的準位（電位）而固定的時脈訊號及時脈訊號的反相訊號的供應，又可以在進行上述供應中的一個之後進

行另一個。即，對再次開始電源電壓的供應的時序有自由度。

然後，將開關設定為導通狀態。另外，截止電流極小的電晶體維持為截止狀態。保持在電容器中的訊號（電位）藉由第三運算電路轉換為所對應的訊號，並在開關處於導通狀態時，輸入到反饋迴路的所定節點。像這樣，在反饋迴路中可以再次保持在停止電源電壓的供應之前所保持的資料。另外，在再次將開關設定為截止狀態之後，解除時脈訊號及時脈訊號的反相訊號的準位（電位）的固定。即，使時脈訊號及時脈訊號的反相訊號恢復為其準位（電位）週期性地變到高準位或低準位的通常訊號。像這樣，記憶體電路在反饋迴路中可以再次開始資料的寫入及讀出。此後工作與上述（供應電源電壓時的工作）同樣。

如上所述，用來將保持在反饋迴路中的資料轉移並寫入到電容器的路徑（以下，也稱為資料保存路徑）與用來將保持在電容器中的資料恢復到反饋迴路中的路徑（以下，也稱為資料恢復路徑）不同。作為配置在資料恢復路徑上的開關使用遷移率高的元件，來可以更高速地進行（再次開始電源電壓的供應的工作）。

以上說明了記憶體電路的驅動方法。

（記憶體單元、訊號處理電路）

本發明的記憶體單元的一個方式可以是使用一個或多個上述記憶體電路構成的記憶體單元。另外，本發明的訊

號處理電路的一個方式可以是使用該記憶體單元的訊號處理電路。例如，可以將上述記憶體電路用於訊號處理電路所具有的暫存器、快取記憶體等記憶體單元。

再者，訊號處理電路除了上述記憶體單元之外，還可以具有在與記憶體單元之間進行資料的交換的運算電路等各種邏輯電路。而且，也可以在停止對記憶體單元進行電源電壓的供應的同時，停止對在與該記憶體單元之間進行資料的交換的運算電路進行電源電壓的供應。

本發明的訊號處理電路的一個方式包括：CPU；記憶體；以及對記憶體與CPU之間的存取進行控制的周邊控制裝置，其中CPU、記憶體以及周邊控制裝置分別可以採用具有上述記憶體電路的結構。而且，在具有CPU、記憶體以及周邊控制裝置的訊號處理電路的整體中，也可以停止電源電壓的供應。

在供應電源電壓且輸入其準位（電位）週期性地變到高準位或低準位的時脈訊號及時脈訊號的反相訊號的訊號時，記憶體電路將所輸入的資料保持在反饋迴路中，而輸出保持在反饋迴路中的資料。在此，在反饋迴路上不存在其通道形成在氧化物半導體層中的電晶體等遷移率低的電晶體。由此，可以高速地進行反饋迴路中的資料的寫入及讀出，記憶體電路中的資料的寫入及讀出的速度快。

即使在電源電壓的供應停止的期間中，記憶體電路也可以長期保持儲存內容（資料），並且，即使在重複改寫資料時記憶體電路的劣化也少，從而可以使能夠改寫資料

的次數增大。

另外，用來將保持在反饋迴路中的資料寫入到電容器的路徑（資料保存路徑）與用來將保持在電容器中的資料恢復到反饋迴路中的路徑（資料恢復路徑）不同。在此，在資料保存路徑中，爲了在停止電源電壓的供應之後也儲存電容器的一對電極的一個電位，需要設置截止電流極小的電晶體。其通道形成在氧化物半導體層中的電晶體的遷移率比其通道形成在矽層或矽基板中的電晶體低。然而，由於分別設置資料保存路徑和資料恢復路徑，所以作爲配置在資料恢復路徑上的開關使用遷移率高的元件，來可以更高速度地進行再次開始電源電壓的供應之後的工作。

藉由將上述記憶體電路用於訊號處理電路，可以防止由停止電源電壓的供應導致的資料的消失，從而，在再次供應電源電壓之後，可以在短時間內恢復到停止電源供應之前的狀態。因此，可以採用常關閉驅動方法（normally-off driving method）而只在所需要時供應電源電壓，從而可以大幅度地減少耗電量。另外，可以使訊號處理电路的工作速度高速化，再者，也可以提高可靠性。

【實施方式】

以下，參照圖式對實施方式進行詳細說明。但是，本發明不侷限於以下說明，而所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換爲各種各樣

的形式。因此，本發明不應該被解釋為僅侷限在以下所示的實施方式所記載的內容中。

注意，在使用極性不同的電晶體的情況或電路工作的電流方向變化的情況等下，“源極”及“汲極”的功能有時互相調換。因此，在本說明書中，“源極”和“汲極”可以互相調換。

“電連接”包括藉由“具有某種電作用的元件”連接的情況。在此，“具有某種電作用的元件”只要可以進行連接目標間的電訊號的授受，就對其沒有特別的限制。

即使在將在電路圖上獨立的構成要素圖示為彼此電連接的情況下，在實際上也有一個導電膜具有多個構成要素的功能的情況，例如佈線的一部分還用作電極或端子的情況等。在本說明書中以“電連接”表示的情況的範疇內也包括這種一個導電膜具有多個構成要素的功能的情況。

“上”或“下”不侷限於構成要素的位置關係為“直接在……上”或“直接在……下”。例如，“閘極絕緣層上的閘極電極”包括在閘極絕緣層和閘極電極之間包含其他構成要素的情況。

圖式等所示的每個結構的位置、大小、範圍等為了容易理解而有時不表示實際上的位置、大小、範圍等。因此，所公開的發明不一定侷限於圖式等所公開的位置、大小、範圍等。

“第一”、“第二”、“第三”等的序數詞是為了解免構成要素的混淆而附記的。

實施方式 1

說明本發明的記憶體電路的一個方式。圖 1A 示出記憶體電路的結構。

在圖 1A 中，記憶體電路 100 包括截止電流極小的電晶體 101、電容器 102、運算電路 221、運算電路 222、運算電路 223 以及開關 224。示出作為電晶體 101 使用其通道形成在氧化物半導體層中的電晶體的例子，附記“OS”的符號。運算電路 221 的輸出端子（圖式中的 out）與運算電路 222 的輸入端子（圖式中的 in）電連接。運算電路 222 的輸入端子藉由開關 224 與運算電路 223 的輸出端子（圖式中的 out）電連接。運算電路 222 的輸出端子（圖式中的 out）與運算電路 221 的輸入端子（圖式中的 in）電連接。運算電路 221 的輸入端子與電晶體 101 的源極及汲極中的一個電連接。電晶體 101 的源極及汲極中的另一個與電容器 102 的一對電極的一個及運算電路 223 的輸入端子（圖式中的 in）電連接。在此，以節點 F（圖式中的 F）表示電容器 102 的一對電極的一個。

作為運算電路 221，可以使用反相器、三態緩衝器、時脈反相器、NAND 電路、NOR 電路等。作為運算電路 222，可以使用反相器、三態緩衝器、時脈反相器、NAND 電路、NOR 電路等。作為運算電路 223，可以使用反相器、三態緩衝器、時脈反相器、NAND 電路、NOR 電路等。在圖 1A 中，示出作為運算電路 223 使用反相器 230 的例

子。作為開關，例如可以使用類比開關、電晶體等。在圖 1A 中，示出作為開關 224 使用電晶體 103 的例子。例如，電晶體 103 可以採用其通道形成在矽層或矽基板中的電晶體。

在此，較佳的是，使運算電路 223 與開關 224 的電流驅動能力之和比運算電路 221 的電流驅動能力大。另外，較佳的是，在開關 224 的電流驅動能力充分大時，使運算電路 223 的電流驅動能力比運算電路 221 的電流驅動能力大。像這樣，容易將節點 MB（圖式中的 MB）的電位設定為對應於保持在電容器 102 中的訊號（電位）的訊號。

例如，在運算電路 221 由反相器構成，且該反相器與反相器 230 使用互補電晶體時，較佳為藉由如下方法設計各電晶體。較佳的是，在反相器 230 所具有的一導電型電晶體的通道長度為 $L1$ ，通道寬度為 $W1$ ，遷移率為 $\mu1$ ，而構成運算電路 221 的反相器所具有的與上述一導電型不同導電型的電晶體的通道長度為 $L2$ ，通道寬度為 $W2$ ，遷移率為 $\mu2$ 時，滿足 $\mu1 (W1/L1) > \mu2 (W2/L2)$ 。即，較佳的是，在反相器 230 所具有的 n 通道型電晶體的通道長度為 $L1$ ，通道寬度為 $W1$ ，遷移率為 $\mu1$ ，而構成運算電路 221 的反相器所具有的 p 通道型電晶體的通道長度為 $L2$ ，通道寬度為 $W2$ ，遷移率為 $\mu2$ 時，滿足 $\mu1 (W1/L1) > \mu2 (W2/L2)$ 。或者，較佳的是，在反相器 230 所具有的 p 通道型電晶體的通道長度為 $L1$ ，通道寬度為 $W1$ ，遷移率為 $\mu1$ ，而構成運算電路 221 的反相器所具有的 n 通道型電晶

體的通道長度為 L_2 ，通道寬度為 W_2 ，遷移率為 μ_2 時，滿足 $\mu_1 (W_1/L_1) > \mu_2 (W_2/L_2)$ 。在此，開關 224 的電流驅動能力充分大是指：例如，在由電晶體 103 構成開關 224，且電晶體的通道長度為 L_3 ，通道寬度為 W_3 ，遷移率為 μ_3 時， $\mu_3 (W_3/L_3)$ 比 $\mu_2 (W_2/L_2)$ 或 $\mu_1 (W_1/L_1)$ 充分大。較佳的是，在 $\mu_3 (W_3/L_3)$ 充分大時，以滿足上述不等式的方式設計各電路的電晶體。

電晶體 101 的閘極與端子 SG1 電連接。電晶體 101 的導通狀態或截止狀態根據輸入到端子 SG1 的控制訊號選擇。開關 224 的導通狀態或截止狀態根據輸入到端子 SG2 的控制訊號選擇。在圖 1A 中，端子 SG2 與電晶體 103 的閘極電連接。電容器 102 的一對電極的另一個與端子 C 電連接。可以採用固定電位輸入到端子 C 的結構。例如，可以採用低電源電位輸入到端子 C 的結構。

當使用電晶體構成運算電路 221、運算電路 222、運算電路 223 時，該電晶體可以採用其通道形成在由氧化物半導體之外的半導體構成的層或基板中的電晶體。例如，可以採用其通道形成在矽層或矽基板中的電晶體。

另外，電晶體 101 可以採用上下的兩個閘極夾著氧化物半導體層的電晶體。可以將控制訊號輸入到一個閘極，而將其他控制訊號輸入到另一個閘極。其他控制訊號也可以是固定電位的訊號。固定電位也可以是低電源電位或高電源電位。另外，也可以電連接兩個閘極，並輸入控制訊號。利用輸入到另一個閘極的訊號，可以控制電晶體 101

的臨界電壓等。另外，也可以使電晶體 101 的截止電流進一步降低。也可以使電晶體 101 的導通電流增大。

在圖 1A 所示的記憶體電路 100 中，在供應電源電壓的期間中，運算電路 221 和運算電路 222 形成反饋迴路，該反饋迴路可以保持資料。作為具有運算電路 221 和運算電路 222 並藉由反饋迴路保持資料的電路，可以舉出正反器電路。圖 1A 所示的結構相當於對正反器電路 201 追加截止電流極小的電晶體 101、電容器 102、運算電路 223 以及開關 224 的結構。在圖 1A 中以電路 202 表示該所追加的部分。

正反器電路 201 具有節點 M（圖式中的 M）及節點 MB（圖式中的 MB），在供應電源電壓的期間中，保持在節點 MB 中的訊號是保持在節點 M 中的訊號的反相訊號。電晶體 101 的源極及汲極中的一個與節點 M 電連接。電晶體 101 的源極及汲極中的另一個與電容器 102 的一對電極的一個及運算電路 223 的輸入端子（圖式中的 in）電連接。運算電路 223 的輸出端子（圖式中的 out）藉由開關 224 與節點 MB 電連接。

注意，在圖 1A 中，示出作為運算電路 223 使用輸出被輸入的訊號的反相訊號的電路，並藉由開關 224 將該輸出輸入到節點 MB 的結構，但是不侷限於此。如圖 1B 所示，也可以作為運算電路 223 使用輸出被輸入的訊號而不進行反相的電路，並藉由開關 224 將該輸出輸入到節點 M。作為這樣的運算電路 223，可以採用偶數個反相器互相

串聯電連接的結構。在圖 1B 中，示出作為運算電路 223 採用反相器 230a 與反相器 230b 串聯電連接的結構的例子。注意，在圖 1B 中，由於其他部分與圖 1A 同樣，所以省略說明。

(記憶體電路的驅動方法)

對圖 1A 所示的記憶體電路 100 的驅動方法的一個方式進行說明。以下說明如下情況下的驅動方法，即在記憶體電路 100 中，在供應電源電壓之後，為了降低耗電量，停止供應電源電壓，然後再次供應電源電壓。另外，在以下說明中，正反器電路 201 為與時脈訊號及時脈訊號的反相訊號同步地進行資料的輸入及輸出的電路。為了進行說明，使用圖 2 的時序圖並也參照圖 1A 的符號。

另外，在圖 2 中，以 M 表示節點 M 的電位，以 MB 表示節點 MB 的電位，以 F 表示節點 F 的電位，以 SG1 表示輸入到端子 SG1 的控制訊號的訊號電位，以 SG2 表示輸入到端子 SG2 的控制訊號的訊號電位，以 V 表示電源電壓，以 CLK 表示時脈訊號的訊號電位，以 CLKB 表示時脈訊號的反相訊號的訊號電位。在圖 2 中，斜線部分可以是任意訊號電位。

在此，在圖 2 中，示出如下例子：在 SG1 為高準位時電晶體 101 處於導通狀態，而在 SG1 為低準位時電晶體 101 處於截止狀態。但是，不侷限於此。可以以如下說明與電晶體 101 的導通狀態及截止狀態的關係同樣的方式適

當地設定 SG1 的訊號電位。另外，在圖 2 中，示出如下例子：在 SG2 為高準位時電晶體 103 處於導通狀態，而在 SG2 為低準位時電晶體 103 處於截止狀態。但是，不侷限於此。可以以如下說明與電晶體 103 的導通狀態及截止狀態的關係同樣的方式適當地設定 SG2 的訊號電位。

（供應電源電壓時的工作）

在期間 1 中，作為電源電壓 V 的 V_{DD} 供應到記憶體電路 100，且時脈訊號的訊號電位 CLK 及時脈訊號的反相訊號的訊號電位 CLKB 週期性地變到高準位或低準位。此時，由運算電路 221 及運算電路 222 構成的反饋迴路與時脈訊號及時脈訊號的反相訊號同步，保持對應於資料的訊號（及其反相訊號）。在圖 2 中示出：在期間 1 的最後，訊號電位 VX 保持在節點 M 中，而訊號電位 VXB 保持在節點 MB 中的例子。在此，訊號電位 VXB 相當於對應於訊號電位 VX 的訊號的反相訊號的電位。在期間 1 中，SG2 處於低準位，開關 224 處於截止狀態。像這樣，記憶體電路 100 將所輸入的資料保持在反饋迴路中，並輸出在反饋迴路中保持的資料。在此，其通道形成在氧化物半導體層中的電晶體 101 的遷移率比其通道形成在矽層或矽基板中的電晶體低。在遷移率低的電晶體存在於反饋迴路上時，反饋迴路的資料輸入及資料輸出的速度慢。在記憶體電路 100 中，在反饋迴路上不存在其通道形成在氧化物半導體層中的電晶體 101。由此，可以高速地進行反饋迴路

中的資料的寫入及讀出，而記憶體電路 100 中的資料的寫入及讀出的速度（工作速度）快。另外，較佳的是，此時其通道形成在氧化物半導體層中的電晶體 101 處於截止狀態。假設電晶體 101 一直處於導通狀態，在反饋迴路中的資料的寫入及讀出時，對應於資料的訊號電位一直也輸入到電容器 102，而使利用反饋迴路中的資料的寫入及讀出的速度下降。

（停止電源電壓的供應之前的工作）

在期間 2 中，固定時脈訊號的訊號電位 CLK 及時脈訊號的反相訊號的訊號電位 CLKB。即，時脈訊號的訊號電位 CLK 及時脈訊號的反相訊號的訊號電位 CLKB 維持為將所定資料保持在反饋迴路中的狀態下的時脈訊號的訊號電位 CLK 及時脈訊號的反相訊號的訊號電位 CLKB。即，時脈訊號及時脈訊號的反相訊號通常是其準位（訊號電位）週期性地變到高準位或低準位的訊號，但是設置不使其產生該變化的期間。在此，將固定時脈訊號及時脈訊號的反相訊號的準位（訊號電位）的期間也稱為時脈訊號固定期間。期間 2 相當於時脈訊號固定期間。由此，在時脈訊號固定期間中，節點 M 維持訊號電位 VX，而節點 MB 維持訊號電位 VXB。在圖 2 中，示出：將時脈訊號的訊號電位 CLK 固定為低準位，將時脈訊號的反相訊號的訊號電位 CLKB 固定為高準位的例子，但是不侷限於此。也可以將時脈訊號的訊號電位 CLK 固定為高準位，將時脈訊

號的反相訊號的訊號電位 CLKB 固定為低準位。而且，在時脈訊號固定期間中，藉由將 SG1 從高準位變到低準位來使截止電流極小的電晶體 101 成為截止狀態。例如，在時脈訊號固定期間之前，當 SG1 處於高準位且電晶體 101 處於導通狀態時，在時脈訊號固定期間中，藉由將 SG1 從高準位變到低準位來使電晶體 101 成為截止狀態。例如，在時脈訊號固定期間之前，當 SG1 處於低準位且電晶體 101 處於截止狀態時，在時脈訊號固定期間中，藉由將 SG1 從低準位變到高準位來使電晶體 101 暫且成為導通狀態，然後將 SG1 變到低準位來使電晶體 101 成為截止狀態。像這樣，對應於電容器 102 的一對電極的一個的節點 F 的電位成為 VX。另外，在電晶體 101 成為導通狀態之後，節點 F 的電位成為 VX 需要長時間。像這樣，將對應於保持在反饋迴路中的資料的訊號（電位）轉移並保持在電容器 102 中。注意，SG2 處於低準位，開關 224 維持為截止狀態。

如上所述，藉由在將時脈訊號及時脈訊號的反相訊號的準位保持為固定的狀態下，將截止電流極小的電晶體 101 設定為截止狀態，來可以在抑制對應於保持在反饋迴路中的資料的訊號（電位）的變動的狀態下，將該對應於資料的訊號（電位）轉移並保持在電容器 102 中。

（停止電源電壓的供應的工作）

在期間 3 中，停止將電源電壓供應到記憶體電路 100

(將電源電壓 V 設定為 0)。像這樣，在期間 3 中，節點 M 及節點 MB 的電位成為任意電位。另外，在期間 3 中，可以停止時脈訊號及時脈訊號的反相訊號的供應。在此，停止時脈訊號及時脈訊號的反相訊號的供應是指：使時脈訊號的訊號電位 CLK 的準位與時脈訊號的反相訊號的訊號電位 $CLKB$ 的準位成為相同準位（例如，低準位）。像這樣，藉由不但停止電源電壓的供應，而且停止時脈訊號及時脈訊號的反相訊號的供應，來也可以降低用來供應時脈訊號及時脈訊號的反相訊號的電力。注意， $SG2$ 處於低準位，開關 224 維持為截止狀態。

在此， $SG1$ 處於低準位，截止電流極小的電晶體 101 維持為截止狀態，即使在停止對記憶體電路 100 進行電源電壓 V 的供應之後，也對應於在反饋迴路中保持的資料的訊號（電位）保持在電容器 102 中。即，節點 F 的電位維持為 VX 。像這樣，藉由使用截止電流極小的電晶體 101，可以長期儲存電容器 102 所保持的訊號（電位），由此記憶體電路 100 在停止電源電壓的供應之後也可以長期保持資料。另外，即使在重複改寫資料時也記憶體電路 100 的劣化少，從而可以使能夠改寫資料的次數增大。

另外，在記憶體電路 100 中，在截止電流極小的電晶體 101 處於截止狀態且開關 224 處於截止狀態的期間中，電容器 102 的一對電極的一個與反饋迴路中的各節點在電性上斷開。因此，如果電晶體 101 處於截止狀態且開關 224 處於截止狀態，則既可以在停止對記憶體電路 100 進

行電源電壓的供應的同時，停止時脈訊號及時脈訊號的反相訊號的供應，又可以在進行上述供應中的一個之後進行另一個。即，對停止電源電壓的供應的時序有自由度。

（再次開始電源電壓的供應的工作）

在期間 4 中，將電源電壓 V 設定為 V_{DD} ，再次開始對記憶體電路 100 供應電源電壓。另外，供應恢復到停止電源電壓的供應時的準位（訊號電位）而固定的時脈訊號及時脈訊號的反相訊號。像這樣，開始時脈訊號固定期間。在圖 2 中，將時脈訊號的訊號電位 CLK 固定為低準位，將時脈訊號的反相訊號的訊號電位 $CLKB$ 固定為高準位。在此，如果電晶體 101 處於截止狀態且開關 224 處於截止狀態，則既可以在對記憶體電路 100 再次開始電源電壓的供應的同時，再次開始恢復到電源電壓的供應停止時的準位（訊號電位）而固定的時脈訊號及時脈訊號的反相訊號的供應，又可以在進行上述供應中的一個之後進行另一個。即，對再次開始電源電壓的供應的時序有自由度。

然後，使 $SG2$ 成為高準位，將開關 224 設定為導通狀態。另外， $SG1$ 處於低準位，截止電流極小的電晶體 101 維持為截止狀態。藉由運算電路 223 將保持在電容器 102 中的訊號（電位），即節點 F 的電位 V_X 轉換為所對應的訊號 V_{XB} ，並在開關 224 處於導通狀態時，輸入到反饋迴路的節點 MB 。像這樣，節點 MB 的電位畢竟成為 V_{XB} 。接著，節點 M 的電位也畢竟成為 V_X 。像這樣，在反饋迴

路中可以再次保持在停止電源電壓的供應之前所保持的資料。然後，使 SG2 處於低準位，再次將開關 224 設定為截止狀態。

在此，較佳的是，使運算電路 223 與開關 224 的電流驅動能力之和比運算電路 221 的電流驅動能力大。另外，較佳的是，在開關 224 的電流驅動能力充分大時，使運算電路 223 的電流驅動能力比運算電路 221 的電流驅動能力大。像這樣，容易將節點 MB 的電位設定為對應於保持在電容器 102 中的訊號（電位）的訊號。

例如，在運算電路 221 由反相器構成，且該反相器與反相器 230 使用互補電晶體時，較佳為藉由如下方法設計各電晶體。較佳的是，在反相器 230 所具有的一導電型電晶體的通道長度為 $L1$ ，通道寬度為 $W1$ ，遷移率為 $\mu1$ ，而構成運算電路 221 的反相器所具有的與上述一導電型不同導電型的電晶體的通道長度為 $L2$ ，通道寬度為 $W2$ ，遷移率為 $\mu2$ 時，滿足 $\mu1 (W1/L1) > \mu2 (W2/L2)$ 。即，較佳的是，在反相器 230 所具有的 n 通道型電晶體的通道長度為 $L1$ ，通道寬度為 $W1$ ，遷移率為 $\mu1$ ，而構成運算電路 221 的反相器所具有的 p 通道型電晶體的通道長度為 $L2$ ，通道寬度為 $W2$ ，遷移率為 $\mu2$ 時，滿足 $\mu1 (W1/L1) > \mu2 (W2/L2)$ 。或者，較佳的是，在反相器 230 所具有的 p 通道型電晶體的通道長度為 $L1$ ，通道寬度為 $W1$ ，遷移率為 $\mu1$ ，而構成運算電路 221 的反相器所具有的 n 通道型電晶體的通道長度為 $L2$ ，通道寬度為 $W2$ ，遷移率為 $\mu2$ 時，滿

足 $\mu_1 (W_1/L_1) > \mu_2 (W_2/L_2)$ 。在此，開關 224 的電流驅動能力充分大是指：例如，在由電晶體 103 構成開關 224，且電晶體的通道長度為 L_3 ，通道寬度為 W_3 ，遷移率為 μ_3 時， $\mu_3 (W_3/L_3)$ 比 $\mu_2 (W_2/L_2)$ 或 $\mu_1 (W_1/L_1)$ 充分大。較佳的是，在 $\mu_3 (W_3/L_3)$ 充分大時，以滿足上述不等式的方式設計各電路的電晶體。

在期間 5 中，解除時脈訊號及時脈訊號的反相訊號的準位（訊號電位）的固定。即，將時脈訊號及時脈訊號的反相訊號恢復到其準位（訊號電位）週期性地變到高準位或低準位的通常訊號。像這樣，記憶體電路在反饋迴路中可以再次開始資料的寫入及讀出。此後工作與上述（供應電源電壓時的工作）同樣。

如上所述，用來將保持在反饋迴路中的資料轉移並寫入到電容器 102 的路徑（資料保存路徑）與用來將保持在電容器 102 中的資料恢復到反饋迴路中的路徑（資料恢復路徑）不同。作為配置在資料恢復路徑上的開關 224 使用遷移率高的元件，來可以更高速地進行（再次開始電源電壓的供應的工作）。例如，作為電晶體 103 使用其通道形成在矽層或矽基板中的電晶體，來可以更高速地進行（再次開始電源電壓的供應的工作）。

如上所述，圖 1A 中的電路 202 在供應電源電壓的期間中從輸入端子（圖式中的 in）被輸入保持在正反器電路 201 中的資料而保持該資料，在不供應電源電壓的期間中也保持該資料，並在供應電源電壓時將（對應於）該資料

(的訊號) 從輸出端子 (圖式中的 out) 提供到正反器電路 201。由此，電路 202 也可以稱為非揮發性記憶體電路。即使在重複改寫資料時該非揮發性記憶體電路的劣化也少，從而可以使能夠改寫資料的次數增大。

以上說明了記憶體電路 100 的驅動方法。

(記憶體單元、訊號處理電路)

本發明的記憶體單元的一個方式可以是使用一個或多個記憶體電路 100 構成的記憶體單元。另外，本發明的訊號處理電路的一個方式可以是使用該記憶體單元的訊號處理電路。例如，可以將記憶體電路 100 用於訊號處理電路所具有的暫存器、快取記憶體等記憶體單元。

再者，訊號處理電路除了上述記憶體單元之外，還可以具有在與記憶體單元之間進行資料的交換的運算電路等各種邏輯電路。而且，也可以在停止對記憶體單元進行電源電壓的供應的同時，停止對在與該記憶體單元之間進行資料的交換的運算電路進行電源電壓的供應。

本發明的訊號處理電路的一個方式也可以為如下訊號處理電路，該訊號處理電路包括：CPU；記憶體；以及對記憶體與 CPU 之間的存取進行控制的周邊控制裝置，其中 CPU、記憶體以及周邊控制裝置分別具有記憶體電路 100。而且，在具有 CPU、記憶體以及周邊控制裝置的訊號處理電路的整體中，也可以停止電源電壓的供應。

藉由將記憶體電路 100 用於訊號處理電路，可以防止

由停止電源電壓的供應導致的資料的消失，從而在再次供應電源電壓之後，可以在短時間內恢復到停止電源供應之前的狀態。因此，可以採用常關閉驅動方法而只在所需要時供應電源電壓，從而可以大幅度地減少耗電量。另外，可以使訊號處理電路的工作速度高速化，再者，也可以提高可靠性。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 2

在本實施方式中，示出本發明的記憶體電路的另一個方式。圖 3 示出記憶體電路 100 的結構。

在圖 3 中，記憶體電路 100 具有正反器電路 201a、正反器電路 201b、電路 202a 及電路 202b。正反器電路 201a 的輸出端子（圖式中的 out）與正反器電路 201b 的輸入端子（圖式中的 in）電連接。正反器電路 201a 的輸入端子（圖式中的 in）用作記憶體電路 100 的輸入端子 D，正反器電路 201b 的輸出端子（圖式中的 out）用作記憶體電路 100 的輸出端子 Q。

電路 202a 及電路 202b 可以是與圖 1A 中的電路 202 同樣的結構。

正反器電路 201a 具有運算電路 221a 及運算電路 222a，並運算電路 221a、運算電路 222a 及電路 202a 之間的電連接關係可以與圖 1A 中的運算電路 221、運算電路 222 及電路 202 之間的電連接關係同樣。另外，正反器電路

201a 具有類比開關 226a，正反器電路 201a 的輸入端子藉由類比開關 226a 與節點 Ma 電連接。時脈訊號 CLK1 及時脈訊號 CLK1 的反相訊號 CLK1B 輸入到類比開關 226a 及運算電路 222a。在此，由於時脈訊號 CLK1 及時脈訊號 CLK1 的反相訊號 CLK1B，在類比開關 226a 處於導通狀態時運算電路 222a 的輸出成爲浮動狀態，而在類比開關 226a 處於截止狀態時運算電路 222a 反相被輸入的訊號而將其輸出。節點 MBa 與正反器電路 201a 的輸出端子電連接。

正反器電路 201b 具有運算電路 221b 及運算電路 222b，並且運算電路 221b、運算電路 222b 及電路 202b 之間的電連接關係可以與圖 1A 中的運算電路 221、運算電路 222 及電路 202 之間的電連接關係同樣。另外，正反器電路 201b 具有類比開關 226b，正反器電路 201b 的輸入端子藉由類比開關 226b 與節點 Mb 電連接。時脈訊號 CLK2 及時脈訊號 CLK2 的反相訊號 CLK2B 輸入到類比開關 226b 及運算電路 222b。在此，由於時脈訊號 CLK2 及時脈訊號 CLK2 的反相訊號 CLK2B，在類比開關 226b 處於導通狀態時運算電路 222b 的輸出成爲浮動狀態，而在類比開關 226b 處於截止狀態時運算電路 222b 反相被輸入的訊號而將其輸出。節點 MBb 與正反器電路 201b 的輸出端子電連接。

時脈訊號 CLK2 既可以是時脈訊號 CLK1 的反相訊號，又可以是偏離時脈訊號 CLK1 的相位而成的訊號。即，

既可以採用將單相時脈訊號供應到圖 3 中的記憶體電路 100 的結構，又可以採用供應兩相時脈訊號的結構。藉由採用兩相時脈訊號的結構，將時脈訊號 CLK1 的工作比（1 週期中的高準位期間所占的比率）和時脈訊號 CLK2 的工作比分別設定為低於 50%，並且，設置時脈訊號 CLK1 和時脈訊號 CLK2 均處於低準位的期間，來可以抑制輸入到輸入端子 D 的資料與時脈訊號（時脈訊號 CLK1 及時脈訊號 CLK2）無關地從輸出端子 Q 輸出。另外，輸入到輸入端子 D 的資料與時脈訊號（時脈訊號 CLK1 及時脈訊號 CLK2）無關地從輸出端子 Q 輸出的現象被稱為資料洩漏（data leakage）、資料控制不穩（data racing）等。

參照圖 4 的時序圖對圖 3 所示的記憶體電路 100 的驅動方法進行說明。也參照圖 1A、圖 3 的符號。

另外，在圖 4 中，以 Ma 表示節點 Ma 的電位，以 MBa 表示節點 MBa 的電位，以 Mb 表示節點 Mb 的電位，以 MBb 表示節點 MBb 的電位，以 V 表示電源電壓，以 CLK1 表示時脈訊號 CLK1 的訊號電位，以 CLKB1 表示時脈訊號 CLK1 的反相訊號的訊號電位，以 CLK2 表示時脈訊號 CLK2 的訊號電位，以 CLKB2 表示時脈訊號 CLK2 的反相訊號的訊號電位。另外，在電路 202a 及電路 202b 中，以 F 表示節點 F 的電位，以 SG1 表示輸入到端子 SG1 的控制訊號的訊號電位，以 SG2 表示輸入到端子 SG2 的控制訊號的訊號電位。在圖 4 中，斜線部分可以是任意訊號電位。

在此，在圖 4 中，示出如下例子：在 SG1 處於高準位時電晶體 101 處於導通狀態，在 SG1 處於低準位時電晶體 101 處於截止狀態。但是，不侷限於此。可以以如下說明與電晶體 101 的導通狀態及截止狀態的關係同樣的方式適當地設定 SG1 的訊號電位。另外，在圖 4 中，示出如下例子：在 SG2 處於高準位時電晶體 103 處於導通狀態，在 SG2 處於低準位時電晶體 103 處於截止狀態。但是，不侷限於此。可以以如下說明與電晶體 103 的導通狀態及截止狀態的關係同樣的方式適當地設定 SG2 的訊號電位。

（供應電源電壓時的工作）

在期間 1 中，作為電源電壓 V 的 V_{DD} 供應到記憶體電路 100，且 $CLK1$ 、 $CLK2$ 、 $CLKB1$ 及 $CLKB2$ 週期性地變到高準位或低準位。在此，圖 4 所示的期間 1 中，藉由將時脈訊號 $CLK1$ 的工作比（1 週期中的高準位期間所占的比率）和時脈訊號 $CLK2$ 的工作比分別設定為低於 50%，並且，設置時脈訊號 $CLK1$ 和時脈訊號 $CLK2$ 均處於低準位的期間，來抑制輸入到輸入端子 D 的資料與時脈訊號（時脈訊號 $CLK1$ 及時脈訊號 $CLK2$ ）無關地從輸出端子 Q 輸出。

在期間 1 中，與時脈訊號及時脈訊號的反相訊號同步，由運算電路 221a 及運算電路 222a 構成的反饋迴路、由運算電路 221b 及運算電路 222b 構成的反饋迴路分別保持對應於資料的訊號（及其反相訊號）。在圖 4 中，示出：

在期間 1 的最後，訊號電位 V_X 保持在節點 M_a 中，訊號電位 V_{XB} 保持在節點 M_{Ba} 中，訊號電位 V_{YB} 保持在節點 M_b 中，而訊號電位 V_Y 保持在節點 M_{Bb} 中的例子。在此，訊號電位 V_{XB} 相當於對應於訊號電位 V_X 的訊號的反相訊號的電位。訊號電位 V_{YB} 相當於對應於訊號電位 V_Y 的訊號的反相訊號的電位。在期間 1 中，在電路 202a 及電路 202b 的每一個中，SG2 處於低準位，開關 224 處於截止狀態。像這樣，記憶體電路 100 與時脈訊號 CLK1 和時脈訊號 CLK2 同步，將從輸入端子 D 輸入的資料保持在正反器電路 201a 的反饋迴路中，將保持在正反器電路 201a 的反饋迴路中的資料輸入到正反器電路 201b，並且，將保持在正反器電路 201b 的反饋迴路中的資料從輸出端子 Q 輸出。在此，其通道形成在氧化物半導體層中的電晶體 101 的遷移率比其通道形成在矽層或矽基板中的電晶體低。在遷移率低的電晶體存在於反饋迴路上時，反饋迴路的資料輸入及資料輸出的速度慢。在記憶體電路 100 中，在反饋迴路上不存在其通道形成在氧化物半導體層中的電晶體 101。由此，可以高速地進行反饋迴路中的資料的寫入及讀出，記憶體電路 100 中的資料的寫入及讀出的速度（工作速度）快。另外，較佳的是，此時，在電路 202a 及電路 202b 中其通道形成在氧化物半導體層中的電晶體 101 處於截止狀態。假設在電路 202a 及電路 202b 中電晶體 101 一直處於導通狀態，在各反饋迴路中的資料的寫入及讀出時，對應於資料的訊號電位一直輸入到電路 202a 的

電容器 102 及電路 202b 的電容器 102，而使各反饋迴路中的資料的寫入及讀出的速度下降。

(停止電源電壓的供應之前的工作)

在期間 2 中，固定 CLK1、CLK2、CLKB1 及 CLKB2。即，使 CLK1、CLK2、CLKB1 及 CLKB2 維持為將所定資料保持在反饋迴路中的狀態下的 CLK1、CLK2、CLKB1 及 CLKB2。即，通常，時脈訊號及時脈訊號的反相訊號是其準位（訊號電位）週期性地變到高準位或低準位的訊號，但是設置不使其產生該變化的期間。在此，將固定時脈訊號及時脈訊號的反相訊號的準位（訊號電位）的期間也稱為時脈訊號固定期間。期間 2 相當於時脈訊號固定期間。由此，在時脈訊號固定期間中，節點 Ma 維持訊號電位 VX，節點 MBa 維持訊號電位 VXB，節點 Mb 維持訊號電位 VYB，而節點 MBb 維持訊號電位 VY。在圖 4 中，示出：將 CLK1 及 CLK2 固定為低準位，將 CLKB1 及 CLKB2 固定為高準位的例子，但是不侷限於此。也可以將 CLK1 及 CLK2 固定為高準位中，將 CLKB1 及 CLKB2 固定為低準位。而且，在時脈訊號固定期間中，藉由在電路 202a 及電路 202b 的每一個中將 SG1 從高準位變到低準位來使截止電流極小的電晶體 101 成為截止狀態。例如，在電路 202a 及電路 202b 的每一個中，在時脈訊號固定期間之前，當 SG1 處於高準位且電晶體 101 處於導通狀態時，在時脈訊號固定期間中，藉由將 SG1 從高準位變到低準位來使

電晶體 101 成爲截止狀態。例如，在電路 202a 及電路 202b 的每一個中，在時脈訊號固定期間之前，當 SG1 處於低準位且電晶體 101 處於導通狀態時，在時脈訊號固定期間中，藉由將 SG1 從低準位變到高準位來使電晶體 101 暫且成爲導通狀態，然後將 SG1 變到低準位來使電晶體 101 成爲截止狀態。像這樣，在電路 202a 中，對應於電容器 102 的一對電極的一個的節點 F 的電位成爲 VX，而在電路 202b 中，對應於電容器 102 的一對電極的一個的節點 F 的電位成爲 VYB。另外，在電路 202a 及電路 202b 的每一個中，在電晶體 101 成爲導通狀態之後，節點 F 的電位成爲上述電位需要長時間。像這樣，將對應於保持在反饋迴路中的資料的訊號（電位）保持在電路 202a 及電路 202b 的每一個中的電容器 102 中。注意，在電路 202a 及電路 202b 的每一個中，SG2 處於低準位，開關 224 維持爲截止狀態。

如上所述，藉由在將時脈訊號及時脈訊號的反相訊號的準位保持爲一定的狀態下，將截止電流極小的電晶體 101 設定爲截止狀態，來可以在抑制對應於保持在各反饋迴路中的資料的訊號（電位）的變動的狀態下，將對應於該資料的訊號（電位）轉移並保持在電路 202a 及電路 202b 的每一個的電容器 102 中。

（停止電源電壓的供應的工作）

在期間 3 中，停止將電源電壓供應到記憶體電路 100

(將電源電壓 V 設定為 0)。像這樣，在期間 3 中，節點 Ma 、節點 Mb 、節點 MBa 及節點 MBb 的電位成為任意電位。另外，在期間 3 中，可以停止時脈訊號及時脈訊號的反相訊號的供應。在此，停止時脈訊號及時脈訊號的反相訊號的供應是指：使 $CLK1$ 的準位和 $CLKB1$ 的準位成為相同準位（例如，低準位），並使 $CLK2$ 的準位和 $CLKB2$ 的準位成為相同準位（例如，低準位）。像這樣，藉由不但停止電源電壓的供應，而且停止時脈訊號及時脈訊號的反相訊號的供應，來可以降低用來供應時脈訊號及時脈訊號的反相訊號的電力。注意，在電路 202a 及電路 202b 的每一個中， $SG2$ 處於低準位，開關 224 維持為截止狀態。

在此，在電路 202a 及電路 202b 的每一個中， $SG1$ 處於低準位，截止電流極小的電晶體 101 維持為截止狀態，即使在停止對記憶體電路 100 進行電源電壓 V 的供應之後，對應於在反饋迴路中保持的資料的訊號（電位）也保持在電路 202a 及電路 202b 的每一個的電容器 102 中。即，在電路 202a 中節點 F 的電位維持為 VX ，在電路 202b 中節點 F 的電位維持為 VYB 。像這樣，藉由使用截止電流極小的電晶體 101，可以長期保持電路 202a 及電路 202b 的每一個的電容器 102 所保持的訊號（電位），由此記憶體電路 100 在停止電源電壓的供應之後也可以長期保持資料。另外，即使在重複改寫資料時記憶體電路 100 的劣化也少，從而可以使能夠改寫資料的次數增大。

另外，在記憶體電路 100 中，在電路 202a 及電路

202b 的每一個中，在截止電流極小的電晶體 101 處於截止狀態且開關 224 處於截止狀態的期間中，電容器 102 的一對電極的一個與反饋迴路中的各節點在電性上斷開。因此，在電路 202a 及電路 202b 的每一個中，如果電晶體 101 處於截止狀態且開關 224 處於截止狀態，則既可以在停止對記憶體電路 100 進行電源電壓的供應的同時，停止時脈訊號及時脈訊號的反相訊號的供應，又可以在進行上述供應中的一個之後進行另一個。即，對停止電源電壓的供應的時序有自由度。

(再次開始電源電壓的供應的工作)

在期間 4 中，將電源電壓 V 設定為 V_{DD} ，再次開始對記憶體電路 100 供應電源電壓。另外，供應恢復到停止電源電壓的供應時的準位（訊號電位）而固定的時脈訊號及時脈訊號的反相訊號。像這樣，開始時脈訊號固定期間。在圖 4 中，將 $CLK1$ 及 $CLK2$ 固定為低準位，將 $CLKB1$ 及 $CLKB2$ 固定在為高準位。在此，在電路 202a 及電路 202b 的每一個中，如果電晶體 101 處於截止狀態且開關 224 處於截止狀態，則既可以在對記憶體電路 100 再次開始電源電壓的供應的同時，再次開始恢復到停止電源電壓的供應時的準位（訊號電位）而固定的時脈訊號及時脈訊號的反相訊號的供應，又可以在進行上述供應中的一個之後進行另一個。即，對再次開始電源電壓的供應的時序有自由度。

然後，在電路 202a 及電路 202b 的每一個中，使 SG2 處於高準位，將開關 224 設定為導通狀態。另外，在電路 202a 及電路 202b 的每一個中，SG1 處於低準位，截止電流極小的電晶體 101 維持為截止狀態。在電路 202a 中，保持在電容器 102 中的訊號（電位），即節點 F 的電位 VX 藉由運算電路 223 被轉換為所對應的訊號 VXB，並在開關 224 處於導通狀態時，輸入到反饋迴路的節點 MBa。像這樣，節點 MBa 的電位畢竟成為 VXB。接著，節點 Ma 的電位也畢竟成為 VX。在電路 202b 中，保持在電容器 102 中的訊號（電位），即節點 F 的電位 VYB 藉由運算電路 223 被轉換為所對應的訊號 VY，並在開關 224 處於導通狀態時，輸入到反饋迴路的節點 MBb。像這樣，節點 MBb 的電位畢竟成為 VY。接著，節點 Mb 的電位也畢竟成為 VYB。像這樣，在反饋迴路中可以再次保持在停止電源電壓的供應之前所保持的資料。然後，在電路 202a 及電路 202b 的每一個中，使 SG2 處於低準位，再次使開關 224 處於截止狀態。

在期間 5 中，解除時脈訊號及時脈訊號的反相訊號的準位（訊號電位）的固定。即，將時脈訊號及時脈訊號的反相訊號恢復到其準位（訊號電位）週期性地變到高準位或低準位的通常訊號。像這樣，記憶體電路在反饋迴路中可以再次開始資料的寫入及讀出。此後工作與上述（供應電源電壓時的工作）同樣。

如上所述，用來將保持在反饋迴路中的資料轉移並寫

入到電容器 102 的路徑（資料保存路徑）與用來將保持在電容器 102 中的資料恢復到反饋迴路中的路徑（資料恢復路徑）不同。作為配置在資料恢復路徑上的開關 224 使用遷移率高的元件，來可以更高速地進行（再次開始電源電壓的供應的工作）。例如，作為電晶體 103 使用其通道形成在矽層或矽基板中的電晶體，來可以更高速地進行（再次開始電源電壓的供應的工作）。

以上說明了記憶體電路 100 的驅動方法。

（記憶體單元、訊號處理電路）

本發明的記憶體單元的一個方式可以是使用一個或多個記憶體電路 100 構成的記憶體單元。另外，本發明的訊號處理電路的一個方式可以是使用該記憶體單元的訊號處理電路。例如，可以將記憶體電路 100 用於訊號處理電路所具有的暫存器、快取記憶體等記憶體單元。

再者，訊號處理電路除了上述記憶體單元之外，還可以具有在與記憶體單元之間進行資料的交換的運算電路等各種邏輯電路。而且，也可以在停止對記憶體單元進行電源電壓的供應的同時，停止對在與該記憶體單元之間進行資料的交換的運算電路進行電源電壓的供應。

本發明的訊號處理電路的一個方式也可以為如下訊號處理電路，該訊號處理電路包括：CPU；記憶體；以及對記憶體與 CPU 之間的存取進行控制的周邊控制裝置，其中 CPU、記憶體以及周邊控制裝置分別具有記憶體電路

100。而且，在具有 CPU、記憶體以及周邊控制裝置的訊號處理電路的整體中，也可以停止電源電壓的供應。

藉由將記憶體電路 100 用於訊號處理電路，可以防止由停止電源電壓的供應導致的資料的消失，從而在再次供應電源電壓之後，可以在短時間內恢復到停止電源供應之前的狀態。因此，可以採用常關閉驅動方法而只在所需要時供應電源電壓，從而可以大幅度地減少耗電量。另外，可以使訊號處理電路的工作速度高速化，再者，也可以提高可靠性。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 3

對圖 1A 和 1B 所示的記憶體電路 100 的製造方法進行說明。在本實施方式中，舉出構成記憶體電路 100 的元件中的電晶體 103、其通道形成在氧化物半導體層中的電晶體 101 以及電容器 102 的例子來說明記憶體電路 100 的製造方法。在此，舉出電晶體 103 是其通道形成在矽層中的電晶體的情況的例子。

首先，如圖 5A 所示，在基板 700 上形成絕緣膜 701 和從單晶半導體基板分離的半導體膜 702。

對可以用作基板 700 的材料沒有大的限制，但是需要至少具有能夠承受後面的加熱處理的程度的耐熱性。例如，作為基板 700，可以使用藉由熔融法或浮法而製造的玻璃基板、石英基板、半導體基板、陶瓷基板等。另外，當

後面的加熱處理的溫度較高時，較佳為使用應變點為 730℃ 以上的玻璃基板。

在本實施方式中，以下，以半導體膜 702 為單晶矽的情況為例子來說明電晶體 103 的製造方法。另外，簡單說明具體的單晶半導體膜 702 的製造方法的一個例子。首先，將由利用電場進行加速的離子構成的離子束注入到單晶半導體基板的接合基板，以在離接合基板的表面有預定深度的區域中形成因使結晶結構錯亂而局部性地脆弱化的脆化層。可以根據離子束的加速能和離子束的入射角調節形成脆化層的區域的深度。然後，貼合接合基板與形成有絕緣膜 701 的基板 700，其中間夾有該絕緣膜 701。至於貼合，在使接合基板與基板 700 重疊之後，對接合基板和基板 700 的一部分施加大約 $1\text{N}/\text{cm}^2$ 以上且 $500\text{N}/\text{cm}^2$ 以下的壓力，較佳為施加大約 $11\text{N}/\text{cm}^2$ 以上且 $20\text{N}/\text{cm}^2$ 以下的壓力。當施加壓力時，從該部分起開始接合基板和絕緣膜 701 的接合，該接合最終擴展於貼緊的整個面。接著，藉由進行加熱處理，存在於脆化層中的極小空隙彼此結合起來，使得極小空隙的體積增大。結果，在脆化層中，接合基板的一部分的單晶半導體膜從接合基板分離。上述加熱處理的溫度為不超過基板 700 的應變點的溫度。然後，藉由利用蝕刻等將上述單晶半導體膜加工為所希望的形狀，可以形成半導體膜 702。

為了控制臨界電壓，也可以對半導體膜 702 添加賦予 p 型導電性的雜質元素諸如硼、鋁、鎵等或賦予 n 型導電

性的雜質元素諸如磷、砷等。用來控制臨界電壓的雜質元素添加既可對被蝕刻而加工為所定形狀之前的半導體膜進行，又可對被蝕刻而加工為所定形狀之後的半導體膜 702 進行。另外，也可以將用於控制臨界電壓的雜質元素添加到接合基板。或者，也可以首先將雜質元素添加到接合基板，以便粗略地調節臨界電壓，然後，再將其添加到被蝕刻而加工為所定形狀之前的半導體膜或被蝕刻而加工為所定形狀之後的半導體膜 702，以便精細地調節臨界電壓。

另外，雖然在本實施方式中說明使用單晶半導體膜的例子，但是本發明不侷限於該結構。例如，既可利用在絕緣膜 701 上利用氣相沉積法而形成的多晶、微晶或非晶半導體膜，又可利用已知的技術使上述半導體膜結晶化。作為已知的晶化法，有利用雷射的雷射晶化法、使用催化元素的晶化法。或者，也可以採用組合了使用催化元素的晶化法和雷射晶化法的方法。另外，在使用石英等具有優良的耐熱性的基板時，也可以採用組合如下方法的晶化法：使用電熱爐的熱晶化法；利用紅外光的燈退火晶化法；使用催化元素的晶化法；950℃左右的高溫退火法。

接著，如圖 5B 所示，將半導體膜 702 加工為所定形狀，來形成半導體層 704。然後，在半導體層 704 上形成閘極絕緣膜 703。

作為閘極絕緣膜 703 的一個例子，可以使用電漿 CVD 法或濺射法等形成包含如下材料的膜的單層或疊層：氧化矽、氮氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧

化鋇、氧化釷、矽酸鈣 (HfSi_xO_y ($x>0$ 、 $y>0$))、添加有氮的矽酸鈣 ($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x>0$ 、 $y>0$ 、 $z>0$))、添加有氮的鋁酸鈣 ($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x>0$ 、 $y>0$ 、 $z>0$))等。

另外，在本說明書中，氧氮化物是指在其組成中含氧量多於含氮量的物質。另外，氮氧化物是指在其組成中含氮量多於含氧量的物質。

例如，可以將閘極絕緣膜 703 的厚度設定為 1nm 以上且 100nm 以下，較佳為 10nm 以上且 50nm 以下。在本實施方式中，作為閘極絕緣膜 703，使用電漿 CVD 法形成包含氧化矽的單層的絕緣膜。

接著，如圖 5C 所示，形成閘極電極 707。

閘極電極 707 可以藉由在形成導電膜之後將該導電膜加工為預定的形狀而形成。在形成上述導電膜時，可以使用 CVD 法、濺射法、蒸鍍法、旋塗法等。另外，作為導電膜，可以使用鈮 (Ta)、鎢 (W)、鈦 (Ti)、鉬 (Mo)、鋁 (Al)、銅 (Cu)、鉻 (Cr)、鉍 (Nb) 等。既可使用含上述金屬作為其主要成分的合金，又可使用含上述金屬的化合物。或者，也可以使用對半導體膜摻雜了賦予導電性的雜質元素如磷等而成的多晶矽等半導體來形成導電膜。

另外，雖然在本實施方式中由單層導電膜形成閘極電極 707，但是本實施方式不侷限於該結構。閘極電極 707 也可以由層疊的多個導電膜形成。

作為兩個導電膜的組合，可以使用氮化鈮或鈮作為第

一層，並且使用鎢作為第二層。另外，除了上述以外，還可以舉出：氮化鎢和鎢、氮化鉬和鉬、鋁和鉬、鋁和鈦等。因為鎢和氮化鉬具有高耐熱性，所以在形成兩層導電膜之後可以進行用於熱活化的加熱處理。另外，作為兩層導電膜的搭配，例如可以使用摻雜有賦予 n 型導電性的雜質元素的矽和鎳矽化物；摻雜有賦予 n 型導電性的雜質元素的矽和鎢矽化物等。

在採用層疊三層的導電膜的三層結構的情況下，較佳為採用鉬膜、鋁膜和鉬膜的疊層結構。

另外，作為閘極電極 707，也可以使用氧化銦、氧化銦氧化錫、氧化銦氧化鋅、氧化鋅、氧化鋅鋁、氧氮化鋅鋁或氧化鋅鎳等的具有透光性的氧化物導電膜。

另外，也可以使用液滴噴射法選擇性地形成閘極電極 707，而不使用遮罩。液滴噴射法是指從細孔噴射或噴出包含預定組分的液滴來形成預定圖案的方法，噴墨法等包括在其範疇內。

另外，藉由在形成導電膜之後使用 ICP (Inductively Coupled Plasma: 感應耦合電漿) 蝕刻法並對蝕刻條件 (施加到線圈型電極層的電力量、施加到基板側電極層的電力量和基板側的電極溫度等) 進行適當調整，可以將閘極電極 707 蝕刻為具有所希望的錐形形狀。另外，還可以根據遮罩的形狀控制錐形形狀的角度等。另外，作為蝕刻氣體，可以適當地使用：氯類氣體如氯、氯化硼、氯化矽、四氯化碳等；氟類氣體如四氟化碳、氟化硫或氟化氮；或

氧。

接著，如圖 5D 所示，藉由以閘極電極 707 為遮罩將賦予一導電性的雜質元素添加到半導體層 704，在半導體層 704 中形成與閘極電極 707 重疊的通道形成區 710 以及夾有通道形成區 710 的一對雜質區域 709。

在本實施方式中，以將賦予 p 型的雜質元素（如硼）添加到半導體層 704 的情況為例子。

接著，如圖 6A 所示，覆蓋閘極絕緣膜 703 和閘極電極 707 形成絕緣膜 712 和絕緣膜 713。明確地說，絕緣膜 712 和絕緣膜 713 可以使用氧化矽、氮化矽、氮氧化矽、氧氮化矽、氮化鋁、氮氧化鋁等的無機絕緣膜。特別是，藉由作為絕緣膜 712 和絕緣膜 713 使用介電常數低（low-k）材料，可以充分地減少起因於各種電極或佈線的重疊的電容，所以較佳為使用介電常數低（low-k）材料。另外，作為絕緣膜 712 和絕緣膜 713，也可以應用使用上述材料的多孔絕緣膜。在多孔絕緣膜中，因為與密度高的絕緣膜相比，其介電常數降低，所以可以進一步減少起因於電極或佈線的寄生電容。

在本實施方式中，以使用氧氮化矽作為絕緣膜 712 並使用氮氧化矽作為絕緣膜 713 的情況為例子。另外，雖然在本實施方式中可以在閘極電極 707 上形成絕緣膜 712 和絕緣膜 713 的情況為例子，但是在本發明中，既可在閘極電極 707 上只形成一層的絕緣膜，又可在閘極電極 707 上形成三層以上的多個絕緣膜的疊層。

接著，如圖 6B 所示，藉由對絕緣膜 713 進行 CMP（化學機械拋光）處理或蝕刻處理，使絕緣膜 713 的頂面平坦化。另外，爲了提高之後形成的電晶體 101 的特性，較佳爲使絕緣膜 713 的表面盡可能地爲平坦。

藉由上述製程，可以形成電晶體 103。

接著，說明電晶體 101 的製造方法。首先，如圖 6C 所示，在絕緣膜 713 上形成氧化物半導體層 716。

藉由將形成在絕緣膜 713 上的氧化物半導體膜加工爲所希望的形狀，可以形成氧化物半導體層 716。上述氧化物半導體膜的厚度爲 2nm 以上且 200nm 以下，較佳爲 3nm 以上且 50nm 以下，更佳爲 3nm 以上且 20nm 以下。藉由使用氧化物半導體作爲靶材，利用濺射法形成氧化物半導體膜。另外，氧化物半導體膜可以藉由在稀有氣體（如氬）氛圍下、在氧氛圍下或在稀有氣體（如氬）和氧的混合氛圍下利用濺射法而形成。

另外，較佳爲在使用濺射法形成氧化物半導體膜之前，進行引入氬氣體並產生電漿的反濺射，而去除附著在絕緣膜 713 的表面的灰塵。反濺射是指不對靶材一側施加電壓而使用 RF 電源在氬氛圍中對基板一側施加電壓來在基板附近形成電漿以進行表面改性的方法。另外，也可以使用氮、氦等代替氬氛圍。另外，也可以在對氬氛圍添加氧、一氧化二氮等的氛圍下進行反濺射。另外，也可以在對氬氛圍添加氟、四氟化碳等的氛圍下進行反濺射。

作爲氧化物半導體層，至少含有選自 In、Ga、Sn 及

Zn 中的一種以上的元素。例如，可以使用四元金屬氧化物的 In-Sn-Ga-Zn-O 類氧化物半導體、三元金屬氧化物的 In-Ga-Zn-O 類氧化物半導體、In-Sn-Zn-O 類氧化物半導體、In-Al-Zn-O 類氧化物半導體、Sn-Ga-Zn-O 類氧化物半導體、Al-Ga-Zn-O 類氧化物半導體、Sn-Al-Zn-O 類氧化物半導體、二元金屬氧化物的 In-Zn-O 類氧化物半導體、Sn-Zn-O 類氧化物半導體、Al-Zn-O 類氧化物半導體、Zn-Mg-O 類氧化物半導體、Sn-Mg-O 類氧化物半導體、In-Mg-O 類氧化物半導體、以及 In-Ga-O 類氧化物半導體、單元金屬氧化物的 In-O 類氧化物半導體、Sn-O 類氧化物半導體、Zn-O 類氧化物半導體等。此外，也可以使用使上述氧化物半導體含有 In、Ga、Sn、Zn 以外的元素如 SiO₂ 而得到的氧化物半導體。

例如，In-Ga-Zn-O 類氧化物半導體是指含有銦 (In)、鎵 (Ga)、鋅 (Zn) 的氧化物半導體，並且對其組成比沒有限制。

此外，氧化物半導體層可以使用由化學式 InMO_3 (ZnO)_m ($m > 0$) 表示的薄膜。這裏，M 表示選自 Zn、Ga、Al、Mn 及 Co 中的一種或多種金屬元素。例如，作為 M，有 Ga、Ga 及 Al、Ga 及 Mn 或 Ga 及 Co 等。

另外，當作爲氧化物半導體使用 In-Zn-O 類材料時，將所使用的靶材的組成比以原子數比設定爲 In:Zn=50:1 至 1:2 (當換算爲莫耳數比時，In₂O₃:ZnO=25:1 至 1:4)，較佳爲 In:Zn=20:1 至 1:1 (當換算爲莫耳數比時，

$\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 至 $1:2$) , 更佳為 $\text{In}:\text{Zn}=1.5:1$ 至 $15:1$ (當換算為莫耳數比時 , $\text{In}_2\text{O}_3:\text{ZnO}=3:4$ 至 $15:2$) 。例如 , 作為用於形成 In-Zn-O 類氧化物半導體的靶材 , 當原子數比為 $\text{In}:\text{Zn}:\text{O}=\text{X}:\text{Y}:\text{Z}$ 時 , $\text{Z}>1.5\text{X}+\text{Y}$ 。

在本實施方式中 , 將藉由使用包含 In (銦) 、 Ga (鎵) 及 Zn (鋅) 的靶材的濺射法而得到的厚度為 30nm 的 In-Ga-Zn-O 類氧化物半導體的薄膜用作氧化物半導體膜。作為上述靶材 , 例如可以使用各金屬的組成比為 $\text{In}:\text{Ga}:\text{Zn}=1:1:0.5$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 或 $\text{In}:\text{Ga}:\text{Zn}=1:1:2$ 的靶材。另外 , 包含 In 、 Ga 及 Zn 的靶材的填充率為 90% 以上且 100% 以下 , 較佳為 95% 以上且低於 100% 。藉由採用填充率高的靶材 , 可以形成緻密的氧化物半導體膜。

在本實施方式中 , 將基板放置在保持為減壓狀態的處理室內 , 去除處理室內的殘留水分並引入被去除了氫及水分的濺射氣體 , 使用上述靶材形成氧化物半導體膜。在進行成膜時 , 也可以將基板溫度設定為 100°C 以上且 600°C 以下 , 較佳為 200°C 以上且 400°C 以下。藉由邊加熱基板邊進行成膜 , 可以降低形成的氧化物半導體膜中含有的雜質濃度。另外 , 可以減輕由於濺射帶來的損傷。為了去除殘留在處理室中的水分 , 較佳為使用吸附型真空泵。例如 , 較佳為使用低溫泵、離子泵、鈦昇華泵。另外 , 作為排氣單元 , 也可以使用配備有冷阱的渦輪泵。在使用低溫泵對處理室進行排氣時 , 例如排出氫原子、水 (H_2O) 等的包含氫原子的化合物 (更佳地 , 還有包含碳原子的化合物) 等

，由此可降低該處理室中形成的氧化物半導體膜所包含的雜質濃度。

作為成膜條件的一例，可以應用如下條件：基板與靶材之間的距離為 100mm，壓力為 0.6Pa，直流（DC）電源電力為 0.5kW，採用氧（氧流量比率為 100%）氛圍。另外，利用脈衝直流（DC）電源是較佳的，因為可以減少在成膜時發生的灰塵並可以實現均勻的膜厚度分佈。

另外，藉由將濺射裝置的處理室的洩漏率設定為 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{秒}$ 以下，可以減少當藉由濺射法形成膜時混入到氧化物半導體膜中的鹼金屬、氫化物等雜質。另外，藉由作為排氣系統使用上述吸附型真空泵，可以減少鹼金屬、氫原子、氫分子、水、羥基或氫化物等雜質從排氣系統倒流。

另外，藉由將靶材的純度設定為 99.99% 以上，可以減少混入到氧化物半導體膜中的鹼金屬、氫原子、氫分子、水、羥基或氫化物等。另外，藉由使用該靶材，在氧化物半導體膜中可以降低鋰、鈉、鉀等的鹼金屬的濃度。

另外，為了使氧化物半導體膜中儘量不包含氫、羥基及水分，作為成膜的預處理，較佳為在濺射裝置的預熱室中對形成了絕緣膜 712 及絕緣膜 713 的基板 700 進行預熱，使吸附到基板 700 的水分或氫等雜質脫離且進行排氣。注意，預熱的溫度是 100℃ 以上且 400℃ 以下，較佳是 150℃ 以上且 300℃ 以下。另外，設置在預熱室中的排氣單元較佳是低溫泵。另外，還可以省略該預熱處理。另外，

該預熱也可以在後面進行的閘極絕緣膜 721 的成膜之前，對形成了導電層 719 及導電層 720 的基板 700 同樣地進行。

另外，氧化物半導體膜處於單晶、多晶（polycrystal）或非晶等狀態。

較佳氧化物半導體膜是 CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor：C 軸配向結晶氧化物半導體）膜。

CAAC-OS 膜不是完全的單晶，也不是完全的非晶。CAAC-OS 膜是在非晶相中具有結晶部的結晶-非晶混合相結構的氧化物半導體膜。另外，在很多情況下該結晶部分的尺寸為能夠容納於一個邊長小於 100nm 的立方體的尺寸。另外，在使用透射電子顯微鏡（TEM:Transmission Electron Microscope）觀察時的影像中，包括在 CAAC-OS 膜中的非晶部與結晶部的邊界不明確。另外，利用 TEM 在 CAAC-OS 膜中觀察不到晶界（grain boundary）。因此，在 CAAC-OS 膜中，起因於晶界的電子遷移率的降低得到抑制。

包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，在從垂直於 ab 面的方向看時具有三角形或六角形的原子排列，且在從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，在不同結晶之間 a 軸及 b 軸的方向可以不同。在本說明

書中，當只記載“垂直”時，也包括 85° 以上且 95° 以下的範圍。另外，當只記載“平行”時，也包括 -5° 以上且 5° 以下的範圍。

另外，在 CAAC-OS 膜中，結晶部的分佈也可以不均勻。例如，在 CAAC-OS 膜的形成過程中，在從氧化物半導體膜的表面一側進行結晶生長時，與被形成面近旁相比，有時在表面近旁結晶部所占的比例高。另外，藉由對 CAAC-OS 膜添加雜質，有時在該雜質添加區中結晶部產生非晶化。

因為包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，所以有時根據 CAAC-OS 膜的形狀（被形成面的剖面形狀或表面的剖面形狀）朝向彼此不同的方向。另外，結晶部的 c 軸方向是平行於形成 CAAC-OS 膜時的被形成面的法線向量或表面的法線向量的方向。結晶部分藉由進行成膜或進行成膜後的加熱處理等的晶化處理來形成。

使用 CAAC-OS 膜的電晶體可以降低因照射可見光或紫外光而產生的電特性變動。因此，這種電晶體的可靠性高。

另外，作為用來形成氧化物半導體層 716 的蝕刻，可以採用乾蝕刻及濕蝕刻中的一者或兩者。作為用於乾蝕刻的蝕刻氣體，較佳為使用含有氯的氣體（氯類氣體，例如，氯（ Cl_2 ）、三氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）、

四氯化碳 (CCl_4) 等) 。另外，還可以使用含有氟的氣體 (氟類氣體，例如四氟化碳 (CF_4) 、六氟化硫 (SF_6) 、三氟化氮 (NF_3) 、三氟甲烷 (CHF_3) 等) 、溴化氫 (HBr) 、氧 (O_2) 、或對上述氣體添加了氦 (He) 或氬 (Ar) 等的稀有氣體的氣體等。

作為乾蝕刻法，可以使用平行平板型 RIE (Reactive Ion Etching : 反應離子蝕刻) 法或 ICP (Inductively Coupled Plasma : 感應耦合電漿) 蝕刻法。為了能夠蝕刻為所希望的形狀，適當地調節蝕刻條件 (施加到線圈形電極的電力量、施加到基板一側的電極的電力量、基板一側的電極溫度等) 。

作為用於濕蝕刻的蝕刻液，可以使用將磷酸、醋酸及硝酸混合而成的溶液、檸檬酸或草酸等的有機酸。在本實施方式中，使用 ITO-07N (日本關東化學株式會社製造)

另外，也可以利用噴墨法形成用來形成氧化物半導體層 716 的抗蝕劑遮罩。當利用噴墨法形成抗蝕劑遮罩時不需要光遮罩，由此可以降低製造成本。

另外，較佳為在下一個製程中形成導電膜之前進行反濺射，以去除附著在氧化物半導體層 716 及絕緣膜 713 的表面的抗蝕劑殘渣等。

另外，有時在藉由濺射等形成的氧化物半導體膜中包含作為雜質的水分或氫 (包括羥基) 。因為水分或氫容易形成施體能階，所以它們對於氧化物半導體來說是雜質。

因此，在本發明的一個方式中，爲了減少氧化物半導體膜中的水分或氫等雜質（實現脫水化或脫氫化），在減壓氛圍、氮或稀有氣體等惰性氣體氛圍、氧氣體氛圍或超乾燥空氣（使用 CRDS（cavity ring-down laser spectroscopy：光腔衰蕩光譜法）方式的露點計進行測定時的水分量是 20ppm（露點換算， -55°C ）以下，較佳的是 1ppm 以下，更佳的是 10ppb 以下的空氣）氛圍下對氧化物半導體層 716 進行加熱處理。

藉由對氧化物半導體層 716 進行加熱處理，可以使氧化物半導體層 716 中的水分或氫脫離。明確地說，可以在 250°C 以上且 750°C 以下的溫度下，較佳爲在 400°C 以上且低於基板的應變點的溫度下進行加熱處理。例如，以 500°C 進行 3 分鐘以上且 6 分鐘以下左右的加熱處理即可。藉由使用 RTA 法作爲加熱處理，可以在短時間內進行脫水化或脫氫化，由此即使在超過玻璃基板的應變點的溫度下也可以進行處理。

在本實施方式中，使用加熱處理裝置之一的電爐。

另外，加熱處理裝置不侷限於電爐，也可以具備利用來自電阻發熱體等發熱體的熱傳導或熱輻射加熱被處理物的裝置。例如，可以使用 GRTA（Gas Rapid Thermal Anneal：氣體快速熱退火）裝置、LRTA（Lamp Rapid Thermal Anneal：燈快速熱退火）裝置等的 RTA（Rapid Thermal Anneal：快速熱退火）裝置。LRTA 裝置是利用從燈如鹵素燈、金鹵燈、氬弧燈、碳弧燈、高壓鈉燈或高

壓汞燈等發出的光（電磁波）的輻射加熱被處理物的裝置。GRTA 裝置是使用高溫的氣體進行加熱處理的裝置。作為氣體，使用即使進行加熱處理也不與被處理物產生反應的惰性氣體如氬等的稀有氣體或者氮等。

另外，在加熱處理中，較佳為在氮或氬、氖、氫等的稀有氣體中不包含水分或氬等。或者，較佳的是，引入到加熱處理裝置的氮或稀有氣體如氬、氖或氫的純度為 6N（99.9999%）以上，較佳為 7N（99.99999%）以上（即，雜質濃度為 1ppm 以下，較佳為 0.1ppm 以下）。

另外，有人指出：由於氧化物半導體對雜質不敏感，因此即使在膜中包含多量金屬雜質也沒有問題，而也可以使用包含多量的鹼金屬諸如鈉等的廉價的鈉鈣玻璃（神谷、野村以及細野，“アモルファス酸化物半導體の物性とデバイス開発の現状（Carrier Transport Properties and Electronic Structures of Amorphous Oxide Semiconductors: The present status: 非晶氧化物半導體的物性及裝置開發的現狀）”，固體物理，2009年9月號，Vol.44，pp.621-633）。但是，這種指出是不適當的。鹼金屬由於不是構成氧化物半導體的元素，所以是雜質。鹼土金屬在它不是構成氧化物半導體的元素時也是雜質。尤其是，鹼金屬中的 Na 在與氧化物半導體層接觸的絕緣膜為氧化物時擴散到該絕緣膜中而成為 Na^+ 。另外，在氧化物半導體層中，Na 將構成氧化物半導體的金屬與氧的接合斷開或擠進該接合之中。結果，例如，發生因臨界電壓

向負一側漂移而導致的常導通化、遷移率的降低等電晶體特性的劣化，而且，也發生特性的不均勻。在氧化物半導體層中的氫濃度十分低時顯著地出現上述雜質所引起的電晶體的上述特性劣化及特性不均勻。因此，在氧化物半導體層中的氫濃度為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，較佳為 $1 \times 10^{17} \text{atoms/cm}^3$ 以下時，較佳為減少上述雜質的濃度。明確地說，利用二次離子質譜分析法測量的 Na 濃度的測定值較佳為 $5 \times 10^{16} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{16} \text{atoms/cm}^3$ 以下，進一步較佳為 $1 \times 10^{15} \text{atoms/cm}^3$ 以下。與此同樣，Li 濃度的測定值較佳為 $5 \times 10^{15} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{15} \text{atoms/cm}^3$ 以下。與此同樣，K 濃度的測定值較佳為 $5 \times 10^{15} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{15} \text{atoms/cm}^3$ 以下。

藉由上述製程可以降低氧化物半導體層 716 中的氫濃度，從而實現高純度化。由此，可以實現氧化物半導體層的穩定化。另外，藉由進行玻璃轉變溫度以下的加熱處理，可以形成載子密度極少且能隙寬的氧化物半導體層。由此，可以使用大面積基板製造電晶體，而可以提高量產性。另外，藉由使用上述氫濃度被降低的被高純度化的氧化物半導體層，可以製造耐壓性高且截止電流顯著低的電晶體。只要在形成氧化物半導體層之後，就可以進行上述加熱處理。

接著，如圖 7A 所示，形成與氧化物半導體層 716 接觸的導電層 719 及與氧化物半導體層 716 接觸的導電層

720。導電層 719 及導電層 720 被用作源極電極或汲電級。

明確地說，藉由濺射法或真空蒸鍍法形成導電膜，然後將該導電膜加工為所希望的形狀，來可以形成導電層 719 及導電層 720。

作為成爲導電層 719 及導電層 720 的導電膜，可以舉出選自鋁、鉻、銅、鉭、鈦、鉬、鎢中的元素、以上述元素爲成分的合金或組合上述元素而成的合金膜等。此外，還可以採用在鋁、銅等的金屬膜的下側或上側層疊鉻、鉭、鈦、鉬、鎢等的高熔點金屬膜的結構。另外，作為鋁或銅，爲了避免耐熱性或腐蝕性的問題，較佳爲將鋁或銅與高熔點金屬材料組合而使用。作為高熔點金屬材料，可以使用鉬、鈦、鉻、鉭、鎢、釹、銦、鉕等。

另外，成爲導電層 719 及導電層 720 的導電膜可以採用單層結構或兩層以上的疊層結構。例如，可以舉出：包含矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的兩層結構；以及鈦膜、層疊在該鈦膜上的鋁膜、還在其上層疊的鈦膜的三層結構等。另外，Cu-Mg-Al 合金、Mo-Ti 合金、Ti、Mo 具有與氧化膜的高密接性。因此，藉由作為下層層疊包括 Cu-Mg-Al 合金、Mo-Ti 合金、Ti 或 Mo 的導電膜，作為上層層疊包括 Cu 的導電膜，且將該層疊的導電膜用於導電層 719 及導電層 720，可以提高作為氧化膜的絕緣膜與導電層 719 及導電層 720 的密接性。

此外，也可以使用導電金屬氧化物形成成爲導電層

719 及導電層 720 的導電膜。作為導電金屬氧化物，可以使用氧化銻、氧化錫、氧化鋅、氧化銻氧化錫、氧化銻氧化鋅或使上述金屬氧化物材料包含矽或氧化矽的材料。

在形成導電膜之後進行加熱處理的情況下，較佳為使導電膜具有承受該加熱處理的耐熱性。

另外，在對導電膜進行蝕刻時，以儘量不去除氧化物半導體層 716 的方式適當地調節各個材料及蝕刻條件。根據蝕刻條件，有時由於氧化物半導體層 716 的露出的部分被部分地蝕刻，形成槽部（凹部）。

在本實施方式中，作為導電膜，使用鈦膜。因此，可以使用包含氨和過氧化氫水的溶液（過氧化氫氨水）對導電膜選擇性地進行濕蝕刻。明確地說，使用以 5:2:2 的體積比混合有 31wt.%的過氧化氫水、28wt.%的氨水和水的水溶液。或者，也可以使用氯（ Cl_2 ）、氯化硼（ BCl_3 ）等的氣體對導電膜進行乾蝕刻。

另外，為了縮減在光刻製程中使用的光遮罩數及製程數，還可以使用藉由多色調遮罩形成的抗蝕劑遮罩進行蝕刻製程，該多色調遮罩是使透過光具有多種強度的遮罩。由於使用多色調遮罩形成的抗蝕劑遮罩成為具有多種厚度的形狀，且藉由進行蝕刻可以進一步改變其形狀，因此可以將使用多色調遮罩形成的抗蝕劑遮罩用於加工為不同圖案的多個蝕刻製程。由此，可以使用一個多色調遮罩形成至少對應於兩種以上的不同圖案的抗蝕劑遮罩。因此，可以縮減曝光遮罩數，還可以縮減所對應的光刻製程，從而

可以簡化製程。

另外，也可以在氧化物半導體層 716 與用作源極電極或汲極電極的導電層 719 及導電層 720 之間設置用作源極區或汲極區的氧化物導電膜。作為氧化物導電膜的材料，較佳為使用以氧化鋅為成分的材料，且較佳為使用不含有氧化銻的材料。作為這種氧化物導電膜，可以使用氧化鋅、氧化鋅鋁、氧氮化鋅鋁、氧化鋅鎵等。

例如，在形成氧化物導電膜時，也可以一同進行用來形成氧化物導電膜的蝕刻加工和用來形成導電層 719 及導電層 720 的蝕刻加工。

藉由設置用作源極區及汲極區的氧化物導電膜，可以降低氧化物半導體層 716 與導電層 719 及導電層 720 之間的電阻，所以可以實現電晶體的高速工作。另外，藉由設置用作源極區及汲極區的氧化物導電膜，可以提高電晶體的耐壓。

接著，也可以進行使用 N_2O 、 N_2 或 Ar 等的氣體的電漿處理。藉由該電漿處理去除附著到露出的氧化物半導體層表面的水等。另外，也可以使用氧和氫的混合氣體進行電漿處理。

另外，在進行電漿處理之後，如圖 7B 所示，以覆蓋導電層 719、導電層 720 以及氧化物半導體層 716 的方式形成閘極絕緣膜 721。並且，在閘極絕緣膜 721 上，在與氧化物半導體層 716 重疊的位置形成閘極電極 722。

而且，在形成閘極電極 722 之後，以閘極電極 722 為

遮罩對氧化物半導體層 716 添加賦予 n 型導電性的摻雜劑，來形成一對高濃度區 908。另外，氧化物半導體層 716 中的隔著閘極絕緣膜 721 重疊於閘極電極 722 的區域成為通道形成區。在氧化物半導體層 716 中，在一對高濃度區 908 之間設置有通道形成區。當為了形成高濃度區 908 添加摻雜劑時，可以使用離子植入法。作為摻雜劑，例如可以使用氮、氬、氙等稀有氣體或氮、磷、砷、銻等第 15 族原子等。例如，在將氮用作摻雜劑的情況下，高濃度區 908 中的氮原子的濃度較佳為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以上且 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下。添加有賦予 n 型導電性的摻雜劑的高濃度區 908 的導電性比氧化物半導體層 716 中的其他區域的導電性高。因此，藉由在氧化物半導體層 716 中設置高濃度區 908，可以降低源極電極和汲極電極（導電層 719 和導電層 720）之間的電阻。

並且，藉由降低源極電極和汲極電極（導電層 719 和導電層 720）之間的電阻，即使進行電晶體 101 的微型化，也可以確保高導通電流和高速工作。另外，藉由進行電晶體 101 的微型化，可以縮小使用該電晶體的儲存單元陣列所占的面積而提高儲存單元陣列的每單位面積的儲存容量。

另外，在將 In-Ga-Zn-O 類氧化物半導體用於氧化物半導體層 716 的情況下，藉由在添加氮之後以 300°C 以上且 600°C 以下的溫度進行 1 小時左右的加熱處理，高濃度區 908 中的氧化物半導體具有纖鋅礦型結晶結構。藉由使

高濃度區 908 中的氧化物半導體具有纖鋅礦型結晶結構，可以進一步提高高濃度區 908 的導電性，且降低源極電極和汲極電極（導電層 719 和導電層 720）之間的電阻。另外，爲了形成具有纖鋅礦型結晶結構的氧化物半導體來有效地降低源極電極和汲極電極（導電層 719 和導電層 720）之間的電阻，在將氮用作摻雜劑的情況下，較佳爲將高濃度區 908 中的氮原子的濃度設定爲 $1 \times 10^{20} \text{ atoms/cm}^3$ 以上且 7 atoms% 以下。但是，即使氮原子的濃度低於上述範圍，也有時可以得到具有纖鋅礦型結晶結構的氧化物半導體。

閘極絕緣膜 721 可以使用與閘極絕緣膜 703 相同的材料、相同的疊層結構形成。並且，閘極絕緣膜 721 較佳爲儘量不包含水分、氫等的雜質，並可以爲單層的絕緣膜或多個絕緣膜的疊層。當在閘極絕緣膜 721 中包含氫時，該氫侵入到氧化物半導體層 716，或氫抽出氧化物半導體層 716 中的氧，而使氧化物半導體層 716 低電阻化（n 型化），因此有可能形成寄生通道。因此，爲了使閘極絕緣膜 721 儘量不含有氫，當形成膜時不使用氫是重要的。上述閘極絕緣膜 721 較佳爲使用阻擋性高的材料。例如，作爲阻擋性高的絕緣膜，可以使用氮化矽膜、氮氧化矽膜、氮化鋁膜或氮氧化鋁膜等。當使用多個層疊的絕緣膜時，將氮的含有比率低的氧化矽膜、氧氮化矽膜等的絕緣膜形成在與上述阻擋性高的絕緣膜相比接近於氧化物半導體層 716 的一側。然後，以在其間夾著氮含有比率低的絕緣膜

且與導電層 719、導電層 720 以及氧化物半導體層 716 重疊的方式形成阻擋性高的絕緣膜。藉由使用阻擋性高的絕緣膜，可以防止水分或氫等雜質侵入到氧化物半導體層 716 內、閘極絕緣膜 721 內或者氧化物半導體層 716 與其他絕緣膜的介面及其近旁。另外，藉由以與氧化物半導體層 716 接觸的方式形成氮比率低的氧化矽膜、氮化矽膜等的絕緣膜，可以防止使用阻擋性高的材料的絕緣膜直接接觸於氧化物半導體層 716。

在本實施方式中，形成如下閘極絕緣膜 721，該閘極絕緣膜 721 在藉由濺射法形成的厚度為 200nm 的氧化矽膜上層疊有藉由濺射法形成的厚度為 100nm 的氮化矽膜。將進行成膜時的基板溫度設定為室溫以上且 300℃ 以下即可，在本實施方式中採用 100℃。

另外，也可以在形成閘極絕緣膜 721 之後進行加熱處理。該加熱處理在氮、超乾燥空氣或稀有氣體（氫、氬等）的氛圍下較佳為以 200℃ 以上且 400℃ 以下，例如 250℃ 以上且 350℃ 以下的溫度進行。上述氣體的含水量為 20ppm 以下，較佳為 1ppm 以下，更佳為 10ppb 以下。在本實施方式中，例如在氮氛圍下以 250℃ 進行 1 小時的加熱處理。或者，與在形成導電層 719 及導電層 720 之前為了減少水分或氫對氧化物半導體層進行的上述加熱處理同樣，也可以在短時間進行高溫的 RTA 處理。藉由在設置包含氧的閘極絕緣膜 721 之後進行加熱處理，即使因對氧化物半導體層 716 進行的上述加熱處理而在氧化物半導體

層 716 中產生氧缺陷，氧也從閘極絕緣膜 721 供應到氧化物半導體層 716。並且，藉由將氧供應到氧化物半導體層 716，可以在氧化物半導體層 716 中降低成為施體的氧缺陷，並滿足化學計量組成比。氧化物半導體層 716 較佳為含有超過化學計量組成比的氧。結果，可以使氧化物半導體層 716 趨近於 i 型，降低因氧缺陷而導致的電晶體的電特性的偏差，從而實現電特性的提高。進行該加熱處理的時序只要是形成閘極絕緣膜 721 之後就沒有特別的限制，並且藉由將該加熱處理兼作其他製程例如形成樹脂膜時的加熱處理、用來使透明導電膜低電阻化的加熱處理，可以在不增加製程數的條件下使氧化物半導體層 716 趨近於 i 型。

另外，也可以藉由在氧氛圍下對氧化物半導體層 716 進行加熱處理，對氧化物半導體添加氧，而減少在氧化物半導體層 716 中成為施體的氧缺陷。加熱處理的溫度例如是 100°C 以上且低於 350°C，較佳是 150°C 以上且低於 250°C。上述用於氧氛圍下的加熱處理的氧氣體較佳為不包含水、氫等。或者，較佳為將引入到加熱處理裝置中的氧氣體的純度設定為 6N (99.9999%) 以上，更佳為設定為 7N (99.99999%) 以上（也就是說，氧中的雜質濃度為 1ppm 以下，較佳為 0.1ppm 以下）。

或者，也可以藉由採用離子植入法或離子摻雜法等對氧化物半導體層 716 添加氧，來減少成為施體的氧缺陷。例如，將以 2.45GHz 的微波電漿化了的氧添加到氧化物半

導體層 716 中，即可。

另外，藉由在閘極絕緣膜 721 上形成導電膜之後，對該導電膜進行蝕刻加工，來可以形成閘極電極 722。閘極電極 722 可以使用與閘極電極 707 或導電層 719 及導電層 720 相同的材料來形成。

閘極電極 722 的厚度為 10nm 至 400nm，較佳為 100nm 至 200nm。在本實施方式中，在藉由使用鎢靶材的濺射法形成 150nm 的用於閘極電極的導電膜之後，藉由蝕刻將該導電膜加工為所希望的形狀，來形成閘極電極 722。另外，也可以使用噴墨法形成抗蝕劑遮罩。當藉由噴墨法形成抗蝕劑遮罩時不使用光遮罩，因此可以縮減製造成本。

藉由上述製程，形成電晶體 101。

電晶體 101 的源極電極及汲極電極（導電層 719 及導電層 720）不重疊於閘極電極 722。換言之，在源極電極及汲極電極（導電層 719 及導電層 720）與閘極電極 722 之間設置有大於閘極絕緣膜 721 的厚度的間隔。因此，電晶體 101 能夠抑制形成在源極電極及汲極電極與閘極電極之間的寄生電容，所以可以實現高速工作。

另外，電晶體 101 不侷限於其通道形成在氧化物半導體層中的電晶體，也可以使用將其能隙比矽的能隙寬且其本質載子密度比矽的本質載子密度低的半導體材料包含在通道形成區中的電晶體。作為這種半導體材料，除了氧化物半導體之外，例如，還可以舉出碳化矽、氮化鎵等。藉

由在通道形成區中包含這種半導體材料，可以實現截止電流極低的電晶體。

另外，雖然使用單閘結構的電晶體說明電晶體 101，但是也可以根據需要形成藉由具有電連接的多個閘極電極來具有多個通道形成區的多閘結構的電晶體。

接觸於氧化物半導體層 716 的絕緣膜（在本實施方式中，相當於閘極絕緣膜 721）也可以使用包含第 13 族元素及氧的絕緣材料。較多氧化物半導體材料包含第 13 族元素，包含第 13 族元素的絕緣材料與氧化物半導體的搭配良好，因此藉由將包含第 13 族元素的絕緣材料用於與氧化物半導體層接觸的絕緣膜，可以保持與氧化物半導體層的良好介面狀態。

包含第 13 族元素的絕緣材料是指包含一種或多種第 13 族元素的絕緣材料。作為包含第 13 族元素的絕緣材料，例如有氧化鎵、氧化鋁、氧化鋁鎵、氧化鎵鋁等。在此，氧化鋁鎵是指含鋁量（at.%）多於含鎵量（at.%）的物質，並且氧化鎵鋁是指含鎵量（at.%）等於或多於含鋁量（at.%）的物質。

例如，當以接觸於包含鎵的氧化物半導體層的方式形成絕緣膜時，藉由將包含氧化鎵的材料用於絕緣膜，可以保持氧化物半導體層和絕緣膜之間的良好介面特性。例如，藉由以彼此接觸的方式設置氧化物半導體層和包含氧化鎵的絕緣膜，可以減少產生在氧化物半導體層和絕緣膜之間的氫的沉積（pileup）。另外，在作為絕緣膜使用屬

於與氧化物半導體的成分元素相同的族的元素時，可以獲得同樣的效果。例如，使用包含氧化鋁的材料形成絕緣膜也是有效的。另外，由於氧化鋁具有不容易透過水的特性，因此從防止水侵入到氧化物半導體層中的角度來看，使用該材料也是較佳的。

此外，作為與氧化物半導體層 716 接觸的絕緣膜，較佳為採用藉由進行氧氛圍下的熱處理或氧摻雜等包含多於化學計量組成比的氧的絕緣材料。氧摻雜是指對塊體 (bulk) 添加氧的處理。為了明確表示不僅對薄膜表面添加氧，而且對薄膜內部添加氧，使用該術語“塊體”。此外，氧摻雜包括將電漿化了的氧添加到塊體中的氧電漿摻雜。另外，也可以使用離子植入法或離子摻雜法進行氧摻雜。

例如，當作為與氧化物半導體層 716 接觸的絕緣膜使用氧化鎵時，藉由進行氧氛圍下的熱處理或氧摻雜，可以將氧化鎵的組成設定為 Ga_2O_x ($X=3+\alpha$, $0<\alpha<1$)。

此外，作為與氧化物半導體層 716 接觸的絕緣膜使用氧化鋁時，藉由進行氧氛圍下的熱處理或氧摻雜，可以將氧化鋁的組成設定為 Al_2O_x ($X=3+\alpha$, $0<\alpha<1$)。

此外，在作為與氧化物半導體層 716 接觸的絕緣膜使用氧化鎵鋁 (氧化鋁鎵) 時，藉由進行氧氛圍下的熱處理或氧摻雜，可以將氧化鎵鋁 (氧化鋁鎵) 的組成設定為 $Ga_xAl_{2-x}O_{3+\alpha}$ ($0<X<2$, $0<\alpha<1$)。

藉由進行氧摻雜處理，可以形成具有包含多於化學計

量組成比的氧的區域的絕緣膜。藉由使具備這種區域的絕緣膜與氧化物半導體層接觸，絕緣膜中的過剩的氧被供應到氧化物半導體層中，可以減少氧化物半導體層中或氧化物半導體層與絕緣膜的介面中的氧缺陷，來可以使氧化物半導體層成爲 i 型化或無限趨近於 i 型。

也可以將具有包含多於化學計量組成比的氧的區域的絕緣膜僅用於與氧化物半導體層 716 接觸的絕緣膜中的位於上層的絕緣膜和位於下層的絕緣膜中的一個，但是較佳爲用於兩者的絕緣膜。藉由將具有包含多於化學計量組成比的氧的區域的絕緣膜用於與氧化物半導體層 716 接觸的絕緣膜中的位於上層及下層的絕緣膜，而實現夾著氧化物半導體層 716 的結構，來可以進一步提高上述效果。

此外，用於氧化物半導體層 716 的上層或下層的絕緣膜既可以是具有相同的構成元素的絕緣膜，又可以是具有不同的構成元素的絕緣膜。例如，既可以採用上層和下層都是其組成爲 Ga_2O_x ($X=3+\alpha$, $0<\alpha<1$) 的氧化鎵的結構，又可以採用上方和下方中的一個是其組成爲 Ga_2O_x ($X=3+\alpha$, $0<\alpha<1$) 的氧化鎵，另一個是其組成爲 Al_2O_x ($X=3+\alpha$, $0<\alpha<1$) 的氧化鋁的結構。

另外，與氧化物半導體層 716 接觸的絕緣膜也可以是具有包含多於化學計量組成比的氧的區域的絕緣膜的疊層。例如，也可以作爲氧化物半導體層 716 的上層形成組成爲 Ga_2O_x ($X=3+\alpha$, $0<\alpha<1$) 的氧化鎵，且在其上形成組成爲 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$ ($0<X<2$, $0<\alpha<1$) 的氧化鎵鋁（氧化鋁鎵

)。此外，既可以作為氧化物半導體層 716 的下層形成具有包含多於化學計量組成比的氧的區域的絕緣膜的疊層，又可以作為氧化物半導體層 716 的上層及下層形成具有包含多於化學計量組成比的氧的區域的絕緣膜的疊層。

接著，如圖 7C 所示，以覆蓋閘極絕緣膜 721 和閘極電極 722 的方式形成絕緣膜 724。絕緣膜 724 可以利用 PVD 法或 CVD 法等形式。另外，還可以使用含有如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鎵、氧化鋁等的無機絕緣材料的材料形成。另外，作為絕緣膜 724 較佳為使用介電常數低的材料或介電常數低的結構（多孔結構等）。這是因為藉由使絕緣膜 724 的介電常數降低，可以降低產生在佈線、電極等之間的寄生電容，從而實現工作的高速化的緣故。另外，在本實施方式中，採用單層結構的絕緣膜 724，但是，本發明的一個方式不侷限於此，也可以採用兩層以上的疊層結構。

接著，在閘極絕緣膜 721 和絕緣膜 724 中形成開口部，使導電層 720 的一部分露出。然後，在絕緣膜 724 上形成在上述開口部中與導電層 720 接觸的佈線 726。

在使用 PVD 法或 CVD 法形成導電膜之後，對該導電膜進行蝕刻加工來形成佈線 726。另外，作為導電膜的材料，可以使用選自鋁、鉻、銅、鈇、鈦、鉬和鎢中的元素或以上述元素為成分的合金等。也可以使用選自錳、鎂、鉛、銻、釷、釷中的一種或多種材料。

更明確而言，例如，可以在包括絕緣膜 724 的開口的

區域中藉由 PVD 法形成薄的鈦膜，在藉由 PVD 法形成薄（5nm 左右）的鈦膜之後埋入開口部形成鋁膜。這裏，藉由 PVD 法形成的鈦膜具有還原被形成面的氧化膜（自然氧化膜等）並降低與下部電極等（在此，導電層 720）的接觸電阻的功能。另外，可以防止鋁膜的小丘的產生。另外，也可以在形成由鈦或氮化鈦等構成的障壁膜之後，使用鍍敷法形成銅膜。

接著，如圖 7D 所示，覆蓋佈線 726 形成絕緣膜 727。再者，在絕緣膜 727 上形成導電膜，並藉由對該導電膜進行蝕刻加工，來形成導電層 7301。然後，覆蓋導電層 7301 形成絕緣膜 7302，在絕緣膜 7302 上形成導電膜 7303。像這樣，可以形成電容器 102。電容器 102 的一對電極的一個對應於導電層 7301，一對電極的另一個對應於導電膜 7303，介電層對應於絕緣膜 7302。在此，絕緣膜 727、導電層 7301、絕緣膜 7302、導電膜 7303 的材料可以使用與其他絕緣膜或導電層同樣的材料。

藉由上述一系列的製程可以製造記憶體電路 100。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 4

在本實施方式中，說明具有與實施方式 3 不同的結構的使用氧化物半導體層的電晶體。與圖 7A 至 7D 相同的部分使用同一符號表示，而省略其說明。

圖 8A 所示的電晶體 101 是閘極電極 722 形成在氧化

物半導體層 716 上的頂閘極型電晶體，並是源極電極及汲極電極（導電層 719 及導電層 720）形成在氧化物半導體層 716 下的底接觸型電晶體。

另外，氧化物半導體層 716 具有一對高濃度區 918，該一對高濃度區 918 藉由在形成閘極電極 722 之後對氧化物半導體層 716 添加賦予 n 型導電性的摻雜劑來得到。另外，氧化物半導體層 716 中的隔著閘極絕緣膜 721 重疊於閘極電極 722 的區域是通道形成區 919。在氧化物半導體層 716 中，在一對高濃度區 918 之間設置有通道形成區 919。

高濃度區 918 可以與在實施方式 4 中說明的高濃度區 908 同樣地形成。

圖 8B 所示的電晶體 101 是閘極電極 722 形成在氧化物半導體層 716 上的頂閘極型電晶體，並是源極電極及汲極電極（導電層 719 及導電層 720）形成在氧化物半導體層 716 上的頂接觸型電晶體。而且，具有設置於閘極電極 722 的側部的由絕緣膜形成的側壁 930。

另外，氧化物半導體層 716 具有一對高濃度區 928 及一對低濃度區 929，該一對高濃度區 928 及該一對低濃度區 929 藉由在形成閘極電極 722 之後對氧化物半導體層 716 添加賦予 n 型導電性的摻雜劑來得到。另外，氧化物半導體層 716 中的隔著閘極絕緣膜 721 重疊於閘極電極 722 的區域是通道形成區 931。在氧化物半導體層 716 中，在一對高濃度區 928 之間設置有一對低濃度區 929，並

且在一對低濃度區 929 之間設置有通道形成區 931。而且，一對低濃度區 929 設置在氧化物半導體層 716 中的隔著閘極絕緣膜 721 重疊於側壁 930 的區域中。

高濃度區 928 及低濃度區 929 可以與在實施方式 4 中說明的高濃度區 908 同樣地形成。

圖 8C 所示的電晶體 101 是閘極電極 722 形成在氧化物半導體層 716 上的頂閘極型電晶體，並是源極電極及汲極電極（導電層 719 及導電層 720）形成在氧化物半導體層 716 下的底接觸型電晶體。而且，具有設置於閘極電極 722 的側部的由絕緣膜形成的側壁 950。

另外，氧化物半導體層 716 具有一對高濃度區 948 及一對低濃度區 949，該一對高濃度區 948 及該一對低濃度區 949 藉由在形成閘極電極 722 之後對氧化物半導體層 716 添加賦予 n 型導電性的摻雜劑來得到。另外，氧化物半導體層 716 中的隔著閘極絕緣膜 721 重疊於閘極電極 722 的區域是通道形成區 951。在氧化物半導體層 716 中，在一對高濃度區 948 之間設置有一對低濃度區 949，並且在一對低濃度區 949 之間設置有通道形成區 951。而且，一對低濃度區 949 設置在氧化物半導體層 716 中的隔著閘極絕緣膜 721 重疊於側壁 950 的區域中。

高濃度區 948 及低濃度區 949 可以與在實施方式 4 中說明的高濃度區 908 同樣地形成。

另外，作為在使用氧化物半導體的電晶體中使用自對準製程製造用作源極區或汲極區的高濃度區的方法之一，

公開了使氧化物半導體層的表面露出且進行氬電漿處理來降低氧化物半導體層的暴露於電漿的區域的電阻率的方法 (S. Jeon et al. "180nm Gate Length Amorphous InGaZnO Thin Film Transistor for High Density Image Sensor Applications", IEDM Tech. Dig., pp.504-507, 2010.)。

但是，在上述製造方法中，在形成閘極絕緣膜之後，需要部分地去除閘極絕緣膜，以使成為源極區或汲極區的部分露出。因此，在去除閘極絕緣膜時，下層的氧化物半導體層也被部分地過蝕刻，而成為源極區或汲極區的部分的厚度減薄。其結果，源極區或汲極區的電阻增加，並且容易產生過蝕刻所導致的電晶體的特性不良。

爲了進行電晶體的微型化，需要採用加工精度高的乾蝕刻法。但是，在採用不能充分確保氧化物半導體層與閘極絕緣膜的選擇比的乾蝕刻法時，容易顯著產生上述過蝕刻。

例如，如果氧化物半導體層具有充分厚的厚度，就過蝕刻也不成爲問題，但是在將通道長度設定爲 200nm 以下時，爲了防止短通道效應，需要氧化物半導體層中的成爲通道形成區的部分的厚度爲 20nm 以下，較佳爲 10nm 以下。在處理這種厚度薄的氧化物半導體層時，氧化物半導體層的過蝕刻不是較佳的，這是因爲由氧化物半導體層的過蝕刻導致如上所述的源極區或汲極區的電阻增加或電晶體的特性不良的緣故。

但是，如本發明的一個方式，藉由在不使氧化物半導

體層露出且使閘極絕緣膜殘留的情況下對氧化物半導體層添加摻雜劑，可以防止氧化物半導體層的過蝕刻而減輕給氧化物半導體層帶來的過剩的損傷。另外，也可以保持氧化物半導體層與閘極絕緣膜的介面清潔。因此，可以提高電晶體的特性及可靠性。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 5

在本實施方式中，說明具有與實施方式 3 或實施方式 4 不同的結構的使用氧化物半導體層的電晶體。與圖 7A 至 7D 相同的部分使用同一符號表示，而省略其說明。在本實施方式中示出的電晶體 101 以與導電層 719 及導電層 720 重疊的方式設置有閘極電極 722。另外，在本實施方式中示出的電晶體 101 與實施方式 3 或實施方式 4 所示的電晶體 101 不同之處在於：對氧化物半導體層 716 不進行以閘極電極 722 為遮罩的賦予導電型的雜質元素的添加。

圖 9A 所示的電晶體 101 是在導電層 719 及導電層 720 的下方設置氧化物半導體層 716 的例子，而圖 9B 所示的電晶體 101 是在導電層 719 及導電層 720 的上方設置氧化物半導體層 716 的例子。注意，在圖 9A 及圖 9B 中示出不使絕緣膜 724 的上面平坦化的結構，但是不侷限於此。也可以使絕緣膜 724 的上面平坦化。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 6

一般而言，作為非揮發性隨機存取記憶體，已知有磁隧道結元件（MTJ 元件）。如果隔著絕緣膜配置在其上下的膜中的自旋方向為平行，則 MTJ 元件成為低電阻狀態，來儲存資訊。如果隔著絕緣膜配置在其上下的膜中的自旋方向為反平行，則 MTJ 元件成為高電阻狀態，來儲存資訊。另一方面，上述實施方式所示的非揮發性記憶體電路利用其通道形成在氧化物半導體層中的電晶體，而其原理與 MTJ 元件完全不同。表 1 示出 MTJ 元件（在表中，以“自旋電子學（Spintronics）（MTJ 元件）”表示）與上述實施方式所示的使用氧化物半導體的非揮發性記憶體電路（在表中，以“氧化物半導體/Si”表示）的對比。

[表 1]

	自旋電子學(MTJ元件)	氧化物半導體/Si
耐熱性	居裏溫度(Curie Temperature)	製程溫度500°C (可靠性150°C)
驅動方式	電流驅動	電壓驅動
寫入原理	改變磁性體的自旋方向	FET的導通/截止
Si LSI	適合於雙極LSI (由於雙極LSI不適合於高集 體化，所以在高集體化電路 中較佳為使用MOSLSI。但 是，W變大。)	適合於MOSLSI
系統開銷 (Overhead)	大 (起因於大焦耳熱)	比MTJ元件小2位至3位以上 (起因於寄生電容的充電和放電)
非揮發性	利用自旋	利用小截止電流
讀出次數	沒有限制	沒有限制
3D化	困難(至多兩層)	容易(對層的個數沒有限制)
集體化度(F^2)	$4F^2$ 至 $15F^2$	根據3D化的疊層數決定(需要確保 上層OSFET製程的製程耐熱性)
材料	具有磁性的稀土元件	氧化物半導體材料
每位成本	昂貴	低廉 (根據氧化物半導體材料(In等)， 成本有可能稍微昂貴)
磁場耐受性	弱	強

MTJ 元件有如下缺點：由於使用磁性材料，所以在居裏溫度 (Curie Temperature) 以上的溫度下，失掉磁性。另外，MTJ 元件由於利用電流而驅動，所以與使用矽的雙極性裝置搭配良好，但是雙極性裝置不適於集體化。而且

，有如下問題：雖然 MTJ 元件的寫入電流微少，但是因記憶體的大電容化而使耗電量增大。

在原理上 MTJ 元件的磁場耐受性弱，所以在暴露於強磁場時，自旋方向容易揮發。另外，需要控制因用於 MTJ 元件的磁性體的奈米尺寸化而發生的磁漲落（magnetic fluctuation）。

再者，由於 MTJ 元件使用稀土元素，所以在將形成 MTJ 元件的製程合併到形成對金屬污染敏感的矽半導體的製程時，需要相當注意。MTJ 元件從每位的材料成本的觀點來看也被認為昂貴。

另一方面，除了形成通道的區域由金屬氧化物構成之外，上述實施方式所示的非揮發性記憶體電路所具有的其通道形成在氧化物半導體層中的電晶體的元件結構或工作原理與矽 MOSFET 同樣。另外，其通道形成在氧化物半導體層中的電晶體具有如下特徵：不受到磁場的影響，且軟差錯也不會發生。從此可知，其通道形成在氧化物半導體層中的電晶體與矽積體電路的匹配性非常好。

實施例 1

藉由使用根據本發明的一個方式的訊號處理電路，可以提供耗電量低的電子裝置。尤其是在難以一直被供應電力的攜帶用的電子裝置中，藉由作為結構要素追加根據本發明的一個方式的低耗電量的訊號處理電路，可以獲得連續使用時間變長的優點。

根據本發明的一個方式的訊號處理電路可以應用於顯示裝置、個人電腦、具備記錄媒體的影像再現裝置（典型的是，能夠再現記錄媒體如數位通用磁片（DVD：Digital Versatile Disc）等並具有可以顯示其影像的顯示器的裝置）。除此之外，作為能夠使用本發明的一個方式的訊號處理電路的電子裝置，可以舉出行動電話、包括可攜式遊戲機的遊戲機、可攜式資訊終端、電子書閱讀器、攝像機、數位相機、護目鏡型顯示器（頭盔顯示器）、導航系統、音頻再現裝置（車載音響、數位音頻播放器等）、影印機、傳真機、印表機、複合式印表機、自動取款機（ATM）、自動售貨機等。

以下，說明將根據本發明的一個方式的訊號處理電路應用於行動電話、智慧手機或電子書閱讀器等的可攜式電子裝置的情況。

圖 10 是示出可攜式電子裝置的方塊圖。圖 10 所示的可攜式電子裝置包括 RF 電路 421、類比基帶電路 422、數位基帶電路 423、電池 424、電源電路 425、應用處理器 426、快閃記憶體 430、顯示控制器 431、記憶體電路 432、顯示器 433、觸摸感測器 439、音頻電路 437 以及鍵盤 438 等。顯示器 433 包括顯示部 434、源極驅動器 435 以及閘極驅動器 436。應用處理器 426 具有 CPU427、DSP428 以及介面 429。藉由將上述實施方式所示的訊號處理電路用於例如 CPU427、數位基帶電路 423、記憶體電路 432、DSP428、介面 429、顯示控制器 431、音頻電路

437 中的任一個或全部，可以降低耗電量。

圖 11 是示出電子書閱讀器的方塊圖。電子書閱讀器包括電池 451、電源電路 452、微處理器 453、快閃記憶體 454、音頻電路 455、鍵盤 456、記憶體電路 457、觸摸面板 458、顯示器 459 以及顯示控制器 460。微處理器 453 具有 CPU461、DSP462 以及介面 463。藉由將上述實施方式所示的訊號處理電路用於例如 CPU461、音頻電路 455、記憶體電路 457、顯示控制器 460、DSP462、介面 463 中的任一個或全部，可以降低耗電量。

本實施例可以與上述實施方式適當地組合而實施。

【圖式簡單說明】

在圖式中：

圖 1A 和 1B 是記憶體電路的電路圖；

圖 2 是示出記憶體電路的工作的時序圖；

圖 3 是記憶體電路的電路圖；

圖 4 是示出記憶體電路的工作的時序圖；

圖 5A 至 5D 是示出記憶體電路的製造製程圖；

圖 6A 至 6C 是示出記憶體電路的製造製程圖；

圖 7A 至 7D 是示出記憶體電路的製造製程圖；

圖 8A 至 8C 是示出記憶體電路的結構的剖面圖；

圖 9A 和 9B 是示出其通道形成在氧化物半導體層中的電晶體的結構剖面圖；

圖 10 是可攜式電子裝置的方塊圖；

圖 11 是電子書閱讀器的方塊圖。

【主要元件符號說明】

100：記憶體電路

101：電晶體

102：電容器

103：電晶體

201：正反器電路

202：電路

221：運算電路

222：運算電路

223：運算電路

224：開關

230：反相器

421：RF 電路

422：類比基帶電路

423：數位基帶電路

424：電池

425：電源電路

426：應用處理器

427：CPU

428：DSP

429：介面

430：快閃記憶體

- 431 : 顯示控制器
- 432 : 記憶體電路
- 433 : 顯示器
- 434 : 顯示部
- 435 : 源極驅動器
- 436 : 閘極驅動器
- 437 : 音頻電路
- 438 : 鍵盤
- 439 : 觸摸感測器
- 451 : 電池
- 452 : 電源電路
- 453 : 微處理器
- 454 : 快閃記憶體
- 455 : 音頻電路
- 456 : 鍵盤
- 457 : 記憶體電路
- 458 : 觸摸面板
- 459 : 顯示器
- 460 : 顯示控制器
- 461 : CPU
- 462 : DSP
- 463 : 介面
- 700 : 基板
- 701 : 絕緣膜

- 702 : 半導體膜
- 703 : 閘極絕緣膜
- 704 : 半導體層
- 707 : 閘極電極
- 709 : 雜質區域
- 710 : 通道形成區
- 712 : 絕緣膜
- 713 : 絕緣膜
- 716 : 氧化物半導體層
- 719 : 導電層
- 720 : 導電層
- 721 : 閘極絕緣膜
- 722 : 閘極電極
- 724 : 絕緣膜
- 726 : 佈線
- 727 : 絕緣膜
- 908 : 高濃度區
- 918 : 高濃度區
- 919 : 通道形成區
- 928 : 高濃度區
- 929 : 低濃度區
- 930 : 側壁
- 931 : 通道形成區
- 948 : 高濃度區

- 949 : 低濃度區
- 950 : 側壁
- 951 : 通道形成區
- 201a : 正反器電路
- 201b : 正反器電路
- 202a : 電路
- 202b : 電路
- 221a : 運算電路
- 221b : 運算電路
- 222a : 運算電路
- 222b : 運算電路
- 226a : 類比開關
- 226b : 類比開關
- 230a : 反相器
- 230b : 反相器
- 7301 : 導電層
- 7302 : 絕緣膜
- 7303 : 導電膜

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101109661

※申請日：101年03月21日

※IPC分類：G11C 11/34 (2006.01)

一、發明名稱：(中文/英文)

G11C 14/00 (2006.01)

記憶體電路，記憶體單元，及訊號處理電路

Memory circuit, memory unit, and signal processing circuit

二、中文發明摘要：

本發明的目的之一是提供一種即使在停止電源電壓的供應之後也可以保持資料的記憶體電路以及可以降低耗電量的訊號處理電路。一種記憶體電路包括電晶體、電容器、第一運算電路、第二運算電路、第三運算電路以及開關，其中，第一運算電路的輸出端子與第二運算電路的輸入端子電連接，第二運算電路的輸入端子藉由開關與第三運算電路的輸出端子電連接，第二運算電路的輸出端子與第一運算電路的輸入端子電連接，第一運算電路的輸入端子與電晶體的源極和汲極中的一個電連接，電晶體的源極和汲極中的另一個與電容器的一對電極的一個及第三運算電路的輸入端子電連接，並且，電晶體的通道形成在氧化物半導體層中。

三、英文發明摘要：

A memory circuit includes a transistor having a channel in an oxide semiconductor layer, a capacitor, a first arithmetic circuit, a second arithmetic circuit, a third arithmetic circuit, and a switch. An output terminal of the first arithmetic circuit is electrically connected to an input terminal of the second arithmetic circuit. The input terminal of the second arithmetic circuit is electrically connected to an output terminal of the third arithmetic circuit via the switch. An output terminal of the second arithmetic circuit is electrically connected to an input terminal of the first arithmetic circuit. An input terminal of the first arithmetic circuit is electrically connected to one of a source and a drain of the transistor. The other of the source and the drain of the transistor is electrically connected to one of a pair of electrodes of the capacitor and to an input terminal of the third arithmetic circuit.

七、申請專利範圍：

1.一種記憶體電路，包括：

電晶體；

電容器；

反饋迴路，該反饋迴路包括第一運算電路及第二運算電路；

第三運算電路；以及

開關，

其中，該第一運算電路的輸出端子與該第二運算電路的輸入端子電連接，

其中，該第二運算電路的該輸入端子藉由該開關與該第三運算電路的輸出端子電連接，

其中，該第二運算電路的輸出端子與該第一運算電路的輸入端子電連接，

其中，該第一運算電路的該輸入端子與該電晶體的源極和汲極中的一個電連接，

其中，該電晶體的該源極和該汲極中的另一個與該電容器的一對電極的一個及該第三運算電路的輸入端子電連接，

其中，該電晶體在氧化物半導體層中具有通道，

其中，該反饋迴路被供應時脈訊號及該時脈訊號的反相訊號，

其中，在停止電源電壓的供應和該時脈訊號及該時脈訊號的該反相訊號的供應之前，固定該時脈訊號及該時脈

訊號的該反相訊號的電位，

其中，在停止該電源電壓的該供應和該時脈訊號及該時脈訊號的該反相訊號的該供應之後，供應被恢復並固定為原來被固定的電位的該時脈訊號及該時脈訊號的該反相訊號以及再次開始該電源電壓的該供應，以及

其中，在供應該時脈訊號及該時脈訊號的該反相訊號以及再次開始該電源電壓的該供應之後，使該開關處於導通狀態。

2.根據申請專利範圍第 1 項之記憶體電路，其中該第一運算電路、該第二運算電路、該第三運算電路以及該開關各包括包含氧化物半導體之外的半導體的電晶體。

3.一種包括根據申請專利範圍第 1 項之記憶體電路的記憶體單元。

4.一種訊號處理電路，包括：

CPU；

記憶體；以及

對該記憶體與該 CPU 之間的存取進行控制的周邊控制裝置，

其中，該 CPU、該記憶體以及該周邊控制裝置各包括根據申請專利範圍第 1 項之記憶體電路。

5.一種記憶體電路，包括：

正反器電路；

電晶體；

電容器；

運算電路；以及

開關，

其中，該正反器電路具有第一節點和第二節點，

其中，在供應電源電壓的期間中，該第二節點中的訊號是該第一節點中的訊號的反相訊號，

其中，該電晶體的源極和汲極中的一個與該第一節點電連接，

其中，該電晶體的該源極和該汲極中的另一個與該電容器的一對電極的一個及該運算電路的輸入端子電連接，

其中，該運算電路的輸出端子藉由該開關與該第二節點電連接，

其中，該電晶體在氧化物半導體層中具有通道，

其中，該正反器電路經組態而被供應時脈訊號及該時脈訊號的反相訊號，

其中，在停止該電源電壓的供應和該時脈訊號及該時脈訊號的該反相訊號的供應之前，固定該時脈訊號及該時脈訊號的該反相訊號的電位，

其中，在停止該電源電壓的該供應和該時脈訊號及該時脈訊號的該反相訊號的該供應之後，供應被恢復並固定為原來被固定的電位的該時脈訊號及該時脈訊號的該反相訊號以及再次開始該電源電壓的該供應，以及

其中，在供應該時脈訊號及該時脈訊號的該反相訊號以及再次開始該電源電壓的該供應之後，使該開關處於導通狀態。

6.根據申請專利範圍第 5 項之記憶體電路，其中該正反器電路及該開關各包括包含氧化物半導體之外的半導體的電晶體。

7.一種包括根據申請專利範圍第 5 項之記憶體電路的記憶體單元。

8.一種訊號處理電路，包括：

CPU；

記憶體；以及

對該記憶體與該 CPU 之間的存取進行控制的周邊控制裝置，

其中，該 CPU、該記憶體以及該周邊控制裝置各包括根據申請專利範圍第 5 項之記憶體電路。

9.一種記憶體電路，包括：

電晶體；

第一運算電路；

第二運算電路；

第三運算電路；以及

開關，

其中，該第一運算電路的輸出端子與該第二運算電路的輸入端子電連接，

其中，該第二運算電路的輸出端子與該第一運算電路的輸入端子電連接，

其中，該第一運算電路的輸入端子與該電晶體的源極和汲極中的一個電連接，

其中，該電晶體的源極和汲極中的另一個與該電容器的一對電極中的一個及該第三運算電路的輸入端子電連接，

其中，該第三運算電路的輸出端子與該第一運算電路的該輸入端子電連接，以及

其中，該電晶體包括氧化物半導體層。

10.根據申請專利範圍第 9 項之記憶體電路，其中該第一運算電路、該第二運算電路、該第三運算電路以及該開關各包括包含氧化物半導體之外的半導體的電晶體。

11.一種包括根據申請專利範圍第 9 項之記憶體電路的記憶體單元。

12.一種訊號處理電路，包括：

CPU；

記憶體；以及

對該記憶體與該 CPU 之間的存取進行控制的周邊控制裝置，

其中，該 CPU、該記憶體以及該周邊控制裝置都包括根據申請專利範圍第 9 項之記憶體電路。

13.一種記憶體電路，包括：

正反器電路；

電晶體；

電容器；

運算電路；以及

開關，

其中，該正反器電路具有第一節點和第二節點，

其中，在供應電源電壓的期間中，該第二節點中的訊號為該第一節點中的訊號的反相訊號，

其中，該電晶體的源極和汲極中的一個與該第一節點電連接，

其中，該電晶體的該源極和該汲極中的另一個與該電容器的一對電極中的一個及該運算電路的輸入端子電連接，

該運算電路的輸出端子藉由該開關與該第一節點電連接，

其中，並且，該電晶體包括氧化物半導體層。

14.根據申請專利範圍第 13 項之記憶體電路，其中該正反器電路及該開關各包括包含氧化物半導體之外的半導體的電晶體。

15.一種包括根據申請專利範圍第 13 項之記憶體電路的記憶體單元。

16.一種訊號處理電路，包括：

CPU；

記憶體；以及

對該記憶體與該 CPU 之間的存取進行控制的周邊控制裝置，

其中，該 CPU、該記憶體以及該周邊控制裝置各包括根據申請專利範圍第 13 項之記憶體電路。

圖 1A

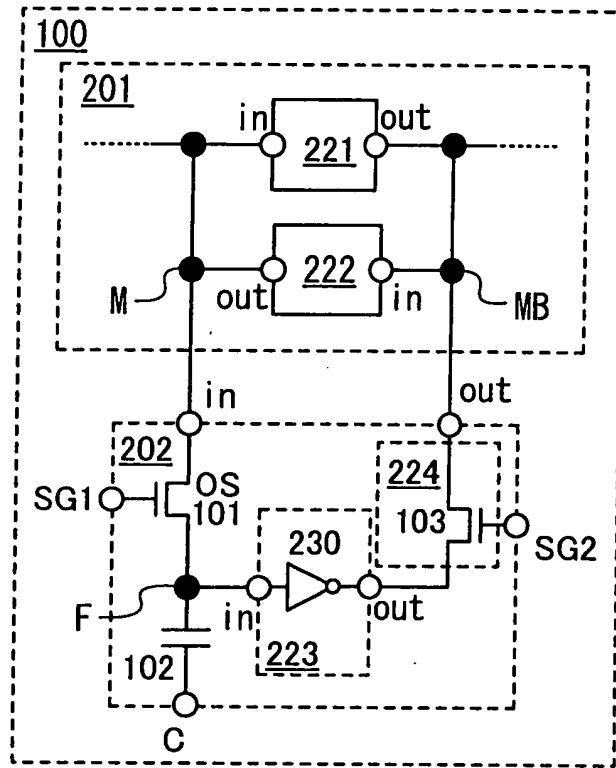


圖 1B

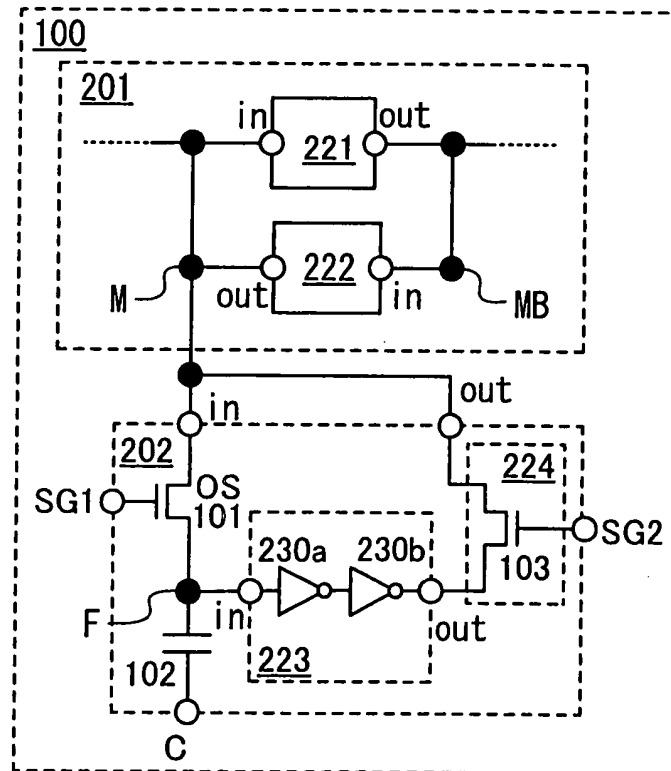


圖 2

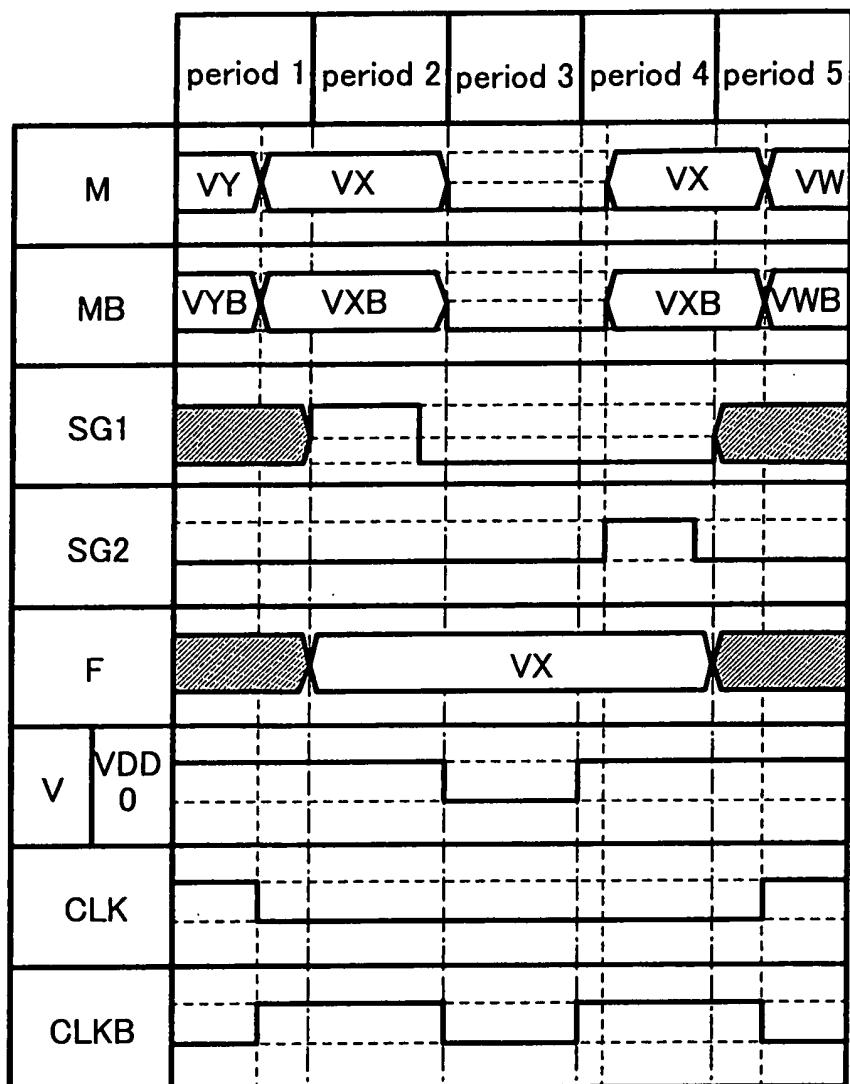


圖 3

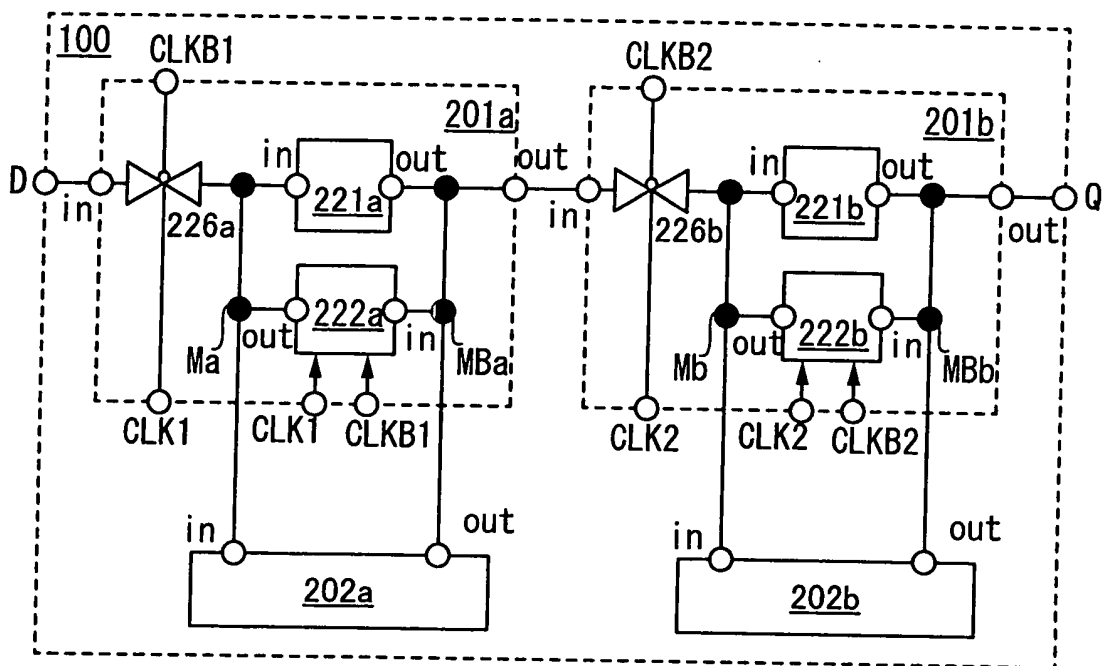


圖 4

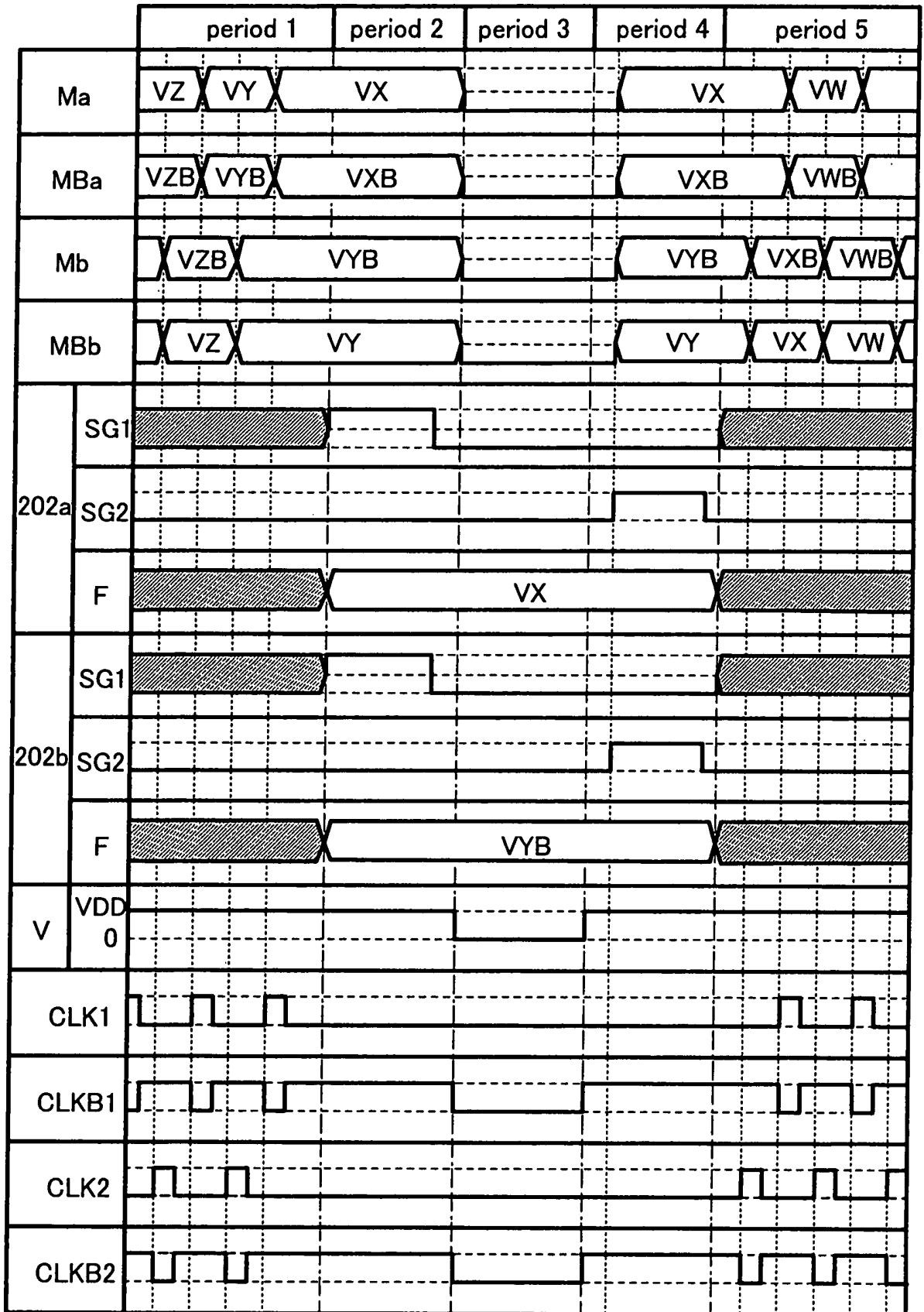


圖 5A

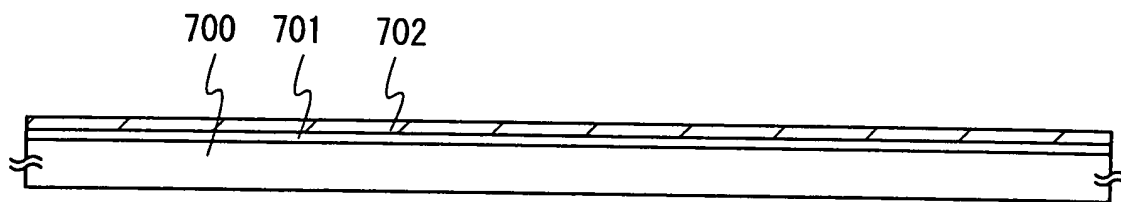


圖 5B

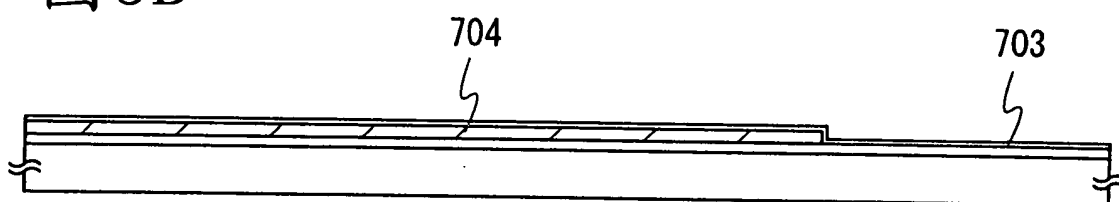


圖 5C

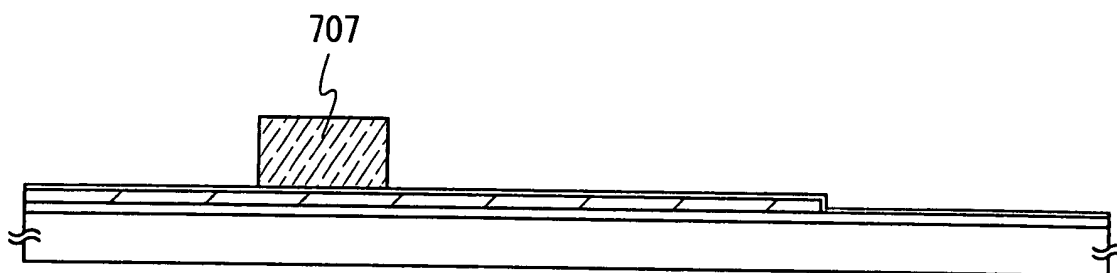


圖 5D

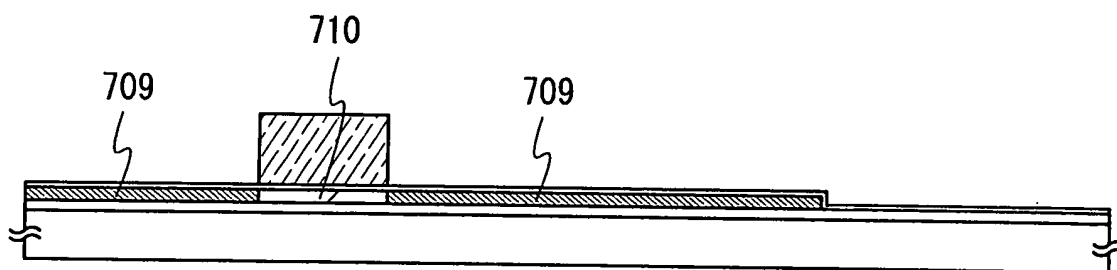


圖 6A

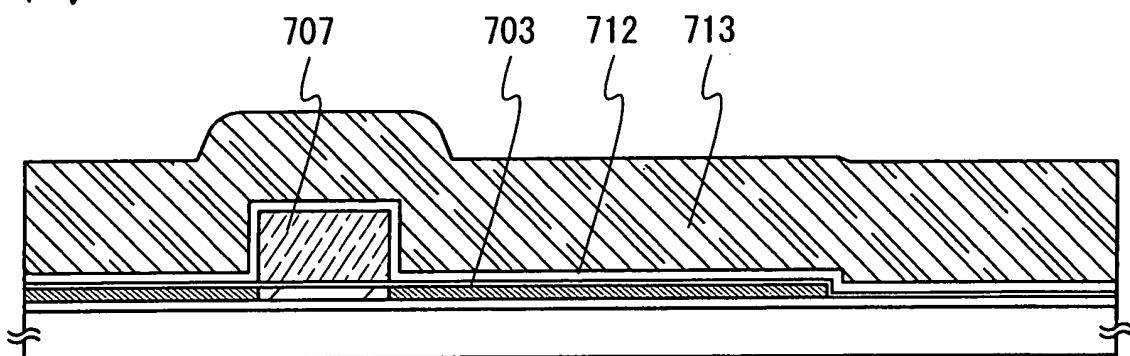


圖 6B

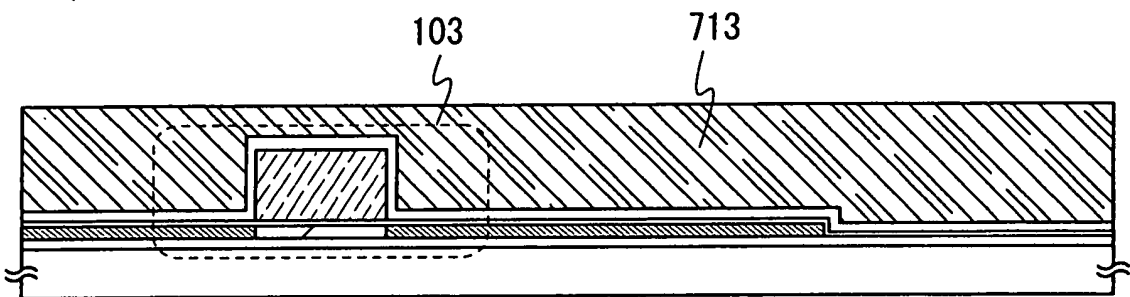


圖 6C

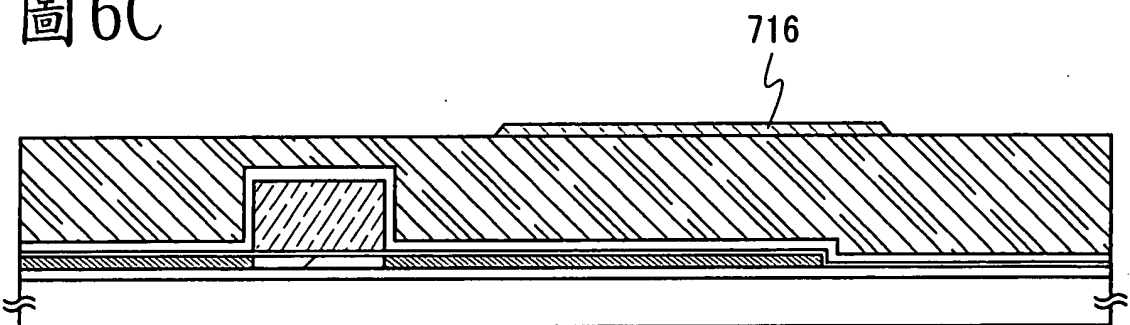


圖 7A

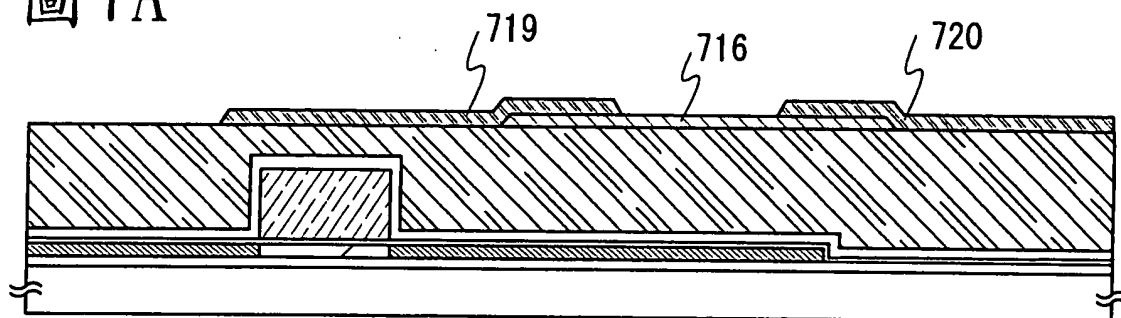


圖 7B

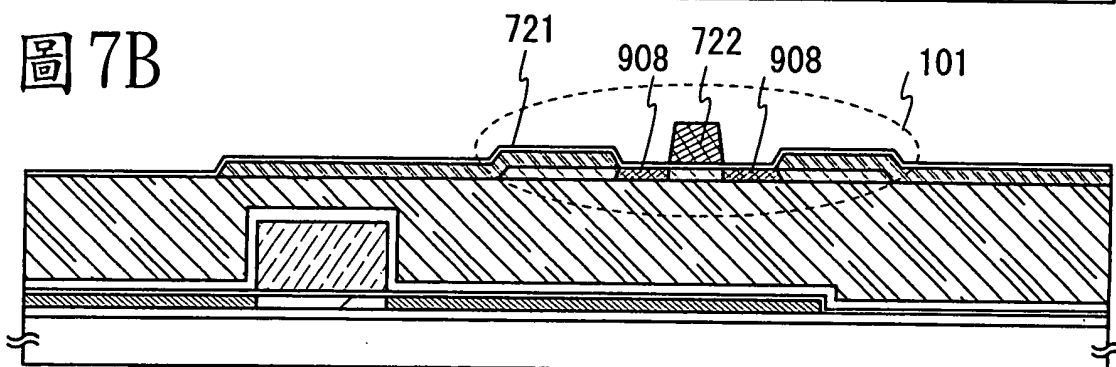


圖 7C

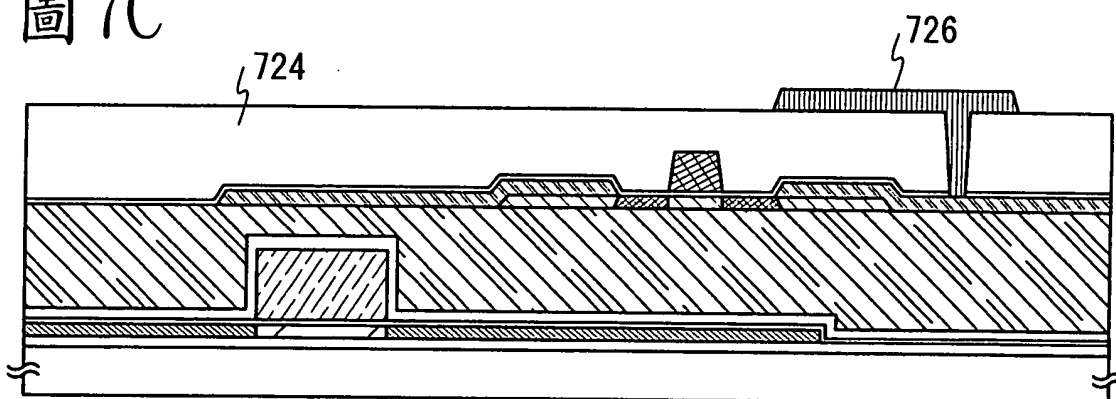


圖 7D

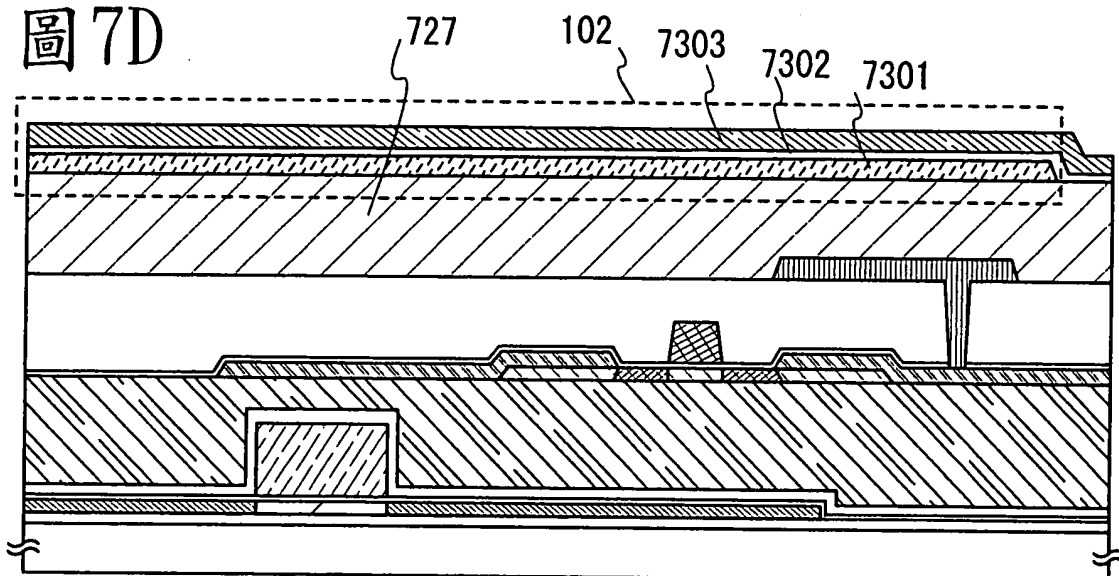


圖 8A

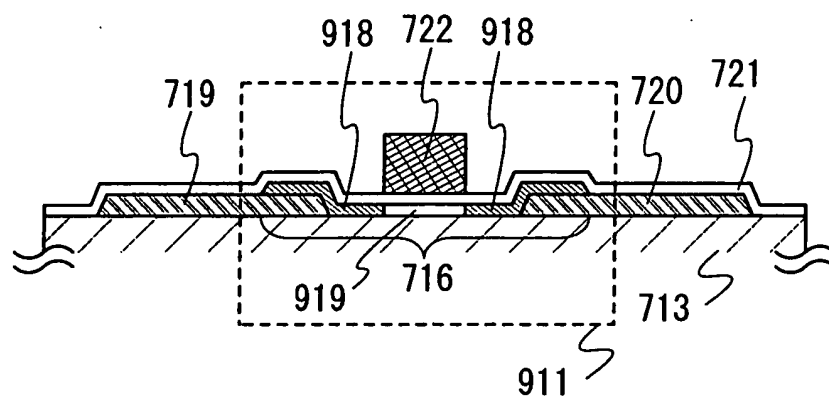


圖 8B

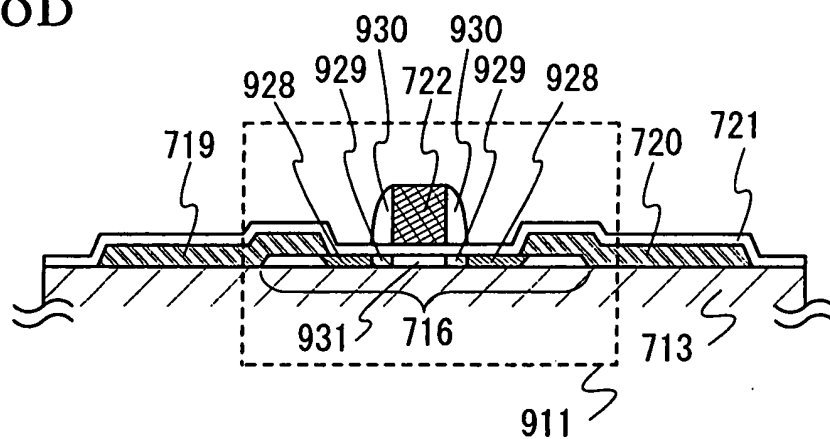


圖 8C

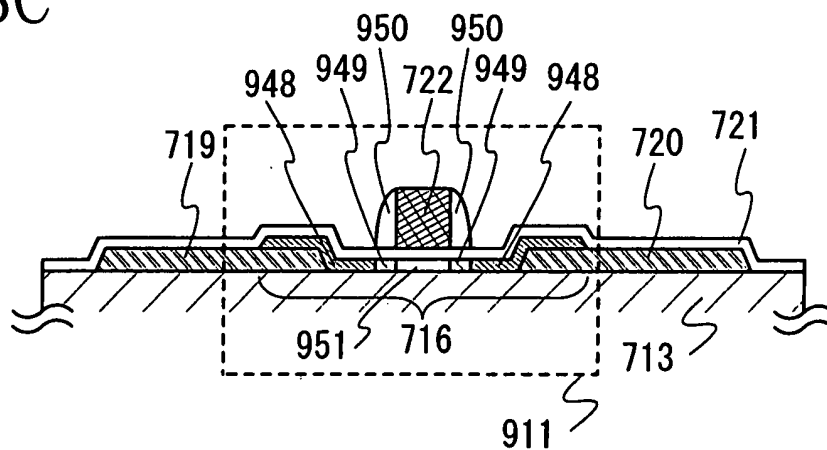


圖 9A

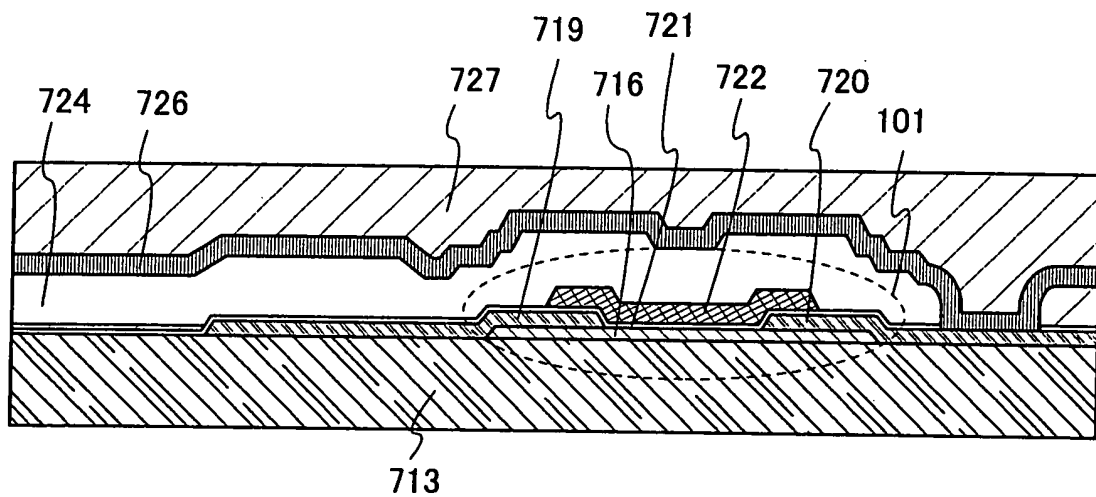


圖 9B

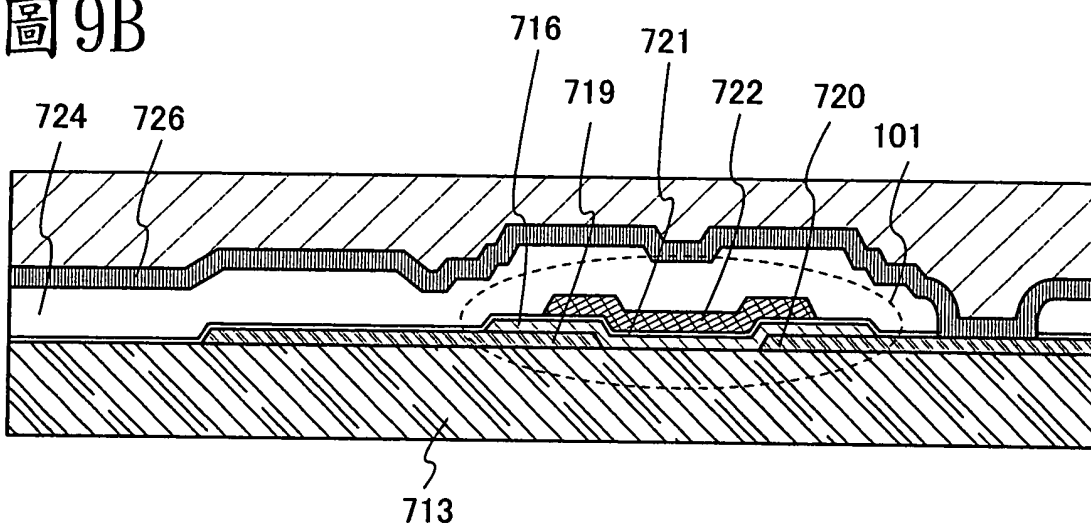


圖 10

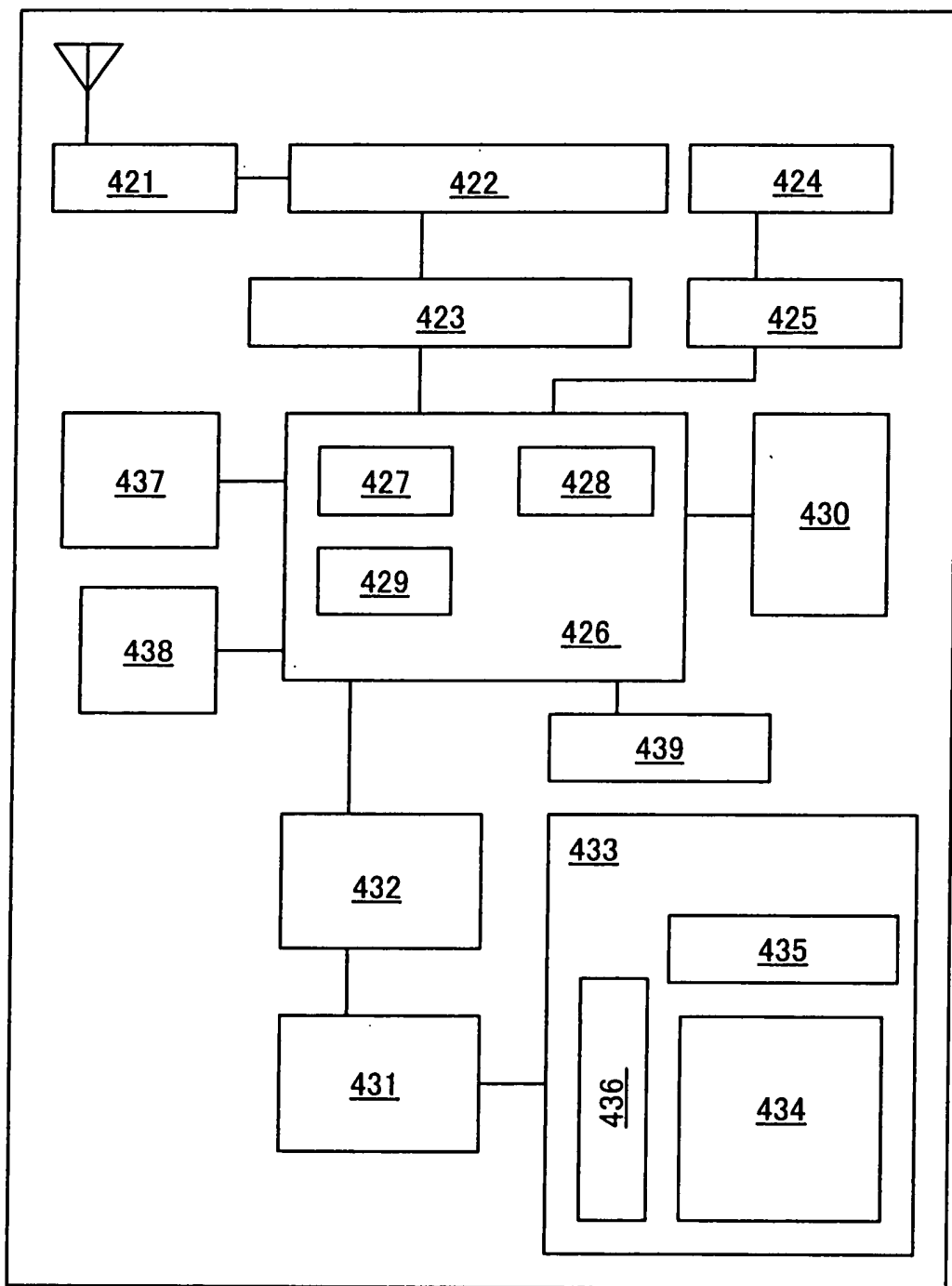
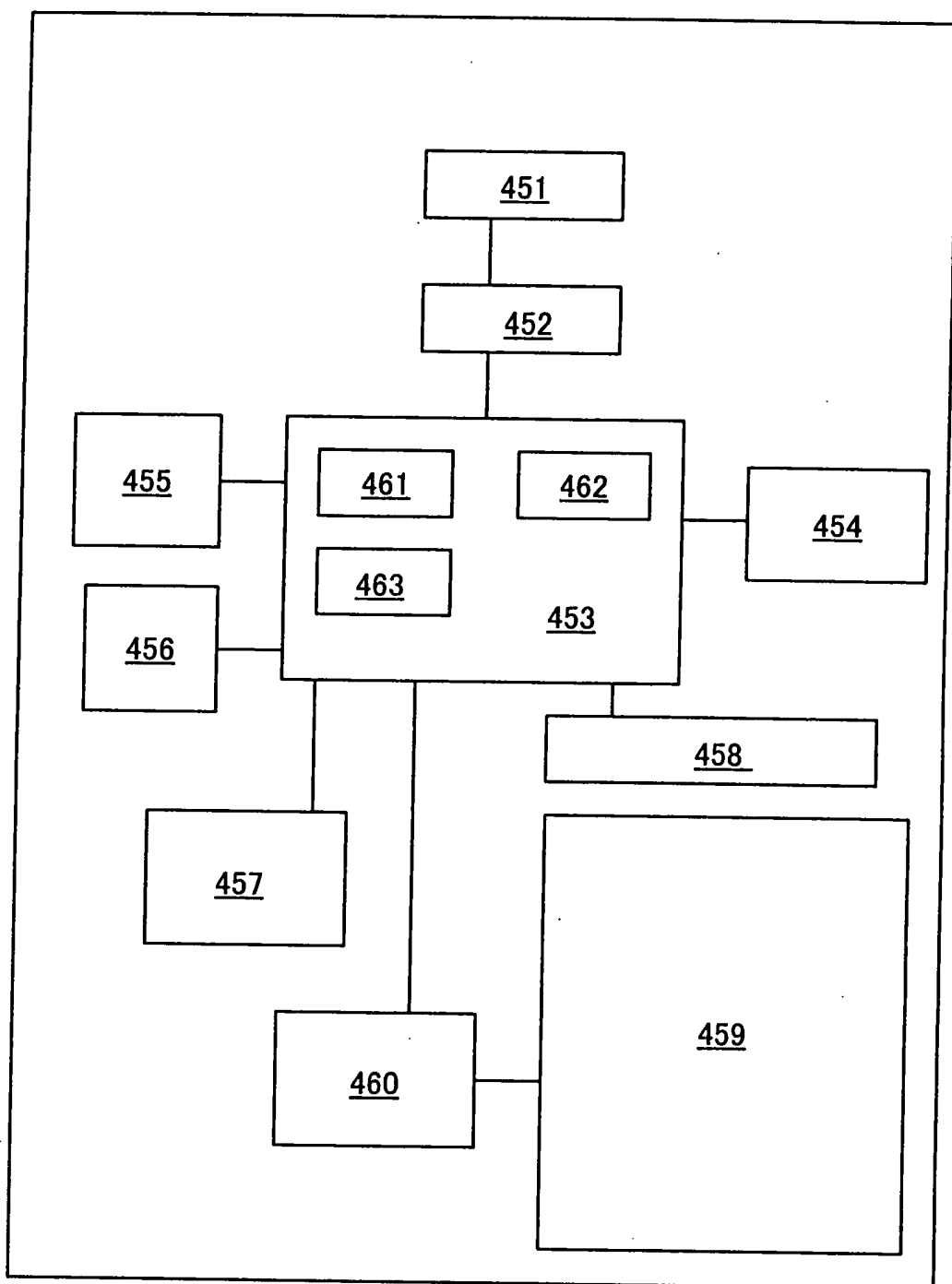


圖 11



四、指定代表圖：

(一) 本案指定代表圖為：第(1B)圖。

(二) 本代表圖之元件符號簡單說明：

100：記憶體電路

101：電晶體

102：電容器

103：電晶體

201：正反器電路

202：電路

221：運算電路

222：運算電路

223：運算電路

224：開關

230a：反相器

230b：反相器

F、M、MB：節點

SG1、SG2：端子

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無