

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G06K 9/48

(45) 공고일자 1994년08월 13일
(11) 공고번호 특1994-0007346

(21) 출원번호	특1991-0004871	(65) 공개번호	특1992-0019204
(22) 출원일자	1991년03월28일	(43) 공개일자	1992년10월22일
(71) 출원인	삼성전자 주식회사 김광호 경기도 수원시 권선구 매탄동 416번지		
(72) 발명자	백준기 인천직할시 북구 산곡동 현대아파트 205동 1103호 박용철 전라북도 전주시 완산구 중화산동 1가 214-13 명찬규 경기도 부천시 남구 심곡1동 극동아파트 5동 101호		
(74) 대리인	이영필, 최덕용		

심사관 : 오홍수 (책자공보 제3711호)

(54) 화상 처리 시스템의 엠티 검출 장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

화상 처리 시스템의 엠티 검출 장치

[도면의 간단한 설명]

제1도는 본 발명의 화상처리 시스템의 엠티검출장치의 신호 흐름을 보여주는 흐름도이다.

제2도는 본 발명의 일반적인 엠티검출장치를 나타내는 블록도이다.

제3도는 본 발명의 일 실시예의 엠티검출장치를 나타내는 블록도이다.

제4도는 본 발명의 인코딩 회로의 일 실시예를 나타내는 블록도이다.

제5도는 본 발명의 정형화된 엠티 패턴을 나타내는 것이다.

제6a도는 본 발명의 매칭회로의 $W_1 \cdot V$ 의 연산을 수행하기 위한 내적회로도이다.

제6b도는 본 발명의 매칭회로의 $W_2 \cdot V$ 의 연산을 수행하기 위한 내적회로도이다.

제6c도는 본 발명의 매칭회로도의 $W \cdot V$ 의 연산을 수행하기 위한 내적회로도이다.

제6d도는 본 발명의 매칭회로도의 $W \cdot V$ 의 연산을 수행하기 위한 내적회로도이다.

제7도는 본 발명의 매칭회로의 내적을 위한 진리표이다.

제8도는 본 발명의 엠티검출장치에 있어서의 내적을 구하기 위한 Karnaugh's map 및 특성 방정식을 나타낸 것이다.

제9도는 본 발명의 매칭회로의 절대값 회로의 논리회로도이다.

제10도는 본 발명의 결정회로의 논리회로도이다.

제11도는 본 발명의 엠티검출 동작을 설명하기 위한 동작 타이밍도이다.

[발명의 상세한 설명]

본 발명은 화상처리 시스템에 관한 것으로, 특히 다단계 선형 임계 논리요소를 이용한 화상처리 시

시스템의 엠티검출장치에 관한 것이다.

영상신호 처리 분야에서 전처리 과정은 노이즈와 같은 영상에서 원하지 않는 요소를 제거함에 의해서 예를들어, 모션 벡터를 검출할 때 정확성을 기할 수 있기 때문에 상당히 중요한 과정이다. 일반적으로 화소당 8비트로 나타내어지는 완전 해상도의 영상을 화소당 8비트 보다 작은 비트로 나타내어지는 다른 형태의 영상에 맵핑함에 의해서 계산적인 부하를 감소시키는 방법이 있다. 몇가지 종류의 전처리 방법이 제안되었다. 예를들면, 1990년 8월 발표된 IEEE Transactions on Consumer Electronics, vol. 36, No.3 PP.510-519에 발표된 기술은 대역 필터링의 종류로 생각될 수 있는 BERP(Band Extract Representative Bandpass Filtering)방법을 사용한다. BERP방법은 노이즈와 같은 지극히 높은 공간상에서의 주파수 성분과 명암에서 희미한 영역과 같은 저주파 성분을 효과적으로 필터링할 수 있는 반면 여전히 BERP 영상을 나타내기 위해서는 화소당 2비트 이상이 필요하다.

그러나 검출된 엠티 정보는 하나의 픽셀을 1비트로 표현하는 것이 가능하다. 따라서 하드웨어의 감소효과를 볼수가 있다. 기존의 엠티를 검출하기 위한 여러가지 방법은 다음과 같다.

첫째, 영상 공간에서의 기울기(Gradient)를 이용하는 방법, 둘째, 라플라시안(Laplacian) 연산자를 이용하는 방법, 셋째, 국부적인 평균값의 차를 이용하는 방법, 넷째, 미리 정해진 패턴과 비교하는 방법, 다섯째, LOG(Laplacian of Gaussian)방법이다. 앞서 소개한 첫째에서 넷째까지의 방법의 주된 단점은 영상신호 내에서 고주파성분을 검출하기 때문에 노이즈가 존재할때 엠티검출의 성능이 현저히 약화된다. 반면에 다섯째의 방법은 잡음제거효과를 가지는 반면에 많은 양의 잡음을 제거하기 위해서는 계산량이 급증한다는 단점을 지니고 있었다. 즉, 노이즈 및 엠티 정보는 서로 다른 고주파수 영역에 있기 때문에 완벽한 엠티검출을 위해서는 보다 강력한 로우패스필터링이 필요하게 되고, 그래서, 엠티를 검출하기 위해서는, 윈도우의크기를 크게 해야 한다는 문제점을 안고 있었다.

본 발명의 목적은 하드웨어 구현이 간단하고 실시간 처리가 가능한 엠티검출장치를 제공하는데 있다.

상기 목적을 달성하기 위한 본 발명의 화상처리 시스템의 엠티검출장치는 입력화소를 중심으로 하여 3*3윈도우내의 화소 데이터의 평균값을 구하기 위한 평균값 계산회로와 상기 평균값과 소정 스레쉬홀드 값을 사용하여 상기 화소 데이터를 삼상태 값으로 변환하기 위한 변환회로를 구비하는 변환수단, 상기 삼상태 값과 미리 정형화된 엠티 패턴들의 내적을 얻기 위한 매칭수단, 상기 삼상태 값이 상기 엠티 패턴들의 하나와 일치할 때 상기 입력 화소를 엠티로 판단하고 일치하지 않을 때 엠티가 아닌 것으로 판단하기 위한 판단수단을 구비한 것을 특징으로 한다.

첨부한 도면을 참고로 하여 본 발명의 데이터 처리 장치를 설명하기 전에 그 알고리즘을 살펴보면 다음과 같다.

본 발명은 다음의 정의와 이론에 의해서 설명될 수 있는 다상태선형 스레쉬홀드 논리의 선형 분리성에 기초한다. 이진 입력의 선형 분리성은 [P.M. Lewis II and C.L. Coates, Threshold Logic, John Wiley and Sons, 1967]에서 토론되었지만 다상태 입력의 선형 분리성에 대한 정의는 본 발명의 발명자에 의해 처음으로 시도되었다. 그 정의는 다음과 같다.

P를 L차의 벡터 집합이라고 하자. P에서 벡터의 각 성분이{-j, ..., -1, 0, 1, ..., k}내에서 M=j+k+1 이되는 하나를 취한다. 즉, $P = \{x \mid x_i \in \{-j, \dots, -1, 0, 1, \dots, k\}, i=1, \dots, L\}$

그때, P내에서 서로 다른 벡터들의 수는 M^L (M의 L승)이 되고 -j와 k를 입력 상태의 극값이라고 한다. P_0 와 P_1 은 $P_0 \cup P_1 = P$ 와 같은 두개의 서로 배타적인 부집합이라고 하자.

$$F(X) = \begin{cases} 1, & W^T X \geq \theta \\ 0, & W^T X < \theta \end{cases}$$

여기서, θ 는 스레쉬홀드값이고, 어떤 웨이트 벡터 W가 주어질 때, 논리적 함수 F는

$W^T X > W^T Y, \forall X \in P_1, \forall Y \in P_0$ 일때 선형적으로 분리할 수 있는 클래스(class)에 속하는 함수로 정의된다.

다상태 선형 분리성의 분석은 복잡한 작업이다. 그러나, 제안된 엠티 검출기에서 사용될 논리적 함수의 독특한 클래스(class)는 다음 이론에 따라서 선형적으로 분리할 수 있는 것으로 보여질 수 있다.

그 이론은 다음과 같다.

X가 L차의 입력 벡터이고, 그 구성성분이 모두 극값이고 $P_1 = \{X\}$ 이고 $P_0 = P - \{X\}$ 라고 하자. 즉,

$$P_1 = \{X \mid X_i \in \{-j, k\}, j=1, 2, \dots, L\} \text{이고 } P_0 = P - P_1$$

여기에서 P, -j 그리고 k는 상기 정의에서 주어졌다. 그때, 입력 벡터 X를 다른 벡터들로부터 분리하는 선형적으로 분리할 수 있는 함수 F가 존재한다.

상기 이론에 대한 증명은 다음과 같다.

상기 정의를 사용함에 의해서, 그리고 $W^T X > W^T Y, \forall X \in P_1, \forall Y \in P_0$ 를 만족하는 웨이트 벡터 W가 존재하는 것을 보여줌에 의해서 이 이론을 증명한다.

$X \in P_1$ 에 대응하는 다음 웨이트 벡터를 생각하자.

$$W_i = \begin{cases} -1, & X_i = -j, \\ 1, & X_i = k, \end{cases} \quad i = 1, \dots, L$$

그때 다음 부등식

$$W_i X_i \geq W_i Y_i, \quad \forall i$$

을 만족한다.

$i = 1, \dots, L$ 에 대한 상기 부등식들을 합함에 의해서 우리는

$$W^T X > W^T Y,$$

를 가진다. 왜냐하면 적어도 하나의 i 에 대해서는 그 등식이 유지되지 않기 때문이다.

집합 $P_1 = \{X\}$ 를 생각하자. 여기에서, X 와 W 는 각각 상기 식에서 정의된 것과 같다. 그때

$$W^T(-X) < W^T Y < W^T X, \quad \forall Y \in P_0$$

와 같은 다상태 입력의 다카테고리 판별 함수를 가진다.

엣지검출을 위한 다상태 선형 스톱쉬홀드 논리를 사용하기 위해서 연속적인 화소의 값을 몇개의 비 연속적인 상태에 맵핑해야 한다. 우선, 입력상태를 정의하면 다음과 같다.

주어진 화소 위치에서 엣지를 검출하기 위해서 1×1 국부 윈도우를 사용하고 영상의 크기가 $n_1 \times n_2$ 라고 가정하자, 사전순으로 배열된 영상에서 i 번째 화소값을 $X_i, i = 1, \dots, r$ 이라고 하자. 그리고 $r = 1 \times 1$ 이고 X_i 에 의해서 중심되는 국부 윈도우내부에 사전순으로 배열된 영상의 j 번째 화소값을 $Z_j, j = 1, \dots, r$ 이라고 하자. 그때, Z_j 는 X_i 에 대응하는 국부 윈도우에 대하여 다음과 같이 맵핑함에 의해서 얻어질 수 있다.

$$Z_j = X_k, \quad j = 1, \dots, r$$

여기에서,

$$K = i + \{ \lfloor (j-1) / l \rfloor - \lfloor l/2 \rfloor \} n_2 + \{ (j-1) \bmod l - \lfloor l/2 \rfloor \}$$

상기 식에서 표시법 $\lfloor \frac{l}{2} \rfloor$ 은 결과적인 나눗의 정수부분을 나타내고, $i \bmod l$ 은 정수 l 에 의해서 정수 i 의 나눗셈의 나머지값과 동일하다. 1차원적 배열 Z_j 가 얻어진 후에, i 번째 화소에 대응되는 국부평균은 다음과 같다.

$$M_i = \frac{1}{r} \sum_{j=1}^r Z_j$$

그때, 선형 스톱쉬홀드 논리에 j 번째 입력에 대한 상태는 다음과 같이, 정의된다.

$$V_j = \begin{cases} -1 & Z_j < M_i - \epsilon \\ 0 & M_i - \epsilon \leq Z_j \leq M_i + \epsilon \\ 1 & Z_j > M_i + \epsilon \end{cases}$$

여기에서, ϵ 는 노이즈 데이터에 대한 보호계수이다. 억제되어야 하는 노이즈의 양이 크면 클수록, ϵ 는 더 커져야 한다.

다음, 엣지를 정의하기로 한다.

방향이 각각 0과 180, 90과 270, 45와 225, 135와 315도인 4쌍의 양방향성 엣지를 정의한다.

첫째, 오른쪽 엣지는 국부 윈도우내에서 오른쪽에서 왼쪽으로 입력상태를 증가하는 형태로 정의된다. 예를들면 $l=3$ 에 대해서 오른쪽 엣지와 그것의 대칭인, 왼쪽 엣지는 각각 다음과 같이 주어진다.

$$\begin{bmatrix} 1 & X & -1 \\ 1 & X & -1 \\ 1 & X & -1 \end{bmatrix} \quad \text{과} \quad \begin{bmatrix} -1 & X & 1 \\ -1 & X & 1 \\ -1 & X & 1 \end{bmatrix}$$

여기에서, X는 don't care 상태를 나타낸다.

둘째, 상측과 하측 엷지는 각각 다음과 같이 주어진다.

$$\begin{bmatrix} -1 & -1 & -1 \\ X & X & X \\ 1 & 1 & 1 \end{bmatrix} \text{ 과 } \begin{bmatrix} 1 & 1 & 1 \\ X & X & X \\ -1 & -1 & -1 \end{bmatrix}$$

셋째, 오른쪽 위와 안쪽 아래 엷지는 각각 다음과 같이 주어진다.

$$\begin{bmatrix} X & -1 & -1 \\ 1 & X & -1 \\ 1 & 1 & X \end{bmatrix} \text{ 과 } \begin{bmatrix} X & 1 & 1 \\ -1 & X & 1 \\ -1 & -1 & X \end{bmatrix}$$

마지막으로, 왼쪽 위와 오른쪽 아래 엷지는 각각 다음과 같이 주어진다.

$$\begin{bmatrix} -1 & -1 & X \\ -1 & X & 1 \\ X & 1 & 1 \end{bmatrix} \text{ 과 } \begin{bmatrix} 1 & 1 & X \\ 1 & X & -1 \\ X & -1 & -1 \end{bmatrix}$$

$l = 5$ 인 경우에는 오른쪽 엷지는 제1열에 1, 마지막 열에, -1 그리고 나머지 열은 don't care 상태가 된다. 상기한 다카테고리 식별함수 $(W^T(-X) < W^T Y < W^T X, \forall Y \in P_0)$ 를 사용함으로써 오른쪽 엷지와 왼쪽엷지는 W 로 표시된 동일한 웨이트 벡터에 의해서 검출될 수 있다. 왜냐하면, 그들은 극값으로 구성되고 왼쪽 엷지는 반전된 부호를 가지는 오른쪽 엷지와 같다. 같은 방법으로, 위쪽과 아래쪽 엷지, 오른쪽 위와 왼쪽 아래 엷지, 왼쪽 위와 오른쪽 아래 엷지는 각각

$W_{/}, W_{\setminus}, W_{\setminus}$ 에 의해서 검출된다.

상기 정리에 의해서 보여진 것처럼, 예를들면 $l = 3$ 에 대하여 오른쪽 또는 왼쪽 엷지를 검출하기 위해서 하나의 가능한 웨이트 벡터는 다음과 같다.

$$W_{-} = [1 \ X \ -1 \quad 1 \ X \ -1 \quad 1 \ X \ -1]^T$$

따라서, 나머지 웨이트 벡터들 즉, $W_{/}, W_{\setminus}, W_{\setminus}$ 은 W_{-} 은 W 의 요소를 적절하게 배열함에 의해서 얻어질 수있다.

다른 방법으로서 LMS(Loot-Mean-Square) 알고리즘도 웨이트 벡터를 얻기 위해서 사용될 수 있다. 상기 엷지의 정의를 기초로 할때, 엷지는 적절하게 얻어진 웨이트 벡터들을 가진 4개의 다상태 선형 스텔쉬홀드 논리의 출력을 로직 OR함에 의해서 검출된다.

완전한 엷지검출 과정은 다음 단계에 의해서 설명된다.

첫째, 국부 윈도우의 크기를 선택하라.

둘째, $i=1, \dots, n$ 에 대하여 다음을 수행하라.

i) Z를 얻어라.

ii) $V_0=1$ 로 두고 입력상태 V를 계산하라.

iii) 내적 $W_{-}^T V, W_{/}^T V, W_{\setminus}^T V$ 및 $W_{\setminus}^T V$ 를 계산하라. 만일 그들 중의 최소한 하나가 출력 스텔쉬홀드 θ 보다 크거나 같거나 또는 $-\theta$ 보다 작거나 같으면, OR게이트의 출력 1과 같으며 이때, 위치 i에서 엷지가 있다. 그렇지 않으면 위치 i에서 엷지가 없다.

상기 알고리즘을 구현하는데 있어서, 아래의 비선형 함수 $g(\cdot)$ 가 사용된다.

$$g(u) = \begin{cases} 1 & u \geq \theta \\ 0 & -\theta < u < \theta \\ -1 & u \leq -\theta \end{cases}$$

여기에서, θ 는 스텔쉬홀드 값이고, 상기 웨이트 벡터가 사용될 때 θ 는 6으로 설정된다. 마스크 크기의 선택에 관해서는 다음 문제가 고려되어야 한다. 마스크 크기가 크면 클수록, 상기 알고리즘

의 두번째 단계의 (ii)에서 국부적인 평균으로 인한 노이즈를 제어하기가 훨씬 좋다. 그러나 마스크 크기를 증가시키는데에 두가지 단점이 있다.

첫째, 0, 45, 90, 135, 180, 225, 270, 315도 이외의 다른 방향으로 엷지를 검출하기가 어려워지게 된다. 둘째, 더 많은 입력이 선형 스톱스레쉬홀드 논리를 위해서 요구되기 때문에 더 많은 상호 연결과 계산이 요구된다.

$l=3$ 의 마스크 크기는 가장 작은 대칭적인 윈도우이기 때문에 어떤 방향으로나 엷지에 가장 민감한 윈도우이다. 이 이유에 기초하여 매우 효과적인 것으로 보여진다,

제1도는 본 발명의 신호 흐름을 보여주기 위한 흐름도이다.

제1도를 사용함에 의해서, 소프트웨어 구현은 직접 실현될 수 있다.

제1단계에서, 인덱스 i 는 사전순으로 배열된 화소위치를 나타낸다.

제2단계에서, i 번째 화소(X_i)를 중심으로 국부 영상 패턴의 이웃화소($Z_j, j=1, \dots, m$)를 구한다.

제3단계에서, Z_j 는 i 번째 화소(X_i)를 포함하는 국부 윈도우의 화소의 집합을 나타내고, m 은 국부 윈도우에서 화소의 수를 나타낸다. 제3단계에서, $Z_j(j=1, \dots, m)$ 는 대응되는 다상태값($V_j, j=1, \dots, m$)에 맵핑된다.

제4단계에서, $V=[V_1, \dots, V_m]^T$ 는 미리 정형화 된 엷지패턴(W_1, W_2, W_3, W_4)과 각각 비교된다.

제5단계에서, 만일 V 가 미리 정형화 된 엷지패턴(W_1, W_2, W_3, W_4) 중의 최소한 어느 하나와 일치할때, 제6단계에서 i 번째 화소(X_i)는 엷지로 판단되고 어느 것과도 일치하지 않을 때, 제7단계에서 i 번째 화소(X_i)는 엷지가 아닌 것으로 판단된다.

제8단계에서, i 번째 화소(X_i)가 총화소 값이 아닐 경우는 제9단계에서, i 값을 1증가시키고 제2단계로 피드백하여 주루우프를 계속 수행한다. 그리고 제8단계에서 i 번째 화소(X_i)가 총화소 값일 경우는 동작을 중지한다.

제2도는 본 발명의 엷지검출장치의 일반적인 블럭도를 나타낸 것으로서, 그 구성과 기능은 다음과 같다.

제2도는 다음과 같은 3개의 블럭으로 구성되어 있다.

원화상 신호(X_i)를 윈도우를 사용하여 사전순으로 배열하고 사전순으로 배열된 신호(Z_1, \dots, Z_m)를 사용하여 다상태의 신호(V_1, \dots, V_m)로 변환하는 인코딩 블럭과 다상태 신호(V_1, \dots, V_m)와 미리 정해진 엷지형태(W_1, W_2, W_3, W_4) : W_1, W_2, W_3, W_4)와의 내적을 각각 수행하는 매칭블럭과 내적된 값과 출력 스톱스레쉬홀드 값을 비교하고 비교된 결과들을 논리합하여 원화상데이터 (X_i)가 엷지인지 아닌지를 판단하는 결정블럭으로 구성되어 있다.

상기 3개의 블럭들은 다음과 같은 기능을 수행하게 된다.

원화상의 임의의 화소(X_i)를 처리하기 위하여 주변 화소를 상관관계에 의한 엷지여부를 결정하기 위하여 윈도우의 개념이 필요하다. 그래서 인코딩 블럭은 이러한 이웃화소를 1차원적으로 배열(Z_1, Z_2, \dots, Z_m)하여 선형적인 명도를 가지고 있는 데이터를 평균값을 구해서 이웃화소들(Z_1, Z_2, \dots, Z_m)을 대응되는 다상태 값(V_1, V_2, \dots, V_m)으로 변환한다. 만일 V_j 가 $M(M>2)$ 개의 상태를 가진다면, V_j 를 나타내기 위하여 $[10g_2 M]$ 이 요구된다. 표시법 $[10g_2 M]$ 은 만일 M 이 2의 멱승이라면 $10g_2 M$ 을 나타내고 그렇지 않으면 $(10g_2 M+1)$ 의 정수 부분을 나타낸다. 여기에서 평균값을 잡음 제거효과가 있는 파라메타인 ϵ 이라는 요소를 삽입하여 각 화소가 평균값+ ϵ 보다 큰 범위, 평균값 - ϵ 보다 작은 범위, 그리고 그 사이의 범위에 대응되는 평균값+ ϵ 과 평균값 - ϵ 사이의 값을 가지는 3개의 레벨을 설정하여 각 화소들을 대응레벨의 값으로 코드 변환한다. 여기에서 ϵ 의 값에 따라 잡음의 감소가 두드러지게 나타나게 된다.

매칭블럭은 변환된 영상신호와 4개의 미리 정해진 엷지형태 벡터와의 매칭여부를 출력한다. 즉 매칭블럭은 수평, 수직, 좌, 우 대각선 방향에 대하여 예상되는 4가지의 미리 정형화 된 각 엷지패턴들(W_1, W_2, W_3, W_4)과 코드 변환된 영상데이터($V_1, V_2, \dots, V_m; V$)의 내적 연산을 한다. 여기에서 $W_i^T V$ 는 수평방향 엷지형태 벡터 데이터(W_i)와 영상데이터($V_1, V_2, \dots, V_m; V$)의 내적을 나타낸다. 4가지 내적연산을 일괄처리하여 화상처리의 기본이 되는 실시간 구현이 가능하다.

결정블럭은 내적($W_1^T \cdot V, W_2^T \cdot V, W_3^T \cdot V, W_4^T \cdot V$)의 각 출력값들과 주어진 상수를 비교하고, 출력값들 중의 최소한 하나가 주어진 상수보다 클 때 엷지로 판단하는 기능을 수행한다. 그리고 내적의 출력값과 비교하는 주어진 상수는 마이크로 컴퓨터 등으로 사용자에게 의해 조절이 가능하다.

제3도는 본 발명의 실시예의 엷지검출장치를 나타낸 것으로서, 구성과 기능은 다음과 같다.

인코딩수단은 입력된 영상신호의 1수평주사기간 지연된 신호를 출력하기 위한 제1지연소자(10)와, 2수평주사기간 지연된 신호를 출력하기 위한 제2지연소자(10)에 직렬 연결된 제2지연소자(20)와, 입력단과 제1지연소자(10)의 출력단과 제2지연소자(20)의 출력단에 연결되어 3×3 윈도우 내의 중심화소데이터를 제외한 8개의 화소데이터의 평균값을 구하기 위한 평균값 계산회로(40)와, 평균값과 주

어진 스레쉬홀드 값(ϵ)으로 3개의 레벨로 구분하고, 중심화소값을 제외한 8개의 화소데이터를 3개의 레벨에 해당하는 코드로 변환하는 3상태 엔코더회로(50)로 구성되어 있다.

매칭수단은 각 예상 엷지패턴(W_1, W_2, W_3, W_4)과 3상태 엔코더회로(50)의 출력들과의 내적을 하는 내적회로들(60, 61, 62, 63)로 구성되어 있다.

결정수단은 각 내적회로들(60, 61, 62, 63)의 출력과 주어진 정수를 비교하여 매칭신호를 출력하기 위한 비교회로들(70, 71, 72, 73)과 각 비교회로들(70, 71, 72, 73)의 출력을 논리합 하는 OR게이트(80)로 구성되어 있다.

제4도는 엔코딩수단의 실시예를 나타낸 것이다.

3×3원도우(30)는 8비트로 표현된 순차적으로 주사된 디지털 영상신호를 입력하기 위하여 입력단에 직렬연결되는 8개의 병렬 연결된 D플립플롭들로 이루어진 3개의 레지스터들(90, 91, 92)과 제1지연소자(10)의 출력신호를 입력하기 위하여 제1지연소자의 출력단에 연결되고 8개의 병렬 연결된 D플립플롭으로 이루어진 3개의 레지스터들(100, 101, 102)과 제2지연소자(20)의 출력신호를 입력하기 위하여 제2지연소자의 출력단에 직렬 연결되고 8개의 병렬 연결된 D 플립플롭으로 이루어진 3개의 레지스터들(110, 111, 112)로 이루어져 3×3 윈도우(30) 내의 9개의 화소데이터를 저장한다. 그리고 실제적인 평균값 계산회로(120)는 중심화소데이터가 저장된 레지스터(101)의 출력신호를 제외한 레지스터들(90, 91, 92, 100, 102, 110, 111, 112)의 출력신호를 입력하여 두개씩 더하기 위한 가산기와, 가산기(121, 122, 123, 124)의 출력신호로부터 최하위 비트(LSB)를 버린 후에 남아 있는 신호들을 두개씩 더하기 위한 가산기(130, 131)과, 가산기(130, 131)의 출력신호로부터 최하위 1비트(LSB)를 버린 후에 남아 있는 신호들을 더하고 그 출력신호의 최하위 1비트를 버린 후에 남아 있는 신호를 출력하기 위한 가산기(140)로 구성된다. 8개의 출력신호 레지스터(90, 91, 92, 100, 102, 110, 111, 112)의 출력신호들과 가산기(140)의 출력신호는 레지스터들에 저장된다.

즉, 평균값 계산회로(120)는 다음과 같이 평균값을 계산한다.

레지스터(90, 91, 92, 100, 102, 110, 111, 112)의 출력이 $Z_1, Z_2, Z_3, Z_4, Z_6, Z_7, Z_8, Z_9$ 이라 할때, 중심화소(Z_5)를 제외한 두개씩의 데이터를 합한 값을 A, B, C, D라고 하면,

$$A = Z_1 + Z_2, B = Z_3 + Z_4, C = Z_6 + Z_7, D = Z_8 + Z_9$$

가 된다. 여기에서 값 A, B, C, D의 LSB 1비트를 버린 값을 E, F, G, H라고 하면

$$E = \frac{A}{2} = \frac{Z_1 + Z_2}{2}, F = \frac{B}{2} = \frac{Z_3 + Z_4}{2}, G = \frac{C}{2} = \frac{Z_6 + Z_7}{2}, H = \frac{D}{2} = \frac{Z_8 + Z_9}{2}$$

가 된다. 그리고 E, F, G, H를 각각 두개씩의 가산한 값을 I, J라고 하면

$$I = E + F = \frac{Z_1 + Z_2 + Z_3 + Z_4}{2}, J = G + H = \frac{Z_6 + Z_7 + Z_8 + Z_9}{2} \text{ 이 된다.}$$

여기에서 LSB 1비트를 버린 값을 K, L이라고 하면,

$$K = \frac{E + F}{2} = \frac{Z_1 + Z_2 + Z_3 + Z_4}{4}, L = \frac{G + H}{2} = \frac{Z_6 + Z_7 + Z_8 + Z_9}{4} \text{ 가 된다.}$$

그리고, K, L를 합하여 LSB 1비트를 버린 값이 평균값(M)이라고 하면,

$$M = \frac{K + L}{2} = \frac{Z_1 + Z_2 + Z_3 + Z_4 + Z_6 + Z_7 + Z_8 + Z_9}{8}$$

이 된다. 구해진 평균값은 정확한 평균값은 아니다. 그러나 정확한 평균값과 구해진 평균값의 차가 결과적인 엷지의 질에 영향을 미치지 않는다. 왜냐하면 평균값이 다음단의 3상태 엔코딩을 위해서 사용되기 때문이다.

그리고, 3상태 엔코더(150)는 평균값(M)과 잡음 제거효과가 있는 파라메타인 ϵ 을 가산하여 $M + \epsilon$ 값을 출력하는 가산기(160), 평균값 M과 파라메타 $-\epsilon$ 을 더해서 값 $M - \epsilon$ 을 출력하기 위한 가산기(161), 중심화소데이터(Z_5)를 제외한 각 화소데이터(Z_1, Z_2, \dots, Z_9) 값을 값 $M + \epsilon$ 과 비교하기 위한 비교기들(170)과 중심화소데이터(Z_5)를 제외한 각 화소데이터(Z_1, Z_2, \dots, Z_9) 값과 $M - \epsilon$ 을 비교하기 위한 비교기들(171), 상기비교기들(170)의 상위비트신호($V_{11}, V_{21}, \dots, V_{91}$)를 출력하기 위한 인버터들(180)과 상기 비교기들(171)의 출력신호들과 3상태 신호의 하위비트 신호($V_{10}, V_{20}, \dots, V_{90}$)를 각각 논리합하기 위한 OR게이트(190)들로 구성되어 있다. 즉, 3상태 엔코더(150)는 입력되는 화소데이터가 $M - \epsilon$ 보다 작은 값일 때는 값 11을 출력하고, $M - \epsilon$ 보다 크거나 같고 $M + \epsilon$ 보다 작거나 같은 값일 때는 00을, $M + \epsilon$ 보다 큰 값일 때는 01을 출력하게 된다. 그리고 여기에서, 상위비트신호를 부호비트, 하위비트 신호를 크기비트라고 할 때 11, 00, 01은 각각 3상태 -1, 0, 1을 각각 나타낸다.

제5도는 4개의 미리 정형화 된 엷지패턴들(W_1, W_2, W_3, W_4)을 나타낸 것이다.

제6A, 6B, 6C, 6D도는 본 발명의 매칭수단의 내적을 수행하기 위한 회로를 나타낸 것이다. 매칭수단은 제5도에 나타낸 정형화되어진 4개의 엷지패턴(W_1, W_2, W_3, W_4) 데이터의 2의 보수값들과 입력화소데이터의 3상태로 전환된 값($V_{11}, V_{10}, V_{21}, \dots, V_{91}, V_{90}$)의 내적을 수행하게 된다.

제7도는 그 내적을 위한 진리표를 나타낸 것이다.

제8도는 내적을 구하기 위한 karnaugh's map 및 특성 방정식을 나타낸 것이다.

제8도에 나타낸 식은 다음과 같다.

$$U_{j_1}(\text{MSB}) = \overline{V_{j_1}} V_{j_0} W_{j_1} + V_{j_1} \overline{W_{j_1}} W_{j_0}$$

$$U_{j_0}(\text{LSB}) = V_{j_0} W_{j_0}$$

상기 식은 4개의 정형화 된 엷지패턴의 성질을 사용하여 더욱 간략화 될 수 있다.

첫째, $W_{j_1} = W_{j_0} = 1$ 인 경우는

$$U_{j_1}(\text{MSB}) = \overline{V_{j_1}} V_{j_0}$$

$$U_{j_0}(\text{LSB}) = V_{j_0}$$

와 같이 된다.

둘째, $W_{j_1} = W_{j_0} = 0$ 인 경우는 $U_{j_1}(\text{MSB}) = U_{j_0}(\text{LSB}) = 0$ 이다. 즉, 내적출력은 영상데이터에 관계없이 항상 0 이므로 엷지결과에 영향을 주지 못한다.

셋째, $W_{j_1} = 0, W_{j_0} = 1$ 인 경우에는

$$U_{j_1}(\text{MSB}) = V_{j_1}$$

$$U_{j_0}(\text{LSB}) = V_{j_0}$$

와 같이 된다.

결국 하드웨어를 구현하는 경우 4개의 정형화 되어진 엷지패턴들은 암시적으로만 존재하게 되고, 3 상태값만 내적의 출력에 영향을 주게되는 것처럼 구성되어 진다.

이와 같이 얻어진 각 내적의 출력은 -1, 0, 1 값으로 나타나게 되어 2비트로 표현하게 되고, 3×3 원도우의 9개의 화소데이터 중에서 웨이트 값이 0인 화소는 제외하고 나머지 6화소에 대해서만 하드웨어 구현시 고려하게 된다.

각 정형화된 엷지패턴의 웨이트 값과 3상태 값의 내적 회로를 구현하여 보면 다음과 같다.

첫째, $W_1 \cdot V$ 의 매칭회로는 각각 $(\overline{V_{11}} \cdot V_{10}) V_{10}, V_{31} V_{30}, (\overline{V_{41}} \cdot V_{40}) V_{40},$
 $(\overline{V_{71}} \cdot V_{70}) V_{70}, V_{91} V_{90}$ 을 출력한다.

둘째, $W_2 \cdot V$ 의 매칭회로는 각각 $(\overline{V_{11}} \cdot V_{10}) V_{10}, V_{71} V_{70}, (\overline{V_{21}} \cdot V_{20}) V_{20},$
 $V_{81} V_{80}, (\overline{V_{31}} \cdot V_{30}) V_{30}, V_{91} V_{90}$ 을 출력한다.

셋째, $W_3 \cdot V$ 의 매칭회로는 각각 $(\overline{V_{11}} \cdot V_{10}) V_{10}, V_{61} V_{60}, (\overline{V_{21}} \cdot V_{20}) V_{20},$
 $(V_{81} V_{80}), (\overline{V_{41}} \cdot V_{40}) V_{40}, V_{91} V_{90}$ 을 출력한다.

넷째, $W_4 \cdot V$ 의 매칭회로는 각각 $(\overline{V_{21}} \cdot V_{20}) V_{20}, V_{41} V_{40}, (\overline{V_{31}} \cdot V_{30}) V_{30},$
 $V_{71} V_{70}, (\overline{V_{61}} \cdot V_{60}) V_{60}, V_{81} V_{80}$ 를 출력한다.

상기 논리식들은 제6A, 6B, 6C, 6D도에 보여진 것처럼 인버터들(200)과 AND게이트들(210)을 사용함에 의해서 구현된다. 다음으로 대응하는 매칭회로에서 AND게이트들(210)의 출력들과 인버터(200)의 출력들은 내적을 위해서 더해진다. 여기에서 가산은 가산기를(220)을 사용하고 절대값 회로(230)을 부가함에 의해서 구현되어진다. 절대값 회로(230)의 부가는 AND게이트들(210)의 출력들이 2의 보수로 표현되기 때문에 가산의 최종 결과가 부의 값인 경우에 같은 엷지결과를 얻기 위하여 행해진다. 또한 AND게이트들(210)의 출력들과 인버터들(200)의 출력들의 가산은 부호확장법을 사용한다.

절대값을 얻기 위한 제6A, 6B, 6C, 6D도에 나타낸 절대값회로(230)는 제9도에 더 자세하게 나타나있다.

제9도에 있어서, 4비트의 입력데이터를 $A_3A_2A_1A_0$ 로 하고, 출력을 $B_2B_1B_0$ 라고 하자, 절대값회로(230)는 입력데이터 A_1 과 A_0 를 논리합하는 OR게이트(240)와 상기 OR게이트의 출력신호와 입력데이터 A_3 가 모두 "1"인 경우에만 "0"을 출력하기 위한 NAND게이트(250)와 입력데이터 A_3 와 A_0 가 모두 "1"인 경우에만 "0"을 출력하기 위한 NAND게이트(260)와 입력데이터 A_2 와 상기 NAND게이트(250)의 출력이 상이한

경우에 "1"을 출력하기 위한 EXNOR게이트(270)와 입력데이터 A_1 과 상기 NAND게이트(260)의 출력이 상이한 경우에 "1"을 출력하기 위한 EXNOR게이트(280)로 구성되어 있다. 그래서 상기 EXNOR게이트(270), EXNOR게이트(280), 입력데이터 A_0 의 출력값이 각각 절대값회로(230)의 출력 B_2, B_1, B_0 값이 된다.

제10도는 결정수단의 구체적인 실시예의 회로를 나타낸 것이다.

결정수단은 상기 절대값회로(230)의 출력신호(out1, out2, out3, out4)와 엣지를 나타내는 스레쉬홀드값(110)을 입력하는 4개의 비교기들(290)과 상기 4개의 비교기들(290)의 출력신호들을 각각 두개씩 논리합하는 두개의 OR게이트(300)와 상기 두개의 OR게이트의 출력신호들을 논리합하는 OR게이트들(310)로 구성되어 있다. 그리고 만일 출력신호들(out1, out2, out3, out4)들 중의 적어도 하나 이상이 6이상인 값을 나타내는 경우에 OR게이트(310)의 출력은 "1"이 되어 엣지로 판단하게 된다.

제11도는 본 발명의 엣지검출회로의 동작을 설명하기 위한 실시예의 동작타임도이다.

임의적으로 3×3 윈도우(90, 91, 92, 100, 101, 102, 110, 111, 112)에 각각 제11도에 나타낸 입력 영상데이터가 저장되어 있다고 하자, 여기에서 ε 의 값은 10으로 두었다 그리고 3상태의 값($V_1, V_2, V_3, V_4, V_5, V_6, V_7, V_8, V_9$)이 제11도에 나타나 있다. 여기에서 점선으로 표시한 부분의 데이터가 미리 정형화된 엣지패턴과 일치함을 알 수 있다. 즉, 첫번째 점선으로 표시한 부분은 W_1 , 두번째 점선으로 표시한 부분은 W_2 와 각각 일치함을 알 수 있다. 따라서 출력신호(out1, out2)의 최소한 하나가 "1"일 때 출력신호(edge)가 "1"로 된다.

따라서 본 발명의 엣지검출장치는 다음의 잇점을 가진다.

첫째, 다상태 인코딩방법에서 노이즈 제거효과가 있는 파라메타를 사용함으로써 부가적인 로우패스 필터를 사용함이 없이 노이즈를 크게 감소할 수 있다.

둘째, 최소의 2차원 대칭적인 윈도우인 3×3 큐브 윈도우를 사용함에 의해서 하드웨어 감소 효과를 극대화하고 연산시간을 최소화한다.

셋째, 여러가지 선형 스레쉬홀드 논리를 동시에 사용함에 의해서 다계층선형 스레쉬홀드 논리의 방향변화에 무관한 특성을 이용할 수 있다.

(57) 청구의 범위

청구항 1

입력화소를 중심으로 하여 3×3 윈도우내의 화소데이터의 평균값을 구하기 위한 평균값 계산 회로와 상기 평균값과 소정 스레쉬홀드 값을 사용하여 상기 화소데이터를 삼상태 값으로 변환하기 위한 변환회로를 구비하는 변환수단 ; 상기 삼상태 값과 미리 정형화된 엣지 패턴들의 내적을 얻기 위한 매칭수단 ; 상기 삼상태 값이 상기 엣지 패턴들의 하나와 일치할 때 상기 입력 화소를 엣지로 판단하고 일치하지 않을 때 엣지가 아닌 것으로 판단하기 위한 판단수단을 구비한 것을 특징으로 하는 화상 처리 시스템의 엣지 검출장치.

청구항 2

제1항에 있어서, 상기 평균값 계산회로는 중심화소를 제외한 제1과, 제2, 제3과, 제4, 제6과 제7, 제8과 제9의 화소데이터를 각각 합하기 위한 4개의 제1가산기 그룹 ; 상기 제1가산기 그룹으로부터 최하위비트를 버린 데이터들을 두개씩 합하기 위한 2개의 제2가산기 그룹 ; 상기 제2가산기 그룹으로부터 최하위 비트를 버린 출력들을 합하고 그 값의 최하위 비트를 버린 후에 남아있는 신호를 출력하기 위한 제3가산기를 구비한 것을 특징으로 하는 화상 처리 시스템의 엣지 검출장치.

청구항 3

제2항에 있어서, 상기 판단수단은 네개의 절대값회로들의 출력과 주어진 스레쉬홀드 값을 각각 입력하기 위한 네개의 비교기들의 집합 ; 상기 4개의 비교기들의 집합의 출력들을 두개씩 논리합하기 위한 두개의 OR게이트들 ; 상기 두개의 OR게이트의 출력을 논리합하기 위한 하나의 OR게이트를 구비한 것을 특징으로 하는 화상 처리 시스템의 엣지 검출장치.

청구항 4

제2항에 있어서, 상기 변환수단은 상기 제3가산기의 출력과 소정 스레쉬홀드 값을 가산하기 위한 제4가산기 ; 상기 제3가산기의 출력과 상기 소정 스레쉬홀드 값을 반전원 값을 가산하기 위한 제5가산기 ; 상기 중심화소를 제외한 8개의 화소데이터를 상기 제 4 가산기의 출력과 비교하기 위한 8개의 비교기들의 제1집합 ; 상기 8개의 화소데이터와 상기 제5가산기의 출력과를 비교하기 위한 8개의 비교기들의 제2집합 ; 상기 8개의 비교기들의 제1집합의 각 출력들을 반전하고 상기 삼상태 값들의 최상위 비트를 출력하기 위한 9개의 인버터들 ; 상기 8개의 비교기들의 출력들과 상기 8개의 인버터들의 출력들을 논리합하고 상기 삼상태 값들의 최하위 비트를 출력하기 위한 8개의 OR게이트들을 구비한 것을 특징으로 하는 화상 처리 시스템의 엣지 검출장치.

청구항 5

제1항에 있어서, 상기 매칭수단은 상기 삼상태 값들과 상기 제1정형화된 엣지 패턴과의 내적을 얻기 위한 제1내적 회로 ; 상기 삼상태 값들과 상기 제2정형화된 엣지 패턴과의 내적을 얻기 위한 제2내적회로 ; 상기 삼상태 값들과 상기 제3정형화된 엣지 패턴과의 내적을 얻기 위한 제3내적 회로 ; 상기 삼상태 값들과 상기 제4정형화된 엣지 패턴과의 내적을 얻기 위한 제4내적 회로를 구비한 것을 특징으로 하는 화상 처리 시스템의 엣지 검출장치.

청구항 6

제5항에 있어서, 상기 제1내적 회로는 상기 삼상태 값들의 제1, 제4, 및 제7값들의 최상위 비트를 각각 반전하기 위한 3개의 인버터들 ; 상기 삼상태 값들의 제1, 제4, 및 제7값들의 최하위 비트와 상기 3개의 인버터들의 출력들의 논리곱을 각각 발생하기 위한 3개의 AND게이트들 ; 부호 확장법에 의해서 상기 3개의 AND게이트들의 출력들과 상기 3상태 값들의 제3, 제6 및 제9값들을 합하기 위한 제6 5개의 가산기 그룹 ; 상기 제6가산기 그룹의 최종 출력이 네거티브일 때 절대값을 얻기 위한 절대값 회로를 구비한 것을 특징으로 하는 화상 처리 시스템의 엠티 검출장치.

청구항 7

제5항에 있어서, 상기 제2내적 회로는 상기 삼상태 값들의 제1, 제2, 및 제4값들의 최상위 비트를 각각 반전하기 위한 3개의 인버터들 ; 상기 3개의 인버터들의 출력들과 상기 삼상태 값들의 제1, 제2, 및 제3값들의 최하위 비트의 논리곱을 각각 발생하기 위한 3개의 AND게이트들 ; 부호확장법의 사용에 의해 상기 3개의 AND게이트들의 출력과 상기 삼상태 값들의 제7, 제8, 및 제9값들을 합하기 위한 제7 5개의 가산기 그룹 ; 상기 제7 가산기 그룹의 최종 출력이 네거티브일 때 절대값을 얻기 위한 절대값 회로를 구비한 것을 특징으로 하는 화상 처리 시스템의 엠티 검출장치.

청구항 8

제5항에 있어서, 상기 제3내적 회로는 상기 삼상태 값들의 제1, 제2, 및 제4값들의 최상위 비트를 각각 반전하기 위한 3개의 인버터들 ; 상기 3개의 인버터들의 출력들과 상기 삼상태 값들의 제1, 제2, 및 제4값들의 최하위 비트를 각각 논리곱하기 위한 3개의 AND게이트들 ; 부호확장법에 의해 상기 삼상태 값들의 제6, 제8, 제9값들과 상기 3개의 AND게이트들의 출력들을 가산하기 위한 제8 5개의 가산기 그룹 ; 상기 제8가산기의 최종 출력이 네거티브일 때 절대값을 발생하기 위한 절대값 회로를 구비한 것을 특징으로 하는 화상 처리 시스템의 엠티 검출장치.

청구항 9

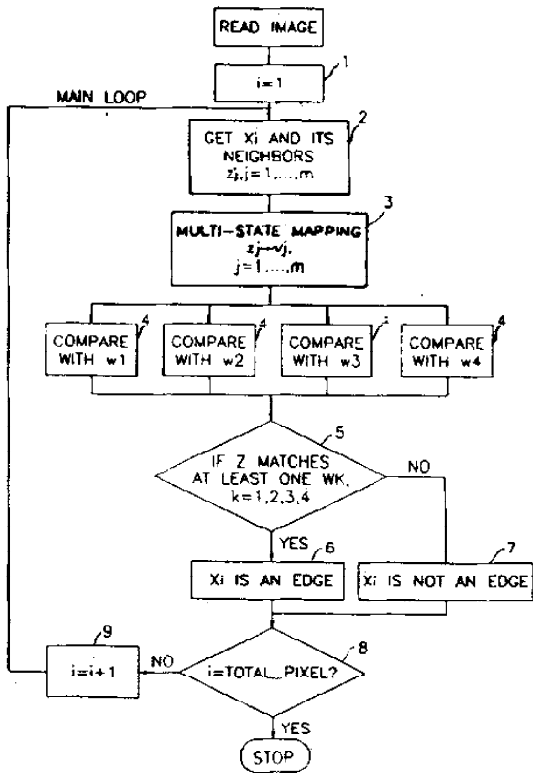
제5항에 있어서, 상기 제4내적 회로는 상기 삼상태 값들의 제2, 제3, 제6값들의 최상위 비트를 각각 반전하기 위한 3개의 인버터들 ; 상기 3개의 인버터들의 출력들과 상기 삼상태 값들의 제2, 제3, 및 제6값들의 최하위 비트를 각각 논리곱하기 위한 3개의 AND게이트들 ; 부호확장법에 의해 상기 삼상태 값들의 제4, 제7, 및 제8값들과 상기 3개의 AND게이트들의 출력들을 합하기 위한 제9 5개의 가산기 그룹 ; 상기 제9가산기 그룹의 최종 출력이 네거티브일 때 절대값을 얻기 위한 절대값 회로를 구비한 것을 특징으로 하는 화상 처리 시스템의 엠티 검출장치.

청구항 10

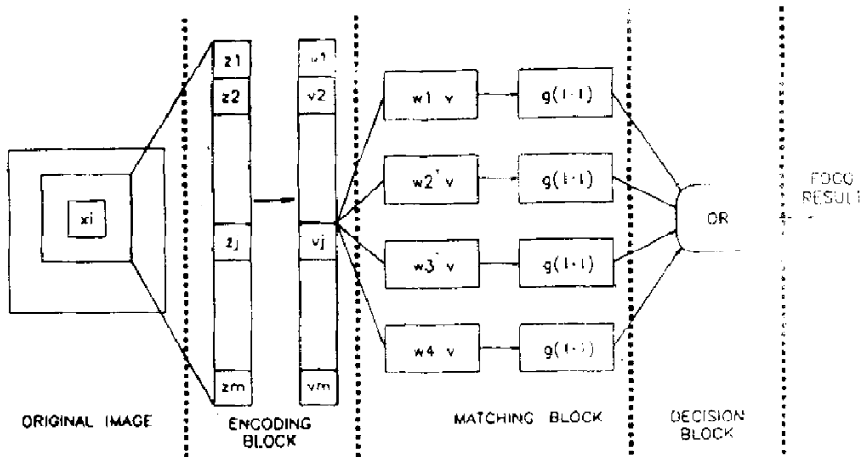
제6, 제7, 제8 또는 제9항에 있어서, 상기 절대값 회로는 상기 4개의 입력비트의 두개의 하위비트를 논리합하기 위한 OR게이트, 상기 4개의 입력비트의 최상위 비트와 상기 OR게이트의 출력을 입력하기 위한 제1NAND게이트 ; 상기 4개의 입력비트의 최하위 비트와 최상위 비트를 입력하기 위한 제2NAND게이트 ; 상기 제1NAND게이트의 출력과 상기 4개의 입력비트들의 두번째 상위비트를 입력하기 위한 제1XNOR게이트 ; 상기 제2NAND게이트의 출력과 상기 4개의 입력비트들의 두번째 최하위 비트를 입력하기 위한 제2XNOR게이트를 구비하여 상기 제1XNOR게이트의 출력, 상기 제2XNOR게이트의 출력, 및 상기 입력데이터의 최하위 비트가 각각 상기 절대값의 최상위 비트, 상기 절대값의 중간 비트, 상기 절대값의 최하위 비트에 대응하는 것을 특징으로 하는 화상 처리 시스템의 엠티 검출장치.

도면

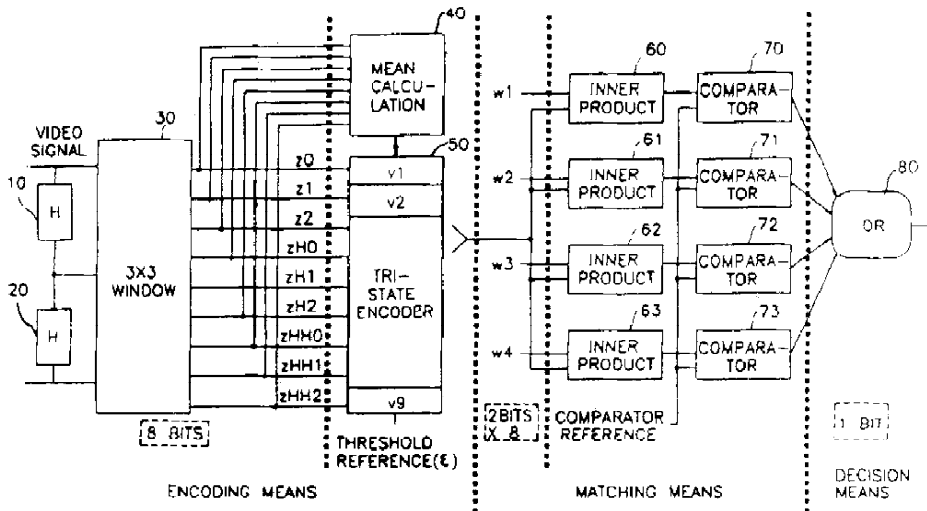
도면1



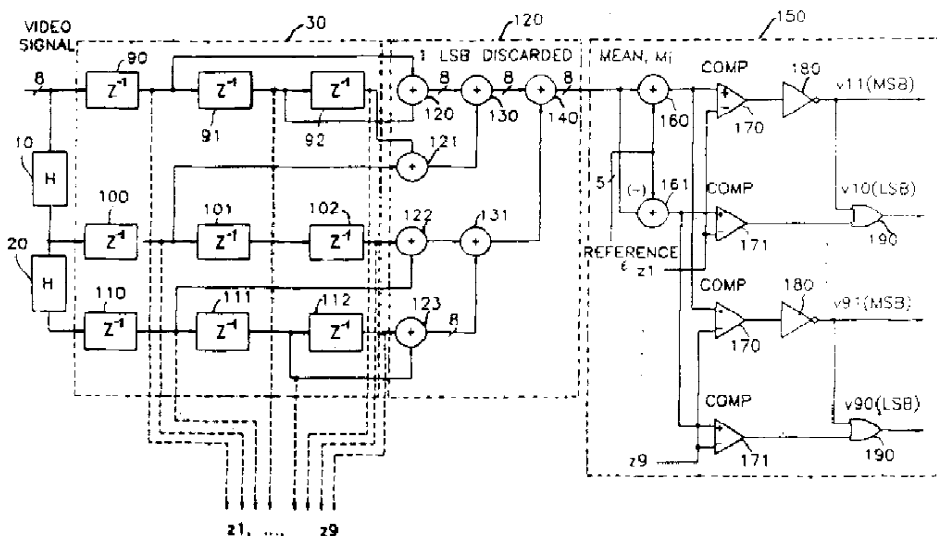
도면2



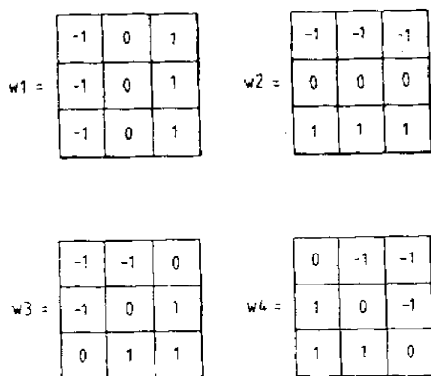
도면3



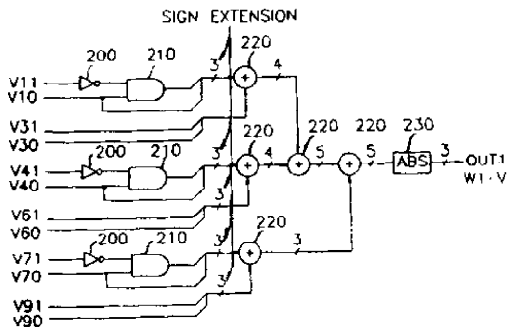
도면4



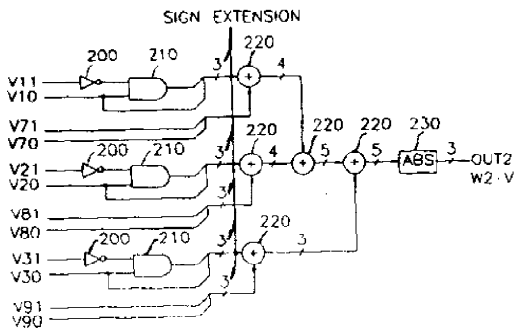
도면5



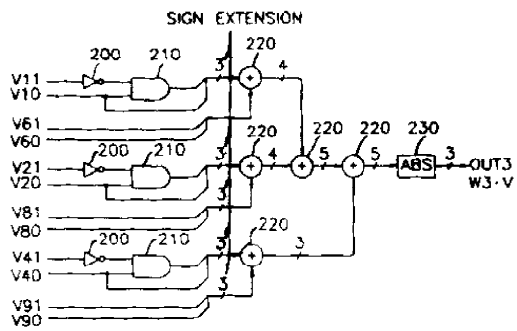
도면6a



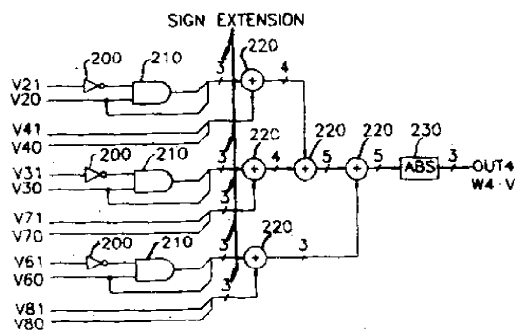
도면6b



도면6c



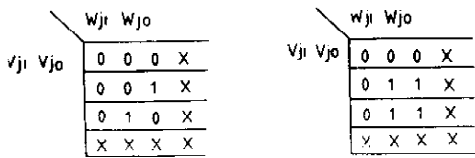
도면6d



도면7

ENCODED IMAGE DATA		PRESPECIFIED EDGE PATTERN		INNER PRODUCT OUTPUT	
V _{ji} (MSB)	V _{jo} (LSB)	W _{ji} (MSB)	W _{jo} (LSB)	U _{ji} (MSB)	U _{jo} LSB
0	0	0	0	0	0
0	0	0	1	0	0
0	0	1	0	X	X
0	0	1	1	0	0
0	1	0	0	0	0
0	1	0	1	0	1
0	1	1	0	X	X
0	1	1	1	1	1
1	0	0	0	X	X
1	0	0	1	X	X
1	0	1	0	X	X
1	0	1	1	X	X
1	1	0	0	0	0
1	1	0	1	1	1
1	1	1	0	X	X
1	1	1	1	0	1

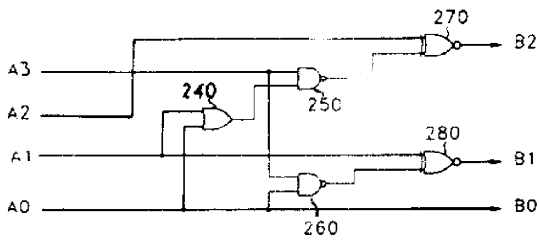
도면8



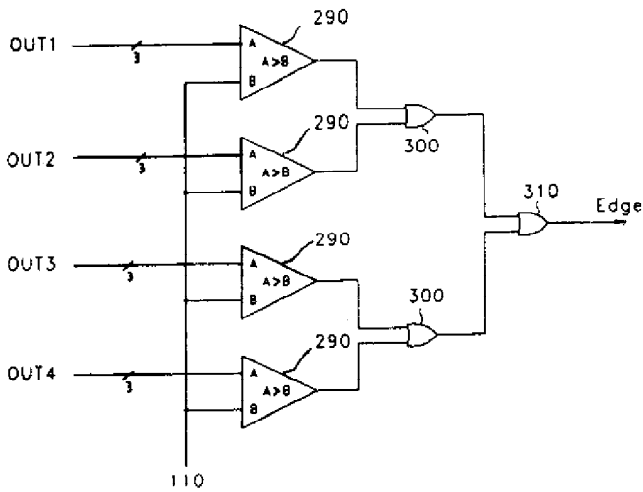
$U_{ji}(MSB) = \overline{V_{ji}} V_{jo} W_{ji} + V_{ji} \overline{W_{ji}} W_{jo}$

$U_{jo}(LSB) = V_{jo} W_{jo}$

도면9



도면10



도면11

