(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G11C 8/18

(11) 공개번호 특2003-0078307
(43) 공개일자 2003년10월08일

(21) 출원번호 10-2002-0017266
(22) 출원일자 2002년03월29일

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 전준현
충청북도청주시흥덕구봉명동90-8삼정아파트5-304

(74) 대리인 특허법인 신성

심사청구 : 있음

(54) 로우 레이턴시 리드를 위한 데이터 스토로브 신호제어부를 포함하는 동기식 메모리장치

요약

본 발명은 로우 레이턴시의 리드 동작에서도 지연시간이 없이 동작하는 동기식 메모리 장치을 제공하기 위한 것으로, 이를 위한 본 발명은 액티브 신호와 위상동기된 클럭신호의 타이밍을 비교하기 위한 프리앰블 신호용 위상비교부; 상기 프리앰블 신호용 위상비교부의 출력에 따라 프리앰블 신호의 인에이블 타이밍을 조절하여 출력하기 위한 데이터 스트로브 신호 제어부; 상기 데이터 스트로브 신호 제어부에서 출력되는 프리앰블 신호를 입력받아 데이터 스트로브 신호를 프리앰블 상태로 변환하여 위한 출력버퍼를 구비하는 동기식 메모리 장치가 제공된다.

대표도

도 6

색인어

메모리, 디디알, 데이터 스토로브 신호,

명세서

도면의 간단한 설명

도1은 통상적인 디디알 동기식 메모리 장치에서 DQS신호를 생성하는 블럭 구성도이다.

도2는 도1의 디디알 동기식 메모리 장치에서 DQS 신호 제어부의 블럭 구성도.

도3은 DQS 신호 타이밍을 나타내는 파형도.

도4는 정상동작일 때 도1의 디디알 동기식 메모리 장치의 동작을 나타내는 파형도.

도5는 이상동작일 때 도1의 디디알 동기식 메모리 장치의 동작을 나타내는 파형도.

도6은 본 발명의 바람직한 실시예에 따른 동기식 메모리 장치에서 DQS 신호 에 관한 블럭 구성도.

도7은 도6에서 프리앰블 신호용 위상비교부를 나타내는 블럭구성도.

도8은 도6에서 프리앰블 신호 제어부를 나타내는 블럭구성도.

도9는 도6의 메모리 장치의 동작을 나타내는 파형도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 차세대 메모리 장치인 DDR(Double Data Rate) 동기식(Synchronous) 메모리 장치에 관한 것으로, 특히 로우 레이턴시(Low latency) 억세스(access)가 가능한 디디알 동기식 메모리 장치에 관한 것이다.

잘 알려진 바와 같이, 반도체 메모리 장치는 동작 속도 향상을 위하여 외부의 시스템 클럭에 동기되어 동작하는 싱크로너스 메모리 장치(이하, 동기식 메모리 장치)이 널리 사용되고 있다. 통상의 동기식 메모리 장치은 클럭의 라이징(rising) 에지(edge)에 동기시켜 클럭의 한 주기에 걸쳐 하나의 데이터를 입출력하는 소자인데 반하여, 디디알 동기식 메모리 장치은 클럭 라이징 및 폴링(falling) 에지에 동기되어 연속적으로 두 개의 데이터가 입출력될 수 있다. 따라서, 클럭의 주파수를 증가시키지 않더라도 종래의 동기식 메모리 장치에 비해 최소한 두 배 이상의 동작속도를 구현할 수 있어 차세대 메모리 장치으로서 크게 각광받고 있다. 한편, 출력되는 데이터들의 정확한 타이밍을 메모리 장치 외부의 중앙처리장치(CPU)나 제어기(Controller)에 알려주고, 메모리 칩셋(Chip Set)에서의 각 칩들 간에 발생되는 타임스큐(Time Skew)를 최소화하기 위하여, 메모리 칩은 읽기 구동시 칩 외부로 데이터와 함께 데이터 스트로브 신호(Data Strobe Signal : 이하 DQS신호라 함) 를 출력한다.

도1은 통상적인 디디알 동기식 메모리 장치에서 DQS신호를 생성하는 블럭 구성도이다.

도1을 참조하여 살펴보면, DQS신호를 생성하는 블럭구성은 외부에서 클럭신호(CLK, CLKB)를 입력받아 지연고정루프로 출력하는 클럭버퍼(10)와, 클럭버퍼의 출력을 입력받아 데이터 및 DQS 출력이 외부클럭 대비 지연이 없는 상태로 만들어 주기 위한 기능을 하는 지연고정루프(Delay locked loop,DLL)(20)와,외부의 명령어(/CS,/RAS,/CAS,/WE)를 입력받아 내부에서 사용하는 신호로 변환하는 명령어 버퍼(30)와, 명령어 버퍼(30)의 출력신호(READ)와 지연고정루프(20)의 출력신호(RCLK/FCLK)를 입력받아 DQS 신호 출력버퍼를 제어하는 DQS신호 제어부(40)와, DQS 신호 제어부(40)의 제어에 따라 DQS 신호를 출력하는 DQS신호 출력버퍼(50)로 구성된다.

도2는 도1에서 DQS 신호 제어부의 블럭 구성도이다.

도2를 참조하여 살펴보면, DQS 신호 제어부(40)는 리드 명령어(READ command), 카스 레이턴시(CAS latency, CL), 버스터 길이(Burst length control, BL), 지연고정루프(20)의 출력신호(RCLK/FCLK)를 입력으로 하여 DQS 출력의 프리앰블 상태를 유지하기위한 프리앰블 신호(PREAMBLE)를 출력하는 프리앰블 제어부(41)와, CL 및 BL에 따라 DQS 데이터 신호(DQS_DATA)를 제어하는 DQS 데이터 생성기(42)와, DQS 신호를 하이임피던스(High impedance, Hi-Z) 상태로 제어하기 위한 DQS Hi-Z 제어부(43)으로 구성된다.

도3은 여기서 CL=1.5일 때, 리드 명령어 입력시 DQS 신호 타이밍을 나타내는 파형도이다.

먼저 디디알 동기식 메모리 장치에서는 출력되는 데이터(DQ)는 클럭(CLK)의 하강 에지 및 상승 에지에 동기되어 하나의 클럭 주기 내에 두 개의 데이터가 연속하여 출력된다. DQS는 리드 명령이 입력되기 전에는 하이임프던스 상태(A구간)를 유지하다가, 리드 명령이 입력된 때로부터 0.5주기 후에 '로우(Low)'가 된다.

이렇게 데이터 출력 전에 상기 데이터스트로브신호 DQS가 '로우'로 되는 것을 '프리앰블(preamble)상태'(B구간)라 한다. 이어서, 데이터가 출력되면, DQS 신호는 최초에 출력되는 데이터에 동기되어 프리앰블 상태에서 '하이(High)'로 전이되고, 다시 다음 데이터가 출력됨에 따라 토글(toggle)되어(C구간) '로우'로 전이된다. 만약 데이터가 더 출력되는 경우(즉, 버스트 길이가 2보다 큰 경우)에는 DQS신호가 다시 토글 되어 '하이'로 전이되는 과정을 반복한다. 데이터의 출력이 완료되면 DQS신호는 다시 하이 임피던스상태로 복귀하여 데이터가 출력되지 않음을 외부의 장치에

알린다.

즉, 리드 명령어 입력후 DQS 동작은 크게 하이 임피던스 상태, 프리앰블(Preamble) 상태, 토글링(Toggling) 상태, 포스터앰블(Postamble) 상태, 다시 하이 입피던스로 진행되는 것이다.

도4는 정상동작일 때 도1의 디디알 동기식 메모리 장치의 동작을 나타내는 파형도이다.

먼저 리드명령어(RD)가 입력되면 이에 따라 리드신호(READ)가 출력되고, 리 드신호(READ)에 따라 DQS 출력 인에이블 신호(DQS_OE) 및 프리앰블 신호(PREAMBLE)가 하이로 인에이블 된다. 이어서 프리앰블 신호(PREAMBLE)에 따라 DQS 신호가 프리앰블 상태(tPRE)가 된다 한클럭동안 프리앰블 상태가 지속되고 나서 DQS신호가 지연고정루프의 출력신호(RCLK, FCLK)에 따라 토글링 상태로 되고 버스트 길이에 해당하는 데이터가 출력된다.

도5는 이상동작일 때 도1의 디디알 동기식 메모리 장치의 동작을 나타내는 파형도이다.

도4에 도시된 바와 같이 CL=1.5같이 로우 레이턴시일 때는 리드명령어(RD)가 입력되고 나서 리드신호(READ) 및 DQS 출력 인에이블 신호(DQS_OE)가 지연고정루프의 출력신호(FCLK, RCLK)보다 뒤지게 될 경우 프리앰블 신호가 시간 지연을 가지고 출력하게 된다.

따라서 종래에는 디디알 동기식 메모리 장치을 로우 카스 레이턴시(CL)로 동작시킬 때에는 필연적으로 동작초반에 지연시간을 가지도 동작하도록 되어 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 로우 레이턴시이 리드 동작에서도 지연시간이 없이 동작하는 동기식 메모리 장치을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명은 액티브 신호와 위상동기된 클럭신호 의 타이밍을 비교하기 위한 프리앰블 신호용 위상비교부; 상기 프리앰블 신호용 위상비교부의 출력에 따라 프리앰블 신호의 인에이블 타이밍을 조절하여 출력하기 위한 데이터 스트로브 신호 제어부; 상기 데이터 스트로브 신호 제어부에서 출력되는 프리앰블 신호를 입력받아 데이터 스트로브 신호를 프리앰블 상태로 변환하여 위한 출력버퍼를 구비하는 동기식 메모리 장치가 제공된다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시 할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도6은 본 발명의 바람직한 실시예에 따른 동기식 메모리 장치에서 DQS 신호 에 관한 블럭 구성도이다.

도6을 참조하여 살펴보면, 본 실시예에 따른 동기식 메모리 장치의 DQS 신호 에 관한 블럭은 액티브 신호(ACTIVE)와 위상동기된 클럭신호(FCLK)의 타이밍을 비교하기 위한 프리앰블 신호용 위상비교부(300)와, 프리앰블 신호용 위상비교부(300)의 출력신호(FAST_PRE<0:i>)에 따라 프리앰블 신호(PREAMBLE)의 인에이블 타이밍을 조절하기 위한 데이터 스트로브 신호 제어부(100)와, 데이터 스트로브 신호 제어부(100)에서 출력되는 프리앰블 신호(PREAMBLE)를 입력받아 DQS 신호(DQS)를 프리앰블 상태로 변환하기 위한 DQS 출력버퍼(200)로 구성된다.

또한, 데이터 스트로브 신호 제어부(100) 내부에는 리드 명령어(READ), 카스 레이턴시(CL), 버스터 길이(BL), 지연고정루프의 출력신호(RCLK/FCLK)를 입력으로 하여 DQS 출력의 프리앰블 상태를 유지하기위한 프리앰블 신호(PREAMBLE)를 출력하는 프리앰블 제어부(110)와, 카스레이턴시 및 버스터 길이에 따라 DQS 데이터 신호(DQS_DATA)를 제어하는 DQS 데이터 생성기(120)와, DQS 신호를 하이임피던스(High impedance, Hi-Z) 상태로 제어하기 위한 DQS Hi-Z 제어부(130)로 구성되어 있다.

도7은 도6에서 프리앰블 신호용 위상비교부를 나타내는 블럭구성도이다.

도7을 참조하여 살펴보면, 프리앰블 신호용 위상비교부(300)는 액티브 신호(ACTIVE)를 입력받아 더미 리드 명령어(DUM_READ)를 생성하는 더미 리드명령어 생성기(310)와, 위상동기된 클럭(FCLK)을 입력받아 소정 시간동안 지연된 클럭(D_FCLK)을 생성하는 딜레이(320)와, 지연된 클럭(D_FCLK)이 더미 리드 명령어(DUM_READ)보다 빨리 생성되면, 그 타이밍에 관한 정보를 출력(FAST_PRE<0:i>하는 위상비교기(330)으로 구성된다.

도8은 도6에서 프리앰블 신호 제어부를 나타내는 블럭구성도이다.

상기 프리앰블 신호 제어부(110)는 위상비교기(330)의 출력신호(FAST_PRE<0:i>)에 따라 리드명령어(READ)의 전달 지연시간을 조절하여 제1 프리앰블 신호(A)를 생성하기 위한 제1 프리앰블 신호 생성부(112)와, 위상동기된 클럭(FCLK)에 따라 리드명령어(READ)를 제2 프리앰블 신호(B)로 생성하여 위한 제2 프리앰블 신호 생성부(113)와, 위상비교기(330)의 출력신호(FAST_PRE<0:i>)에 따라 인에이블 신호(FAST_PRE)를 출력하는 신호합성기(111)와, 인에이블 신호(FAST_PRE)에 따라 제1 및 제2 프리앰블 신호(A,B)를 선택해서 프리앰블 신호(PREAMBLE)로 출력하는 멀티플렉스(114)로 구성된다.

도9는 도6의 메모리 장치의 동작을 나타내는 파형도이다. 이하 도6 내지 도9를 참조하여 전술한 데이터 스트로브 신호를 생성하는 반도체 장치의 동작에 대해서 설명한다.

먼저, 프리앰블 신호용 위상비교부(300)에서 액티브신호(ACTIVE)가 입력되면 더미 리드 명령어 생성기(310)에서 더미 리드 명령어(DUM_READ)가 생성되어 위상비교기(330)로 출력되고, 한편으로 위상동기된 클럭(FCLK)이 딜레이(320)를 통과하여 지연된 클럭(D_CLK)으로 위상비교기(330)로 출력된다. 위상비교기(330)에서는 지연된 클럭(D_CLK)이 더미 리드 명령어(DUM_READ) 보다 얼마나 빨리 생성되는지를 체크하여 빨리 생성된다면 빨리 생성되는 타이밍에 관한 정보를 출력한다.

예컨대 지연된 클럭(D_CLK)이 더미 리드 명령어(DUM_READ)보다 빨리 생성되면 위상비교기의 출력신호(FAST_PRE<0:i>)중 하나가 하이로 출력되며, 지연된 클럭(D_CLK)이 더미 리드 명령어(DUM_READ) 보다 늦게 생성되면 위상비교기의 출력신호(FAST_PRE<0:i>)는 모두 로우상태를 유지하게 되는 것이다.

위상비교기의 출력신호(FAST_PRE<0:i>)가 모두 로우상태를 유지하게 되면, 프리앰블 신호 제어부(110)의 신호합성기(111)의 출력신호(FAST_PRE)에 따라 멀티플렉스(114)가 제2 프리앰블 신호 생성부(113)의 출력신호(B)가 프리앰블 신호(PREAMBLE)로 출력되도록 한다.

한편으로 위상비교기의 출력신호(FAST_PRE<0:i>)중 하나가 하이를 유지하면 신호합성기(111)의 출력신호(FAST_PRE)에 따라, 멀티플렉스(114)가 제1 프리앰블 신호 생성부(112)의 출력신호(A)가 프리앰블 신호(PREAMBLE)로 출력되도록 한다.

위상비교기의 출력신호(FAST_PRE<0:i>)가 다수 비트인 것은 지연된 클럭(D_CLK)이 더미 리드 명령어(DUM_READ)보다 얼마나 빨리 생성되는지 정보를 저장하기 위한것이고 이 정보에 따라 제1 프리앰블 신호 생성부(112)의 지연값이 정해지게 되고, 신호합성부(111)에서는 위상비교기의 출력신호(FAST_PRE<0:i>)가 다수 비트중에서 하나만 하이가 되도 출력신호(FAST_PRE)를 하이로 인에이블 시킨다.

따라서 로우 레이턴시(예컨대 CL=1.5)일 때에 지연된 클럭(D_CLK)이 더미 리드 명령어(DUM_READ)보다 빨리 생성되더라도 제1 프리앰블 신호 생성부에 의해 프리앰블 신호(PREAMBLE)가 지연시간없이 생성되도록 할 수 있다. 결국, 로우 레이턴시(예컨대 CL=1.5)일 때에 프리앰플 신호(PREAMBLE)가 지연시간없이 생성되므로서 데이터출력을 보다 고속으로 할 수 있어 동기식 메모리 성능향상을 기대할 수 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

본 발명에 의해 로우 레이턴시상태에서도 정확한 타이밍에 데이터를 출력할 수 있어 동기식 메모리 소자의 성능 향상을 기대할 수 있다.

(57) 청구의 범위

청구항 1.

액티브 신호와 위상동기된 클럭신호의 타이밍을 비교하기 위한 프리앰블 신호용 위상비교부;

상기 프리앰블 신호용 위상비교부의 출력에 따라 프리앰블 신호의 인에이블 타이밍을 조절하여 출력하기 위한 데이터 스트로브 신호 제어부;

상기 데이터 스트로브 신호 제어부에서 출력되는 프리앰블 신호를 입력받아 데이터 스트로브 신호를 프리앰블 상태로 변환하여 출력하기 위한 출력버퍼를 구비하는 동기식 메모리 장치.

청구항 2.
제 1 항에 있어서,

상기 프리앰블 신호용 위상비교부는,

상기 액티브 신호를 입력받아 더미 리드 명령어를 생성하는 더미 리드명령어 생성기;

상기 위상동기된 클럭을 입력받아 소정 시간동안 지연된 클럭을 생성하는 딜레이; 및

상기 지연된 클럭이 상기 더미 리드 명령어보다 빨리 생성되면, 그 타이밍에 관한 정보를 출력하는 위상비교기를 구비하는 것을 특징으로 하는 동기식 메모리 장치.

청구항 3.
제 2 항에 있어서,

상기 데이터 스트로브 신호 제어부는

상기 위상비교기의 출력신호에 따라 리드명령어의 전달 지연시간을 조절하여 제1 프리앰블 신호를 생성하기 위한 제1 프리앰블 신호 생성부;

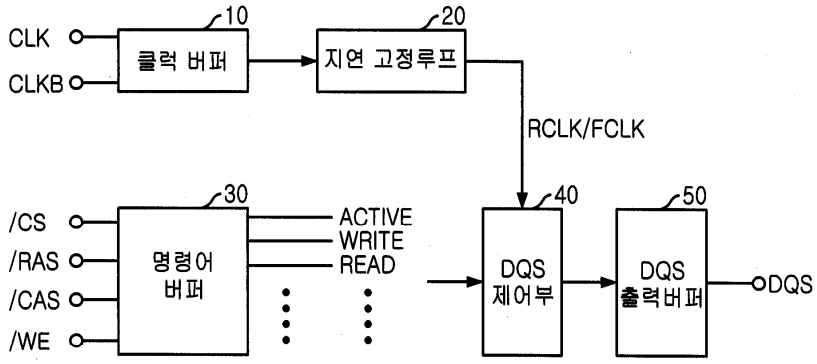
상기 위상동기된 클럭에 따라 상기 리드명령어를 제2 프리앰블 신호로 생성하여 위한 제2 프리앰블 신호 생성부;

상기 위상비교기의 출력신호에 따라 인에이블 신호를 출력하는 신호합성기; 및

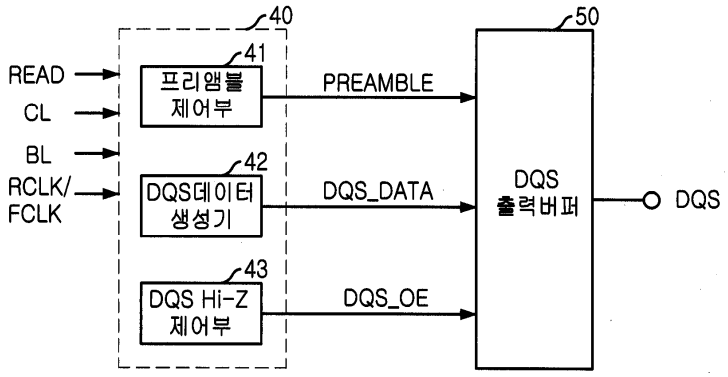
상기 인에이블 신호에 따라 상기 제1 및 제2 프리앰블 신호를 선택해서 프리앰블 신호로 출력하는 멀티플렉스를 구비하는 것을 특징으로 하는 동기식 메모리 장치.

도면

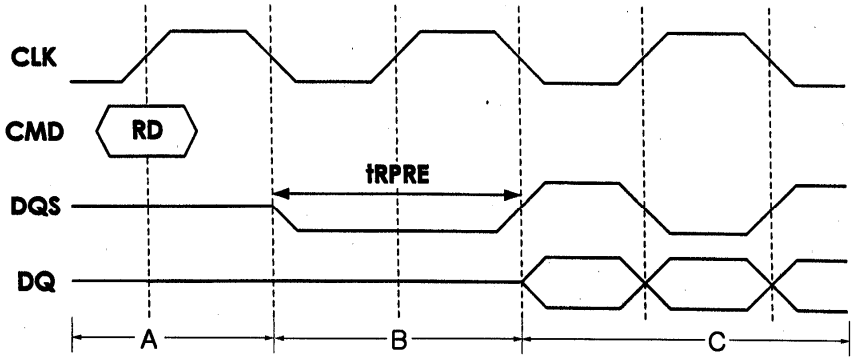
도면1



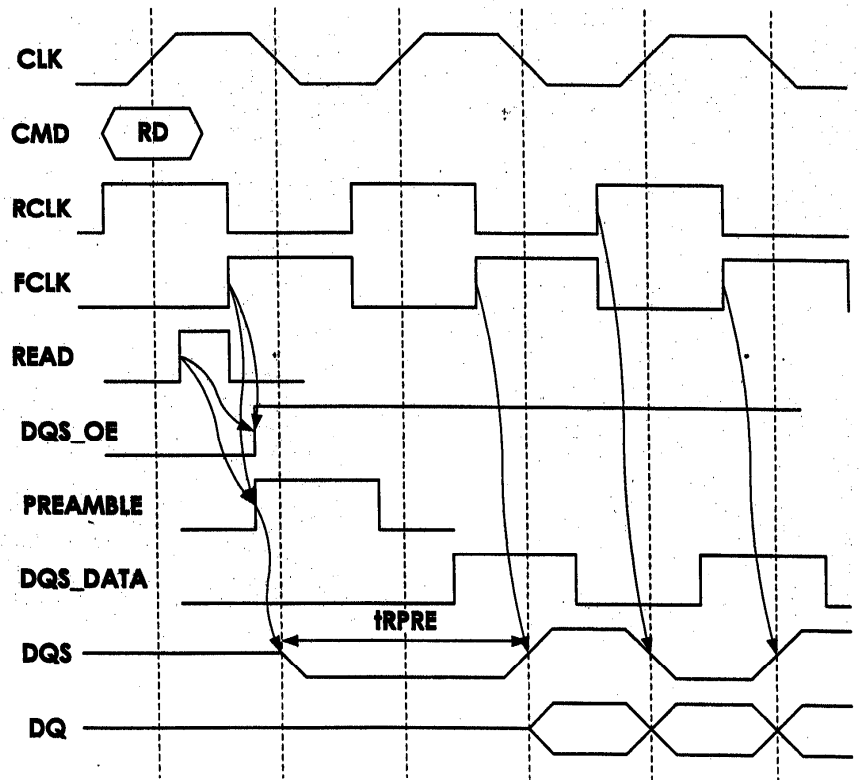
도면2


40
41
42
43
50
READ
CL
BL
RCLK/
FCLK
프리앰블
제어부
DQS데이터
생성기
DQS Hi-Z
제어부
PREAMBLE
DQS_DATA
DQS_OE
DQS
출력버퍼
DQS

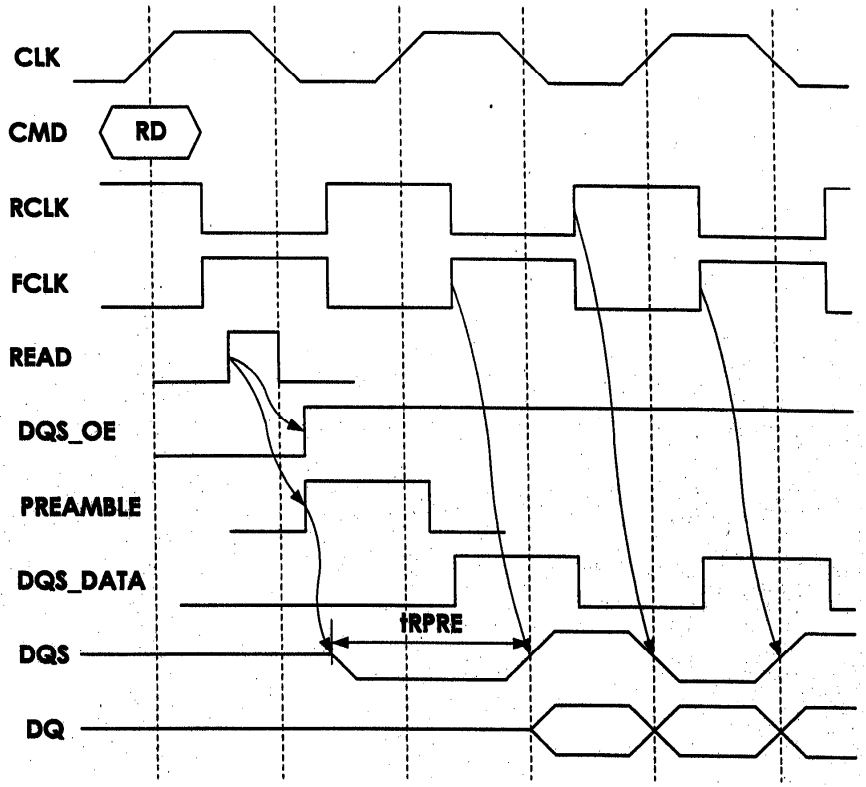
도면3


CLK
CMD
RD
tRPRE
DQS
DQ
A
B
C

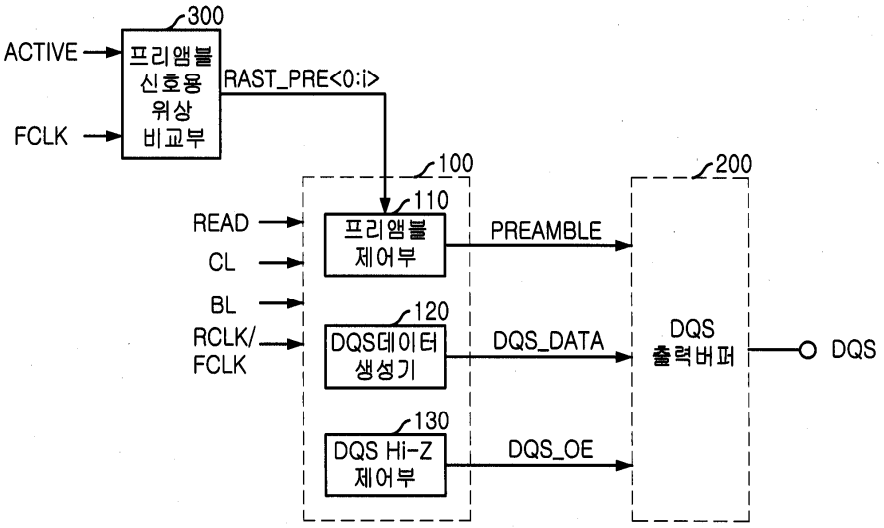
도면4


CLK
CMD
RD
RCLK
FCLK
READ
DQS_OE
PREAMBLE
DQS_DATA
tRPRE
DQS
DQ

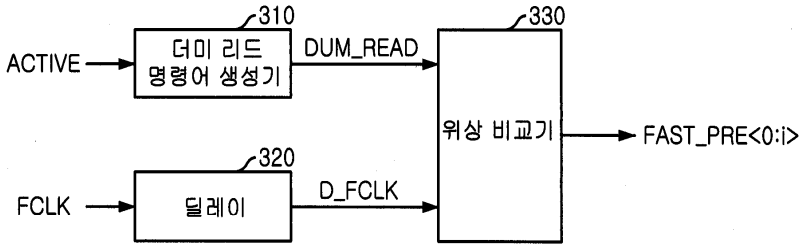
도면5


CLK
CMD
RD
RCLK
FCLK
READ
DQS_OE
PREAMBLE
DQS_DATA
tRPRE
DQS
DQ

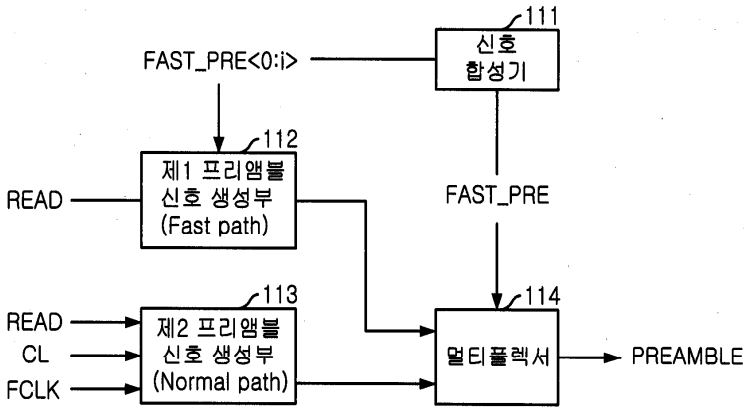
도면6


300
ACTIVE
FCLK
프리앰블 신호용 위상 비교부
RAST_PRE<0:i>
100
110
READ
CL
BL
RCLK/ FCLK
프리앰블 제어부
120
DQS데이터 생성기
130
DQS Hi-Z 제어부
PREAMBLE
DQS_DATA
DQS_OE
200
DQS 출력버퍼
DQS

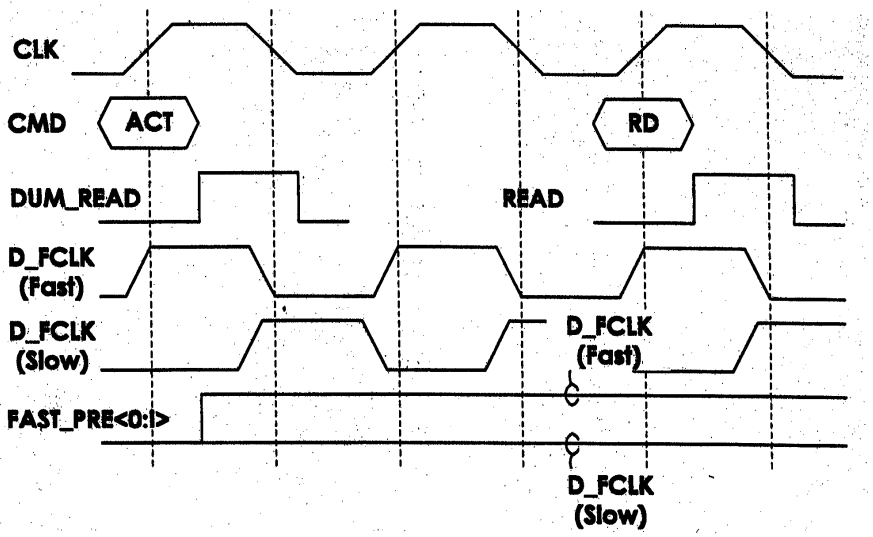
도면7


310
ACTIVE
더미 리드 명령어 생성기
DUM_READ
320
FCLK
딜레이
D_FCLK
330
위상 비교기
FAST_PRE<0:i>

도면8


111
신호
합성기
FAST_PRE<0:i>
112
제1 프리앰블
신호 생성부
(Fast path)
READ
FAST_PRE
113
READ
CL
FCLK
제2 프리앰블
신호 생성부
(Normal path)
114
멀티플렉서
PREAMBLE

도면9


CLK
CMD
ACT
RD
DUM_READ
READ
D_FCLK
(Fast)
D_FCLK
(Slow)
D_FCLK
(Fast)
FAST_PRE<0:i>
D_FCLK
(Slow)