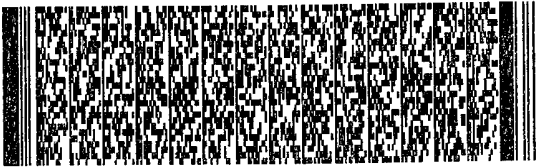


申請日期： 類別：HOLL 29/988	89.12.15	案號： 89126879
-------------------------	----------	-----------------

(以上各欄由本局填註)

公告本		發明專利說明書	461118
可增加元件可靠度的薄膜電晶體及其製作方法			
一、 發明名稱	中文		
	英文		
二、 發明人	姓名 (中文)	1. 陸一民 2. 陳志宏	
	姓名 (英文)	1. I-Min Lu 2. Jr-Hong Chen	
	國籍	1. 中華民國 2. 中華民國	
	住、居所	1. 台北市實踐街5巷7號3樓 2. 台北縣永和市永元路134號4樓	
三、 申請人	姓名 (名稱) (中文)	1. 財團法人工業技術研究院	
	姓名 (名稱) (英文)	1. INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE	
	國籍	1. 中華民國	
	住、居所 (事務所)	1. 新竹縣竹東鎮中興路四段一九五號	
	代表人 姓名 (中文)	1. 林信義	
代表人 姓名 (英文)	1.		
			

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

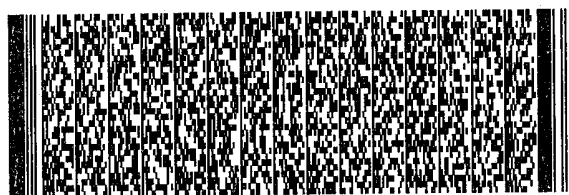
無

五、發明說明 (1)

本發明係有關於一種半導體元件及其製造方法，特別係有關於一種可增加元件可靠度的薄膜電晶體製程與其架構。

習知驅動液晶顯示裝置的方法中，主要用來做為影像顯示的即為薄膜電晶體的方式，目前常見的薄膜電晶體主要有非晶矽薄膜電晶體(a-Si:H TFT)及多晶矽薄膜電晶體(poly-Si TFT)兩種。其中，非晶矽薄膜電晶體雖然較為便宜，且其超大面積技術較為成熟，可是其速度較慢，對光和熱的敏感度高，可靠度不佳。相對地，多晶矽薄膜電晶體由於其速度較快且穩定度高，因此被應用於高解析度顯示器。

請參閱第1A圖至第1F圖，習知的多晶矽薄膜電晶體的製作過程係包括下列步驟：(i)步驟100，如第1A圖所示，在基材10上沉積一多晶矽12；(ii)步驟110，如第1B圖所示，在上述多晶矽層12上沉積一氧化層14，然後在該氧化層14上沉積一金屬層，並且對該金屬層圖案化以形成閘極16；(iii)步驟120，如第1C圖所示，利用植入的技術在上述多晶矽層12未被閘極16遮蓋的部分分別形成源極與汲極區域18；(iv)步驟130，如第1D圖所示，在上述氧化層14及閘極16上形成一介電層20，並且利用蝕刻的技術在上述源極與汲極區域18上形成接觸孔22；(v)步驟140，如第1E圖所示，在上述接觸孔22中填入導電插塞(plug)24，以便與其他部分的電路相連接；(vi)步驟150，如第1F圖所示，最後再形成一保護層(passivation layer)26覆蓋在



五、發明說明 (2)

整個結構之上。

在經過上述步驟後，即已完成一多晶矽薄膜電晶體的架構。不過，一般會再經過氫化(Hydrogenation)的過程，以改善薄膜電晶體的效能。

在薄膜電晶體(TFT)液晶顯示面板的解析度要求愈來愈高的情況下，為了滿足此種需求，可能的做法之一便是降低多晶矽薄膜電晶體的閘極氧化層厚度，藉以降低需求的驅動電壓，並可增加面板特性。但是過薄的閘極氧化層卻會造成元件的可靠度降低。

有鑑於此，針對上述先前技術的缺點，本發明之目的即在於提供一種薄膜電晶體的製程與其架構，其主要是應用於多晶矽薄膜電晶體(poly-Si TFT)，可增加元件可靠度。

本發明主要是於薄膜電晶體的製程中，在形成多晶矽島(poly-Si island)之後，形成做為閘極的金屬前，先沉積 $\text{SiN}_x/\text{SiO}_x$ ，以做為閘極絕緣層(gate insulator)。

利用本發明之製程與架構，可製造高品質的薄膜電晶體元件及陣列。再者，本發明之製程氧化矽較一般厚度薄，有利於穿過氧化物的摻雜(through oxide doping)製程之整合，並且其可利用氧化矽上的氮化矽薄膜搭配高溫步驟進行氫化(hydrogenation)製程，藉以消除在多晶矽層中的缺陷，以改善電晶體電流-電壓的特性。

以下，就圖式說明本發明之一種可增加元件可靠度的薄膜電晶體製程與其架構的實施例。



五、發明說明 (3)

圖式簡單說明

第1A圖至第1F圖係繪示一種習知的薄膜電晶體製程之剖面圖。

第2A圖至第2F圖係繪示本發明之可增加元件可靠度的薄膜電晶體製程之剖面圖。

[符號說明]

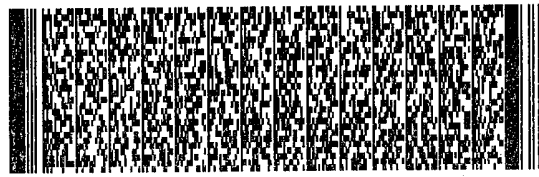
- | | |
|--------------|-------------|
| 10、30~基材； | 12、32~多晶矽； |
| 14~氧化層； | 16、38~閘極； |
| 18、40~源極/汲極； | 20~介電層； |
| 22~接觸孔； | 24、44~導電插塞； |
| 26~護層； | 34~矽氧化物層； |
| 36~氮化矽層； | 42~中間層。 |

實施例之說明

根據本發明之一實施例，可增加元件可靠度的薄膜電晶體的製程說明如下：

請參閱第2A圖，在玻璃基材30上，先形成一厚度約500 Å的多晶矽層，再利用蝕刻的技術，使上述多晶矽層形成為多晶矽島(poly-Si island)32。

請參閱第2B圖，沉積一層TEOS (tetraethylorthosilicate)34，其厚度約為500 Å，以覆蓋上述玻璃基材30與多晶矽島32，並在上述TEOS層34上沉積一厚度約為500 Å的氮化矽層(SiNx)36。上述TEOS層34與氮化矽層36係用以做為閘極絕緣層，且兩者的厚度和大約與先前技術中所製作的閘極絕緣層相同。



五、發明說明 (4)

請參閱第2C圖，在上述氮化矽層36上形成一厚度約為3000 Å的金屬層，例如鎢化鉬(MoW)，然後利用微影及蝕刻的技術，對上述金屬層進行圖案化，以形成一閘極38。

如第2D圖所示，利用上述閘極38做為罩幕，對上述氮化矽層36進行蝕刻，以去除未被閘極金屬覆蓋的氮化矽層。

請參閱第2E圖，在閘極38兩側進行自動對準離子摻雜，以在上述多晶矽層32中分別形成源極與汲極區域40，然後，沉積一厚度約為3000 Å的中間層(interlayer)42，例如TEOS，覆蓋在上述氧化矽層44及上述金屬閘極38之上。

請參閱第2F圖，利用微影及蝕刻的技術，在上述中間層42及上述氧化矽層34上形成接觸孔，再於上述接觸孔中填入導電插塞44。上述導電插塞可為厚約3000 Å的鎢化鉬。最後可在整個結構上沉積一層厚約30000 Å的TEOS，以做為其保護層(passivation layer)。

本發明之主要特徵在於在製程中形成閘極金屬之前，先在氧化層上形成一氮化矽層。如此，由於氮化矽的介電常數較大，因此在固定的等效電容面積與固定電容Cst的情況下，閘極絕緣層的厚度可以做得較薄。另外，若電容Cst值固定且閘極絕緣層的厚度固定，則等效電容面積可以變得比較小，以增加開口率(Aperture Ratio)。

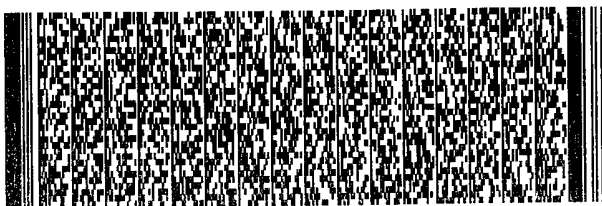
如上述，請參閱第2F圖，本發明之可增加元件可靠度的薄膜電晶體之架構係包括：一基材30；一多晶矽層32，



五、發明說明 (5)

形成於上述基材30上；一矽氧化物層34，覆蓋於上述多晶矽層32與上述基材30之上；一氮化矽層36，形成於上述矽氧化物層34上方且被界定在形成閘極的區域內；一閘極38，形成在上述氮化矽層36上；源極/汲極40，分別形成於未被上述閘極38遮蔽之上述多晶矽層32的兩側中；一中間層42，覆蓋於上述架構之上；接觸孔，分別形成於上述源極及汲極40上的中間層42及矽氧化物層34中；及導電插塞44，形成於上述接觸孔中，用以連接上述源極/汲極40與其他電路。

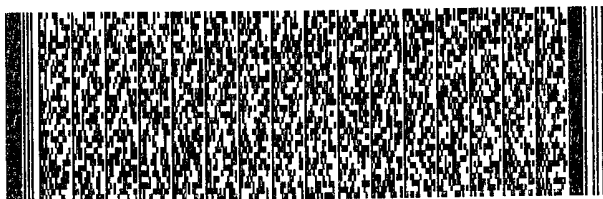
雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



四、中文發明摘要 (發明之名稱：可增加元件可靠度的薄膜電晶體及其製作方法)

一種可增加元件可靠度的薄膜電晶體及其製作方法，可製造高品質的薄膜電晶體元件及陣列，上述薄膜電晶體的製作方法係包括下列步驟：在一基材上，形成多晶矽島；沉積一矽氧化物層，以覆蓋上述基材與多晶矽島，並在上述矽氧化物層上沉積一氮化矽層；在上述氮化矽層上形成一金屬層，然後對上述金屬層進行圖案化，以形成一閘極；利用上述閘極做為罩幕，對上述氮化矽層進行蝕刻，以去除未被閘極金屬覆蓋的氮化矽層；在閘極兩側進行離子摻雜，以在上述多晶矽層中分別形成源極與汲極區域。上述薄膜電晶體的主要特徵在於在製程中形成閘極金屬之前，先在氧化層上形成一氮化矽層。結合氧化層與氮化矽層做為閘極絕緣層，有利於穿過氧化物的摻雜製程之整

英文發明摘要 (發明之名稱：)



四、中文發明摘要 (發明之名稱：可增加元件可靠度的薄膜電晶體及其製作方法)

合，並且其可搭配進行氫化製程，藉以消除在多晶矽層中的缺陷，以改善電晶體的電流-電壓的特性。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種可增加元件可靠度的薄膜電晶體，包括：

一基材；

一多晶矽層，形成於上述基材上；

一矽氧化物層，覆蓋於上述多晶矽層與上述基材之上；

一氮化矽層，形成於上述矽氧化物層上方且被界定在形成閘極的區域內；

一閘極，形成在上述氮化矽層上；

源極/汲極，分別形成於未被上述閘極遮蔽之上述多晶矽層的兩側中；

一中間層，覆蓋於上述架構之上；

接觸孔，分別形成於上述源極及汲極上的中間層及氧化層中；及

導電插塞，形成於上述接觸孔中，用以連接上述源極/汲極與其他電路。

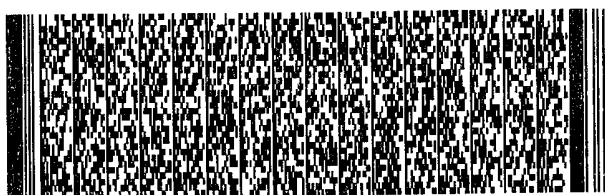
2. 如申請專利範圍第1項所述之薄膜電晶體，其中，上述矽氧化物層為厚度約500 Å的TEOS。

3. 如申請專利範圍第1項所述之薄膜電晶體，其中，上述氮化矽層的厚度約為500 Å。

4. 如申請專利範圍第1項所述之薄膜電晶體，其中，上述閘極為厚度約3000 Å的金屬。

5. 如申請專利範圍第1項所述之薄膜電晶體，其中，上述中間層為厚度約3000 Å的TEOS。

6. 如申請專利範圍第1項所述之薄膜電晶體，其中，



六、申請專利範圍

上述導電插塞係厚度約為3000 Å的金屬。

7. 如申請專利範圍第1項所述之薄膜電晶體，其中，上述矽氧化物層的厚度與上述氮化矽層的厚度大約相同。

8. 一種可增加元件可靠度的薄膜電晶體的製作方法，包括下列步驟：

(i) 在一基材上，形成多晶矽島；

(ii) 沉積一矽氧化物層，以覆蓋上述基材與多晶矽島，並在上述矽氧化物矽層上沉積一氮化矽層；

(iii) 在上述氮化矽層上形成一金屬層，然後對上述金屬層進行圖案化，以形成一閘極；

(iv) 利用上述閘極做為罩幕，對上述氮化矽層進行蝕刻，以去除未被閘極金屬覆蓋的氮化矽層；

(v) 在閘極兩側進行離子摻雜，以在上述多晶矽層中分別形成源極與汲極區域，然後，沉積一中間層，覆蓋在上述氧化矽層及上述金屬閘極之上；及

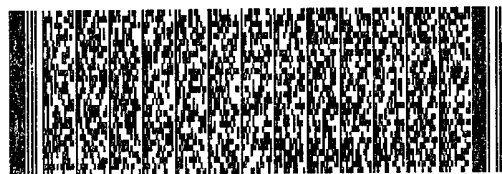
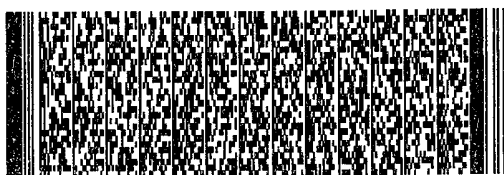
(vi) 在上述中間層及上述氧化矽層上形成接觸孔，再於上述接觸孔中填入導電插塞。

9. 如申請專利範圍第8項所述之製作方法，其中，上述矽氧化物層為厚度約500 Å的TEOS。

10. 如申請專利範圍第8項所述之製作方法，其中，上述氮化矽層的厚度約為500 Å。

11. 如申請專利範圍第8項所述之製作方法，其中，上述閘極的厚度約為3000 Å。

12. 如申請專利範圍第8項所述之製作方法，其中，上



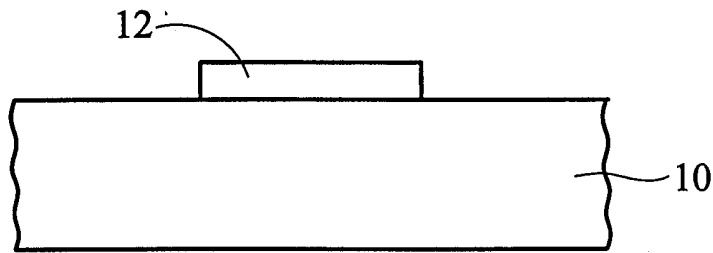
六、申請專利範圍

述中間層為厚度約3000 Å的TEOS。

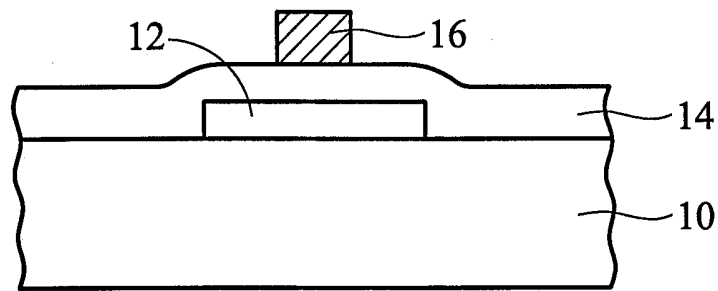
13. 如申請專利範圍第8項所述之製作方法，其中，上述導電插塞係厚度約為3000 Å的金屬。

14. 如申請專利範圍第8項所述之製作方法，其中，上述矽氧化物層的厚度與上述氮化矽層的厚度大約相同。

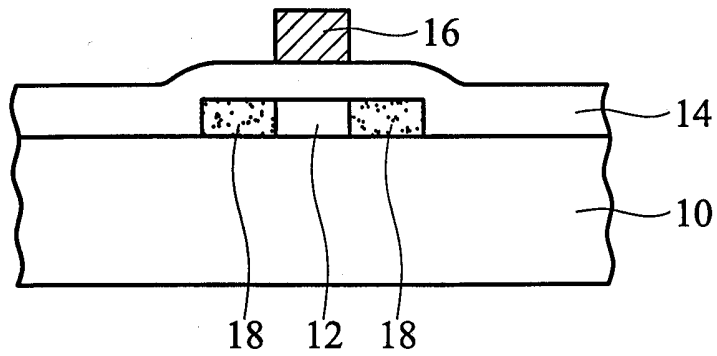




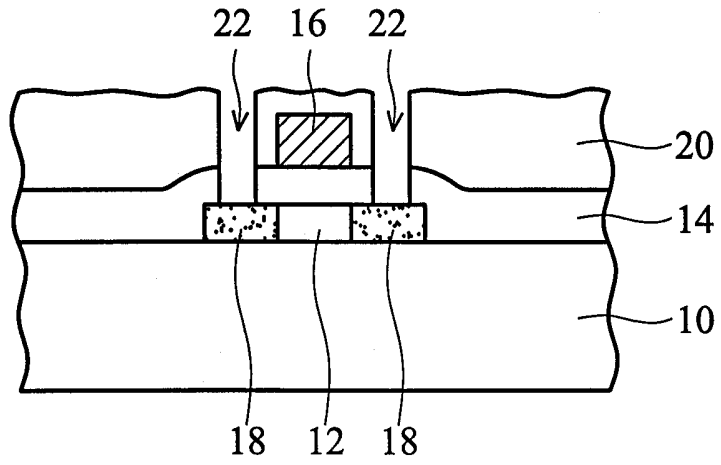
第 1A 圖



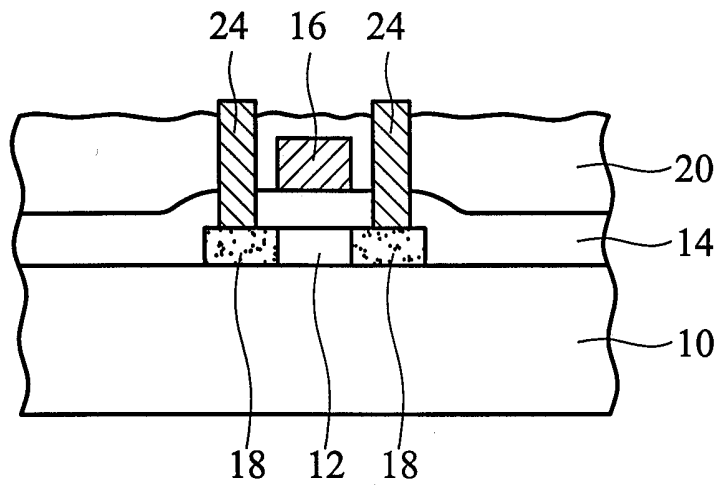
第 1B 圖



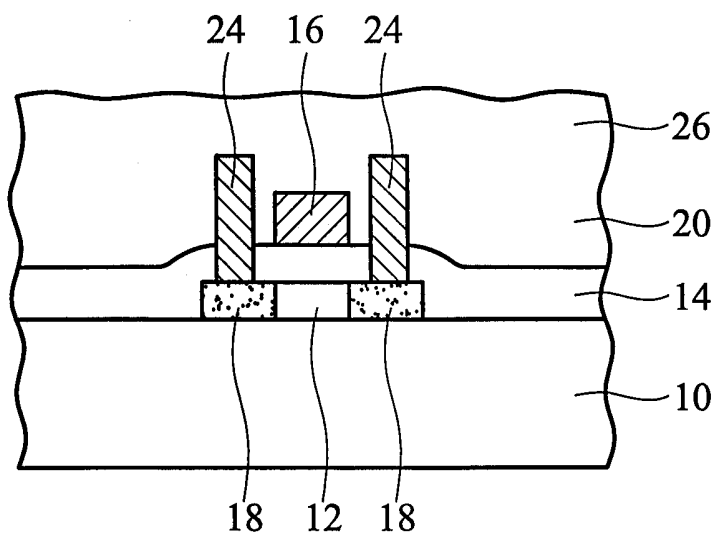
第 1C 圖



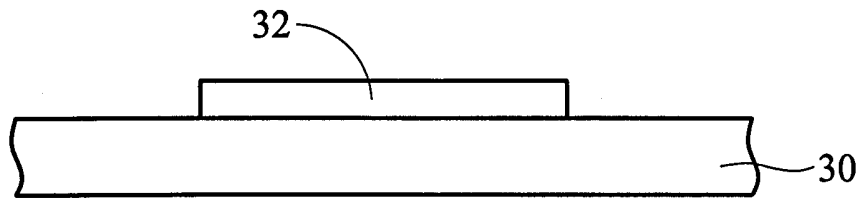
第1D圖



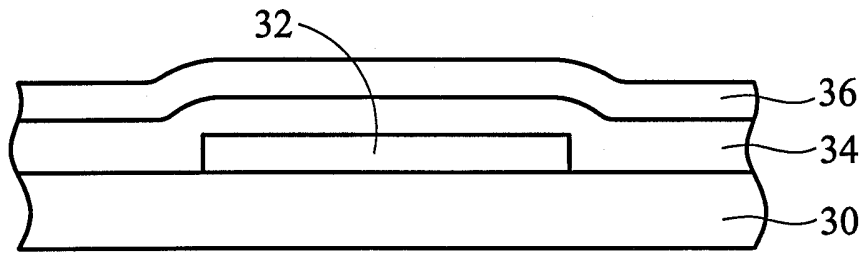
第1E圖



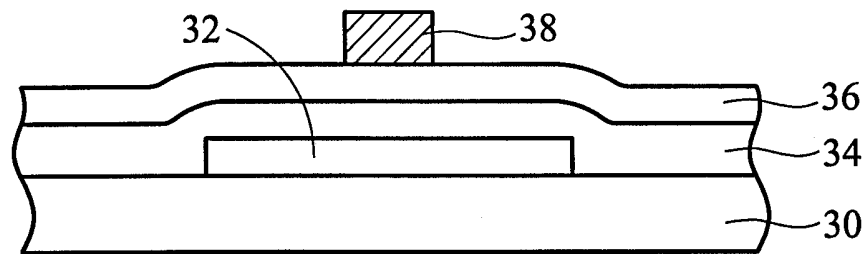
第1F圖



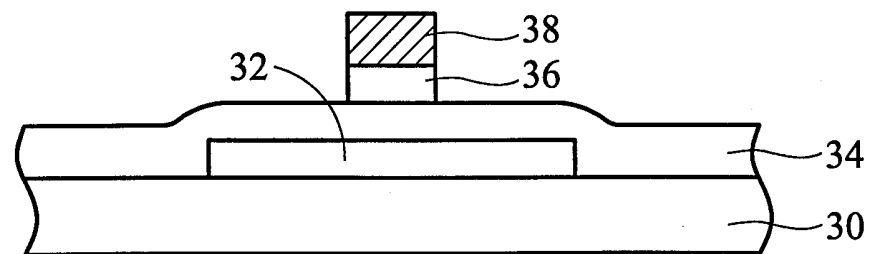
第2A圖



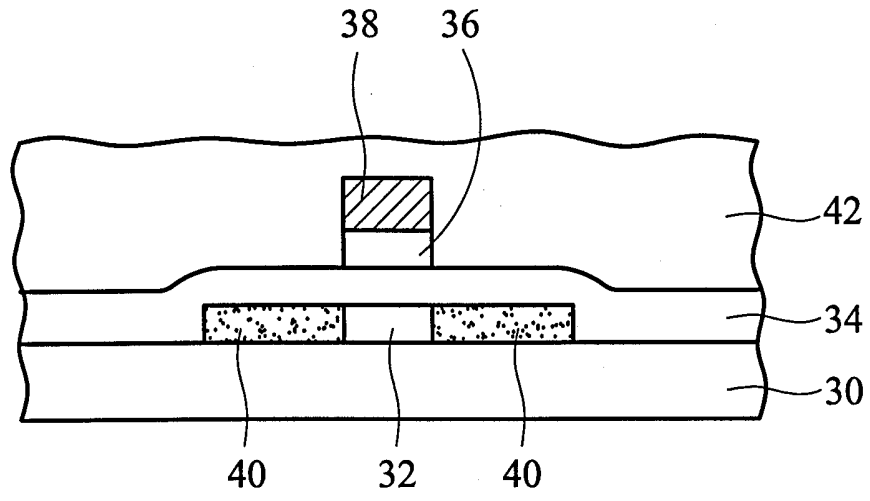
第2B圖



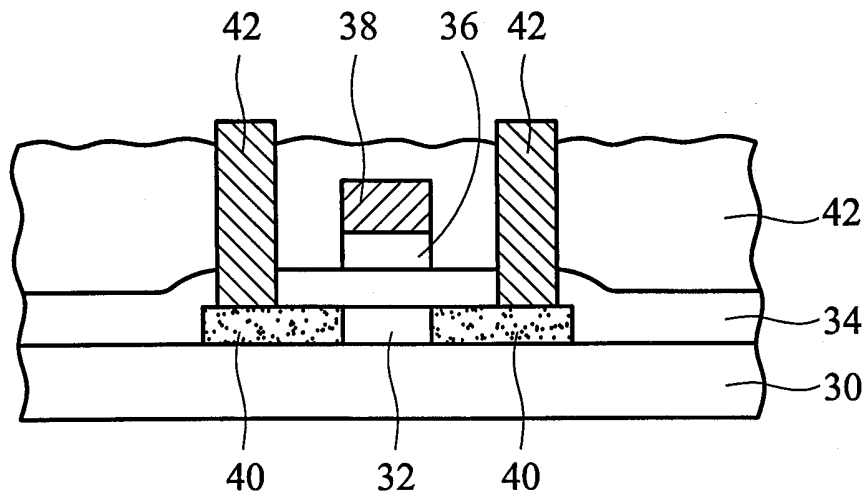
第2C圖



第2D圖



第2E圖



第2F圖