

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5336228号
(P5336228)

(45) 発行日 平成25年11月6日(2013.11.6)

(24) 登録日 平成25年8月9日(2013.8.9)

(51) Int.Cl. F I
G06F 11/28 (2006.01) G O 6 F 11/28 J
G06F 1/06 (2006.01) G O 6 F 1/04 3 1 O Z

請求項の数 20 外国語出願 (全 8 頁)

<p>(21) 出願番号 特願2009-45539 (P2009-45539) (22) 出願日 平成21年2月27日(2009.2.27) (65) 公開番号 特開2010-20752 (P2010-20752A) (43) 公開日 平成22年1月28日(2010.1.28) 審査請求日 平成21年2月27日(2009.2.27) (31) 優先権主張番号 12/042, 985 (32) 優先日 平成20年3月5日(2008.3.5) (33) 優先権主張国 米国 (US)</p>	<p>(73) 特許権者 591003943 インテル・コーポレーション アメリカ合衆国 95054 カリフォル ニア州・サンタクララ・ミッション カレ ッジ ブレーバード・2200 (74) 代理人 110000877 龍華国際特許業務法人 (72) 発明者 ヘンドリックソン、エリク エル. アメリカ合衆国 95052 カリフォル ニア州・サンタクララ・ミッション カレ ッジ ブレーバード・2200 インテル ・コーポレーション内</p>
--	---

最終頁に続く

(54) 【発明の名称】 複数のクロックドメインにおいて決定性を促進するテクニック

(57) 【特許請求の範囲】

【請求項 1】

複数の異なる周波数および位相を有する複数の異なるクロック信号に共通したクロックエッジに基づいて共通クロックパルスを生成する、ユニバーサルクロックパルス発生器 (UCPG) と、

前記 UCPG の前記共通クロックパルスに比例した周波数で、初期値から閾値までをカウントするカウンタと、

前記カウンタが前記閾値に到達した結果、停止状態からアクティベートされる、少なくとも 1 つの実行ユニットと、

を備える装置。

【請求項 2】

前記少なくとも 1 つの実行ユニットは、前記カウンタを初期状態へリセットする、請求項 1 に記載の装置。

【請求項 3】

前記初期値は非 0 値であり、前記閾値は 0 値である、請求項 1 または 2 に記載の装置。

【請求項 4】

前記 UCPG の前記共通クロックパルスの周波数は、前記カウンタのカウントの変化の前記周波数に等しい、請求項 1 から 3 のいずれか 1 項に記載の装置。

【請求項 5】

命令デコーダと、命令スケジューラと、命令リタイアメントユニットと、を更に備える

、請求項 1 から 4 のいずれか 1 項に記載の装置。

【請求項 6】

ソフトウェアプログラムを含むメモリと、
少なくとも 1 つの実行ユニットと、複数の機能に対応した複数のクロックドメインと、
を有し、前記ソフトウェアプログラムを実行するプロセッサと、

前記少なくとも 1 つの実行ユニットにおいて、前記複数のクロックドメインに対する決定性を促進するロジックと、を備え、

前記ロジックは、

前記複数のクロックドメインの複数の異なるクロック信号に共通したクロックエッジに基づいてユニバーサルクロックパルスを生成する、ユニバーサルクロックパルス発生器 (UCPG)と、

前記ユニバーサルクロックパルスに対応したレートで、初期ステートから閾値までをカウントするカウンタと、を含み、

前記ユニバーサルクロックパルスは、前記複数のクロックドメインからの複数のクロックに同期する、システム。

【請求項 7】

前記ソフトウェアプログラムのデバッグを支援する、周期的システム管理割り込み (PSMI) ロジックを更に備え、

前記 PSMI ロジックは、前記決定性を促進するロジックに従って、前記複数のクロックドメインと同期する、請求項 6 に記載のシステム。

【請求項 8】

前記プロセッサは、CPU、グラフィックスエンジン、メモリ制御ユニット、および少なくとも 1 つの周辺制御ユニットを含む、請求項 7 に記載のシステム。

【請求項 9】

複数のプロセッサを更に備える、請求項 8 に記載のシステム。

【請求項 10】

前記複数のプロセッサのうち、少なくとも 2 つは、複数のクロックドメインを有する、請求項 9 に記載のシステム。

【請求項 11】

カウンタを初期値に初期化する段階と、

前記カウンタに結合した実行ユニットを停止する段階と

複数の異なるクロック信号に共通したクロックエッジに基づいて共通クロックパルスを生成するユニバーサルクロックパルス発生器 (UCPG) の信号の周波数に比例したレートで、前記カウンタの値を変化させる段階と、

前記カウンタが閾値に到達した後、前記実行ユニットをアクティベートする段階と、を備える方法。

【請求項 12】

前記実行ユニットは、前記カウンタを初期値にさせる、請求項 11 に記載の方法。

【請求項 13】

前記 UCPG の信号は、複数のクロックドメインからの複数のクロック信号を表す、請求項 11 または 12 に記載の方法。

【請求項 14】

前記実行ユニットは、前記カウンタの値が前記閾値に到達した後、インタラプト信号を生成することによりアクティベートされる、請求項 11 から 13 のいずれか 1 項に記載の方法。

【請求項 15】

前記カウンタの初期値が非 0 値であり、前記閾値が 0 値である、請求項 11 から 14 のいずれか 1 項に記載の方法。

【請求項 16】

コンピュータに、

10

20

30

40

50

実行ユニット内で複数の命令を実行する段階と、

複数のクロックドメインからの複数のクロックに共通したクロックエッジに基づいて生成されたユニバーサルクロックパルスに比例したレートで閾値までカウントして、前記閾値に到達した場合に、実行を停止状態からアクティブさせるカウンタを含む決定性ロジックが、前記複数のクロックドメインからの前記複数のクロックに関連して前記実行を既知の状態にした結果生じた決定性を有する時点で、複数の命令で周期的システム管理割り込み (P S M I) 信号を生成する段階と、

を実行させるプログラム。

【請求項 17】

前記カウンタの初期値が 0 以上の値であり、前記閾値が 0 である、請求項 16 に記載のプログラム。

10

【請求項 18】

前記カウンタの初期値が 0 であり、前記閾値が 0 以上の値である、請求項 16 に記載のプログラム。

【請求項 19】

前記実行ユニットがシステムオンチップ (S o C) プロセッサに関連した、請求項 16 から 18 のいずれか 1 項に記載のプログラム。

【請求項 20】

前記 S o C プロセッサは、少なくとも 1 つの C P U、グラフィックスエンジン、メモリコントローラ、および少なくとも 1 つの周辺コントローラを含む、請求項 19 に記載のプログラム。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、一般的に情報処理に関する。特に、コンピュータシステムおよびマイクロプロセッサにおけるクロッキング分野に関する。

【背景技術】

【0002】

今日のマイクロプロセッサに、より多くの機能が統合されるに従い、プロセッサ内の機能ユニットが、異なるクロック周波数またはフェーズなどで動作する必要がある場合がある。同一プロセッサ内のクロックドメイン数が増加するに伴い、テストなどを目的とした、決定性の促進は、より複雑になる。いくつかのテストテクニックは、周期的システム管理割り込み (P S M I) を用い、プロセッサで実行されるプログラムを段階的に経て、処理の結果をプログラムの様々な段階で返してよい。

30

【0003】

P S M I とは、循環バッファ内の外部バスアクティビティをロジックアナライザがトレースするデバック方法であり、その間、連続した 2 つの 1 がロジックアナライザバッファに常に存在するような頻度で、システム管理割り込み (S M I) が周期的に生成される。P S M I ハンドラは、後にプロセッサのエミュレータまたはソフトウェアモデルでプロセッサの内部状態の殆どを再構築できるように、プロセッサの内部状態をメモリに保存する。また、トレース情報は、バグの再生に使用される。

40

【0004】

一般的に、P S M I は、処理リソースに依存する。処理リソースとは、実行リソースなどであり、プロセッサが決定性のある結果を返すように、プロセッサ内の他のイベントと同期する。クロックドメイン数が、例えば、同じプロセッサ内により多くの機能が統合されることを理由に増加すると、P S M I テクニックの使用はより難しくなる。

【図面の簡単な説明】

【0005】

本発明の実施形態は、添付図面の図に例示的に示されており、発明を限定するものではない。また、同一の参照番号は類似の要素を示す。

50

【0006】

【図1】本発明の少なくとも1つの実施形態が使用され得る、マイクロプロセッサのブロック図である。

【0007】

【図2】本発明の少なくとも1つの実施形態が使用され得る、共有バスを有するコンピュータシステムのブロック図である。

【0008】

【図3】本発明の少なくとも1つの実施形態が使用され得る、ポイントツーポイントインターコネクトのコンピュータシステムのブロック図である。

【0009】

【図4】本発明の少なくとも1つの実施形態が実装され得る、ロジックのブロック図である。

【0010】

【図5】本発明の少なくとも1つの実施形態の実行に使用され得る動作の系統線図である。

【発明を実施するための形態】

【0011】

図1は、本発明の少なくとも1つの実施形態が使用され得る、マイクロプロセッサのブロック図である。具体的に、図1は、1つ以上のプロセッサコア105および110を有する、マイクロプロセッサ100を示し、プロセッサコアは、少なくとも1つの非CPU機能ユニット107および113をそれぞれ有する。また図1は、非CPU機能ユニット107および113が実行しない別の動作を実行し得る、少なくとも1つの別の非CPU機能ユニット115を示す。ある実施形態では、非CPU機能ユニット107、113、および、115は、グラフィックス処理、メモリ、および、音声、ビデオ、ディスクなどの周辺制御、デジタル信号処理などの機能を含んでよい。また、ある実施形態では、マイクロプロセッサ100は、I/O制御など、図1に示されないその他のロジックを含んでよい。少なくとも1つの実施形態によると、複数のクロックドメインを有するプロセッサにおける、決定性の促進テクニックを実現するため、マルチプロセッサシステムの各マイクロプロセッサ、あるいはマルチコアプロセッサの各プロセッサコアは、ロジック119を含む、あるいはロジック119に関連してよい。ある実施形態では、ロジックは、1つ以上の実行リソースをプロセッサ内の1つ以上のクロックまたはイベントと同期させるべく、ハードウェア回路を含んでよい。また、別の実施形態では、ロジック119は、複数のクロックドメインを有するプロセッサ内の実行リソースの決定性を促進するべく、ソフトウェアを含んでよい。別の実施形態では、ここに記載する、決定性促進のためのテクニックを実行するべく、ハードウェアとソフトウェアの組み合わせを用いてよい。

【0012】

ある実施形態では、アプリケーション、オペレーティングシステム、BIOS、ファームウェアなどのソフトウェアプログラムの改善、デバッグ、または最適化を支援するべく、ロジックを集積回路内あるいはその外側で使用するにより、プロセッサ内に多様な機能を持つことによって、複数のクロックドメインを有するプロセッサ内の実行リソースを決定性のある状態に置くことができる。例えば、ある実施形態では、ロジック119は、ユニバーサルクロックパルス発生器(UCPG)を含んでよく、複数の異なる周波数あるいは位相を有する複数の異なるクロックの共通のクロックエッジ、またはイベントに基づいて、共通クロックパルスを生成してよい。ある実施形態では、カウンタの状態の変更にUCPGの出力を用いる。UCPG信号は、実行リソースにデバッグまたは最適化の対象のプログラムに関連した命令の処理を特定の閾カウント値またはその値以上で開始させ、実行リソースが、プロセッサ内の様々なクロックに対して決定性のある状態であることを促進する。

【0013】

例えば、ある実施形態では、カウンタが初期値へと初期化され、同期される実行ユニッ

10

20

30

40

50

トが停止する。UCPGからの信号エッジが、カウンタをデクリメント（または、ある実施形態ではインクリメント）すると、カウンタが特定の閾値、例えば「0」などに到達し、実行ユニットにインタラプトが発生する。その後、UCPG信号の生成に寄与する、プロセッサ内の様々なクロックに対して決定性のある時点で、実行ユニットが命令の実行を開始する。プロセッサ内の様々なクロックドメインに対して決定性のある状態における実行では、PSMIなどのテクニックを用い、処理コードのデバッグまたは最適化を、より信頼性のある方法で行ってよい。ある実施形態では、複数のプロセッサコア、あるいはグラフィックス、メモリ制御、または様々な周辺制御（例えば、システムオンチップ（SOC）プロセッサなど）の、複数の異なる機能を有するプロセッサで、ここに記載するテクニックを使用してよい。ここに開示したテクニックは、複数の機能が別個の集積回路に分散された、コンピュータシステムで使用されてよい。

10

【0014】

例えば、図2は、本発明の少なくとも1つの実施形態が使用され得る、フロントサイドバス（FSB）コンピュータシステムを示す。プロセッサ201、205、210、または215は、プロセッサコア223、227、233、237、243、247、253、257の1つの内の、あるいはそれに関連した、ローカルレベル1（L1）キャッシュメモリ220、225、230、235、240、245、250、255のいずれかからの情報にアクセス可能である。さらに、プロセッサ201、205、210、および215のいずれもが、共有レベル2（L2）キャッシュ203、207、213、217、の1つ、あるいはチップセット265を介したシステムメモリ260からの情報にアクセス可能である。図2の1つ以上のプロセッサは、ロジック219を含むあるいはロジック219に関連し、複数のクロックドメインにおける処理の決定性を促進してよい。

20

【0015】

図2に示すFSBコンピュータシステムに加え、ポイントツーポイント（P2P）インターコネクトシステムおよびリングインターコネクトシステムを含む、その他のシステム構成を、本発明の様々な実施形態と共に使用してよい。例えば、図3のポイントツーポイントシステムは、複数のプロセッサを有してよく、その内2つのプロセッサ370および380のみが例として示されている。プロセッサ370および380は、メモリ32および34に接続するローカルメモリコントローラハブ（MCH）372および382をそれぞれ含んでよい。プロセッサ370および380は、ポイントツーポイントインターフェース回路378および388を使用し、ポイントツーポイントインターフェース350を介してデータを交換してよい。プロセッサ370および380は、ポイントツーポイントインターフェース回路376、394、386、および398を使用し、個別のポイントツーポイントインターフェース352および354を介して、チップセット390とデータをそれぞれ交換してよい。また、チップセット390も、高性能グラフィックスインターフェース339を介して、高性能グラフィックスインターフェース回路338とデータを交換してよい。本発明の実施形態は、あらゆる数のプロセッサコアを有する、あらゆるプロセッサ内であってよく、あるいは、図3の各ポイントツーポイントバスエージェント内であってよい。ある実施形態では、あらゆるプロセッサコアが、ローカルキャッシュメモリ（図示なし）を含む、あるいはローカルキャッシュメモリに関連してよい。さらに、共有キャッシュ（図示なし）は、両方のプロセッサとは異なるいずれかのプロセッサに含まれ、ポイントツーポイントインターコネクトを介してプロセッサに接続されてよい。これにより、プロセッサが低電力モードの場合、共有キャッシュに、プロセッサのいずれかまたは両方のローカルキャッシュの情報を格納してよい。システム内のプロセッサまたは他の集積回路内の実行決定性を促進するべく、図3の1つ以上のプロセッサまたはコアは、ロジックを含む、あるいはロジックと関連してよい。ここに記載したように、ロジックは、1つ以上のカウンタのようなストレージを含む、あるいはストレージと関連してよい。またロジックは、PSMIなどのテクニックを用いてプログラムデバッグまたは最適化を促進するべく、決定性を有する状態に実行リソースを置く、UCPGを含んでよい。

30

40

50

【 0 0 1 6 】

図 4 は、本発明の少なくとも 1 つの実施形態を実行する、ロジックのブロック図である。ある実施形態では、ロジック 4 1 9 は、複数の異なる（あるいは同じ）周波数および/または位相を有する、複数のクロックパルス 4 0 3 を受信し、異なるクロックパルスの共通ステートに対応した周波数および位相を有する、共通クロックパルスを生成する、UCPG 4 0 1 を含む。例えば、ある実施形態では、カウンタは、非 0 値が 0 になるまでカウントダウンを行う。UCPG は、複数の異なるテクニックを実装し、それぞれに位相または周波数が異なってよい複数のクロック信号に対して、決定性のある信号を生成してよい。また、ある実施形態では、ロジック 4 1 9 は、UCPG からの出力信号 4 0 7 に対応する周波数で、初期値から閾値までカウントを行う、カウンタ 4 0 5 を含んでよい。例えば、ある実施形態では、カウンタが非 0 値に設定され、例えば「0」の閾値までカウントダウンされる。一方で、別の実施形態では、カウンタが例えば「0」の値に初期化され、閾値までカウントアップされる。ある実施形態では、カウンタ 4 0 5 は、複数のカウンタであってよく、それぞれに関連し合っており、あるいは独立して、1 つ以上の実行リソースを、少なくとも 2 つの異なるクロックドメインに対して決定性を有するステートに置いてよい。

10

【 0 0 1 7 】

カウンタが閾値に到達した場合、少なくとも 1 つの実行ユニット 4 1 0 の停止状態をインタラプトして、少なくとも 1 つの実行ユニットを UCPG クロックパルスに対して決定性を有するステートとする。これにより、UCPG クロックパルスが示すクロックに対して、実行ユニットが決定性を有するステートとなるようにする。ロジック 4 1 9 あるいは PSMI などのデバッグまたは最適化テクニックの使用は、複数のクロックドメインを有するプロセッサで実行されるプログラムの開発およびデバッグに有用である。

20

【 0 0 1 8 】

図 5 は、実施形態が使用されるプロセッサまたはシステムの構成に関わらず、本発明の少なくとも 1 つの実施形態の実行に使用され得る、動作の系統線図である。動作 5 0 1 では、カウンタが初期ステートに初期化される。ある実施例では、初期ステートは 0 以上の値を示す。動作 5 0 5 では、対応する実行ユニットまたは複数の実行ユニットが停止する。動作 5 1 0 では、ユニバーサルクロックパルス発生器（UCPG）が、UCPG クロックパルスのエッジに同期してカウンタをデクリメントさせる。ある実施形態では、UCPG クロックパルスは、カウンタ値をインクリメントさせる。動作 5 1 5 では、カウンタが閾値に到達すると、対応する実行ユニットまたは複数の実行ユニットがアクティベートされ、動作 5 2 0 の UCPG クロックパルスが示すクロックに対して決定性を有する方法で命令を実行する。実行ユニットが、UCPG クロックパルスと同期したプロセッサ内の様々なクロックに対して決定性を有するステートにある、PSMI などのデバッグまたは最適化のテクニックは、複数のクロックドメインを有するプロセッサで実行される、ソフトウェアプログラムの開発およびデバッグに使用されてよい。

30

【 0 0 1 9 】

少なくとも 1 つの実施形態の 1 つ以上の側面は、プロセッサ内の様々なロジックを表す、機械で読み取り可能な媒体に記録された代表的なデータで実施されてよい。データは機械で読み取られると、ここに記載されたテクニックを実行させるべく機械にロジックを組み立てさせる。このようなデータは、「IP コア」と呼ばれ、有体の機械で読み取り可能な媒体（「テープ」）に記録してよく、実際にロジックやプロセッサを製造する製造機器にロードすべく、様々な消費者または製造施設に供給してよい。

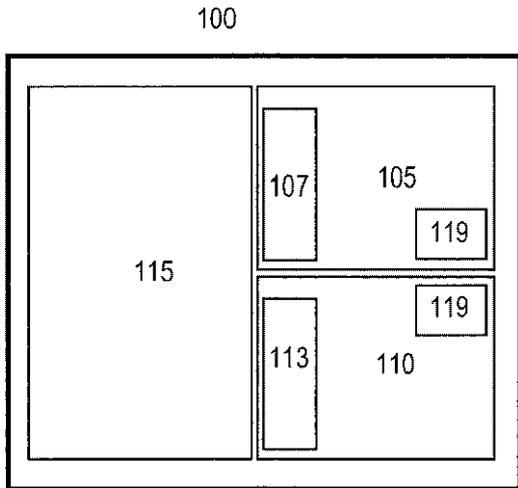
40

【 0 0 2 0 】

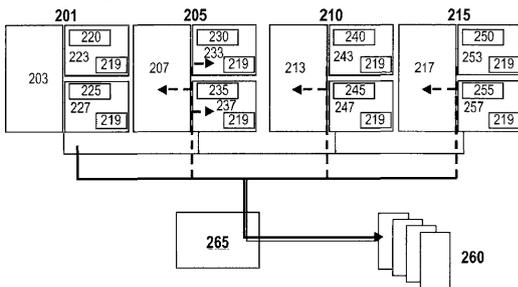
ここでは、マイクロアキテクチャのメモリ領域におけるアクセスを管理する方法と装置について記載した。上記の記載は、例示を目的としており、発明を制限するものではないと理解されるべきである。上記の記載を読み、理解した当業者には、数多くの他の実施形態が明白になるであろう。このため、発明の範囲は、添付の請求項とともに、それらが当然有する等価物の全範囲を参照して決定されるべきである。

50

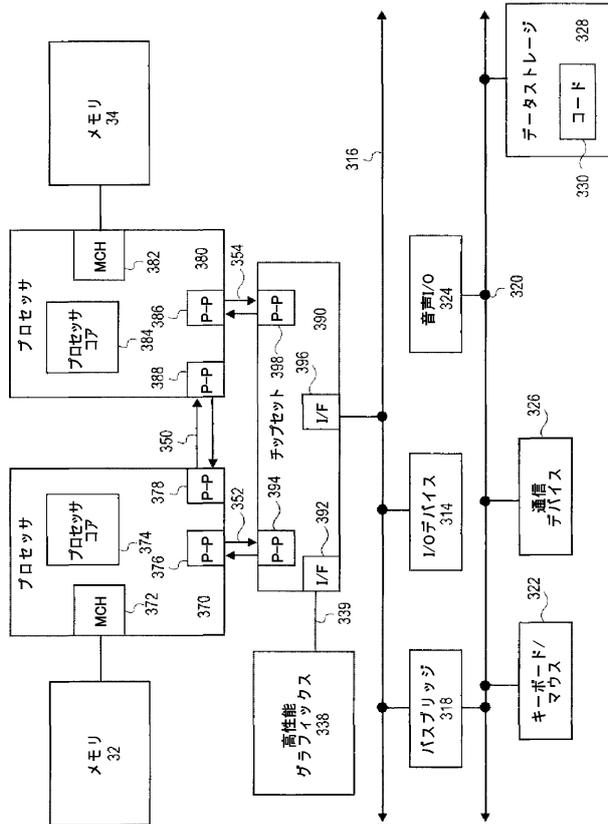
【図1】



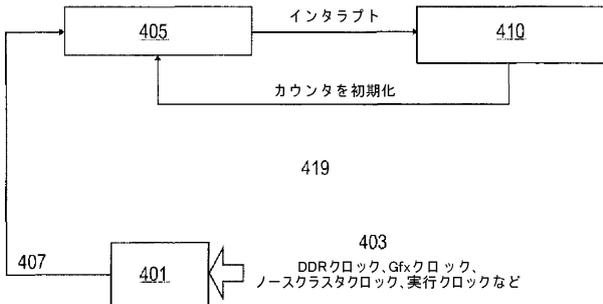
【図2】



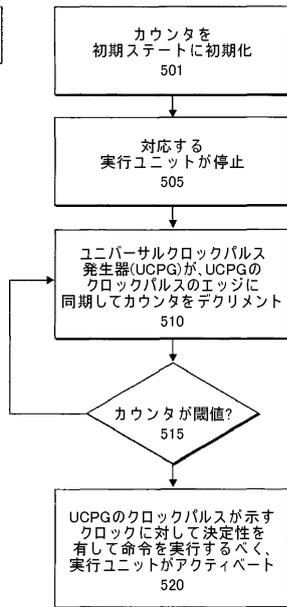
【図3】



【図4】



【図5】



フロントページの続き

- (72)発明者 モンダル、サンジョイ
アメリカ合衆国 95052 カリフォルニア州・サンタクララ・ミッション カレッジ ブール
バード・2200 インテル・コーポレーション内
- (72)発明者 サッチャー、ラリー
アメリカ合衆国 95052 カリフォルニア州・サンタクララ・ミッション カレッジ ブール
バード・2200 インテル・コーポレーション内
- (72)発明者 ハジズ、ウィリアム
アメリカ合衆国 95052 カリフォルニア州・サンタクララ・ミッション カレッジ ブール
バード・2200 インテル・コーポレーション内
- (72)発明者 ハッキング、ランス
アメリカ合衆国 95052 カリフォルニア州・サンタクララ・ミッション カレッジ ブール
バード・2200 インテル・コーポレーション内
- (72)発明者 メノン、サンカラン
アメリカ合衆国 95052 カリフォルニア州・サンタクララ・ミッション カレッジ ブール
バード・2200 インテル・コーポレーション内

審査官 井出 和水

- (56)参考文献 特開平04-191938(JP,A)
特開2004-086910(JP,A)
特開平08-171500(JP,A)
特開平11-065898(JP,A)
特開2007-122543(JP,A)
国際公開第2008/020513(WO,A1)

- (58)調査した分野(Int.Cl., DB名)
G06F 11/28
G06F 1/06