



(12) 发明专利

(10) 授权公告号 CN 102272927 B

(45) 授权公告日 2014. 09. 10

(21) 申请号 201080003876. 1

(22) 申请日 2010. 07. 23

(30) 优先权数据

2009-180296 2009. 08. 03 JP

(85) PCT国际申请进入国家阶段日

2011. 06. 30

(86) PCT国际申请的申请数据

PCT/JP2010/004708 2010. 07. 23

(87) PCT国际申请的公布数据

W02011/016196 JA 2011. 02. 10

(73) 专利权人 松下电器产业株式会社

地址 日本大阪府

(72) 发明人 能泽克弥

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 周欣 陈建全

(51) Int. Cl.

H01L 27/10(2006. 01)

H01L 21/8246(2006. 01)

H01L 27/105(2006. 01)

H01L 43/08(2006. 01)

(56) 对比文件

US 2008/0308784 A1, 2008. 12. 18,

US 2009/0102598 A1, 2009. 04. 23,

US 2009/0140243 A1, 2009. 06. 04,

CN 101432878 A, 2009. 05. 13,

审查员 张玉萍

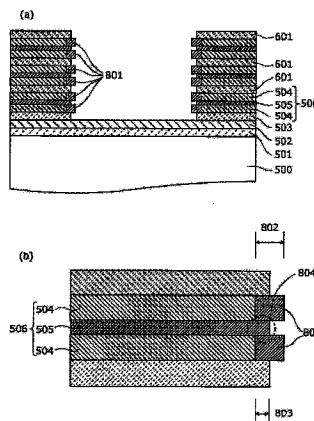
权利要求书2页 说明书22页 附图22页

(54) 发明名称

半导体存储器的制造方法

(57) 摘要

本发明提供一种降低了耗电量、并抑制了元件特性偏差的半导体存储器装置的制造方法。该半导体存储器的制造方法包含通过对层叠在基板(500)的上方的反应性传导材料(504)及非反应性传导材料(505)的露出的侧面进行绝缘物形成处理,从反应性传导材料(504)的侧面使规定长度的反应性传导材料(504)变化成绝缘物(801),使非反应性传导材料(505)的侧面相对于反应性传导材料(504)的侧面突出而形成突起(804)的工序,绝缘物形成处理是氧化处理或氮化处理,反应性传导材料(504)是通过氧化处理或氮化处理发生化学反应而变化成绝缘物(801)的材料,非反应性传导材料(505)是通过氧化处理或氮化处理不变化成绝缘物(801)的材料。



1. 一种半导体存储器的制造方法,其包含以下工序:

在基板的上方,通过层叠反应性传导材料及非反应性传导材料而形成层叠膜的工序、
使所述层叠膜的侧面露出的工序、

通过对所述层叠膜的露出的侧面的所述反应性传导材料及所述非反应性传导材料进行绝缘物形成处理,从所述反应性传导材料的侧面开始使规定长度的所述反应性传导材料变化成绝缘物,从而使所述非反应性传导材料的侧面相对于所述反应性传导材料的侧面突出而形成突起的工序、

形成覆盖所述绝缘物及所述突起的半导体层的工序、

形成覆盖所述半导体层的对置电极的工序;

所述绝缘物形成处理是:

(i) 氧等离子处理、氧气氛下的加热处理、与液体氧化剂的接触处理、以及臭氧暴露中的任一种氧化处理;或

(ii) 氮等离子处理即氮化处理;

所述反应性传导材料是通过氧化处理或氮等离子处理而发生化学反应从而变化成绝缘物的材料;

所述非反应性传导材料是通过氧化处理或氮等离子处理而不变化成绝缘物的材料、

所述反应性传导材料是:

(i) 铝、铜及镁中的至少 1 种金属、

(ii) 含有铝、铜及镁中的至少 1 种的合金、或

(iii) 掺杂有所述合金的单晶硅及多晶硅中的至少 1 种、

所述非反应性传导材料是铂、金或银中的至少 1 种。

2. 根据权利要求 1 所述的半导体存储器的制造方法,其中,

在形成所述层叠膜的工序之前,包含以下工序:

在所述基板上形成绝缘层的工序、

在所述绝缘层上形成蚀刻阻挡层的工序;

在形成所述层叠膜的工序中,

在所述蚀刻阻挡层的上方形成所述层叠膜;

在使所述层叠膜的侧面露出的工序中,

通过从所述层叠膜的上表面到所述蚀刻阻挡层为止地形成孔,由此使所述层叠膜的侧面露出。

3. 根据权利要求 1 所述的半导体存储器的制造方法,其中,

在形成所述层叠膜的工序之前,包含以下工序:

在所述基板上形成布线层的工序、

在所述布线层上形成绝缘层的工序、

从所述绝缘层的上表面到所述布线层为止地形成孔的工序;

在形成所述层叠膜的工序中,

在相当于所述孔的底面的所述布线层、相当于所述孔的侧壁的所述绝缘层及所述绝缘层的上表面形成所述层叠膜;

在使所述层叠膜的侧面露出的工序中,

为了使形成在相当于所述孔的侧壁的所述绝缘层上的所述层叠膜的侧面露出,通过蚀刻除去所述层叠膜的一部分。

4. 根据权利要求 1 所述的半导体存储器的制造方法,其中,

所述层叠膜是在所述反应性传导材料及所述非反应性传导材料中的一方的两面上形成有所述反应性传导材料及所述非反应性传导材料中的另一方的 3 层结构。

5. 根据权利要求 1 所述的半导体存储器的制造方法,其中,

所述半导体层是电阻变化膜。

6. 根据权利要求 1 所述的半导体存储器的制造方法,其中,所述绝缘物形成处理是与液体氧化剂的接触处理或氮等离子处理。

7. 根据权利要求 1 所述的半导体存储器的制造方法,其中,所述反应性传导材料是:

(i) 铝、铜及镁中的至少 1 种金属、或

(ii) 含有铝、铜及镁中的至少 1 种的合金。

8. 根据权利要求 1 所述的半导体存储器的制造方法,其中,所述反应性传导材料是铝、铜及镁中的至少 1 种金属。

9. 根据权利要求 1 所述的半导体存储器的制造方法,其中,所述反应性传导材料是含有铝、铜及镁中的至少 1 种的合金。

10. 根据权利要求 1 所述的半导体存储器的制造方法,其中,所述绝缘物形成处理是:氧等离子处理、氧气氛下的加热处理、与液体氧化剂的接触处理、以及臭氧暴露中的任一种的所述氧化处理。

11. 根据权利要求 1 所述的半导体存储器的制造方法,其中,所述绝缘物形成处理是所述氮等离子处理。

12. 根据权利要求 1 所述的半导体存储器的制造方法,其中,所述非反应性传导材料的侧面相对于所述反应性传导材料的侧面向第 1 方向突出,所述绝缘物的侧面相对于所述非反应性传导材料的侧面向所述第 1 方向突出。

半导体存储器的制造方法

技术领域

[0001] 本发明涉及一种半导体存储器的制造方法,所述半导体存储器通过对电极间施加电压、使电流流动来引起状态变化,存储信息。

背景技术

[0002] 现在,作为大规模集成化的存储元件,广泛采用 DRAM(动态随机存储器:Dynamic Random Access Memory)和闪存器这两种。

[0003] DRAM 是能够高速进行写入及读出、但为了保持存储而需要消耗电力的所谓挥发性存储器。所以,主要用于计算机的主存储等短期存储。闪存器是保持存储不需要消耗电力的所谓不挥发性存储器。这些存储元件因有信息的写入及改写的速度低的缺陷,因此主要用于数码照相机或音乐唱机用的长期存储。

[0004] 同时具有高速性和不挥发性的可大规模集成化的存储元件如果能够实用化,则不需要将元件按短期存储和长期存储分开使用。如果采用这样的元件,能够实现例如在通电的同时就能够利用的计算机等。因而,要实现同时具有高速性和不挥发性的可大规模集成化的存储元件,这样的研究目前十分活跃。

[0005] 为了克服 DRAM 或闪存器的缺陷,实现大规模集成的不挥发性高速存储器,认为需要结构、工作原理与 DRAM 或闪存器不同的存储器。现在,各式各样的结构、原理的存储器的研究十分活跃。其中,包括 ReRAM(Resistance Random Access Memory)和自旋注入式 MRAM(Magnetic Resistance Random Access Memory)。

[0006] ReRAM 和自旋注入式 MRAM 都是具有两个电极的装置。这些装置在以电极间的电阻的差异而存储信息这点上是共通的。此外,这些装置在通过对电极间施加电压来进行信息的写入、改写、读出这点上也是共通的。

[0007] 以下对各存储器的特征进行论述。

[0008] (ReRAM)

[0009] 图 21 是表示 ReRAM 的结构的概略构成图。ReRAM,如图 21 所示,是具有在两个电极 2101、2103 之间配置有电阻变化膜 2102 的结构的元件。以该电极间的电阻的差异来保持信息。在最基本的构成即 1 元件 1 位存储的情况下,低电阻状态和高电阻状态这两个电阻状态分别与信息的 0 和 1(或 1 和 0)对应。信息的写入及改写通过将电极间的电阻变化为与信息对应的电阻值来进行。也就是说,为降低或提高电阻的行为。

[0010] 在 ReRAM 中,根据引起电阻变化的方法不同,存在非极型和双极型这两种。

[0011] 图 22 是表示非极型的 ReRAM 的工作特性的图示。在非极型时,如图 22 所示,通过施加阈值电压以上的电压来引起从高电阻状态向低电阻状态的转变。这是所谓绝缘破坏现象的一种。从低电阻状态向高电阻状态的转变也可通过施加某一定以上的电压来引起。但是,发生该从低电阻状态向高电阻状态的转变的电压 2201 低于发生从高电阻状态向低电阻状态的转变的电压 2202。在非极型时,根据转变前的元件的电阻状态的差异,只要具有两种转变阈值电压,通过施加同一方向的电压就能够发生从高电阻向低电阻、从低电阻向高

电阻的任一个转变。

[0012] 图 23 是表示双极型的 ReRAM 的工作特性的图示。在双极型时,如图 23 所示,与非极型相同,通过施加阈值电压以上的电压来引起电阻状态的转变。不同之处在于,引起从高电阻向低电阻的转变的电压 2301 的施加方向与引起从低电阻向高电阻的转变的电压 2302 的施加方向相反。即通过在两个电极间分别施加正负两种电压来控制状态间的转变。

[0013] 在为非极型、双极型中的任一种时,即使对电极间施加比带来电阻状态的转变的阈值低的电压,元件电阻也不变化。所以,通过施加满足该条件的电压,使电流流动,能够不破坏电阻值即存储的信息地读取。

[0014] (自旋注入式 MRAM)

[0015] 图 24 是表示 MRAM 的结构图示。如图 24 所示,MRAM 具有在由强磁性体构成的两个电极 2401、2402 之间配置了由 MgO 等构成的薄型隧道绝缘膜 2403 的结构。与 ReRAM 同样,信息以该电极间的电阻的差异来保持。也就是说,低电阻状态和高电阻状态这两个电阻状态分别与信息的 0 和 1 (或 1 和 0) 对应。信息的写入及改写通过使电极 2401、2402 间的电阻变化为与信息对应的电阻值来进行。也就是说,为降低或提高电阻的行为。

[0016] 在 MRAM 中,电阻由两电极 2401、2402 的磁化方向而定。在两个电极 2401、2402 的磁化方向平时电阻低,在反平时电阻高。通常,通过固定好一方电极的磁化方向,使另一方的磁化方向颠倒,来进行信息的改写。

[0017] 即使在 MRAM 中也特别适合微细化的方式的自旋注入式 MRAM 的特征是:通过注入电流进行该磁化颠倒。在想使磁化方向平时,使阈值电流以上的电流从固定磁化电极侧朝可变磁化电极流动,在想使磁化方向反平时,相反地使阈值电流以上的电流从可变磁化电极侧向固定磁化电极一侧流动。

[0018] 由于磁化颠倒在阈值电流以下不发生,因此只要以将电流限制在阈值电流以下的方式调整电压,就能够不破坏存储信息地读取电阻值即信息。

[0019] (低功耗化)

[0020] 如 ReRAM 或自旋注入式 MRAM 那样在通过电极间的电压施加、电流注入来引起电阻变化、进行信息的写入及改写的装置的情况下,每次写入及改写都产生直流电流,消耗电力。所以,希望通过降低为了引起电阻变化而必要的电压或电流量来降低装置的电力消耗。

[0021] (偏差)

[0022] 此外,在这些元件中,特性偏差的抑制是重要的。在通过对电极间施加电压使电流流动来引起电极间的电阻变化、由此进行信息的写入及改写的存储元件的情况下,为了读出信息,必须检测电阻。因此,需要在电极间施加电压,使电流流动。

[0023] 可是,如果在 ReRAM 中施加电压超过阈值电压,或在自旋注入式 MRAM 中电流超过阈值电流,则发生不希望的信息的改写(信息的破坏)。所以,必须将信息读出时的施加电压及流动的电流控制在阈值以下。可是,如果阈值在每个元件中不同,则有可能在对某元件来说无问题的电压或电流下出现发生信息破坏的元件。

[0024] 此外,如果每个元件的低电阻状态及高电阻状态的电阻值有偏差,则难以判断各个元件为低电阻状态还是为高电阻状态,不能良好地读出信息。所以,除了控制写入及改写所必要的电压及电流量以外,还需要对低电阻状态的电阻值及高电阻状态的电阻值等元件特性的偏差进行抑制(以下,简称为“抑制偏差”)。

[0025] (低耗电化和抑制偏差的方法)

[0026] 作为对低耗电化和抑制偏差有效的技术,已知有在电极上形成突起的方法和用绝缘物局部地被覆电极表面的方法这两种。

[0027] 形成在电极上的突起使电荷集中在该部分。因此,能够以更低的电压使电流开始流动。此外,由于电流从突起流出的概率高,因此可抑制电流路径的偏差。因此,还可得到元件特性的偏差的抑制效果。突起的效果与其曲率半径成反比例,因此为了得到更高的效果,优选曲率半径小的突起。另一方面,突起的长度与所述效果不怎么有关系。

[0028] 另一方面,电极表面的局部绝缘被覆具有将电流路径限定在未被绝缘物被覆的部分的效果。因此在未被被覆的电极的附近,电流密度上升,即使以更小的电流量也容易发生状态变化。也就是说,可用更小的电流量进行信息的改写。该效果主要是电流流出后的效果。此外,与突起同样,具有抑制电流路径的偏差的效果,因此还可得到抑制元件特性偏差的效果。

[0029] 如此在电极上的突起形成与电极的局部绝缘被覆具有部分重复的功能,但其功能不完全一致。所以,最可得到效果的是采用在电极上形成突起、且在突起以外的部分全部被绝缘物被覆的结构的情况下。

[0030] 在专利文献 1、2、4、6 中公开了在电极上形成突起的方法。此外,在专利文献 1、3 中公开了将电极局部绝缘被覆的方法。在专利文献 5 的方法时,可同时形成突起和绝缘被覆。

[0031] 现有技术文献

[0032] 专利文献

[0033] 专利文献 1:国际公开第 2005/041303 号

[0034] 专利文献 2:日本特开 2006-203178 号公报

[0035] 专利文献 3:日本特开 2008-159760 号公报

[0036] 专利文献 4:美国专利第 5155657 号说明书

[0037] 专利文献 5:日本特开 2007-180473 号公报

[0038] 专利文献 6:日本特开 2007-109821 号公报

发明内容

[0039] 发明要解决的课题

[0040] 在通过对电极间施加电压、使电流流动来引起状态变化、存储信息的存储元件中,用于降低电力消耗、抑制元件特性偏差的最佳的电极结构是形成突起且用绝缘物被覆突起以外的部分的结构。必须使该突起位置和绝缘被覆位置再现性良好地调整。例如,如果突起被绝缘被覆,则失去突起的效果。因此,如果出现在某元件中突起被被覆而在其它元件中突起未被被覆的情况,则因突起的效果出现偏差而使元件特性有偏差。

[0041] 在专利文献 1、2、4、6 中公开了在电极上形成突起的方法。此外,在专利文献 1、3 中公开了局部绝缘被覆电极的方法。但是,专利文献 1~4、6 中没有公开同时进行电极上的突起形成和局部绝缘被覆的方法。原理上可用不同的工艺进行电极上的突起形成和电极的局部绝缘被覆。但是,在采用这样的方法时,因工序道次增多而使生产性降低。此外,在个别地进行突起形成和局部绝缘被覆的方法中,由于配合精度的界限使得难以进行再现性

良好的调整。特别是,如专利文献 2 或 3 那样,对于利用自组织化工艺进行突起形成或局部绝缘被覆的工艺,很难在位置关系的调整下来进行局部绝缘被覆或突起形成。

[0042] 在专利文献 5 的方法中,一同形成电极突起和局部绝缘被覆,且突起以外的部分被绝缘。可是,按该方法形成的突起的形状与其它专利文献中形成的突起的形状大不相同,其特征是为长的薄板状。在该方法中,突起的厚度(宽度)为电导通的材料即传导材料的沉积厚度,突起的长度(突出量)为从传导材料的沉积前的阶段差的高度中减去通过 CMP(化学机械抛光:Chemical Mechanical Polishing)工艺等被蚀刻的量而得出的值。

[0043] 为了更高地得到电荷集中效果等突起效果,突起的曲率半径小是有利的。在专利文献 5 的方法中为了减小曲率半径,需要抑制突起即电极薄板的厚度。在专利文献 5 中,作为厚度例示了 20 纳米的情况。

[0044] 接着,对突起的长度进行说明。专利文献 5 中采用的 CMP 工艺是在加工中需要使衬垫与基板物理接触的工艺,因此难以得到面内均匀性或晶片间再现性。通常,蚀刻量发生几十纳米以上的偏差。因而,为了在所有晶片的整个区域确实形成突起,必须考虑到蚀刻偏差地提高阶段差。作为采用该方法时的结果,电极的突起的长度(突出量)不得不为几十纳米以上。而且该突起的长度偏差为几十纳米。因这样的限制,用该方法形成的突起比用其它方法形成的突起长,且偏差大。

[0045] 在电阻变化型存储器中,电阻变化层、或电阻变化层与电极界面上的电阻变化具有信息存储的作用。所以,为了读取信息,必须检测该电阻变化。通常,关于电阻变化,采用了晶体管等的电路来检测元件中流通的电流或电压下降。此时,能够用电路测定的是从电阻变化存储器直到检测电路的总路径上的电阻。也就是说,只能测定不仅电阻变化层的电阻、而且从电阻变化层直到晶体管等的测定电路的总路径的电阻。所以,不管电阻变化层部分的电阻变化有多大,如果总路径中的电阻不变化的固定电阻部分的电阻值大的话,则作为总体的电阻变化比例减小,电阻变化的检测变得困难。此外,如果固定电阻部分的电阻值在每个元件中有偏差,则难以区别由存储信息的差异而造成的电阻的差异和固定电阻部分的电阻值的偏差。

[0046] 在按专利文献 5 的方法形成的薄板状的突起的情况下,突起部分的电阻与薄板的厚度成反比例。如果将该厚度规定为几纳米,则该部分的电阻不能无视。特别是,专利文献 5 中公开的传导材料即 TiN 的电阻率为从 10^{-1} 次方到 0 次方 $\Omega \cdot m$ (欧姆米)左右,与 Pt 或 Al 相比具有 1000 倍至 1 万倍左右的高电阻率。

[0047] 例如,在用宽 50 纳米、厚度 5 纳米的 TiN 形成突起时,即使假如 TiN 的电阻率为 $1E-1 \Omega \cdot m$,TiN 的突起在每 10nm 也具有 $4M\Omega$ 的电阻。

[0048] 所以,如果想用专利文献 5 的方法得到充分的突起的效果,则电极部的电阻增高。也就是说,在专利文献 5 的方法中,由形成突起带来的希望的效果与电阻增高的不希望的效果为折衷关系,不能在抑制电阻的同时提高突起效果。

[0049] 此外,由于突起的电阻与突起长度成比例,所以如果该长度有偏差则电阻也有偏差。在由宽 50 纳米、厚 5 纳米的 TiN 形成的薄板突起中,因 10nm 的长度的差异而发生 $4M\Omega$ 的电阻值的差异。如果因微细化而使各单元的电极宽度变窄,则该电阻值的偏差成为更严重的问题。

[0050] 但是,在专利文献 5 的方法中难以抑制突起的长度偏差。所以,在专利文献 5 的方

法中难以抑制电阻的偏差。

[0051] 这样,在专利文献所记载的方法中,难以一边调整各个位置关系一边同时进行在电极上的突起形成和局部绝缘被覆。此外,难以一边调整突起形成和局部绝缘被覆的位置关系一边抑制突起的长度偏差。

[0052] 鉴于上述课题,本发明的目的在于提供一种降低了电力消耗、并抑制了元件特性偏差的半导体存储器装置的制造方法。

[0053] 解决课题的方法

[0054] 为解决上述课题,本发明的一形态的半导体存储器的制造方法包含以下工序:通过在基板的上方层叠反应性传导材料及非反应性传导材料而形成层叠膜的工序、使所述层叠膜的侧面露出的工序、通过对所述层叠膜的露出的侧面进行绝缘物形成处理,使从所述反应性传导材料的侧面开始的规定长度的所述反应性传导材料变化成绝缘物,从而使所述非反应性传导材料的侧面相对于所述反应性传导材料的侧面突出而形成突起的工序、形成覆盖所述绝缘物及所述突起的半导体层的工序、和形成覆盖所述半导体层的对置电极的工序;所述绝缘物形成处理是氧化处理或氮化处理;所述反应性传导材料是通过氧化处理或氮化处理而发生化学反应从而变化成绝缘物的材料;所述非反应性传导材料是通过氧化处理或氮化处理不变化成绝缘物的材料。

[0055] 本申请的发明者对于通过在电极间施加电压、使电流流动而引起状态变化、存储信息的存储元件的结构及制造工艺的课题进行了研究,以至发明了上述的半导体存储器的制造方法。

[0056] 通过如此的构成,层叠膜中的反应性传导材料通过化学反应使其一部分变化成绝缘物,反应性传导材料的侧面后退。此外,层叠膜中的非反应性传导材料不发生化学反应,因此非反应性传导材料的侧面的位置不变化。其结果是,层叠膜的侧面成为下述构成:具有非反应性传导材料比反应性传导材料突出的突起,且突起以外的部分被绝缘被覆覆盖。这里,所谓层叠膜的侧面指的是反应性传导材料、非反应性传导材料的与层叠方向平行的面。

[0057] 所以,能够在成为电极的层叠膜的侧面一边调整位置关系一边同时进行突起形成及局部绝缘被覆。通过如此的构成,电流从突起部分向对置电极集中地流动,因此能够以小的电流效率高率进行记录的写入,能够降低半导体存储器的电力消耗。

[0058] 此外,能够均匀地形成电极的突起形状,因而能够抑制电极的电阻偏差,抑制存储器单元的元件特性的偏差。

[0059] 此外,能够同时进行在电极上的突起形成和局部绝缘被覆,因而能够减少半导体存储器的制造工序。

[0060] 此外,优选的是,在形成所述层叠膜的工序之前,包含在所述基板上形成绝缘层的工序、和在所述绝缘层上形成蚀刻阻挡层的工序;在形成所述层叠膜的工序中,在所述蚀刻阻挡层的上方形成所述层叠膜;在使所述层叠膜的侧面露出的工序中,通过从所述层叠膜的上表面到所述蚀刻阻挡层为止地形成孔,由此使所述层叠膜的侧面露出。

[0061] 通过如此的构成,在将多个存储器单元形成串签状而成的半导体存储器中,能够在形成于层叠膜中的孔的侧壁上露出的层叠膜的侧面同时形成突起及绝缘被覆。

[0062] 此外,优选的是,在形成所述层叠膜的工序之前包含在所述基板上形成布线层的工序、在所述布线层上形成绝缘层的工序、和从所述绝缘层的上表面到所述布线层为止地

形成孔的工序；在所述形成层叠膜的工序中，在相当于所述孔的底面的所述布线层、相当于所述孔的侧壁的所述绝缘层及所述绝缘层的上表面形成所述层叠膜；在使所述层叠膜的侧面露出的工序中，为了使形成在相当于所述孔的侧壁的所述绝缘层上的所述层叠膜的侧面露出，通过蚀刻除去所述层叠膜的一部。

[0063] 通过如此的构成，在多个存储器形成平面状而成的半导体存储器中，能够在露出的层叠膜的侧面同时形成突起及绝缘被覆。

[0064] 此外，优选所述层叠膜是在所述反应性传导材料及所述非反应性传导材料中的一方的两面上形成有所述反应性传导材料及所述非反应性传导材料中的另一方的 3 层结构。

[0065] 通过如此的构成，能够在露出的层叠膜的侧面形成至少 1 个突起。

[0066] 此外，优选所述半导体层是电阻变化膜。

[0067] 通过如此的构成，在 ReRAM 中，能够在与电阻变化膜相接的对置电极的侧面同时形成突起及绝缘被覆。

[0068] 此外，优选所述半导体层是隧道绝缘膜，所述对置电极是强磁性体。

[0069] 通过如此的构成，在 MRAM 中，能够在与隧道绝缘膜相接的对置电极即强磁性体的侧面同时形成突起及绝缘被覆。

[0070] 此外，优选所述反应性传导材料是铝、铜及镁中的至少 1 种金属、或含有铝、铜及镁中的至少 1 种的合金、或掺杂有所述合金的单晶硅及多晶硅中的至少 1 种。

[0071] 通过如此的构成，能够在反应性传导材料的侧面一边调整位置关系一边容易地形成绝缘物。

[0072] 此外，优选所述非反应性传导材料是铂、金或银中的至少 1 种。

[0073] 通过如此的构成，即使进行绝缘物形成处理，非反应性传导材料也不变化，因此能够在反应性传导材料的侧面一边调整位置关系一边容易地形成突起。

[0074] 此外，优选所述绝缘物形成处理是氧化处理，所述非反应性传导材料是钨、锌、锡、钛、氧化钨、氧化锌、氧化锡、氧化钛及氧化钨锡中的至少 1 种。

[0075] 通过如此的构成，即使进行氧化处理作为绝缘物形成处理，非反应性传导材料也不被氧化，因此能够在反应性传导材料的侧面一边调整位置关系一边容易地形成突起。

[0076] 此外，优选所述绝缘物形成处理是氧等离子处理或在含有氧元素的化学物质气氛中的加热处理。

[0077] 此外，优选所述绝缘物形成处理是与液体氧化剂的接触处理或氮等离子处理。

[0078] 通过如此的构成，能够容易在层叠膜的侧面同时形成突起及绝缘被覆。

[0079] 发明效果

[0080] 根据本发明，能够提供降低了电力消耗、并抑制了元件特性的偏差的半导体存储器装置的制造方法。

附图说明

[0081] 图 1 是实施方式 1 中的 ReRAM 的存储器单元的概略构成图。

[0082] 图 2 是对实施方式 1 中的存储器单元的制造工序进行说明的流程图。

[0083] 图 3(a) ~ (c) 是表示实施方式 1 中的存储器单元的制造工序的图示。

[0084] 图 4(a) (b) 是表示实施方式 1 中的存储器单元的制造工序的图示。

- [0085] 图 5(a) (b) 是表示实施方式 1 中的存储器单元的制造工序的图示。
- [0086] 图 6(a) (b) 是表示实施方式 1 中的存储器单元的制造工序的图示。
- [0087] 图 7 是表示氧等离子处理时间与铝的侧面的后退量的关系的图示。
- [0088] 图 8(a) (b) 是表示实施方式 1 中的存储器单元的制造工序的图示。
- [0089] 图 9 是表示实施方式 1 中的存储器单元的制造工序的图示。
- [0090] 图 10 是对实施方式 2 中的存储器单元的制造工序进行说明的流程图。
- [0091] 图 11(a) ~ (c) 是表示实施方式 2 中的存储器单元的制造工序的图示。
- [0092] 图 12(a) (b) 是表示实施方式 2 中的存储器单元的制造工序的图示。
- [0093] 图 13(a) (b) 是表示实施方式 2 中的存储器单元的制造工序的图示。
- [0094] 图 14 是表示实施方式 2 中的存储器单元的制造工序的图示。
- [0095] 图 15 是对实施方式 3 中的存储器单元的制造工序进行说明的流程图。
- [0096] 图 16(a) ~ (c) 是表示实施方式 3 中的存储器单元的制造工序的图示。
- [0097] 图 17(a) ~ (c) 是表示实施方式 3 中的存储器单元的制造工序的图示。
- [0098] 图 18 是表示实施方式 3 中的露出的层叠膜的侧面的俯视图。
- [0099] 图 19(a) (b) 是表示实施方式 3 中的存储器单元的制造工序的图示。
- [0100] 图 20(a) ~ (c) 是表示实施方式 3 中的存储器单元的制造工序的图示。
- [0101] 图 21 是表示现有技术中的 ReRAM 的结构概略构成图。
- [0102] 图 22 是表示现有技术中的非极型的 ReRAM 的工作特性的图示。
- [0103] 图 23 是表示现有技术中的双极型的 ReRAM 的工作特性的图示。
- [0104] 图 24 是表示现有技术中的 MRAM 的结构图示。

具体实施方式

[0105] 以下,参照附图对本发明的实施方式进行说明。再有,对于本发明,一边参照以下的实施方式及附图一边进行说明,但这是以例示为目的,并不意图将本发明限定于此。

[0106] (实施方式 1)

[0107] 在实施方式 1 中,采用图 1 ~ 图 9 对制造将电阻变化膜配置在电极的侧面的 ReRAM 的情况进行说明。再有,这些图是用于表示各要素的位置关系的图示,对于厚度或长度的比不是固定的。此外,在基板面内通常形成多个存储器单元,但图 3 ~ 图 9 示出其中的 1 个单元附近的剖面。

[0108] 图 1 是表示 ReRAM 的存储器单元的概略构成图。对于 ReRAM 等半导体存储器,用于驱动各存储器单元的电路是必要的。这些电路能够采用通常的 CMOS 工艺等制作的半导体集成电路。存储器单元和驱动电路也可分别在不同基板上制作后进行布线而连接,但集成在同一基板上在工作速度及制造效率等方面是有利的。因而,这里,如图 1 所示,以在同一基板上制作多个存储器单元的情况为例。存储器单元和驱动电路也可并列地配置在同一基板上,此外也可在驱动电路上层叠存储器单元。这里,以后者为例进行说明。再有,本实施方式中,存储器单元与驱动电路的相对位置可以无关系。

[0109] ReRAM 的存储器单元被形成在具有驱动电路(未图示)的基板 500 上,如图 1 所示,在层间绝缘层 601 的规定的具有半导体层即电阻变化膜 901 和对置电极即 Pt902 及 W903。此外,在层间绝缘层 601 的下方,形成作为电极的层叠膜 506(参照图 8(b)),成为

通过层叠膜 506 和 Pt902 夹着电阻变化膜 901 的构成。此外,在与基板 500 垂直的方向上形成多个层叠膜 506,成为形成有多个共用对置电极 Pt902 的串签状的存储器单元的构成。

[0110] 图 2 是对 ReRAM 的存储器单元的制造工序进行说明的流程图,图 3 ~图 9 是表示存储器单元的制造工序的图示。

[0111] 当在驱动电路上层叠存储器单元时,优选在形成有驱动电路的基板 500 的上层形成绝缘层 501(参照图 3(a))。该绝缘层 501 能够利用作为普通 CMOS 工艺的多层布线的层间绝缘膜而被利用的绝缘层。也就是说,可以通过利用 TEOS(四乙氧基硅烷:Tetraethoxysilane)等形成的硅氧化膜、BPSG(硼磷硅玻璃:Boro-phospho silicate glass)、多孔质二氧化硅等来形成绝缘层 501。这些形成方法也可以采用普通的 CMOS 工艺的层间绝缘膜形成方法。例如,如果是 TEOS 或 BPSG,则能够采用化学气相沉积法(CVD 法)。多孔质二氧化硅可利用溶胶凝胶法等形成。

[0112] 因驱动电路中所含的栅极或布线等的突起,有时在基板 500 上的绝缘层 501 上产生凹凸。过度的凹凸难形成存储器单元,因此希望在下述 ReRAM 形成工艺之前,采用 CMP(化学机械抛光:chemical mechanical polishing)工艺等使绝缘层 501 平坦化。

[0113] 在本实施方式中,从已经形成驱动电路、沉积了绝缘层 501、平坦化结束时开始,对在其上制作 ReRAM 的单元的工艺部分进行说明。

[0114] 首先,如图 3(a)所示,在形成了驱动电路的基板 500 上的绝缘层 501 上,形成蚀刻阻挡层 502(步骤 S102)。这是在后述的为了使层叠膜 506 的侧面露出的蚀刻的工序中,蚀刻到达基板 500,为了不破坏此处存在的驱动电路而用于在形成了驱动电路的基板 500 与层叠膜 506 之间使蚀刻停止的层。为了层叠驱动电路和存储器单元,这是必要的层,在不进行层叠时不需要。在这种情况下,可以从接着的绝缘层 503 的形成开始。

[0115] 对于通过蚀刻阻挡层 502 使蚀刻停止,有主动方法和被动方法两种方法。

[0116] 所谓主动方法,是检测蚀刻到达蚀刻阻挡层 502、并停止蚀刻的方法。在采用该方法时,作为蚀刻阻挡层 502,要求具有能够检测蚀刻到达蚀刻阻挡层 502 的功能。这可通过用含所要蚀刻的层叠膜 506 中几乎不含的元素的材料来形成蚀刻阻挡层 502 而实现。

[0117] 如果蚀刻到达蚀刻阻挡层 502,则该元素出现在气氛中。如果利用等离子发光分光或四极杆质量分析仪等对其进行检测,则能够基于该信息在蚀刻阻挡层 502 处停止蚀刻。在半导体工厂所用的多数的干法蚀刻装置中装备有被称之为终点监视器这样的特定元素检测装置,被赋予基于该信号而自动停止蚀刻的功能。

[0118] 例如,在层叠膜 506 不含氮时可利用硅氮化膜、在不含磷时可利用掺杂了磷的多晶硅、在不含硼时可利用掺杂了硼的多晶硅作为蚀刻阻挡层 502。当然,也可以利用这些以外的材料作为层叠膜。

[0119] 在被动方法时,采用具有充分厚度的层作为蚀刻阻挡层 502,即使层叠膜 506 的蚀刻所需的时间在基板 500 的面内或相对于每个基板都有偏差,即使进行其最长时间的工艺,也可以使得蚀刻不到达半导体集成电路层。该充分厚度可按以下方法来求出。也就是说,在层叠膜的蚀刻中,将最早结束蚀刻的时间设定为 t_1 ,将最晚结束蚀刻的时间设定为 t_2 。蚀刻阻挡层为暴露于最长 t_2-t_1 的长度蚀刻。如果将蚀刻阻挡层 502 的每单位时间的被蚀刻量设定为 A ,则只要蚀刻阻挡层 502 的膜厚在 $A \times (t_2-t_1)$ 以上,就可以通过在时刻 t_2 停止蚀刻而达到目的。

[0120] 如果采用该方法,还能够与层叠膜 506 的材质重复地选择蚀刻阻挡层 502 的材质。也就是说,即使在层叠膜 506 中含有硅氧化膜,也可以在蚀刻阻挡层 502 中采用硅氧化膜。当然,也可以选择蚀刻阻挡层 502 中不含的材质。再有,在该方法中,单位时间中被蚀刻量 A 越小,所需的膜厚越小。所以,采用氧化铝或硅氮化膜这样的难蚀刻的材质更能减小膜厚。再有,上述 A 或 t_1 、 t_2 依赖于层叠膜 506 的材质或膜厚、蚀刻条件、或蚀刻装置的均匀性、再现性等,因此最好事先通过实验或模拟等求出这些值。

[0121] 再有,在本实施方式中,利用硅氮化膜作为蚀刻阻挡层 502,以用主动方法停止蚀刻的情况为例进行说明。

[0122] 该硅氮化膜能够通过化学气相沉积法(CVD法)等来沉积。

[0123] 接着,如图 3(b)所示,在蚀刻阻挡层 502 上沉积绝缘层 503(步骤 S103)。绝缘层 503 可以是与通常的半导体集成电路中所用的层间绝缘膜相同的材料。例如,能够采用 TEOS(四乙氧基硅烷:Tetraethoxysilane)、BPSG(硼磷硅玻璃:Boro-phospho silicate glass)、多孔质二氧化硅等。在蚀刻阻挡层 502 上沉积绝缘层 503 的方法可以是与通常的半导体集成电路中所用的层间绝缘膜相同的工艺。例如,能够采用等离子 CVD 法或溅射法、LPCVD 法等沉积工艺。

[0124] 再有,该绝缘层 503 在位于其下的层(在配置蚀刻阻挡层 502 时为该层,在不配置蚀刻阻挡层 502 时为进行存储器单元制作工艺的基板 500 的最上层)具有良好的绝缘性的情况下能够省略。

[0125] 接着,如图 3(c)所示,在绝缘层 503 上层叠由至少两种传导材料形成的层叠膜 506(步骤 S104)。层叠膜 506 为将反应性传导材料 504 和非反应性传导材料 505 层叠而成的构成,在存储器单元中,成为与电阻变化膜 901 接触的电极。反应性传导材料 504 是通过氧化处理或氮化处理而发生化学反应、变化成绝缘物的材料,非反应性传导材料 505 是通过氧化处理或氮化处理而不发生化学反应、不变化成绝缘物的材料。

[0126] 在形成后述的绝缘物 801 的“选择性绝缘物形成工艺”中,从发生变化成绝缘物 801 的化学反应的材料中选择至少 1 种反应性传导材料 504。此外,在形成绝缘物 801 的选择性绝缘物形成工艺中,从不发生变化成绝缘物的化学反应的材料中选择至少 1 种非反应性传导材料 505。再有,层叠的反应性传导材料 504、非反应性传导材料 505 各自不是 1 种也可以,例如,也可以是反应性传导材料 504 由两种形成、非反应性传导材料 505 由 1 种形成的 3 种传导材料形成。

[0127] 上述反应性传导材料 504 要求具有 3 种特性。第 1,1) 在选择性绝缘物形成工艺中,发生使反应性传导材料 504 的一部变化成绝缘物 801 的化学反应。第 2,2) 通过该化学反应使反应性传导材料 504 的一部变化成绝缘物 801,使反应性传导材料 504 的体积减小(以下称为“消耗”)。第 3,3) 反应性传导材料 504 中未发生化学反应的部分具有电传导性。

[0128] 这里,作为生成绝缘物 801 的反应性传导材料 504,以铝(Al)为例进行说明,作为不生成绝缘物 801 的非反应性传导材料 505,以铂(Pt)为例进行说明。

[0129] 铝是非常容易氧化的金属。如果铝被置于氧等离子体等氧化气氛中,则容易发生氧化反应,其表面变化成 Al_2O_3 等氧化铝。

[0130] 氧化铝具有优良的绝缘性。铝的氧化反应的特征是消耗铝,同时在表面形成强固

且平滑的氧化铝,但在所形成的氧化铝以下的下层中,铝原状残留。该未被氧化的铝部分具有良好的传导性。

[0131] 另一方面,Pt 与铝相比非常不易被氧化。即使将 Pt 放置在氧等离子体气氛中,Pt 也不发生氧化反应,继续保持传导性。

[0132] 所以,如果将选择性绝缘物形成工艺规定为氧等离子处理,则铝和 Pt 分别作为反应性传导材料 504 和非反应性传导材料 505 而满足上述条件。

[0133] 再有,本实施方式并不局限于对作为反应性传导材料 504 的铝及作为非反应性传导材料 505 的 Pt 进行利用氧等离子氧化处理的组合,也可以是其它材料或工艺的组合。满足本实施方式的条件的工艺和材料例如可按以下的顺序来找出。

[0134] 首先,找到具有传导性的材料且其化合物变化成绝缘体的材料。发生从传导性的材料变化成绝缘性的化合物的化学反应的工艺成为选择性绝缘物形成工艺的候补。因而,接着,找到发生该化学反应的具体工艺。最后,找到在候补中列举的化学反应工艺中不变化成绝缘物的非反应性传导材料 505。如果找到这样的材料,就将作为候补而列举的反应性传导材料、发生化学反应的工艺、非反应性传导材料分别规定为本实施方式中的反应性传导材料、选择性绝缘物形成工艺、非反应性传导材料。

[0135] 以下列举具体例。

[0136] 首先列举具有传导性的材料且其化合物变化成绝缘体的反应性传导材料 504 的例子。例如,除了在本实施方式中列举的铝以外,铜、镁等金属、Al-Si-Cu 等含有所述金属的合金、掺杂有它们的单晶硅或多晶硅等为导体,且它们的氧化物或氮化物为绝缘物。所以,这些材料成为本发明中的反应性传导材料 504 的候补。

[0137] 接着,列举选择性绝缘物形成工艺的例子。如果是氧化,除了上述实施方式中列举的氧等离子处理以外,也能够通过在含有氧或臭氧等氧元素的化学物质气氛中的加热处理、或与次氯酸钠或过氧化氢、重铬酸钾等液体氧化剂的接触等来发生。如果是氮化,则可通过氮等离子处理或氮气气氛下的加热处理等来发生。这些工艺为选择性绝缘物形成工艺的候补。

[0138] 最后,列举在化学反应工艺中不变化成绝缘物的非反应性传导材料 505 的例子。这样的非反应性传导材料 505 大致区分有以下 3 种:1)在候补中列举的化学反应工艺中不发生化学变化的材料、2)候补中列举的化学反应中的生成物具有传导性的材料、3)候补中列举的化学反应中的生成物中的具有传导性的材料。

[0139] 1)的非反应性传导材料 505 因缺乏化学反应性而在候补中列举的化学反应工艺中不发生化学反应,因此不生成绝缘物 801。上述实施方式中列举的 Pt 为其代表。除 Pt 以外,例如金或银在大部分的氧化工艺或氮化工艺中也不发生化学反应,因此无论在氧化工艺中还是在氮化工艺中都能采用在本实施方式中。

[0140] 2)的非反应性传导材料 505 例如是利用下述性质的材料:即使发生化学反应,只要其生成物具有传导性,也不形成绝缘物 801。作为如此的材料与化学反应的组合,可列举出钪或锌或锡、钛等与任意的氧化工艺的组合。这是因为它们的氧化物具有传导性。

[0141] 3)的非反应性传导材料 505 是利用下述性质的材料:某化学反应的生成物不因该化学反应而使传导性发生变化。例如,氧化钪或氧化锌、氧化锡、氧化钛、氧化铟锡(ITO)等传导材料即使暴露于氧化工艺中,也不发生更进一步的化学变化。所以,也不会生成绝缘

物。这样,在非反应性传导材料 505 是氧化物时,在选择性绝缘体形成工艺中能够采用任意的氧化工艺。

[0142] 在该反应性传导材料 504、非反应性传导材料 505 的层叠中,没有形成绝缘物 801 的非反应性传导材料 505 的膜厚为在存储器单元中与电阻变化膜 901 接触的电极的突起的宽度,层叠膜 506 (反应性传导材料 504 及非反应性传导材料 505) 的厚度的合计为电极的宽度。因而,考虑到所希望形成的突起的宽度和存储器单元的电极的宽度来决定反应性传导材料 504、非反应性传导材料 505 的厚度。

[0143] 为了有效地产生电场集中、正确地决定电流位置,不形成绝缘物 801 的反应性传导材料 504 的厚度优选为 100 纳米以下,更优选为几纳米。此外,为了使单元整体的电阻不过分大,层叠膜 506 (反应性传导材料 504 及非反应性传导材料 505) 的厚度优选为几十纳米以上,更优选为 100 纳米以上。

[0144] 再有,在各层叠膜 506 中,反应性传导材料 504 及非反应性传导材料 505 可以各为一层,也可以分别为多层。此外,层叠的反应性传导材料 504 及非反应性传导材料 505 分别可以不是 1 种,例如,也可以是反应性传导材料 504 由两种传导材料形成,非反应性传导材料 505 由 1 种传导材料形成,层叠这 3 种以上的传导材料。在这种情况下,只要在选择性绝缘物形成工艺中发生生成绝缘物 801 的化学反应的材料至少含有 1 种,不发生生成绝缘物 801 的化学反应的材料至少含有 1 种就可以。此外,也可以含有多种属于反应性传导材料 504 及非反应性传导材料 505 中的一方或双方的材料。

[0145] 这里,以层叠 50 纳米铝作为反应性传导材料 504、层叠 5 纳米 Pt 层作为非反应性传导材料 505、在其上再层叠 50 纳米铝作为反应性传导材料 504 的情况为例。

[0146] 这些反应性传导材料 504、非反应性传导材料 505 的层叠可通过溅射或蒸镀、电镀、CVD 工艺等沉积工艺依次进行各反应性传导材料 504、非反应性传导材料 505 的沉积来进行。这些层叠膜 506 (反应性传导材料 504 及非反应性传导材料 505) 的沉积工艺为半导体元件的电极形成等中广泛采用的工艺,也能够用以往的技术以纳米精度均匀且再现性地形成膜厚。

[0147] 接着,如图 4(a) 所示,在层叠膜 506 (反应性传导材料 504 及非反应性传导材料 505) 上沉积层间绝缘层 601 (步骤 S105)。层间绝缘层 601 是为使多个层叠而成的层叠膜 506 之间绝缘而配置的层。作为其材料,可采用与以往的作为半导体的多层布线的层间绝缘层而采用的材料相同的材料。例如,能够采用 TEOS 的氧化膜或 BPSG、多孔质二氧化硅等。此外,其沉积工艺也能够采用半导体的多层布线的层间绝缘层的形成工艺。

[0148] 这里,以通过 CVD 将从 TEOS 生成的层间绝缘层 601 沉积 100 纳米左右的情况为例。按希望层叠的单元数重复进行该层叠膜 506 (反应性传导材料 504 及非反应性传导材料 505) 和层间绝缘层 601 的沉积。也就是说,被两个层间绝缘层 601 夹着的层叠膜 506 为 1 个存储器单元中的电极。所以,图 4(a) 所示的半导体存储器示出相对于基板 500 在垂直方向形成 3 个单元的制造方法。再有,该重复不是必须的,层叠膜 506 和层间绝缘层 601 也可以分别为 1 层。

[0149] 接着,通过蚀刻在层叠膜 506 (反应性传导材料 504 及非反应性传导材料 505) 中形成孔,使层叠膜 506 的侧面即与反应性传导材料 504、非反应性传导材料 505 的层叠方向平行的面露出 (步骤 S106)。如图 4(b) 所示,以仅在没有进行蚀刻的部分上残留抗蚀掩模

602 的方式进行光蚀刻或电子束蚀刻。然后,如图 5(a) 及图 5(b) 所示,以贯通绝缘层 503、各层间绝缘层 601、各反应性传导材料 504、非反应性传导材料 505 的方式进行干法蚀刻或湿法蚀刻,使层叠膜 506 的侧面露出。再有,图 5(a) 是蚀刻后从基板上表面观看单元的图示,图 5(b) 是沿着线 X-X' 的剖视图。

[0150] 在本实施方式中,例示通过干法蚀刻形成孔、在该孔内部的侧壁使层叠膜 506 的侧面露出的情况。但是,侧面露出的方法也可以不必形成孔,而通过在层叠膜 506 上形成槽、使层叠膜的侧面作为槽的侧壁而露出的方法,或也可以以将层叠膜 506 残留成柱状的方式进行蚀刻,在其外侧露出层叠膜 506 的侧面。

[0151] 再有,在本实施方式中,由于采纳主动进行蚀刻阻挡的方式,因此在干法蚀刻的过程中进行等离子发光分光测定等,在检测出氮的时刻停止蚀刻。当然,也可以进行被动的蚀刻阻挡。

[0152] 接着,进行图 6(a) 及图 6(b) 所示的选择性绝缘物形成工艺(步骤 S107)。图 6(a) 是通过选择性绝缘物形成工艺形成绝缘物 801 后的存储器单元的剖视图,图 6(b) 是 1 个电极的侧面附近的放大图。

[0153] 所谓“选择性绝缘物形成工艺”,如前所述,是侧面露出的反应性传导材料 504、非反应性传导材料 505 中,反应性传导材料 504 通过化学反应在侧面形成绝缘物 801,但非反应性传导材料 505 不发生形成绝缘物的化学反应的工艺。也就是说,是在反应性传导材料 504 的侧面有选择性地形成绝缘物 801 的工艺。

[0154] 再有,除选择性以外,还要以满足下述条件的方式选择氧化处理或氮化处理的工艺,所述条件是:是形成绝缘物 801 的化学反应消耗发生化学反应的反应性传导材料 504、也就是说使反应性传导材料 504 的体积减小的工艺;反应性传导材料 504 中的没有发生化学反应的部分具有传导性。

[0155] 在本实施方式中,对利用氧等离子处理作为满足这些条件的工艺的情况进行说明。等离子处理在以往的半导体工艺中以干法蚀刻或除去抗蚀剂等目的被广泛采用。特别是,在抗蚀剂除去中为标准的方法。

[0156] 如果使铝暴露在氧等离子中,则在其表面发生氧化铝的生成反应。氧化铝是具有良好的绝缘特性的绝缘物。另一方面,Pt 是非常难以氧化的金属,即使在氧等离子等氧化气氛下,Pt 也不能被氧化。所以,在 Pt 表面不进行绝缘膜形成。因此,氧等离子处理满足选择性的条件。

[0157] 此外,在氧化铝生成的过程中消耗铝,因此也要满足第 2 条件。另外,氧化铝生成反应从表面进行,不发生反应的内部为具有传导性的金属铝的原状,因此也要满足第 3 条件。所以,氧等离子处理全部满足作为选择性绝缘膜形成工艺的条件。

[0158] 关于通过氧等离子从铝生成氧化铝的工艺,在非专利文献(Fu-HsingJu 等著,2008 年出版,Thin Solid Films 516 卷,1871 页)等中有详细记载。如该非专利文献中所述,用于铝氧化的氧等离子处理能够在与以往的干法蚀刻装置同样的装置中只将原料气体规定为氧来实施。也就是说,能够通过可在进行气氛控制的真空容器内保持基板,对基板进行加热,将等离子原料气体(这里为氧)导入容器,通过高频加热等使原料气体等离子化,使等离子暴露在基板上实施。此外,也可以进行在施加了磁场的状态下形成等离子体的 ECR(电子回转共振:Electron Cyclotron Resonance) 等离子处理构成。

[0159] 如果进行选择绝缘物形成工艺,则在反应性传导材料 504 的侧面形成与氧等离子处理时间相应的厚度的绝缘物 801。通过形成该绝缘物 801 的化学反应而消耗反应性传导材料 504,因此根据处理时间,反应性传导材料 504 的侧面的位置由原来的侧面的位置后退。

[0160] 如图 6(b) 所示,绝缘物 801 的厚度 802 与反应性传导材料 504 的侧面的后退量 803 存在由化学反应决定的比例关系。如果以铝的氧化工艺为例,则相对于每单位体积的消耗的铝(反应性传导材料 504),生成其 1.3 倍的体积的氧化铝(绝缘物 801)。反过来说,铝的侧面的位置按所生成的氧化铝的大约 0.8 倍的厚度后退。也就是说,在铝的氧化工艺的情况下,反应性传导材料 504 的侧面的后退量 803 为绝缘物 801 的厚度 802 的 0.8 倍。再有,该比例系数根据化学反应的种类而不同。

[0161] 图 7 是表示氧等离子处理时间与铝的侧面的后退量的关系的图示。图 7 中示出在基板温度 550°C、频率 13.56MHz、强度 400W 的氧等离子暴露中的处理时间与铝端面的后退量的关系。这样,通过氧等离子处理,铝端面按与处理时间相应的程度后退。

[0162] 通过上述工艺,在反应性传导材料 504 的露出的侧面进行绝缘物 801 的形成。绝缘物 801 的形成在形成有多个反应性传导材料 504 时,在所有的多个反应性传导材料 504 露出的侧面进行。所以,在选择性绝缘物形成工艺结束时,所有的反应性传导材料 504 的侧面都被绝缘物 801 被覆。

[0163] 用于形成绝缘物 801 的化学反应从反应性传导材料 504 的露出的侧面开始,反应随着时间进展。在该化学反应中消耗反应性传导材料 504,因此随着化学反应的进展,反应性传导材料 504 的侧面后退。

[0164] 另一方面,非反应性传导材料 505 即使在选择性绝缘膜形成工艺中也不发生生成绝缘物的化学反应,因此其侧面停止在工艺前的位置。

[0165] 这样,如果进行选择绝缘膜形成工艺,则发生化学反应的反应性传导材料 504 的侧面就后退,而不发生化学反应的非反应性传导材料 505 的侧面不后退,因此非反应性传导材料 505 的侧面相对地突出,形成突起 804。

[0166] 也就是说,在该工艺中,在由反应性传导材料 504 及非反应性传导材料 505 形成的电极上形成突起 804。

[0167] 此外,在发生化学反应的反应性传导材料 504 的侧面生成绝缘物 801,在没有发生化学反应的非反应性传导材料 505 的侧面不生成绝缘物 801。也就是说,突起 804 没有被绝缘物 801 被覆。

[0168] 也就是说,在本发明的方法中,同时进行电极的突起 804 的形成和利用绝缘物 801 的生成而导致的选择性绝缘被覆,且绝缘被覆即绝缘物 801 形成在突起 804 以外的部分,其位置关系为完全调整好的状态。

[0169] (控制性)

[0170] 接着,对突起 804 的控制性进行说明。特别是对突起 804 的侧面的后退量 803 的控制进行说明。

[0171] 根据本发明形成的电极的突起 804 为薄板状,突起的宽度与非反应性传导材料 505 的膜厚一致。此外,形成突起 804 的位置与层叠的非反应性传导材料 505 的位置一致。此外,绝缘被覆即绝缘物 801 的形成位置与反应性传导材料 504 的位置一致。

[0172] 这样,通过规定反应性传导材料 504、非反应性传导材料 505 的各层的膜厚,能够对电极的突起 804 及绝缘被覆即绝缘物 801 的形成位置及宽度进行控制。

[0173] 如前所述,由反应性传导材料 504、非反应性传导材料 505 构成的层叠膜 506 的膜厚控制能够通过采用溅射或 CVD 以纳米的精度进行。所以,如果采用本发明的方法,能够再现性良好地、以位置和宽度被控制了的状态形成几纳米宽的电极的突起 804。此外,关于绝缘被覆即绝缘物 801,同样也能够控制被覆位置地形成。

[0174] 电极的突起 804 的长度(突出量)与反应性传导材料 504 的侧面的后退量 803 一致。反应性传导材料 504 的侧面的后退量 803 与绝缘层形成化学反应的反应量成比例。例如,在利用铝的氧化的氧化铝生成反应中,相当于每单位体积消耗的铝,生成其 1.3 倍的体积的氧化铝。相反,铝的侧面按生成的氧化铝的 0.8 倍的长度后退。

[0175] 绝缘层形成化学反应量为相对于化学反应时间单调增加的函数。所以,通过控制化学反应时间,能够控制电极的突起 804 的侧面的后退量 803。图 7 中示出在基板温度 550℃、等离子强度 400W 时的化学反应时间与铝的侧面的后退量的关系。例如,为了使铝的侧面后退 10 纳米、也就是说为了形成 10 纳米的长度(突出量)的电极的突起 804,只要进行 8 分钟的处理就可以。

[0176] 与需要物理接触的 CMP 工艺不同,溅射等沉积工艺或利用氧等离子的氧化工艺等是容易得到晶片面内的均匀性及晶片间的再现性的工艺。所以,根据本发明的方法,能够再现性良好地形成微细的突起及局部绝缘被覆。

[0177] 这样,在本发明的方法中,通过反应性传导材料 504 及非反应性传导材料 505 的膜厚、和选择性绝缘物形成工艺的工艺条件及时间控制,能够再现性良好地控制突起的长度(突出量)。

[0178] 在如此进行了选择性绝缘物形成处理后,如图 8(a) 所示,对形成了突起 804 的层叠膜 506 的侧面进行电阻变化膜 901 的沉积(步骤 S108)。作为以 ReRAM 的存储器发挥功能的电阻变化膜 901 的材料,已知有 TiO_2 、NiO、 $SrTiO_3$ 、 Cu_2O 等。在本实施方式中,电阻变化膜 901 的材料的选择没有特别的限制。这些电阻变化膜 901 的沉积可通过溅射或 CVD 等来进行。

[0179] 接着,如图 8(b) 所示,进行作为对置电极的 Pt902、W903 的沉积(步骤 S109)。只要是作为电阻变化存储器(ReRAM)而显示出良好工作的电极材料,本实施方式对该材料选择就没有限制。例如,能够选择 Pt 等。Pt 的沉积可通过溅射或 CVD 等来进行。此外,也可以只将与电阻变化材料接触的部分规定为 Pt,在其后配置 Al 或 Cu、钨(W)等其它金属材料。在图 8(b) 中,示出在沉积了 Pt902 后,用 W903 填充的情况。通过形成如此的构成,能够降低材料成本。

[0180] 通过以上工艺,完成了由电极上具有突起、突起以外的部分被绝缘被覆的多个电极和 1 个对置电极夹着电阻变化膜而成的串签状的电阻变化型存储器单元。

[0181] 对完成的存储器单元,如图 9 所示,进行绝缘层 1002 和布线 1001 的形成,在与形成在基板 500 上的驱动电路连接(步骤 S110)后,完成了集成存储器。绝缘层 1002 的形成可通过通常的半导体集成电路制作中采用的方法,也就是说通过利用采用 TEOS 的 CVD 法的氧化膜沉积、或利用溶胶凝胶法的多孔质二氧化硅沉积等来进行。此外,关于布线 1001,也能够通过通常的半导体集成电路制作中所用的方法,也就是说通过溅射法等或 CVD 法等,

进行铝或铜、钨等的沉积。再有，图 9 中只示出相对于 1 个单元的布线，当然也可以对使用的各单元全部进行布线。

[0182] (实施方式 2)

[0183] 在实施方式 2 中，参照图 10 ~ 图 14，对在 MRAM 的形成中实施本发明时进行论述。图 10 是用于说明 MRAM 的存储器单元的制造工序的流程图，图 11 ~ 图 14 是表示存储器单元的制造工序的图示。这些图都是表示各层的相对的位置关系的图示，厚度或长度的比不固定。此外，示出 1 个单元附近的剖面，实际上也可以在同一基板内形成多个单元。

[0184] 在 MRAM 时，产生电阻变化的原因不是 ReRAM 这样的绝缘膜侧的电阻等的特性的变化，而是构成夹着半导体层即隧道绝缘膜地形成于两面的电极的强磁性体的特性的变化。例如，将一方的电极作为固定磁化电极，固定磁化方向，将另一方的电极作为可变磁化电极，使磁化方向颠倒，由此进行信息的改写。即使在如此的 MRAM 中，在成为电极的层叠膜的侧面上形成突起及绝缘被覆的存储器单元的构成也是有效的。

[0185] 在自旋注入式 MRAM 中，隧道绝缘膜的电阻变化根据通过电极的电荷的角动量而产生。此时，通过电极的电荷的角动量越一致，电极越容易发生磁化颠倒。角动量中的轨道角动量成分因电荷向哪个方向移动而不同。在覆盖电极的突起地配置隧道绝缘膜的 MRAM 中，电荷的移动路径被限定在连结一电极的突起和另一电极（对置电极）的直线方向。因此，可抑制电荷的轨道角动量的偏差，容易发生磁化颠倒。以下，对本实施方式中的 MRAM 的结构及制造方法进行说明。

[0186] 即使在 MRAM 时，用于驱动单元的驱动电路（半导体集成电路）也是必要的。与 ReRAM 同样，也可在将 MRAM 的存储器单元和驱动电路分别制作在不同基板上后进行布线连接，但集成在同一基板上在性能和生产效率方面是有利的。在本实施方式，也以集成在同一基板上时为例进行说明。

[0187] 所述驱动电路可通过通常的 CMOS 工艺等半导体集成电路工艺制作在硅基板上。MRAM 的单元能够形成在该半导体集成电路形成后沉积的绝缘层上。当然，不需要将 MRAM 的单元层叠在驱动电路上。但是，从批量生产性的观点出发优选进行层叠。因而，在本实施方式中，对在形成有驱动电路（半导体集成电路）的基板 1200 上沉积绝缘层 1201，从达到平坦化时开始，在其上制作 MRAM 的单元的工艺部分进行说明。关于绝缘层 1201 的形成及平坦化，与实施方式 1 中说明的顺序完全相同，因此省略。

[0188] 首先，如图 11(a) 所示，在形成于包含驱动电路（半导体电路）的基板 1200 上的绝缘层 1201 上，形成蚀刻阻挡层 1202（步骤 S202）。蚀刻阻挡层 1202 是在后面的干法蚀刻中，在形成 MRAM 的电极时使蚀刻停止的层，以便蚀刻到基板 1200，且不破坏到存在于此处的半导体集成电路层。这里，与实施方式 1 同样，以采用硅氮化膜作为蚀刻阻挡层 1202 主动地停止蚀刻的情况为例。

[0189] 接着，如图 11(b) 所示，在该蚀刻阻挡层 1202 上，采用 TEOS 等沉积绝缘层 1203（步骤 S203）。再有，该蚀刻阻挡层 1202 上的绝缘层 1203 在蚀刻阻挡层 1202 具有良好的绝缘性时能够省略。

[0190] 接着，如图 11(c) 所示，在绝缘层 1203 上，层叠至少由两种传导材料构成的层叠膜 1206（步骤 S204）。层叠膜 1206 是层叠了反应性传导材料 1204 和非反应性传导材料 1205 的构成。反应性传导材料 1204 是通过氧化处理或氮化处理发生化学反应，变化成绝缘物的

材料,非反应性传导材料 505 是通过氧化处理或氮化处理不发生化学反应、不变化成绝缘物的材料。

[0191] 在后述的“选择性绝缘物形成工艺”中,从发生形成绝缘物 1401 的化学反应的材料中选择至少 1 种反应性传导材料 1204。此外,在该工艺中从不发生形成绝缘物 1401 的化学反应的材料中选择至少 1 种非反应性传导材料 1205。例如,在作为选择性绝缘物形成工艺,选择利用氧等离子体的氧化处理时,只要选择通过氧等离子体使氧化进展的材料作为反应性传导材料 1204,选择通过氧等离子体使氧化不进展的材料作为非反应性传导材料 1205 就可以。再有,层叠的反应性传导材料 1204、非反应性传导材料 1205 分别不是 1 种也可以,例如,也可以反应性传导材料 1204 由两种构成,非反应性传导材料 1205 由 1 种构成,合计由 3 种传导材料构成。

[0192] 要求反应性传导材料 1204 具有 3 种特性。第 1,1) 在选择性绝缘物形成工艺中,发生反应性传导材料 1204 的一部分变化成绝缘物的化学反应。第 2,2) 在该化学反应中消耗该材料,即通过化学反应使一部分变化成绝缘物,反应性传导材料 1204 的体积减小。第 3,3) 反应性传导材料 1204 中的没有发生化学反应的部分显示电传导性。在 MRAM 中,例如,与 ReRAM 时同样也能够采用铝。

[0193] 另一方面,非反应性传导材料 1205 由于使存储器单元作为 MRAM 工作,因此除了在选择性绝缘物形成工艺不发生化学反应的性质以外,还需要具有作为强磁性体的性质。所以,此时不可利用 Pt。

[0194] 作为非反应性传导材料 1205,也能够选择如 Pt 说起来难与氧发生化学反应的材料,但相反也可以利用已经与氧反应的化合物即氧化物。因为已经与氧反应,即使在氧气氛下也不进行进一步的反应。

[0195] 由氧化物构成的非反应性传导材料 1205 能够容易找到。锰系的氧化物大多为具有高的自旋偏极率的强关联氧化物强磁性体,适合作为 MRAM 的强磁性电极。作为这样的材料,可列举出 MnO_2 或 CaRuO_3 / CaMnO_3 超点阵等。除此以外,作为磁铁广泛利用的 MnFe_2O_4 等铁素体也是氧化物强磁性体。

[0196] 因而,在本实施方式中,对采用 MnO_2 实施本发明的方法进行论述。为了得到电流集中效果,需要抑制非反应性传导材料 1205 的厚度。但是,如果过于太薄,则有时得不到作为强磁性体的良好的性质。这里以将 MnO_2 层的厚度规定为 20 纳米时为例。

[0197] 发生化学反应的反应性传导材料 1204 不需要是强磁性体,因此能够任意选择厚度。该厚度关系到单元整体的电阻,因此为了将电阻抑制在较低,优选为几十纳米以上,更优选为 100 纳米以上。

[0198] 再有,反应性传导材料 1204、非反应性传导材料 1205 可以各为一层,也可以分别为多层。这里,例示作为反应性传导材料 1204 层叠 50 纳米铝、作为非反应性传导材料 1205 层叠 20 纳米 MnO_2 、在其上再作为反应性传导材料 1204 层叠 50 纳米铝的情况。这样的纳米水平的厚度的控制通过溅射或 CVD 等沉积工艺能够容易实施。

[0199] 接着,如图 12 (a)所示,在层叠膜 1206 (反应性传导材料 1204 及非反应性传导材料 1205) 上,沉积层间绝缘层 1301 (步骤 S205)。例如采用 TEOS 沉积 100 纳米左右的氧化硅层。按要层叠的单元数重复该层叠膜 1206 (反应性传导材料 1204 及非反应性传导材料 1205) 和层间绝缘层 1301 的沉积。

[0200] 接着,进行蚀刻,使层叠膜 1206(反应性传导材料 1204 及非反应性传导材料 1205)的侧面露出(步骤 S206)。因此,首先通过光蚀刻或电子束蚀刻等规定进行蚀刻的部分。然后,如图 12(b)所示,以贯通绝缘层 1203、各层间绝缘层 1301、各反应性传导材料 1204、非反应性传导材料 1205 的方式进行干法蚀刻或湿法蚀刻,使层叠膜 1206(反应性传导材料 1204 及非反应性传导材料 1205)的侧面露出。在本实施方式中,例示通过干法蚀刻形成孔,在该孔的内部的侧壁使层叠膜 1206(反应性传导材料 1204 及非反应性传导材料 1205)露出的情况。但是,使侧面露出的方法不必须是形成孔的方法,也可以是通过在层叠膜 1206 上形成槽,作为槽的侧壁露出层叠膜的侧面的方法,也可以以柱状残留层叠膜 1206 的方式进行蚀刻,使层叠膜 1206 的侧面露出。

[0201] 通过该孔形成过程,如图 12(b)所示,在孔的侧壁露出被层叠的层叠膜 1206(反应性传导材料 1204 及非反应性传导材料 1205)的侧面。再有,图 12(b)中图示了 1 个孔的剖面,但图中的左侧的层叠膜和右侧的层叠膜实际上是连续的。

[0202] 接着,如图 13(a)所示,进行选择绝缘膜形成工艺(步骤 S207)。这与实施方式 1 同样,是层叠的反应性传导材料 1204、非反应性传导材料 1205 中的反应性传导材料 1204 通过化学反应在侧面形成绝缘物 1401,但非反应性传导材料 1205 不发生形成绝缘物 1401 的化学反应的工艺。也就是说,在反应性传导材料 1204 的侧面有选择性地形成绝缘物 1401。

[0203] 这里,与实施方式 1 同样地,以采用氧等离子处理时为例。再有,作为发生化学反应的材料,与实施方式 1 同样地采用铝,因此相对于工艺时间的后退量等相同。例如,要进行 10 纳米的后退,只要在基板温度 550℃、频率 13.56MHz、高频强度 400W 的氧等离子处理中进行 8 分钟的处理就可以。

[0204] 与实施方式 1 同样地,在实施方式 2 中,也可以作为非反应性传导材料 1205 使用不氧化的材料、或使用因已经被氧化而使氧化反应不进一步进展的材料。

[0205] 如果对层叠膜 1206 进行选择绝缘膜形成工艺,则发生化学反应的反应性传导材料 1204 的侧面后退,而不发生化学反应的非反应性传导材料 1205 的侧面不后退,因此非反应性传导材料 1205 的侧面相对地突出,形成突起。

[0206] 也就是说,在该工艺中,在由反应性传导材料 1204 及非反应性传导材料 1205 构成的电极上形成突起。

[0207] 此外,在发生化学反应的反应性传导材料 1204 的侧面生成绝缘物 1401,在不发生化学反应的非反应性传导材料 1205 的侧面不生成绝缘物 1401。也就是说,在形成突起的同时还进行对电极的突起以外的局部绝缘被覆,形成在非反应性传导材料 1205 上的突起没有被绝缘物 1401 被覆。

[0208] 与实施方式 1 同样地,按本发明形成的突起,为其侧面被绝缘物 1401 被覆,且反应性传导材料 1204 的侧面由非反应性传导材料 1205 的侧面后退的形状。

[0209] 如此,在对层叠膜 1206 的露出的侧面进行了选择性的绝缘化处理,如图 13(b)所示,进行隧道绝缘膜 1402 的沉积(步骤 S208)。作为隧道绝缘膜 1402,例如能够使用 MgO。作为隧道绝缘膜 1402,为了充分发生隧道现象,将其厚度规定为 1 纳米左右。这些绝缘膜可通过 MBE 或溅射等来形成。

[0210] 接着,如图 14 所示,进行对置电极的沉积(步骤 S209)。为了作为 MRAM 发挥作用,对置电极为强磁性体是必要的。但是,该对置电极由于不接受选择性的绝缘化处理,因此可

从任意的强磁性体中选择。例如,也可以选择 Fe 或 CoFe 这样的在氧气氛下氧化的材料。这里以 CoFe 为例。CoFe 的沉积可通过 MBE 或溅射来进行。此外,可以只将与隧道绝缘膜 1402 接触的部分规定为强磁性体,在其后配置 Al 或 Cu、W 等其它非磁性金属材料。在图 14 中,例示了在沉积了 CoFe1501 后用 W1502 埋入的情况。

[0211] 通过以上工艺,完成用层叠膜 1206 和由强磁性体构成的对置电极即 CoFe1501 夹持隧道绝缘膜 1402 的 MRAM 存储器的单元。为了作为集成型存储器利用该单元,随后需要进行布线工序等,但由于这些工序是包含实施方式 1 的、普通的半导体电路中进行的工序,因此省略说明。

[0212] (实施方式 3)

[0213] 在实施方式 3 中,采用图 15 ~ 图 20,对将电极和电阻变化膜层叠在与基板垂直的方向,平面状形成多个存储器的单元形式的 ReRAM 进行说明。图 15 是用于说明 ReRAM 的存储器单元的制造工序的流程图,图 16 ~ 20 是表示存储器单元的制造工序的图示。这些图都是用于表示各层的相对的位置关系的图示,厚度或长度的比不固定。此外,只示出 1 个单元附近的剖面,实际上也可以在同一基板内形成多个单元。

[0214] 在采用该单元形式时,用于驱动单元的驱动电路(半导体集成电路)也是必要的,优选在 ReRAM 单元形成工艺之前,采用 CMOS 工艺等,在半导体基板上将它们制作好。此外,在本实施方式中,这些驱动电路和 ReRAM 各单元的连接布线是必要的。这里,如图 16(a) 所示,对在已经形成半导体电路的基板 1600 上形成布线层 1601 的阶段(步骤 S302)开始的工艺进行说明。在此之前,可按通常的半导体工艺进行制作。再有,本实施方式与驱动电路和单元的位置关系、制作的顺序无关系。

[0215] 首先,如图 16(b) 所示,进行绝缘层 1602 的沉积(步骤 S303)。绝缘层 1602 的绝缘材料也可以是通常的半导体工艺的层间绝缘膜中所采用的材料。例如,可以是采用 TEOS 等制作的硅氧化膜。需要将该绝缘层 1602 的厚度规定为比随后进行的层叠膜 1706 的沉积膜厚度厚。这里以沉积 300 纳米为例。

[0216] 接着,如图 16(c) 所示,通过光蚀刻和干法蚀刻,将形成 ReRAM 的单元的部分的绝缘层 1602 除去。也就是说,如图 16(c) 所示,在绝缘层 1602 的一部分中形成孔,形成使下部的布线层 1601 露出、且绝缘层 1602 与布线层 1601 的露出的部分接触的结构(步骤 S304)。是在相当于孔的底面的部分配置布线层 1601、在相当于孔的侧壁的部分配置绝缘层 1602 的构成。

[0217] 图 16(c) 中示出的,是从绝缘层 1602 的上表面看时蚀刻区域为比布线层 1601 窄的口字型,形成于绝缘层 1602 中的孔的侧壁全部与布线层 1601 的露出部分接触的情况。也就是说,图 16(c) 是将绝缘层 1602 的孔横切的剖视图,左右的绝缘层 1602 实际上是连续的绝缘层 1602。

[0218] 再有,在使该布线层 1601 露出的蚀刻的工序中,从上表面看的形状在本实施方式中不是本质的事项。不需要绝缘层 1602 的侧壁全部与布线层 1601 接触,例如通过以长槽状进行绝缘层 1602 的蚀刻,也可以只使绝缘层 1602 的侧壁的 1 个面与布线层 1601 接触。

[0219] 接着,如图 17(a) 所示,在形成了孔的绝缘层 1602 的上表面及孔的侧壁,层叠由至少两种传导材料构成的层叠膜 1706(步骤 S305)。层叠膜 1706 为层叠了反应性传导材料 1701 和非反应性传导材料 1702 的构成。反应性传导材料 1701 是通过氧化处理或氮化

处理发生化学反应,变化成绝缘物的材料,非反应性传导材料 1702 是通过氧化处理或氮化处理不发生化学反应,不变化成绝缘物的材料。

[0220] 在后述的“选择性绝缘物形成工艺”中,从发生形成绝缘物 1801 的化学反应的材料中选择至少 1 种反应性传导材料 1701。此外,在该工艺中从不发生形成绝缘物 1801 的化学反应的材料中选择至少 1 种非反应性传导材料 1702。例如,在作为选择性绝缘物形成工艺,选择利用氧等离子体的氧化处理时,只要选择通过氧等离子体使氧化进展的材料作为反应性传导材料 1701,选择通过氧等离子体不使氧化进展的材料作为非反应性传导材料 1702 就可以。再有,层叠的反应性传导材料 1701 及非反应性传导材料 1702 不是各 1 种也可以,例如,也可以反应性传导材料 1701 由两种传导材料构成,非反应性传导材料 1702 由 1 种传导材料构成,合计由 3 种传导材料构成。

[0221] 这里,举例作为反应性传导材料 1701 层叠 50 纳米铝、作为非反应性传导材料 1702 层叠 5 纳米 Pt、在其上再作为反应性传导材料 1701 层叠 50 纳米铝的情况。

[0222] 这些反应性传导材料 1701、非反应性传导材料 1702 的沉积通过溅射或 MBE、CVD 等来进行。但是,也可在形成于绝缘层 1602 中的孔的侧壁上进行反应性传导材料 1701、非反应性传导材料 1702 的沉积。在形成于绝缘层 1602 中的孔的侧壁上的反应性传导材料 1701、非反应性传导材料 1702 的沉积是势垒(barrier)金属沉积等在通常的半导体工艺中也广泛采用的技术。通过该沉积,在露出的布线层 1601 上,与形成于绝缘层 1602 中的孔的侧壁、绝缘层 1602 的上部连续地形成层叠膜 1706 (反应性传导材料 1701 及非反应性传导材料 1702)。

[0223] 接着,如图 17 (b) 所示,进行层间绝缘膜 1703 的沉积(步骤 S306)。层间绝缘膜 1703 可以是普通的绝缘膜材料。也就是说,可以是采用 TEOS 等的硅氧化膜,此外也可以是用溶胶凝胶法制作的多孔质二氧化硅这样的低介电常数材料等。作为该层间绝缘膜 1703 的膜厚,以沉积在绝缘层 1602 的孔上的层叠膜 1706 (反应性传导材料 1701 及非反应性传导材料 1702) 上存在的凹坑完全被埋没的方式选择。也就是说,规定为比凹坑深度充分大的膜厚。

[0224] 接着,如图 17(c)所示,通过 CMP 等工艺将层间绝缘膜 1703 除去,直到层叠膜 1706 (反应性传导材料 1701 及非反应性传导材料 1702) 中的形成于绝缘层 1602 的上部的部分露出。接着,利用 CMP 或干法蚀刻,将层叠膜 1706 (反应性传导材料 1701 及非反应性传导材料 1702) 中的在形成于绝缘层 1602 中的孔的侧壁以外的绝缘层 1602 的上方所形成的部分除去(步骤 S307)。也就是说,如图 17 (c) 所示,除去层叠膜 1706 的一部分,以使层叠在孔的侧壁上的层叠膜 1706 与绝缘层 1602 的上表面成为一面。

[0225] 此时,具有沿着绝缘层 1602 的侧壁和底面形状折弯的形狀的层叠膜 1706 (反应性传导材料 1701 及非反应性传导材料 1702) 形成于绝缘层 1602 的孔中。以下,将该折弯形状的折弯的部分,如图 17 (c) 所示,称为大突起 1704。大突起 1704 为被埋入在绝缘层 1602 及层间绝缘膜 1703 之间、层叠膜 1706 的侧面即具有层叠了反应性传导材料 1701 及非反应性传导材料 1702 的层状结构的面与绝缘层 1602 的上表面成一面地露出的状态。

[0226] 图 18 是表示露出的层叠膜 1706 的侧面的俯视图。该露出的层叠膜 1706 的侧面,例如,如图 18 所示,如果从上表面看,则形成发生化学反应的反应性传导材料 1701 和没有发生化学反应的非反应性传导材料 1702 成为套匣的口字型。但是,从上方看的形状根据本

发明不是本质的事项,可根据反应性传导材料 1701 及非反应性传导材料 1702 的沉积前形成于绝缘层 1602 中的孔的形状而形成口字以外的形状。本实施方式中的本质的事项是通过该蚀刻,使反应性传导材料 1701 及非反应性传导材料 1702 的侧面都露出。

[0227] 接着,如图 19 (a)所示,对大突起 1704 (反应性传导材料 1701 及非反应性传导材料 1702)的侧面进行选择性绝缘物形成工艺(步骤 S308)。关于选择性绝缘物形成工艺所要求的要素,与实施方式 1 相同。这里,举例进行氧等离子处理的情况。使铝的侧面后退 10 纳米所需要的条件也与实施方式 1 相同。也就是说,在基板温度 550℃、频率 13.56MHz、强度 400W 的氧等离子处理时为 8 分钟。

[0228] 通过该工艺,如图 19 (b) 所示,露出的大突起 1704 (反应性传导材料 1701 及非反应性传导材料 1702) 的侧面中的反应性传导材料 1701 的侧面,通过化学反应,一边使反应性传导材料 1701 的侧面后退,一边使反应性传导材料 1701 的一部变化成绝缘物 1801。另一方面,在非反应性传导材料 1702 中不发生化学反应,因此不发生侧面的后退,非反应性传导材料 1702 的侧面为露出的原状。

[0229] 通过该选择性绝缘物形成工艺,形成与反应性传导材料 1701 相比非反应性传导材料 1702 突出的突起 1802,同时进行突起 1802 以外部分的利用绝缘物 1801 的绝缘被覆。以后,将通过该选择性绝缘物形成工艺生成的突起 1802 称为小突起 1802。

[0230] 接着,如图 20 (a) 所示,进行电阻变化膜 1902 的沉积(步骤 S309)。对于电阻变化膜 1902 的种类的选择,作为本发明没有特别的限制。例如能够采用 TiO_2 。该沉积可通过溅射或 CVD 来进行。

[0231] 接着,如图 20 (b) 所示,进行对置电极的沉积(步骤 S310)。对于该对置电极的选择,作为本发明也没有特别的限制。例如可采用 Pt,也可以在层叠了 Pt 后通过沉积 Al 来形成多层结构。图 20 (b) 中图示了在层叠 Pt1903 后层叠 Al1904。至此形成 ReRAM 的存储器单元的基本结构即电极/电阻变化膜/电极的结构。然后,如图 20 (c) 所示,进行各单元的利用蚀刻的分离、布线的形成等,完成 ReRAM 集成电路。布线等工序与通常的半导体集成电路制造工艺相同,因此省略说明。

[0232] 本实施方式与专利文献 4 的方法类似。可是,在专利文献 4 的方法中,只形成本实施方式中所说的大突起 1704,而在本实施方式中,最大差异在于在大突起 1704 的前端形成小突起 1802。如果只形成大突起 1704,则决定电荷集中效果等的是大突起 1704 的形状。可是,如本实施方式,在形成大突起 1704 和小突起 1802 双方的情况下,决定电荷集中效果的是曲率半径更小的,即突起的宽度窄的小突起 1802 的形状,不依赖于大突起 1704 的形状。

[0233] 电极全体的电阻值由小突起 1802 的电阻和大突起 1704 的电阻的和决定。小突起 1802 与大突起 1704 相比宽度窄,因此突起的单位长度(突出量)的电阻高。但是,为了得到电荷集中效果等,小突起 1802 为其宽度的 1 倍左右、或为 10 纳米左右的长度就充分了。根据本实施方式,能够高精度地控制小突起 1802 的长度(突出量)。所以,能够通过抑制长度(突出量)来抑制电阻值的绝对值。

[0234] 在本实施方式中,在构成大突起 1704 的一部分的反应性传导材料 1701 的侧面形成绝缘物 1801,因此大突起 1704 中的反应性传导材料 1701 的部分不与电阻变化材料直接接触,其宽度也不影响电荷集中效果。也就是说,在本实施方式中,在大突起 1704 中的反应性传导材料 1701 的部分没有实现作为突起的效果,反应性传导材料 1701 实质上起到作为

小突起 1802 的布线的作用。因此,大突起 1704 的宽度或材料的选择能够与小突起 1802 的电荷集中效果或作为 ReRAM 的存储器工作无关地进行。也就是说,通过增加反应性传导材料 1701 的膜厚,或利用低电阻材料,能够抑制大突起 1704 的每单位长度的电阻。

[0235] 例如,可考虑小突起 1802 用长边长度为 50 纳米、厚度(宽度)为 5 纳米、长度(突出量)为 10 纳米的四方柱状的 Pt 形成,大突起 1704 以由长边长度为 50 纳米、厚度(宽度)为 100 纳米的铝和厚度(宽度)为 5 纳米的 Pt 的层叠材构成的四方柱状形成。

[0236] 小突起 1802 的电阻为 $0.98\ \Omega$,大突起 1704 的电阻以每 10 纳米长度(突出量)为 $0.012\ \Omega$ 。如果大突起 1704 的长度(突出量)为 50 纳米,则小突起 1802 和大突起 1704 相加的总体的电阻值为 $1.0\ \Omega$ 。与此相对应,在不形成大突起 1704 而只形成长度(突出量)为 50 纳米的小突起 1802 时,电阻值为 $5.9\ \Omega$ 。也就是说,通过大突起 1704 和小突起 1802 的组合,可得到相同的电荷集中效果,而且能够使电阻为 $1/5$ 以下。

[0237] 大突起 1704 的单位长度的电阻的抑制对于抑制电阻偏差也是有效的。在所用的工艺的特性方面,与可高精度地进行长度控制的小突起 1802 相比,大突起 1704 的长度偏差比小突起 1802 大。但是,如果单位长度的电阻低,则能够将因长度偏差而产生的电阻偏差抑制在较低。

[0238] 在举例的层叠结构的大突起 1704 时,即使是 10 纳米的长度(突出量)的偏差,在电阻值中也只为 $0.012\ \Omega$ 的偏差。另一方面,如果只由小突起 1802 构成,则 10 纳米的长度(突出量)的偏差在电阻中变成为 $0.98\ \Omega$ 的偏差。通过增加反应性传导材料 1701 的厚度,或采用电阻率更低材料,也能够使大突起 1704 的电阻偏差的值更加降低。所以,根据本实施方式,通过抑制大突起 1704 的单位长度的电阻,能够减小工艺上难以抑制长度偏差的大突起 1704 的长度(突出量)的偏差对电阻偏差的影响。

[0239] 这样,根据本实施方式,能够独立地设定突起的曲率半径,具体而言设定突起的宽度和电阻。此外,能够回避大突起的电阻偏差的问题。

[0240] 再有,上述实施方式所示的材料、厚度为一例子,本发明的实施并不限于此,在不脱离本发明的要旨的范围内也可以进行多种改进及变形。

[0241] 例如,ReRAM 中的反应性传导材料不局限于上述实施方式中所示的铝,也可以是铜、镁等 1 种金属、或含有铝、铜及镁等的合金、或掺杂有这些合金的单晶硅、多晶硅。

[0242] 此外,ReRAM 中的非反应性传导材料不局限于上述实施方式中所示的 Pt,也可以是金或银等不易氧化的材料。此外,也可以是钨、锌、锡、钛等,也可采用氧化钨、氧化锌、氧化锡、氧化钛及氧化铟锡等氧化物导体。

[0243] 此外,选择性绝缘物形成工艺并不限于氧等离子处理,例如也可以是氧气氛下的加热处理、与液体氧化剂的接触处理、臭氧暴露等通过与氧等离子处理相同的材料的组合进行的其它方法。此外,化学反应不局限于氧化,也可以是氮化。例如,铝通过氮的反应形成称为氮化铝的绝缘层,但 Pt 也不与氮化合,因此也可以将氧等离子处理置换成氮等离子处理。

[0244] 此外,在实施方式 3 中,对在 ReRAM 中在与基板垂直的方向形成电极及电阻变化膜时进行了论述,但如果将实施方式 2 和实施方式 3 组合,则能够容易理解即使是自旋注入式 MRAM,也能够形成在与基板垂直的方向形成电极及隧道绝缘膜的构成。

[0245] 再有,本发明不仅在 ReRAM 或自旋注入式 MRAM 中是有用的,而且在通过对电极间

施加电压,使电流流动的电子元件的电极的制造方法也是有用的。例如,还能够在场致发射型显示装置或电子射线显微镜等中所用的电子放射源用的电极的制造方法中应用。

[0246] 产业上的利用可能性

[0247] 本发明的方法在 ReRAM 或自旋注入式 MRAM 等通过对电极间施加电压,使电流流动发生状态变化的存储元件中,作为实现低耗电化及特性偏差的抑制的电极的制造方法是有用的。

[0248] 符号说明

[0249] 500、1200、1600 基板

[0250] 501、1201、1602 绝缘层

[0251] 502、1202 蚀刻阻挡层

[0252] 504、1204、1701 反应性传导材料

[0253] 505、1205、1702 非反应性传导材料

[0254] 506、1206、1706 层叠膜

[0255] 801、1401、1801 绝缘物

[0256] 804 突起

[0257] 901、1902、2102 电阻变化膜(半导体层)

[0258] 902、1903Pt(对置电极)

[0259] 903、1502W(对置电极)

[0260] 1402、2403 隧道绝缘膜(半导体层)

[0261] 1501 CoFe(对置电极)

[0262] 1601 布线层

[0263] 1802 小突起(突起)

[0264] 1904 Al(对置电极)

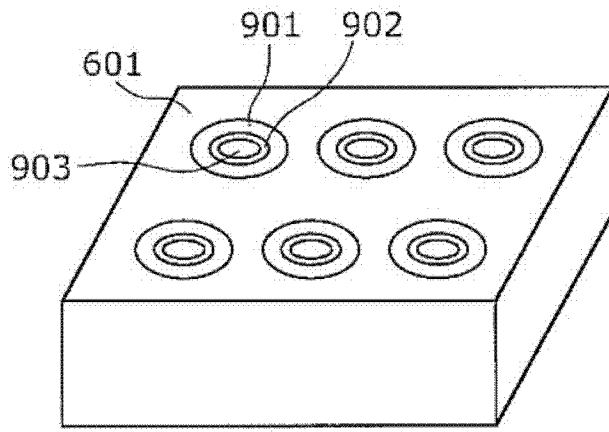


图 1

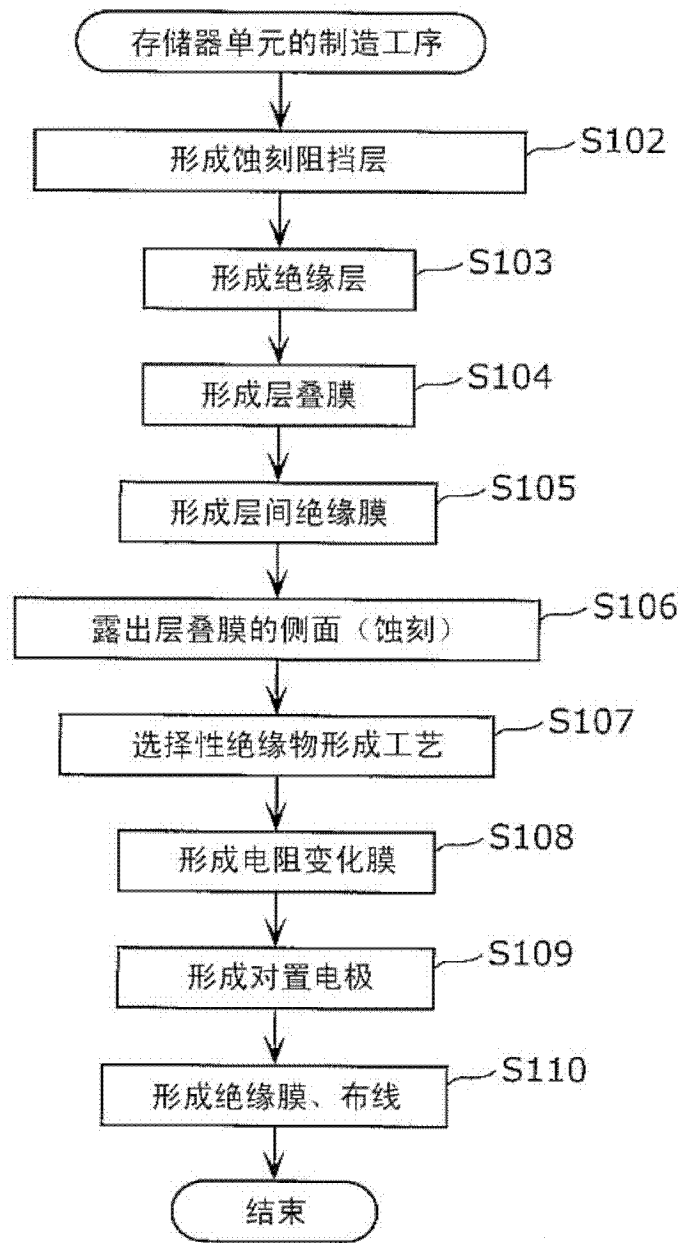
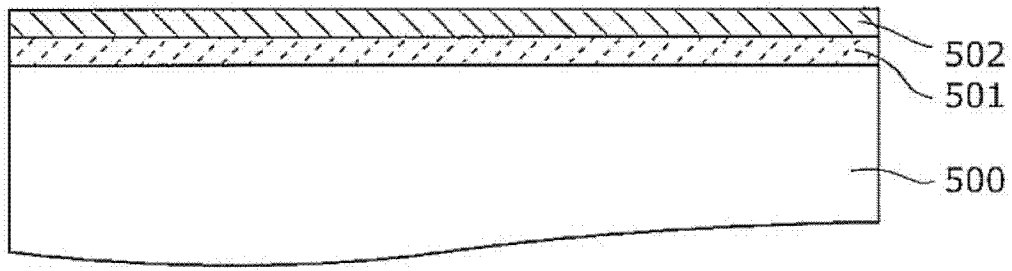
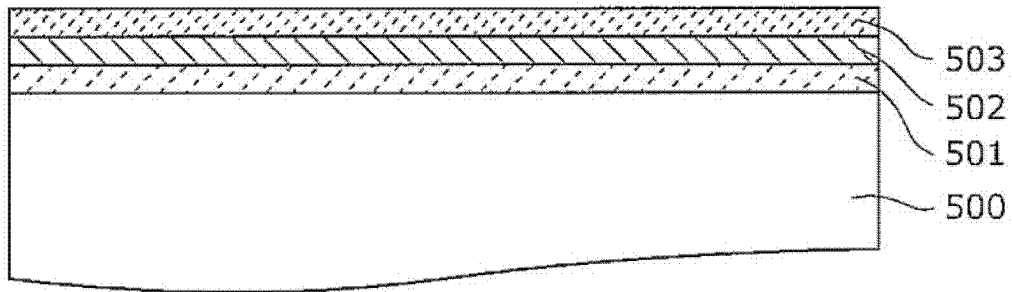


图 2

(a)



(b)



(c)

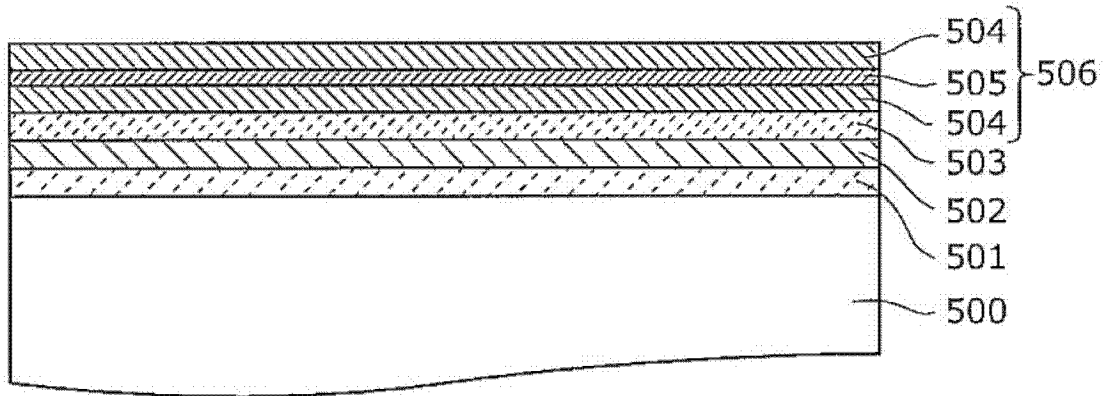


图 3

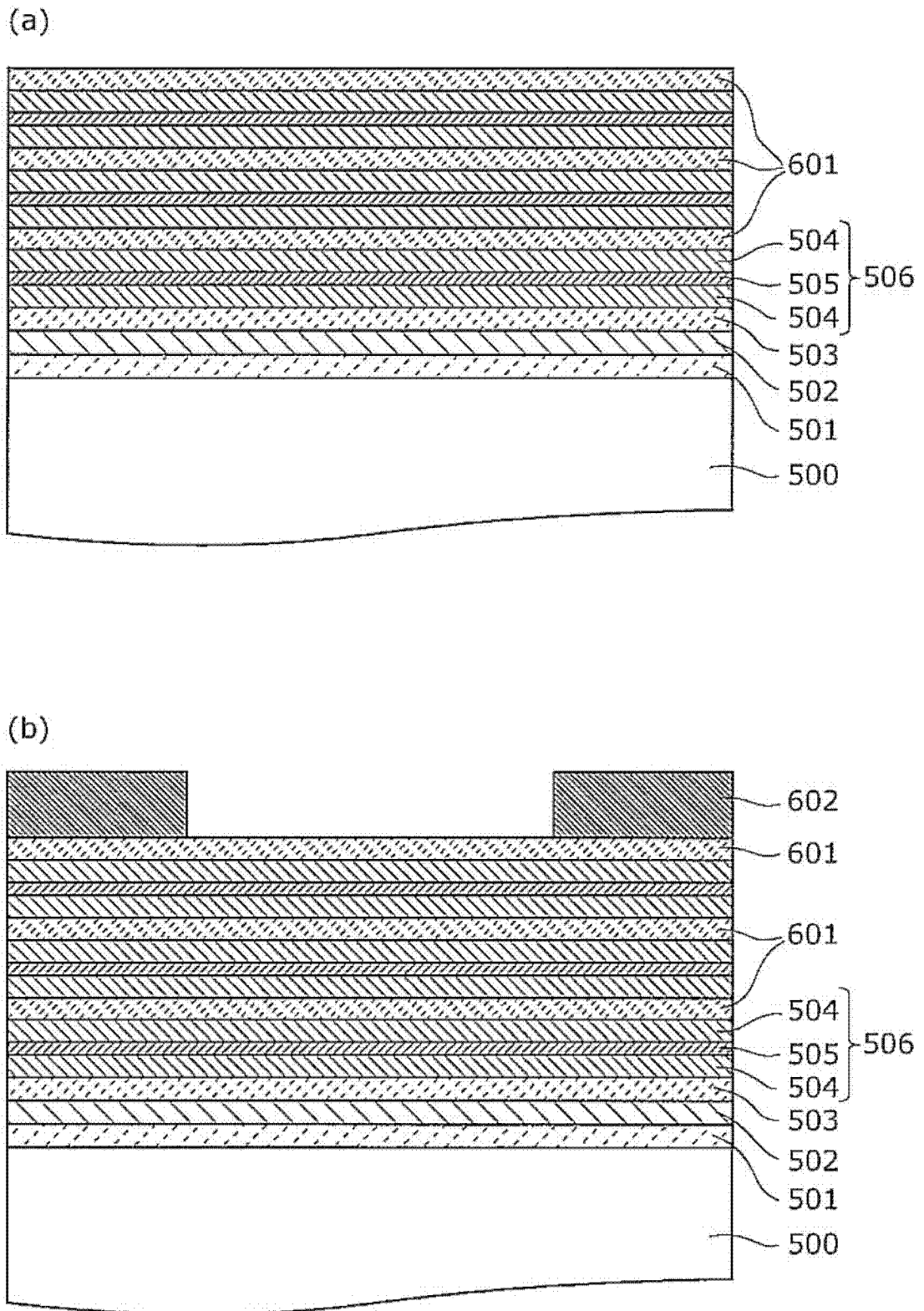


图 4

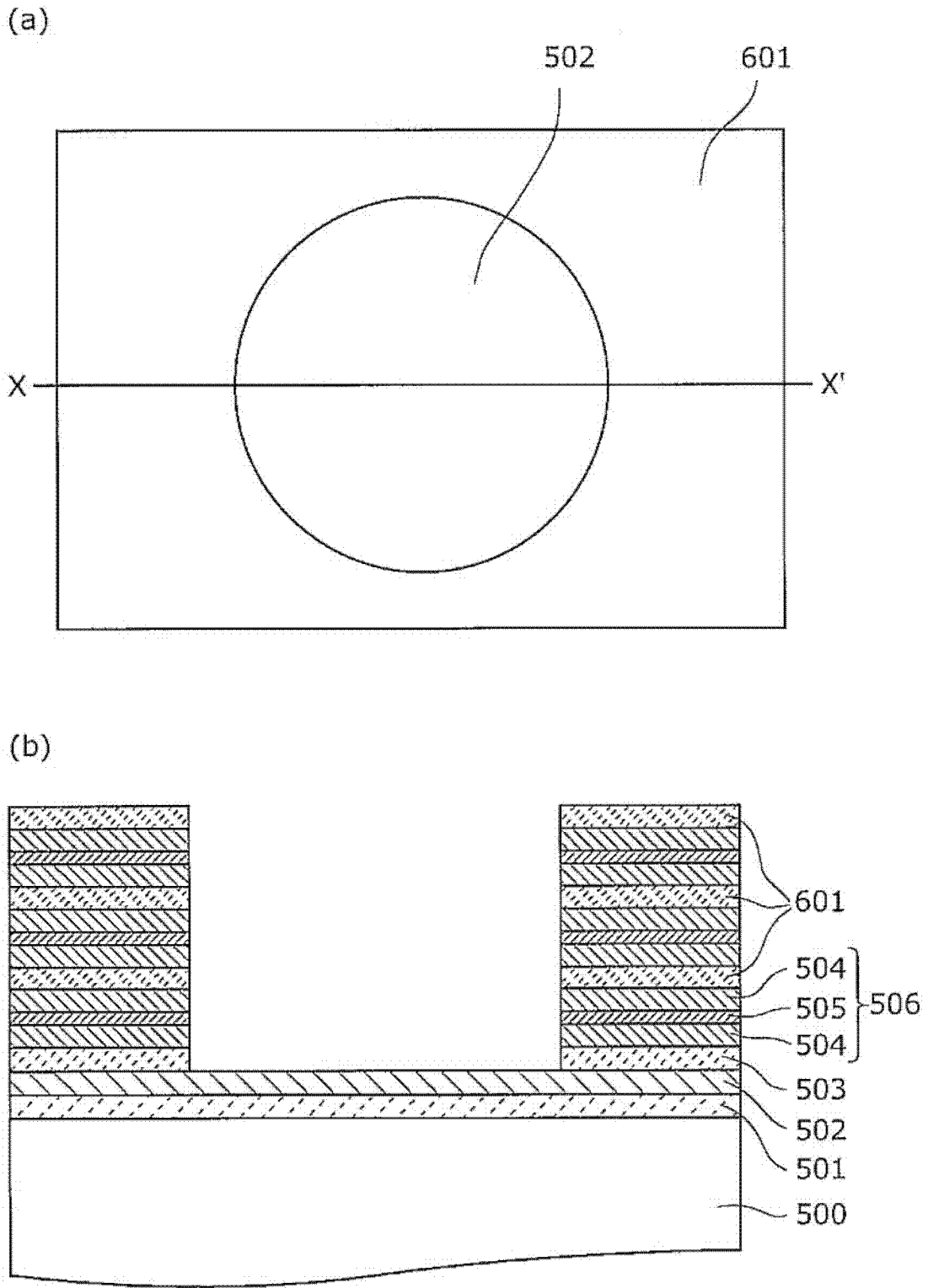


图 5

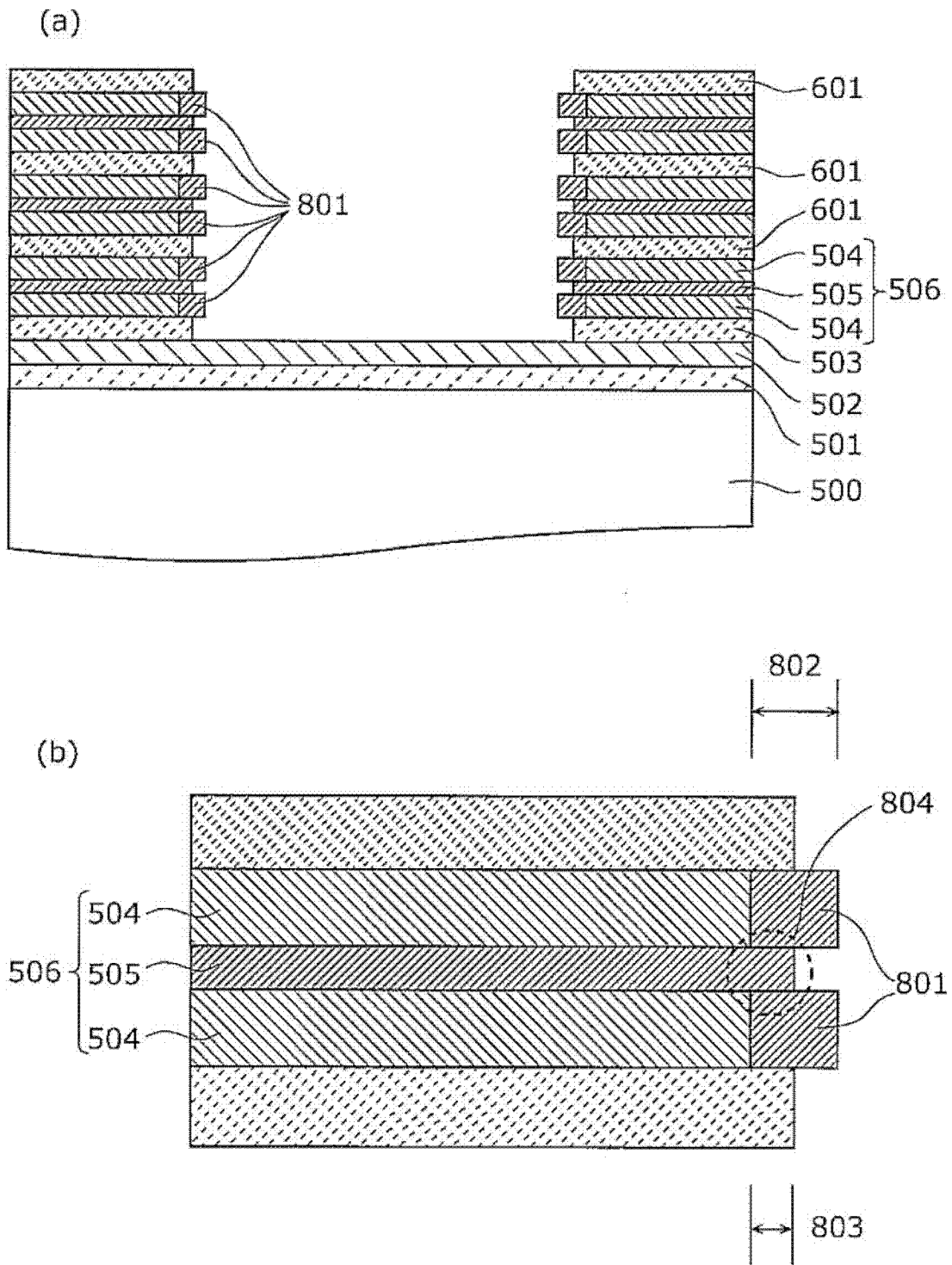


图 6

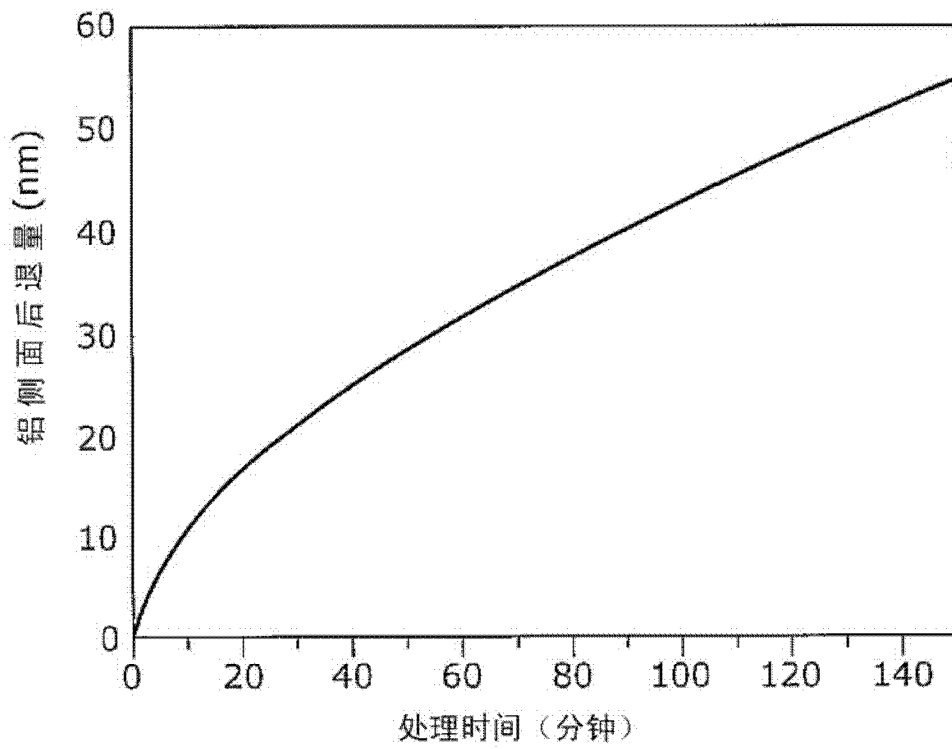


图 7

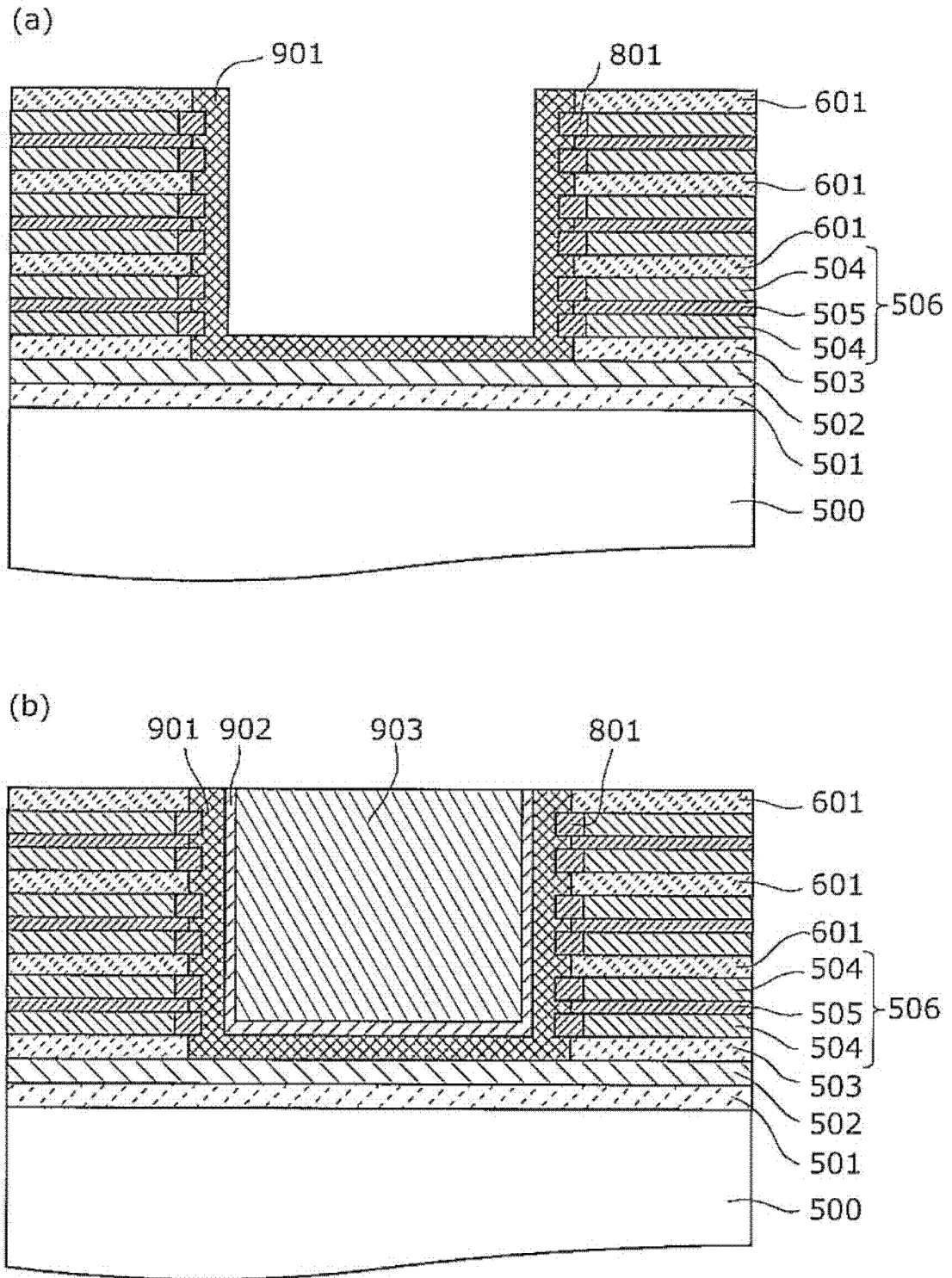


图 8

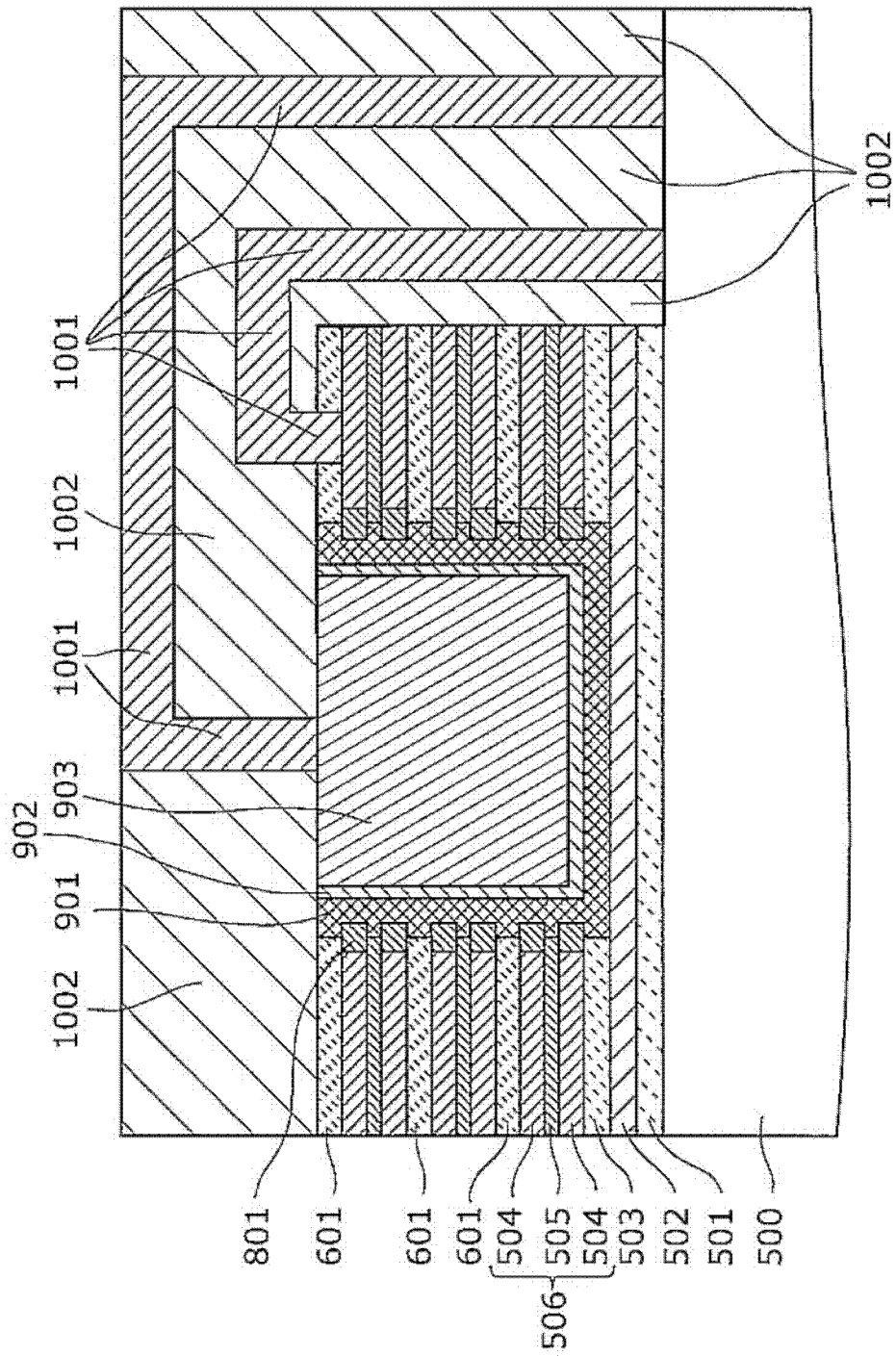


图 9

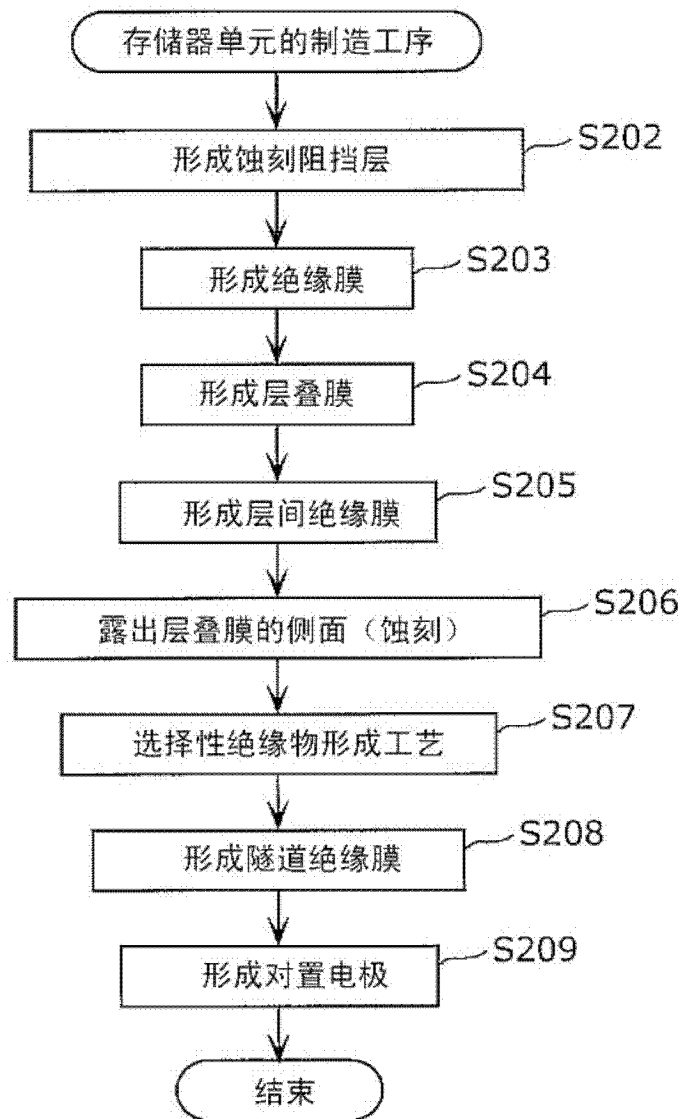


图 10

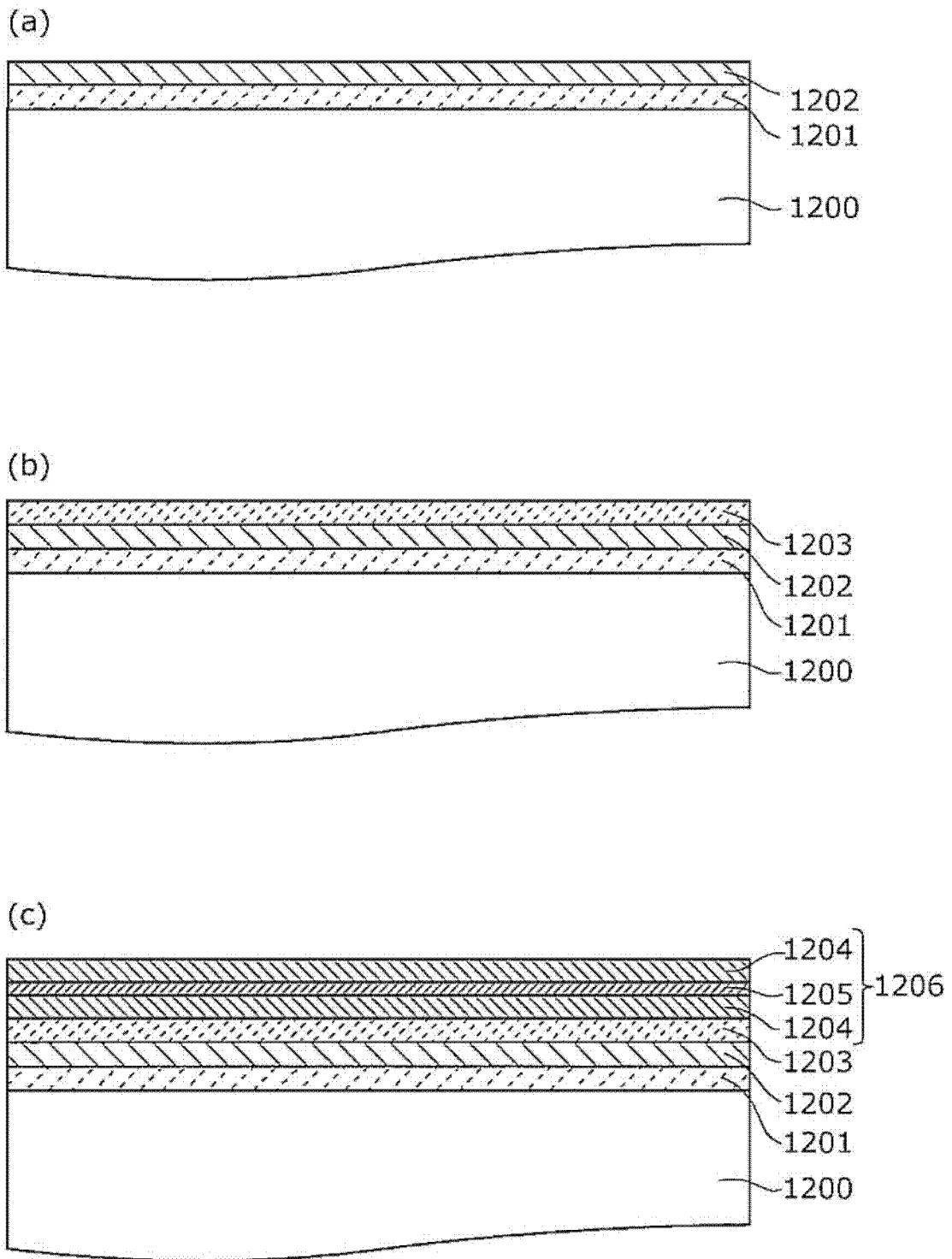


图 11

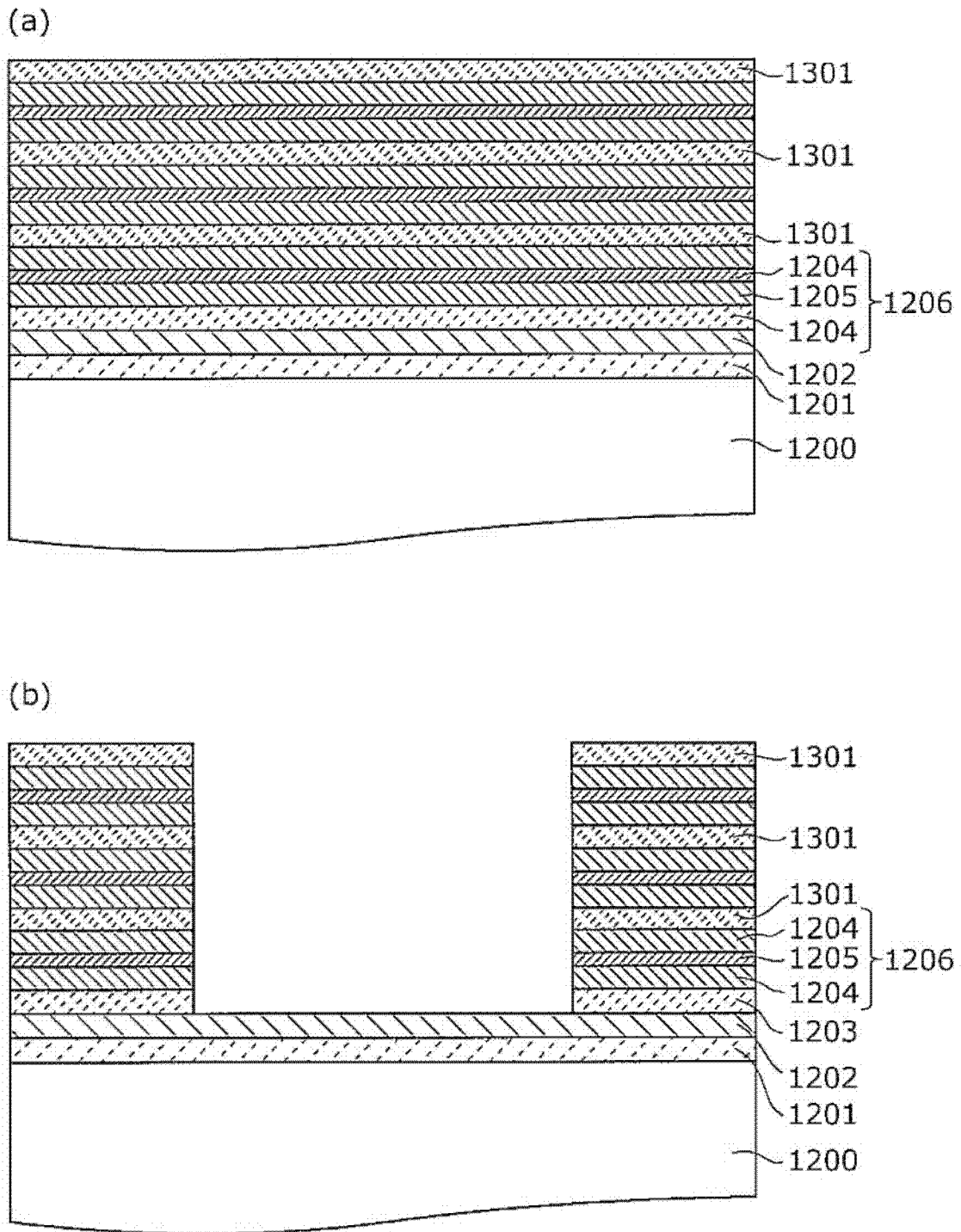


图 12

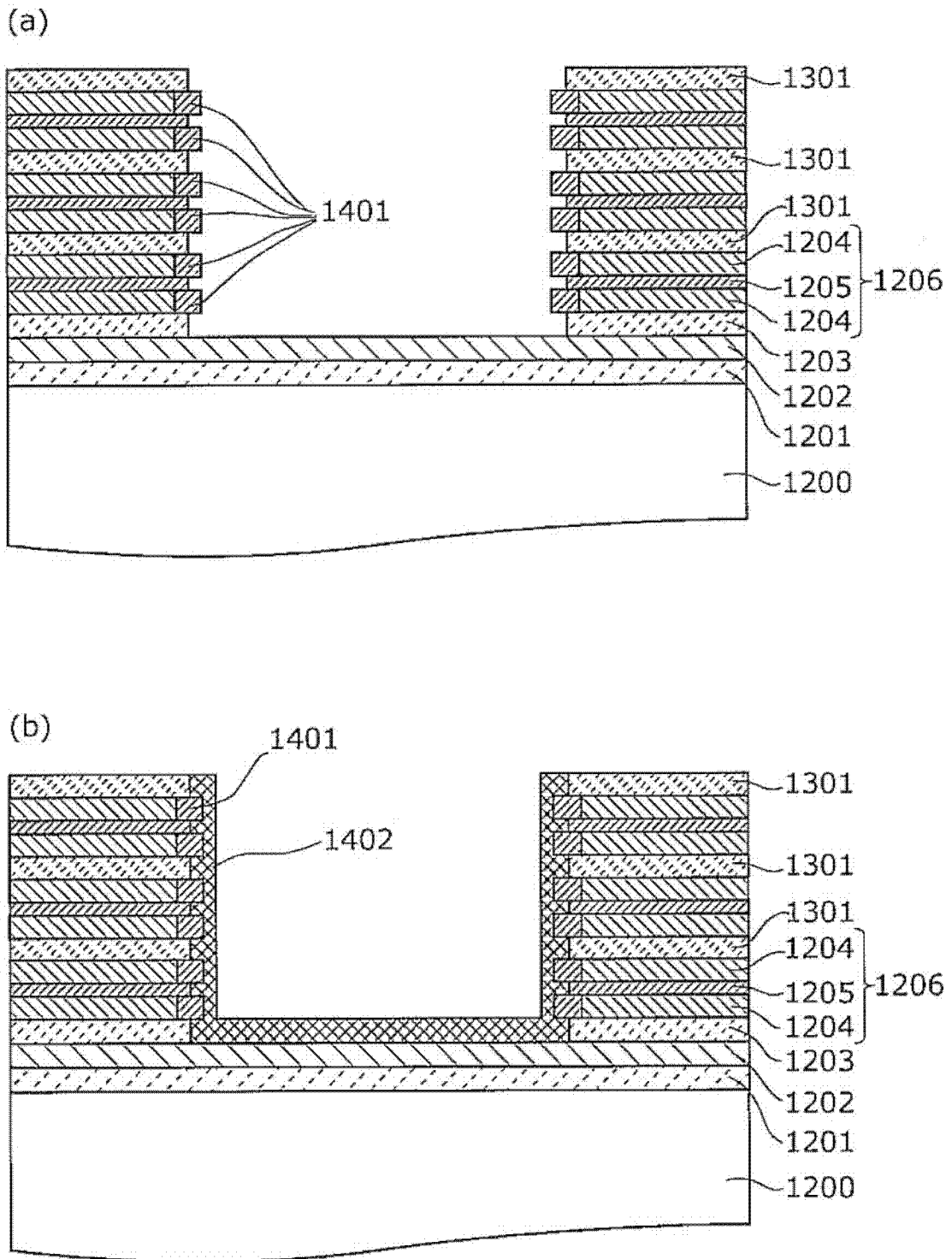


图 13

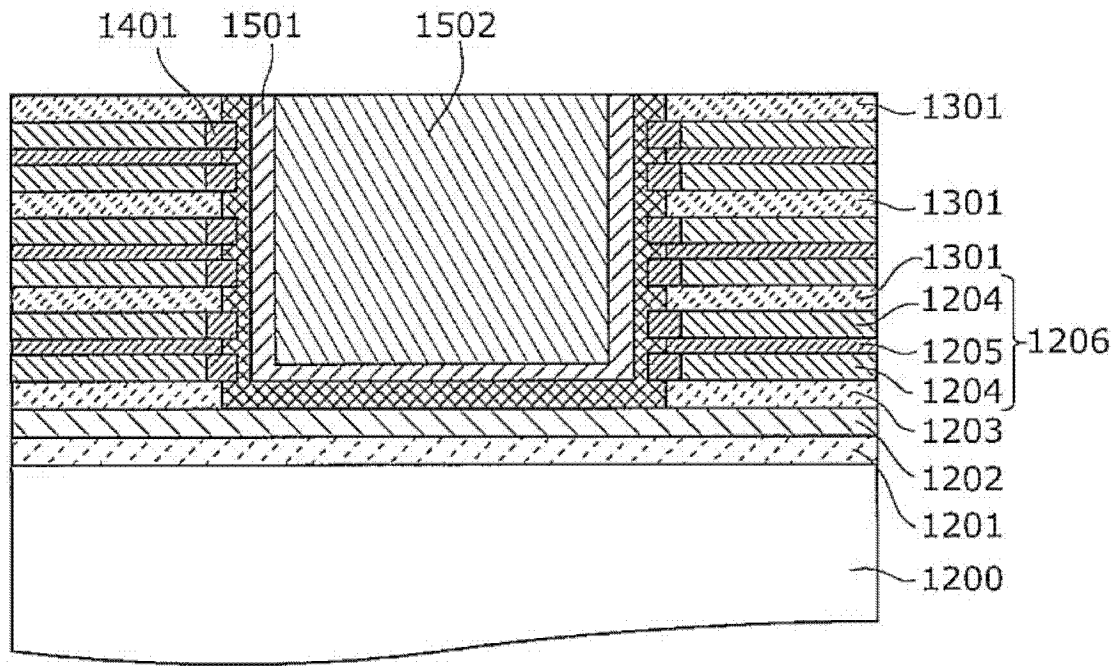


图 14

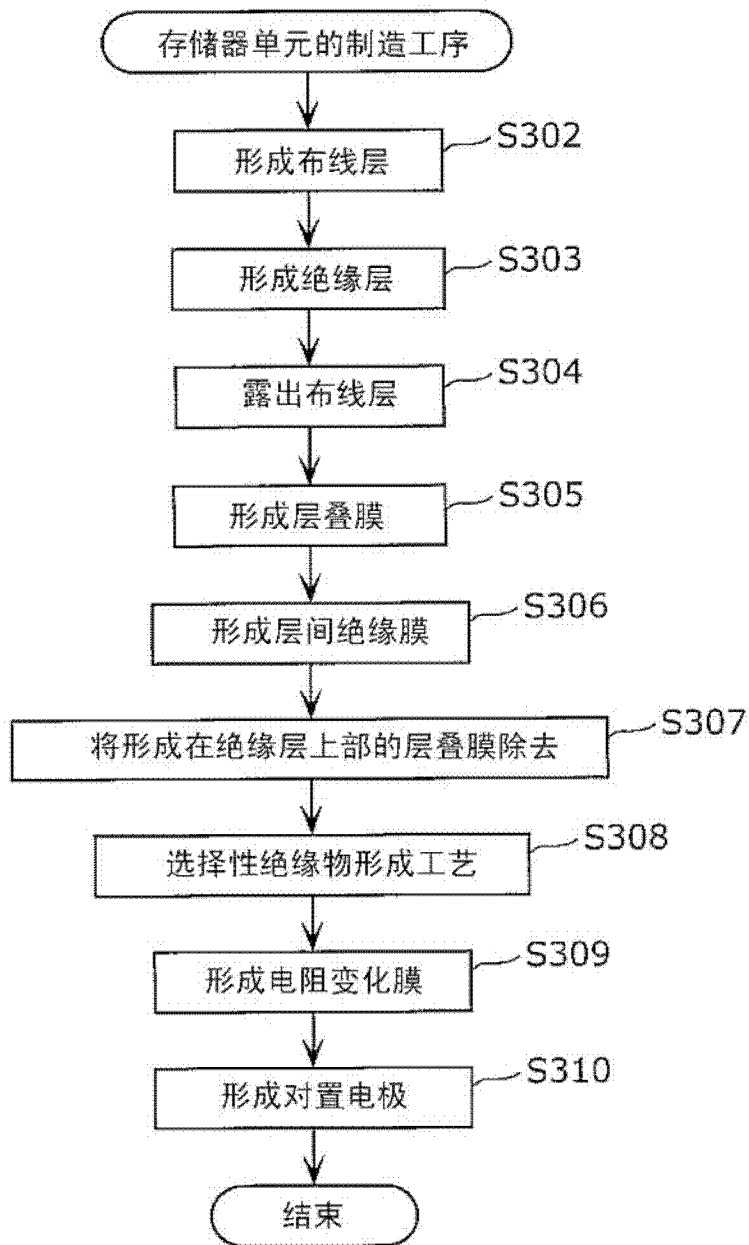


图 15

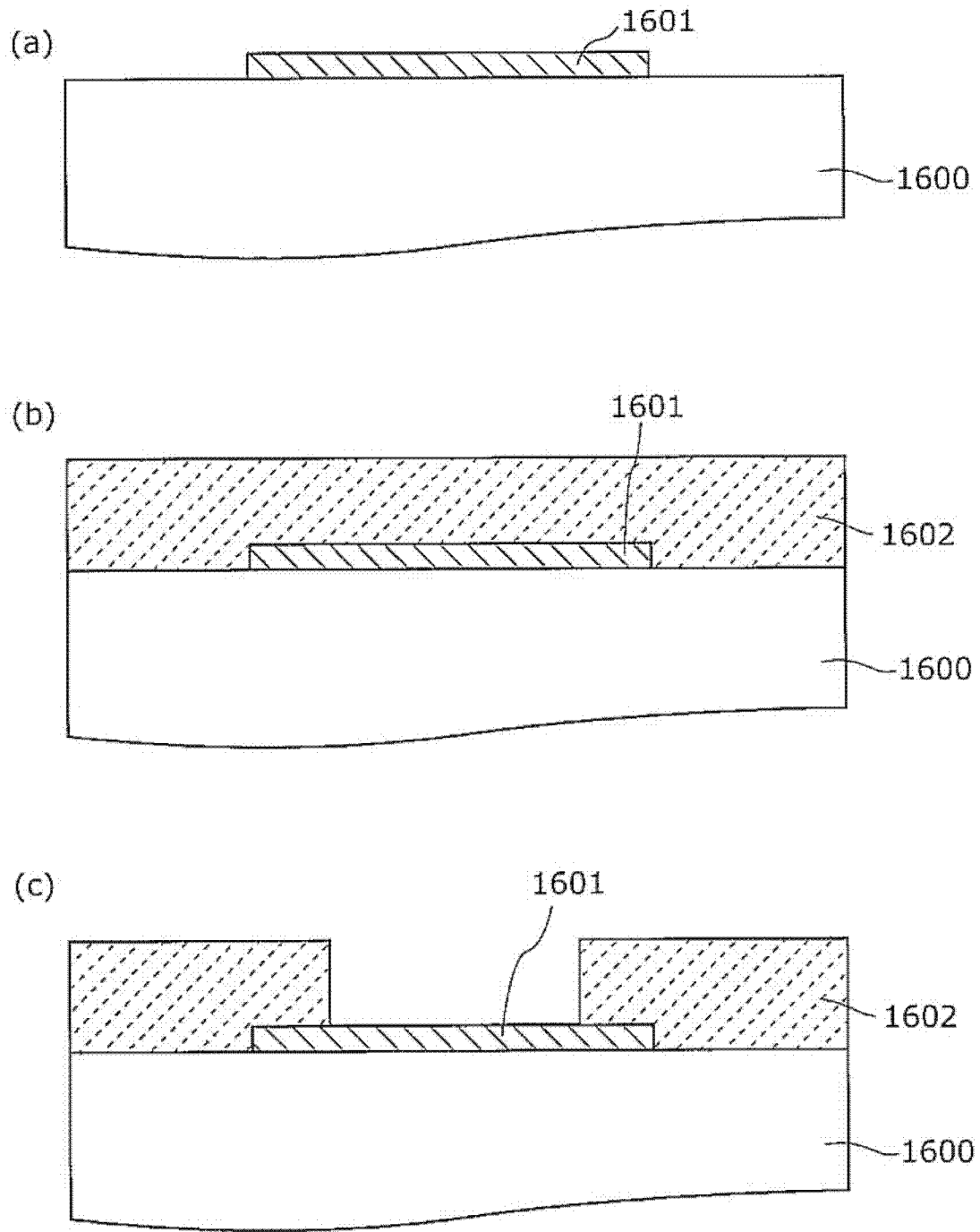


图 16

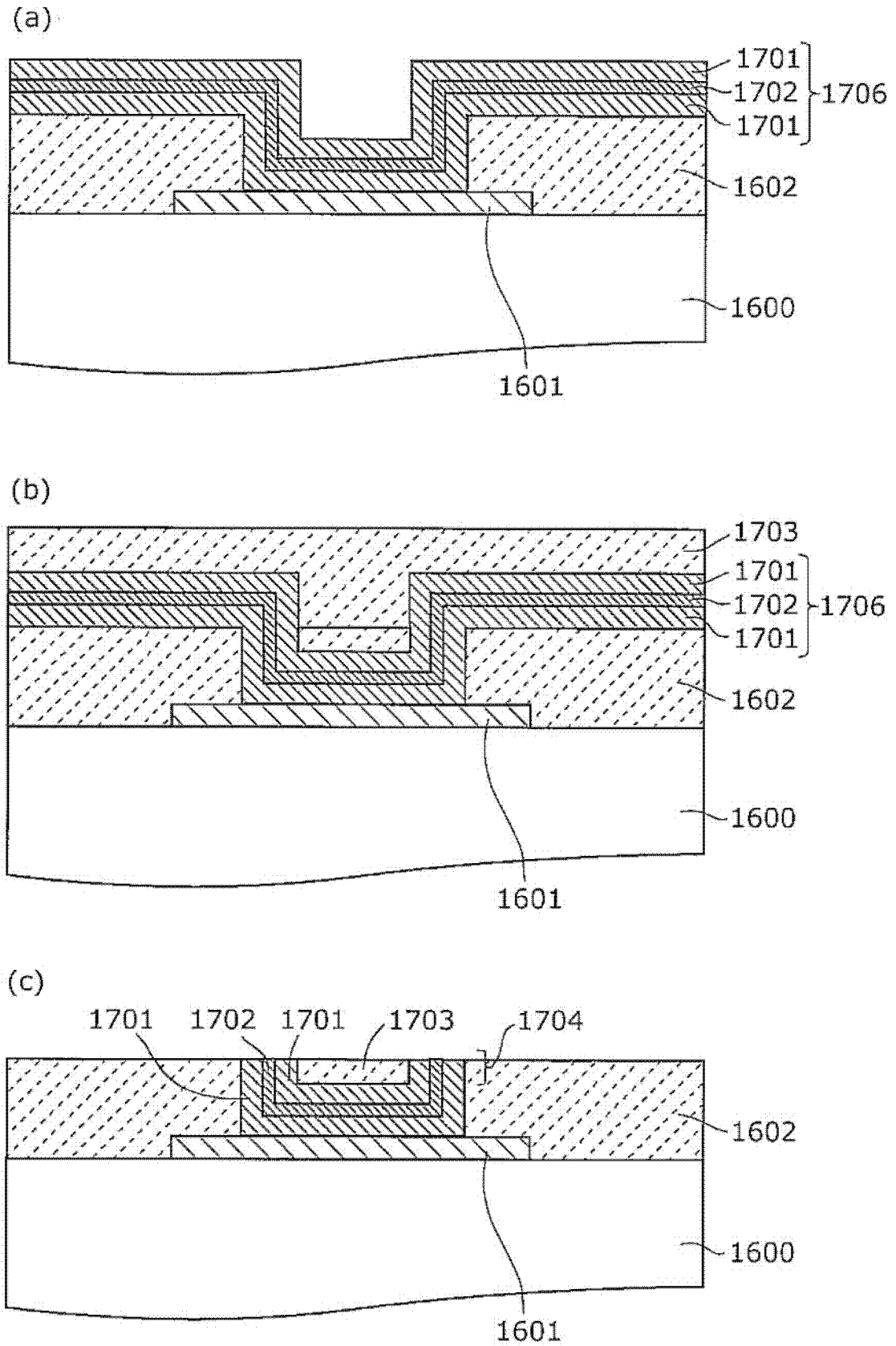


图 17

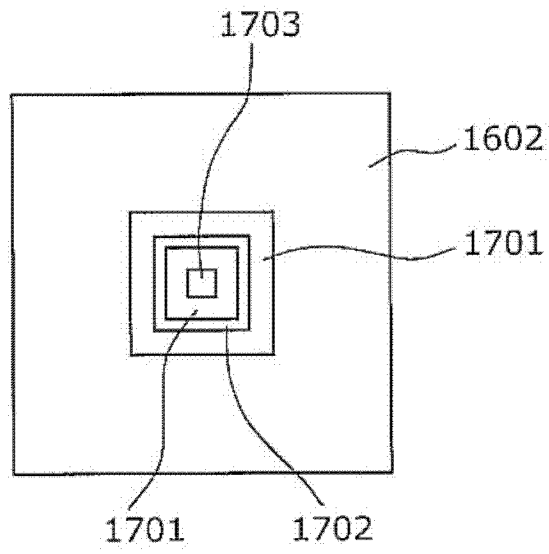


图 18

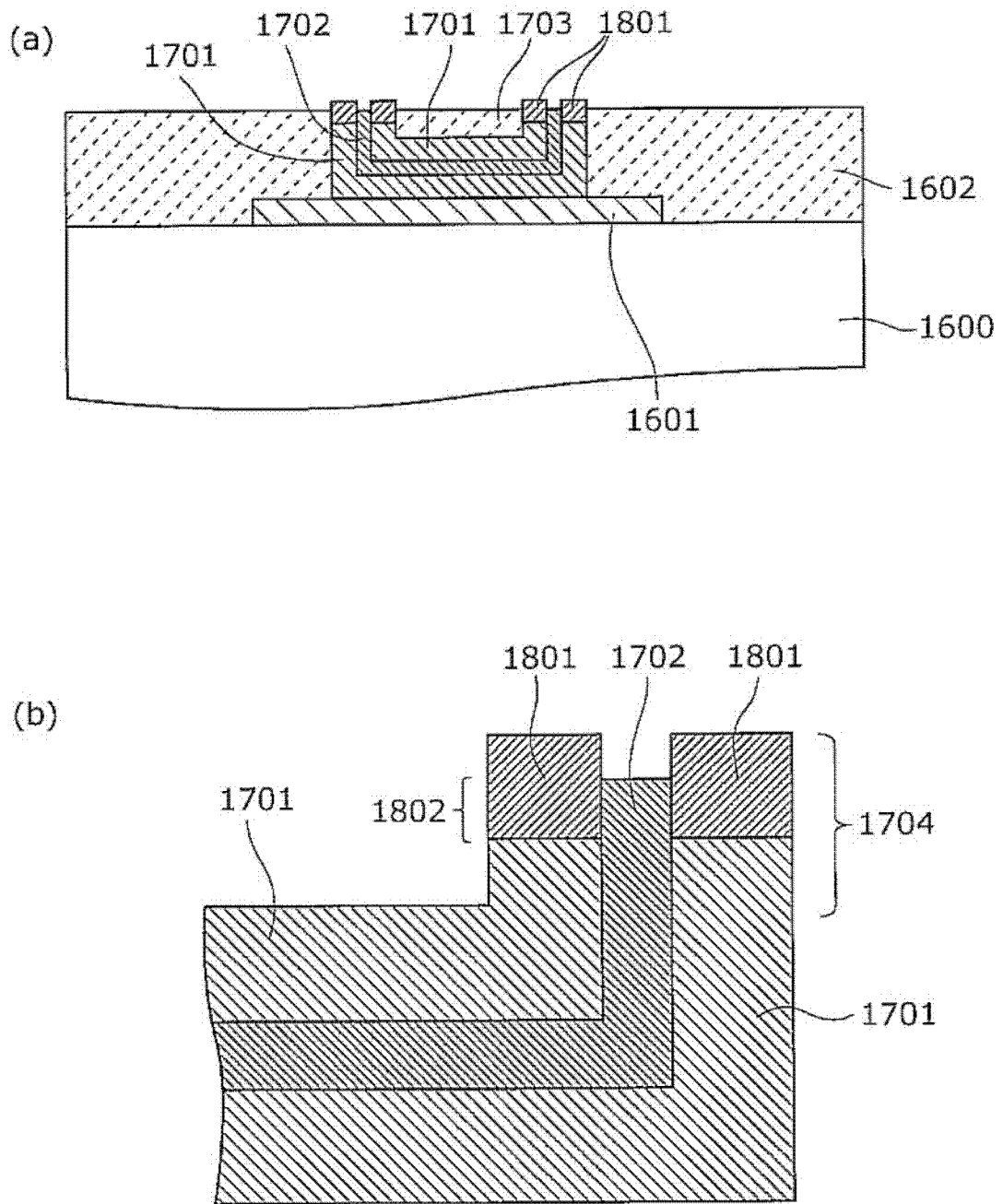


图 19

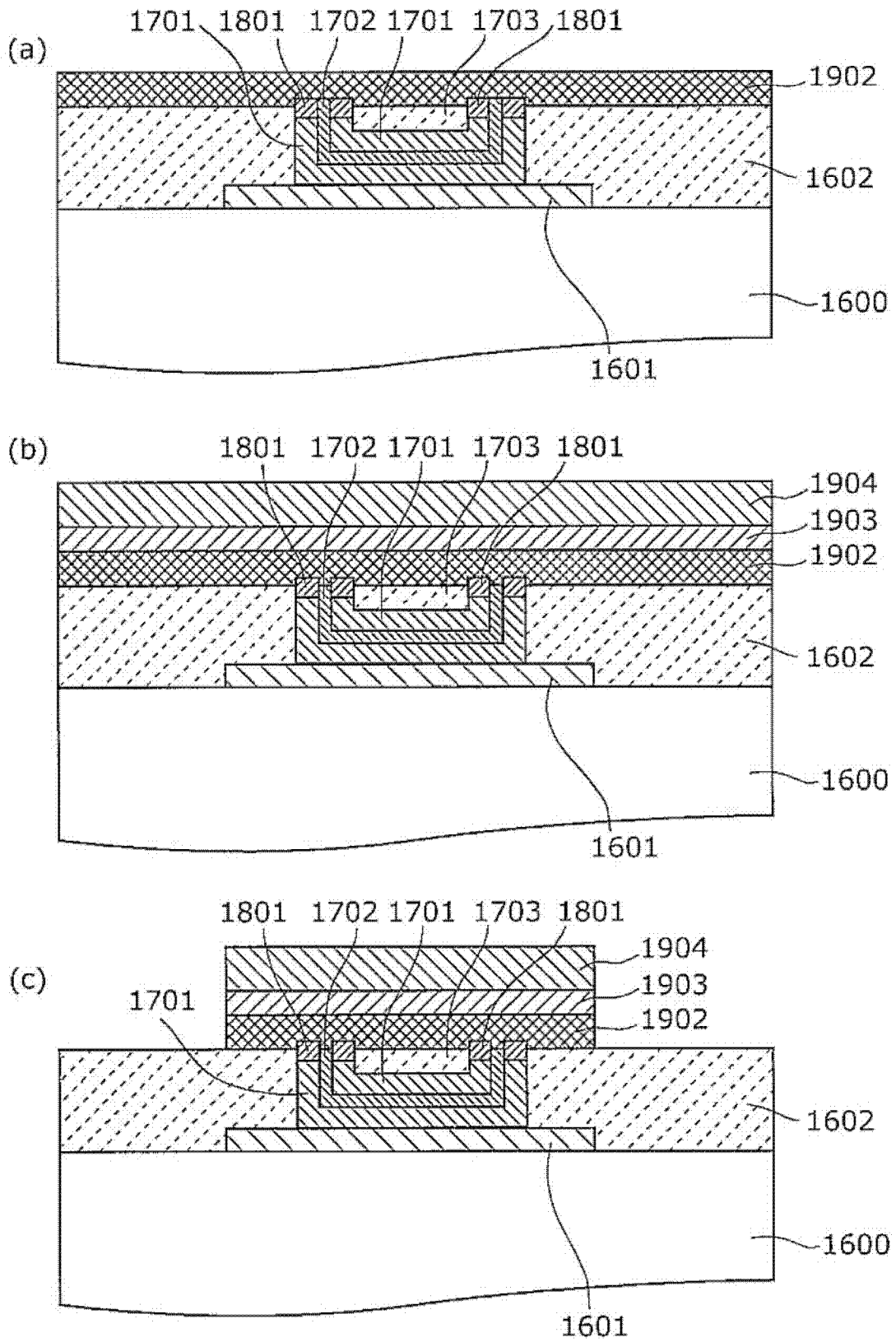


图 20

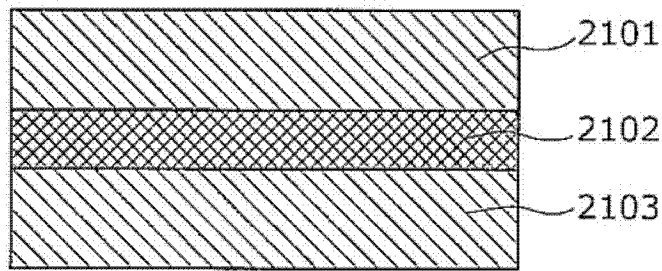
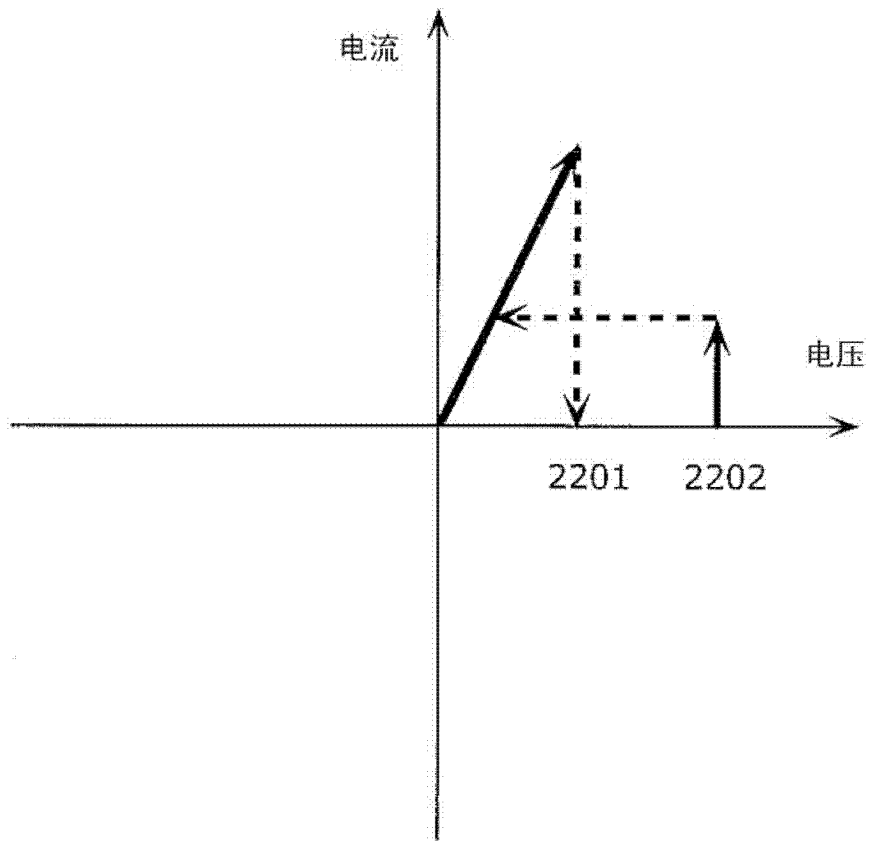
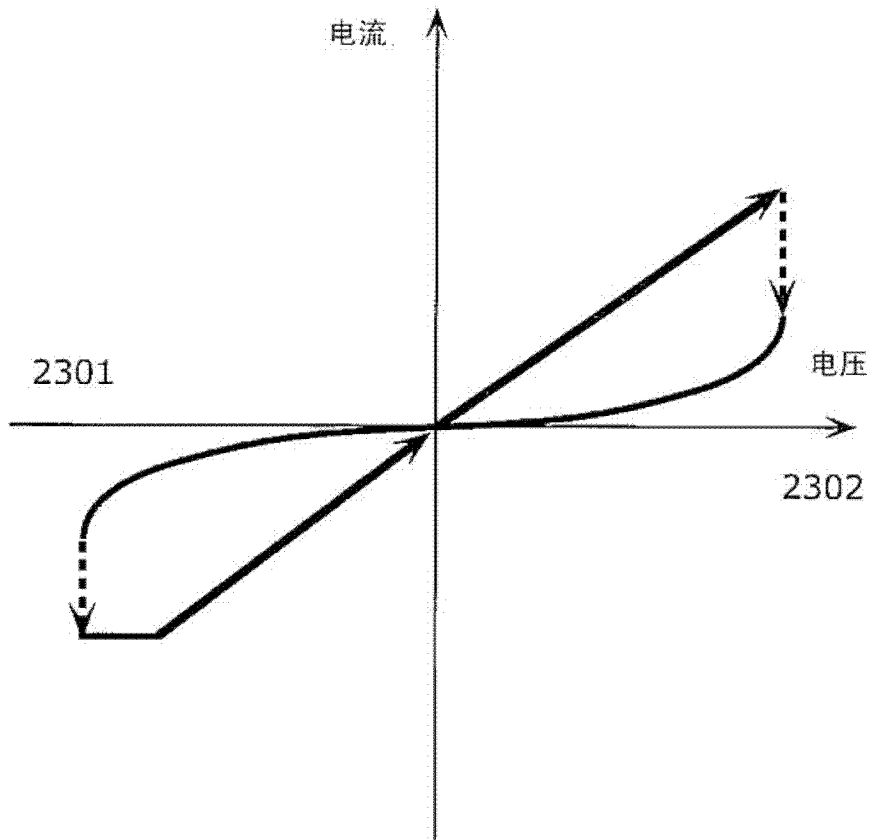


图 21



非极型ReRAM的工作特性

图 22



双极型ReRAM的工作特性

图 23

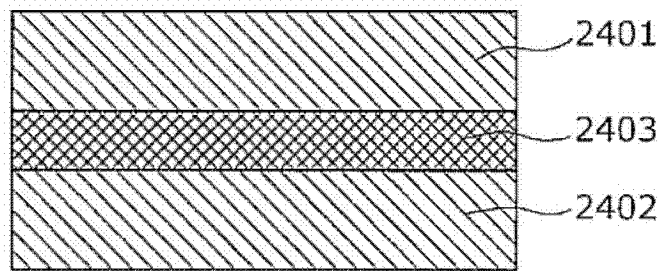


图 24