



(12) 发明专利

(10) 授权公告号 CN 101233604 B

(45) 授权公告日 2011. 10. 05

(21) 申请号 200680028373. 3

(22) 申请日 2006. 07. 26

(30) 优先权数据

05107147. 0 2005. 08. 03 EP

(85) PCT申请进入国家阶段日

2008. 02. 01

(86) PCT申请的申请数据

PCT/IB2006/052559 2006. 07. 26

(87) PCT申请的公布数据

WO2007/015194 EN 2007. 02. 08

(73) 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

(72) 发明人 约翰内斯·J·T·M·东科尔斯

韦伯·D·范诺尔特

弗朗索瓦·纳耶

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 王波波

(51) Int. Cl.

H01L 21/331 (2006. 01)

H01L 29/10 (2006. 01)

H01L 29/732 (2006. 01)

H01L 29/737 (2006. 01)

(56) 对比文件

US 2004/0262713 A1, 2004. 12. 30, 说明书
[0020] 段至 [0029] 段, 附图 2-10.

CN 1565060 A, 2005. 01. 12, 说明书第 7 页第
2 行-第 8 页第 16 行, 附图 1.

审查员 张慧明

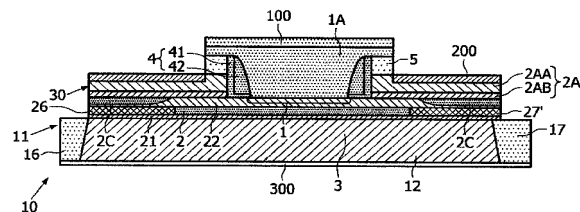
权利要求书 2 页 说明书 5 页 附图 3 页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明涉及一种具有衬底 (12) 和硅半导体主体 (11) 的半导体器件 (10), 该半导体器件包括双极晶体管, 该双极晶体管带有分别是第一导电类型的发射极区域、与所述第一导电类型相反的第二导电类型的基极区域和第一导电类型的集电极区域 (1, 2, 3), 包括集电极区域或发射极区域的第一半导体区域被形成在半导体主体 (11) 中, 在该半导体主体的顶部出现的是包括基极区域的第二半导体区域, 在该第二半导体区域顶部出现的是包括所述的集电极区域和发射极区域中的另外一个的第三半导体区域, 在第一和第二半导体区域 (3, 2) 之间的过渡位置, 所述的半导体主体 (11) 被提供了压缩层, 该压缩层是通过掩埋在半导体主体 (11) 中的电绝缘区域 (26, 27) 形成的。按照本发明, 在掩埋的电绝缘区域 (26, 27) 上形成的半导体主体的部分是单晶体, 这使得器件的横向小型化, 并使晶体管具有卓越的高频特性。按照本发明的制造方法, 可以制造这样的器件 (10)。



CN 101233604 B

1. 一种半导体器件 (10), 其具有硅半导体主体 (11), 所述半导体主体 (11) 包括衬底 (12) 和双极晶体管, 该双极晶体管具有分别是第一导电类型的发射极区域 (1)、与第一导电类型相反的第二导电类型的基极区域 (2) 和所述第一导电类型的集电极区域 (3), 包括集电极区域或发射极区域的第一半导体区域被形成在衬底 (12) 中, 在该半导体主体的顶部出现的是包括基极区域 (2) 的第二半导体区域, 在该第二半导体区域顶部出现的是包括所述的集电极区域和发射极区域中另外一个的第三半导体区域, 所述半导体主体 (11) 在邻接第二半导体区域的位置处被提供了压缩层, 该压缩层是通过掩埋在半导体主体 (11) 中的电绝缘区域 (26, 27) 形成的, 该半导体器件的特征是: 在掩埋的电绝缘区域上形成的半导体主体 (11) 的部分是单晶体。

2. 按照权利要求 1 所述的半导体器件 (10), 其特征是: 第二半导体区域被提供了至少一个位于掩埋的电绝缘区域 (26, 27) 上的电连接部分 (200)。

3. 按照权利要求 1 或 2 所述的半导体器件 (10), 其特征是: 具有层状结构的第二半导体区域在台面型的第三半导体区域两侧上的厚度比在第三半导体区域下面的厚度大。

4. 按照权利要求 1 或 2 所述的半导体器件 (10), 其特征是: 半导体主体 (11) 包括另外的埋置的或掩埋的电绝缘区域 (16, 17), 从投影图上看, 所述另外的埋置的或掩埋的电绝缘区域 (16, 17) 与第三半导体区域隔开一个比掩埋的电绝缘区域 (26, 27) 大的距离, 其中所述另外的埋置的或掩埋的电绝缘区域 (16, 17) 形成在硅衬底 (12) 中。

5. 按照权利要求 4 所述的半导体器件 (10), 其特征是: 所述另外的埋置的或掩埋的电绝缘区域 (16, 17) 具有比掩埋的电绝缘区域 (26, 27) 大的厚度。

6. 按照权利要求 1 或 2 所述的半导体器件 (10), 其特征是: 半导体主体 (11) 包括在压缩层位置处的 SiGe 混合晶体。

7. 按照权利要求 1 或 2 所述的半导体器件 (10), 其特征是: 第一半导体区域包括集电极区域 (3), 而第三半导体区域包括发射极区域 (1)。

8. 按照权利要求 7 所述的半导体器件 (10), 其特征是: 基极区域 (2), 还有集电极区域 (3), 在发射极区域 (1) 的任一侧被提供了双电连接部分。

9. 一种半导体器件的制造方法, 该半导体器件带有衬底 (12) 和硅半导体主体 (11), 该半导体器件被提供了双极晶体管, 该双极晶体管具有分别是第一导电类型的发射极区域 (1)、与第一导电类型相反的第二导电类型的基极区域 (2) 和所述第一导电类型的集电极区域 (3), 其中, 包括集电极区域或发射极区域的第一半导体区域被形成在半导体主体 (11) 中, 在该半导体主体的顶部形成的是包括基极区域的第二半导体区域, 在该第二半导体区域顶部形成的是包括所述的集电极区域和发射极区域中另外一个的第三半导体区域, 其中, 所述半导体主体 (11) 在邻接第二半导体区域的过渡位置处被提供了压缩层, 该压缩层是通过形成在半导体主体 (11) 中掩埋的电绝缘区域 (26, 27) 形成的, 该半导体器件的制造方法的特征是: 在掩埋的电绝缘区域 (26, 27) 上存在的半导体主体 (11) 的部分是以单晶体的方式形成的。

10. 按照权利要求 9 所述的方法, 其特征是: 在形成掩埋的电绝缘区域 (26, 27) 的位置形成硅和锗混合晶体的区域, 通过选择性蚀刻去除掉该区域, 在此之后, 用电绝缘材料填充所形成的腔 (26A, 27A)。

11. 按照权利要求 10 所述的方法, 其特征是: 处在掩埋的电绝缘区域 (26, 27) 之上的

半导体主体 (11) 的部分是通过外延生长在由硅和锗混合晶体形成的区域的顶部形成的, 所述硅和锗混合晶体形成的区域能够被去除。

12. 按照权利要求 9、10 或 11 所述的方法, 其特征是: 第二半导体区域被提供了至少一个电连接部分 (200), 该电连接部分被形成在掩埋的电绝缘区域 (26, 27) 上。

13. 按照权利要求 9-11 中任何一项所述的方法, 其特征是: 通过选择的外延生长, 使得在第三半导体区域任一侧形成的第二半导体区域比在第三半导体区域下面形成的第二半导体区域的厚度大。

14. 按照权利要求 11 所述的方法, 其特征是: 硅和锗混合晶体区域被形成为包含外延生长层的 SiGe 的部分。

15. 按照权利要求 14 所述的方法, 其特征是: 所述包含外延生长层的 SiGe 被形成在第二半导体区域中。

半导体器件及其制造方法

技术领域

[0001] 本发明涉及一种带有衬底和硅半导体主体的半导体器件,该半导体器件包括双极晶体管,该双极晶体管具有分别是第一导电类型的发射极区域、与第一导电类型相反的第二导电类型的基极区域和所述第一导电类型的集电极区域,包括集电极区域或发射极区域的第一半导体区域被形成在半导体主体中,在该半导体主体的顶部出现的是包括基极区域的层状第二半导体区域,在该第二半导体区域顶部出现的是包括所述的集电极区域和发射极区域中另外一个的第三半导体区域,所述半导体主体在第一和第二半导体区域之间的过渡处被提供了压缩层,该压缩层是通过掩埋在半导体主体中的电绝缘区域形成的。本发明还涉及制造这样器件的方法。

背景技术

[0002] 从美国专利申请 US2004/0224461 中可以知道这样的器件和方法。所述的文件描述了一种 NPN 类型双极晶体管。该晶体管的台面型发射极区域处在该晶体管的层状基极区域的顶部,该晶体管的集电极区域处在基极区域的下部。基极区域和集电极区域之间的结被电绝缘区域包围,该电绝缘区域被掩埋在基极区域的下面,并形成半导体主体的局部压缩层。

[0003] 这种已知器件的一个缺陷是它不适于,或至少不是很适于进行更进一步的小型化。一方面,已知晶体管的可能集成度由此受到限制,但是,除此之外,该晶体管的诸如高频性能之类的特性仍然能够得到改善。甚高频应用的例子是汽车雷达系统。

发明内容

[0004] 因此,本发明的目的是为了提供一种由于它的卓越高频特性而适于前述应用的器件,以及其中可以很容易地实现横向小型化。

[0005] 为了到达这个目的,在前面简介中提到的类型的器件的特征是在掩埋的电绝缘区域上形成的半导体主体的部分是单晶体的。首先,本发明基于这样的认知:在已知器件中,通过外延生长在该器件中形成基极区域,在电绝缘区域顶部形成该器件的部分,从而掩埋所述的电绝缘区域。这样形成的部分是多晶体,而在集电极区域上的邻近的部分是单晶体。此外,本发明基于这样的认知:在单晶硅和多晶硅之间这样形成的过渡使已知器件的横向小型化难以实现或者甚至不可能实现。通过使掩埋的电绝缘区域上的半导体主体区域单晶化,按照本发明设计的器件可以有非常小的横向尺寸,并因此显示出卓越的高频性能。本发明基于这样不寻常的认知:当使用按照本发明的制造方法,出现在掩埋的电绝缘区域上的半导体主体部分虽然是通过外延生长形成的,但可以被制成单晶的。

[0006] 简单地说,通过在掩埋的电绝缘区域位置首先形成 SiGe 区域可以达到这个目的,在该电绝缘区域的顶部通过外延生长沉积半导体主体的部分。假如 SiGe 结合厚度不是很大并且其厚度保留在边界中,则前文所述的外延生长导致单晶沉积。此后,在投影图上从外往内看,通过选择性刻蚀去除 SiGe 区域部分,在此之后,在这样形成的空腔中形成掩埋的

电绝缘区域。

[0007] 在按照本发明的方法的优选实施例中,为基极区域提供了至少一个位于掩埋的电绝缘区域上的电连接部分。由于该位置处的基极区域是单晶体,所以有可能减少横向尺寸,同时,基极区域的电阻可以很低。

[0008] 优选地,半导体主体的压缩层位于基极区域。这种结构的优点是被用于形成压缩层的 SiGe 区域也位于该基极区域。在所述压缩层形成之后保留下来的 SiGe 区域部分在诸如速度之类的晶体管特性方面非常有利。

[0009] 由于电绝缘区域上的基极区域在后一变型中相对较薄,具有层状结构的第二半导体区域在台面型的第三半导体区域两侧上的厚度 - 尤其是在这种情况下 - 是优选地比第三半导体区域下面的厚度大。例如,通过选择的外延生长,可以很容易形成处在掩埋的电绝缘区域上的大厚度基极区域。

[0010] 在一个非常有利的实施例中,半导体主体包括另外一个埋置的或掩埋的电绝缘区域,从投影图上看,该电绝缘区域与第三半导体区域隔开一个比掩埋的电绝缘区域大的距离。可以使用通常的诸如 STI (Shallow Trench Isolation, 浅沟槽隔离) 区域或 LOCOS (Local Oxidation Of Silicon, 硅片局域氧化) 区域之类的隔离区域以实现这个目的。这使得按照本发明的器件的生产与通常的工艺高度兼容。除此之外,所述的另外埋置的或掩埋的电绝缘区域在按照本发明的器件的晶体管的特性方面提供了进一步优化的可能性。

[0011] 因此,通过形成所述的比掩埋的电绝缘区域厚度大的另外的埋置的或掩埋的电绝缘区域,可以更进一步地减小基极区域和集电极区域之间的电容,这在高频特性方面有积极效果。而且,以这种方式,可以使集电极区域中的电流扩散减小。

[0012] 应当注意到的是,在此种连接中,当发射极区域与集电极区域在通常的双极晶体管中角色互换时,该晶体管被称为倒相晶体管。而且,在按照本发明的器件中,可以以对应的方式,使发射极区域位于基极区域下面。毕竟这两个区域都有相对小的横向尺寸。

[0013] 对于按照本发明的器件,由于沉积在形成于 SiGe 层中的空腔中的非常薄的氧化层会阻塞载流子的注入,由于前向基极集电极存储电容的大大降低,这样的互换导致了晶体管的截止频率 (f_T) 的显著改善。

[0014] 然而,优选地,第一半导体区域包括集电极区域,第三半导体区域包括发射极区域。在一个有利的变型中,基极区域以及优选地还有集电极区域在发射极区域的任一侧被提供了双电连接部分。

[0015] 按照本发明,制造一种带有衬底和硅半导体主体的半导体器件的方法的特征是以单晶体的形式来形成处在掩埋的电绝缘区域上半导体主体的部分。该半导体器件带有双极晶体管,该双极晶体管具有分别是第一导电类型的发射极区域、与第一导电类型相反的第二导电类型的基极区域和所述第一导电类型的集电极区域,其中,包括集电极区域或发射极区域的第一半导体区域被形成在半导体主体中,在该半导体主体的顶部出现的是包括基极区域的层状第二半导体区域,在该第二半导体区域顶部出现的是包括所述的集电极区域和发射极区域中另外一个的第三半导体区域,其中,所述半导体主体在第一和第二半导体区域之间的过渡处被提供了压缩层,该压缩层是通过掩埋的电绝缘区域形成的,该电绝缘区域形成于半导体主体中。以这种方式,可以获得按照本发明的器件。

[0016] 在按照本发明方法的一个优选实施例中,在要形成掩埋的电绝缘区域的地方形成硅和锗的混合晶体区域,该混合晶体区域是通过选择性刻蚀被去除的,在去除掉该混合晶体区域后,用电绝缘材料填充这样形成的腔。空气或气体可以被用作电绝缘材料,但优选地,用诸如氧化硅之类的绝缘体填充已经形成的腔。可以通过 CVD (Chemical Vapor Deposition, 化学汽相沉积) 工艺,但是优选地,通过热氧化工艺形成该电绝缘区域。

[0017] 如在有关按照本发明的器件的讨论中已经提到的,处在掩埋的电绝缘区域上面的半导体主体的部分是通过外延生长形成在硅和锗混合晶体的区域的顶部以便被去除。基极区域的电连接部分优选地形成在掩埋的电绝缘区域上。

[0018] 优选地,通过选择性外延生长,使得位于第三半导体区域任一侧上的第二半导体区域的厚度都比位于第三半导体区域下面的第二半导体区域的厚度大。SiGe 区域优选地以 SiGe 外延层的形式生成。如果所述层被形成为基极区域的部分,则所述 SiGe 层的剩余部分对晶体管的特性会有贡献。

[0019] 在 SiGe 层部分的选择性刻蚀之后,执行进一步的刻蚀步骤,例如通过使用针对 SiGe 选择的硅刻蚀剂,可以增加掩埋的电绝缘区域的厚度。这个步骤的优点是 SiGe 层的残留部分的横向尺寸没有被所述的步骤改变。原则上,必须及时进行对 SiGe 层的刻蚀。如果需要,横向刻蚀停止层可以被合并到 SiGe 层中,例如,通过合并一个横向 pn 结。

附图说明

[0020] 现在,参照实施例和附图对本发明进行详细的说明,其中,

[0021] 图 1-9 是垂直于按照本发明的器件厚度方向的示意性剖面图,示出了通过按照本发明方法的连续生产阶段。

[0022] 这些图不是按照比例绘制的,为了能够清楚地表达,有些尺寸被放大了。尽可能地用同一数字表示了同样的区域或部分。

具体实施方式

[0023] 图 1-9 是垂直于按照本发明的器件厚度方向的示意性剖面图,示出了通过按照本发明方法的连续生产阶段。本例的至少基本加工完成的器件 10 (见图 9) 包括半导体主体 11,在这种情况下,该半导体主体 11 具有 n 型硅衬底 12、提供在其上的半导体层结构以及双极晶体管。(在本例中) 分立的晶体管具有 n 型发射极区域 1、p 型基极区域 2 和 n 型集电极区域 3,其分别被提供了第一、第二、第三连接导体 100、200、300。基极区域 2 包括硅和锗混合晶体,在本例中,锗含量为 20%,掺杂浓度在 $1 \times 10^{19} \text{at/cm}^3$ 到 $1 \times 10^{20} \text{at/cm}^3$ 的范围内。层状区域 21、22 被安置在基极区域的任一侧,从厚度方向看,层 21、22 作为过渡层,有较低的掺杂浓度,例如,掺杂浓度范围为 $1 \times 10^{17} \text{at/cm}^3$ 到 $1 \times 10^{19} \text{at/cm}^3$ 。通过外扩散,发射极区域 1 被形成在 n 型过渡层 22 中。在这种情况下,集电极 3 和发射极 1 包括硅。在这种情况下,集电极 3 包括 n 型 (或本征) 过渡层 21 和衬底 12 的部分,而且,集电极 3 可以不同于本例,由低掺杂部分、所谓漂移区域和邻近衬底或形成了部分衬底的高掺杂部分组成。在这种情况下,发射极区域 1 和基极区域 2 的连接导体 100、200 包括硅化物例如硅化镍或硅化钴,同时集电极区域 3 的连接导体 300 包括铝。在这个例子中,发射极连接区域 1A 包括多晶硅区域,并通过隔离器 4 与基极连接区域 2A 电隔离。

[0024] 在这种情况下,半导体主体 11 在基极区域 2 的位置处具有压缩层,该半导体主体 11 被形成在掩埋在半导体主体中的电绝缘区域 26、27 之间。在这种情况下,所述的电绝缘区域包括二氧化硅,它们从半导体主体 11 的台面型部分 30 的侧壁开始在基极区域 2 的方向上延伸,并且具有和区域 2 相同的厚度。按照本发明,处在区域 26、27 之上的半导体主体 11 的部分是单晶体。这使器件 10 拥有非常小的横向尺寸和非常好的高频特性成为可能。利用按照本发明的方法来制造器件,可以达到这些目的。如果使用已知的制造方法,则半导体主体 11 的前述部分是多晶体或者甚至是非晶体。

[0025] 在此例中,基极连接区域 2A 包括多晶硅导电区域 2AA,以及在下面的在该例中为氮化钽的另一导电区域 2AB,相对于导电区域 2AB,多晶硅导电区域 2AA 是可以被选择性地刻蚀的。在该例中,发射极连接区域 1A 是有 T 形臂的 T 形,该 T 形臂在绝缘区域 5 上延伸,该绝缘区域 5 处在多晶硅区域 2AA 之上。而且,器件 10 包括部分埋置和部分掩埋的另外的绝缘区域 16、17,在这种情况下,该绝缘区域 16、17 包括氧化硅,具有更大的厚度,并且以比掩埋的电绝缘区域 26、27 更大的距离与发射极区域 1 隔离。

[0026] 该例的器件 10 的横向尺寸是 $1\mu\text{m}\times 10\mu\text{m}$ 。发射极区域 1 有大约 $10^{20}\text{at}/\text{cm}^3$ 的掺杂浓度以及大约 10nm 的厚度。基极区域 2 有大约 20nm 的厚度,临近的过渡层 21、22 的厚度与基极区域 2 相当。例如,通过按照本发明的方法,制造该例的器件 10。

[0027] 开始点(见图 1)是 n 型硅衬底 12,在该例中,所谓的 STI(浅沟槽隔离)区域 16、17 形成于该硅衬底中。为了简化起见,在图中省略了衬底 12 下面的部分。通过外延生长,首先在衬底上沉积 p 型层 21、2、22,中间层由 SiGe 形成,外侧的两层由 Si 形成。如上文指示的那样选择掺杂浓度和厚度。然后在另一沉积装置中提供进一步的层结构,该结构连续地包括氮化钽导电层 2AB、多晶体、高度掺杂的硅层 2AA 和二氧化硅绝缘层 5。优选地,溅射法或 MOCVD(MetalOrganic Chemical Vapor Deposition,金属有机化学汽相沉积)被用作沉积技术,用于在该例中沉积导电层 2AB,而多晶硅层 2AA 和绝缘层是通过 CVD(Chemical Vapor Deposition,化学汽相沉积)形成的,所述层的厚度分别为 10nm、100nm 和 50nm。

[0028] 随后(见图 2),利用光阻掩模 M1,在绝缘层 5 和多晶硅层 2AA 中刻蚀出开口 6。例如,通过干法刻蚀工艺可以完成这个步骤。在所述的工艺中,氮化钽层 2AB 用作刻蚀停止层。

[0029] 此后(见图 3),通过另一刻蚀工艺,例如干法或湿法化学刻蚀工艺,相对于硅层 22,将由 M1 限定的氮化钽层 2AB 部分选择性地刻蚀掉。

[0030] 在去除掩模 M1 之后(见图 4),在开口 6 中形成隔离器 4,在该例中,该隔离器由两个薄的 10nm 的二氧化硅层 41 和 50-100nm 的氮化硅层 42 组成。这些层被均匀地涂覆,随后,通过各向异性刻蚀工艺将他们的平坦部分去除掉。

[0031] 此后(见图 5),用 n 型多晶硅层 1A 填充开口 6。所述的层是通过 CVD 工艺形成的。通过对形成的结构进行热处理,通过发射极连接区域 1A 中的 n 型杂质扩散所导致的过掺杂,在过渡层 22 中形成发射极区域 1。

[0032] 然后(见图 6),通过光刻法和保留 T 形截面的刻蚀,形成发射极连接区域 1A 的图案。T 形的底部宽度大约是 200nm,T 形的顶部宽度大约是 500nm。此后,通过 p 型离子注入形成基极区域 2A 的高度掺杂部分 2C,其中 T 形连接区域 1A 用作掩模。应当注意的是,在实际中与图中所示相反的是,在该阶段,光阻掩模仍然出现在 T 型台面上,并且在这种情况下

下,所述的注入会在图 5 和图 6 所示的制造阶段之间发生。一方面,光阻掩模保护发射极连接区域 1A 使其不被注入,另一方面,金属硅化物层 100、200 可以在去除所述掩模之后的一个步骤中形成。

[0033] 例如,此时通过沉积镍或钴金属层,通过硅化将该金属层转换成硅化镍或硅化钴 100、200,来形成连接导体 100、200。在该例中,衬底 12 的下侧与铝接触,从而形成集电极区域 3 的连接导体 300。集电极区域 3 还可以通过埋置的连接区域和连接导体,有利地与半导体主体 11 的上表面接触。

[0034] 此后(见图 7),光阻掩膜 M2 被施用在器件 10 上,然后通过干刻蚀工艺在半导体主体 11 的表面上提供台面型部分 30。

[0035] 随后(见图 8),通过选择性的化学刻蚀工艺(干法或湿法),从半导体主体 11 的台面型部分 30 的侧壁去除掉形成基极区域 2 的层 2 的部分。从而,在邻近 Si 包含层 21、22 并且邻近形成基极区域 2 的 SiGe 层 2 的保留部分处形成腔 26A、27A。

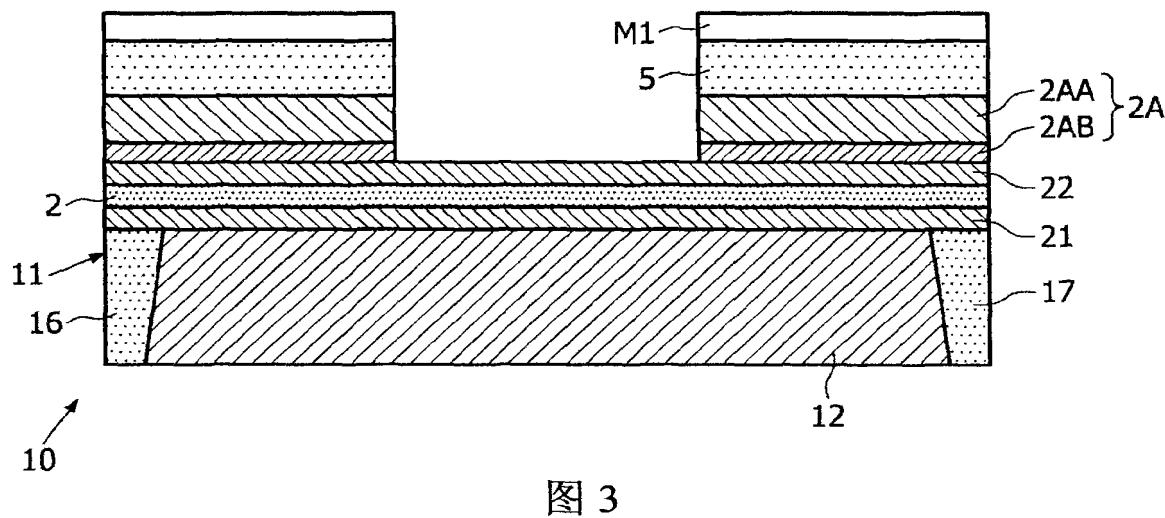
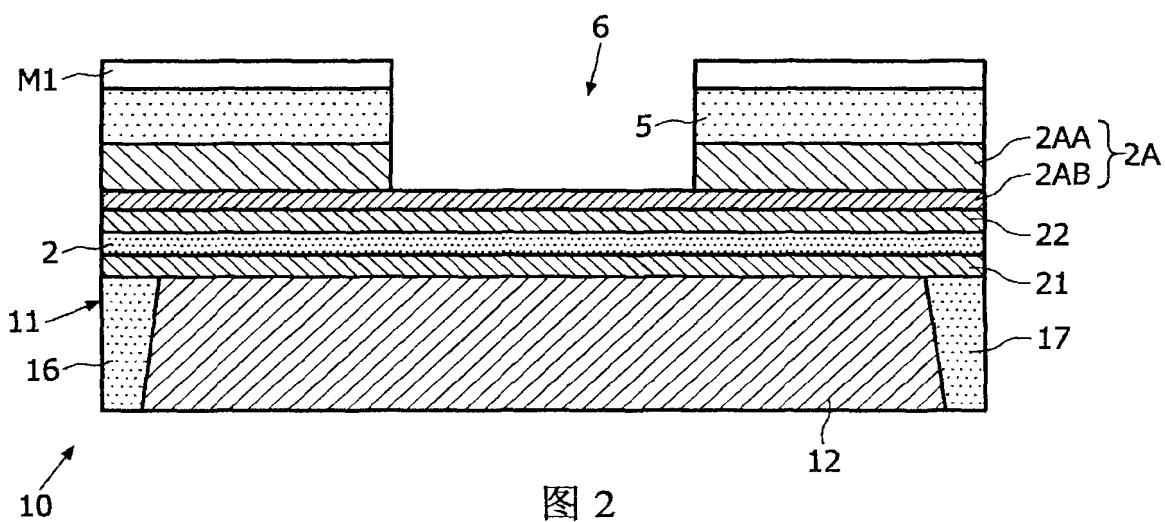
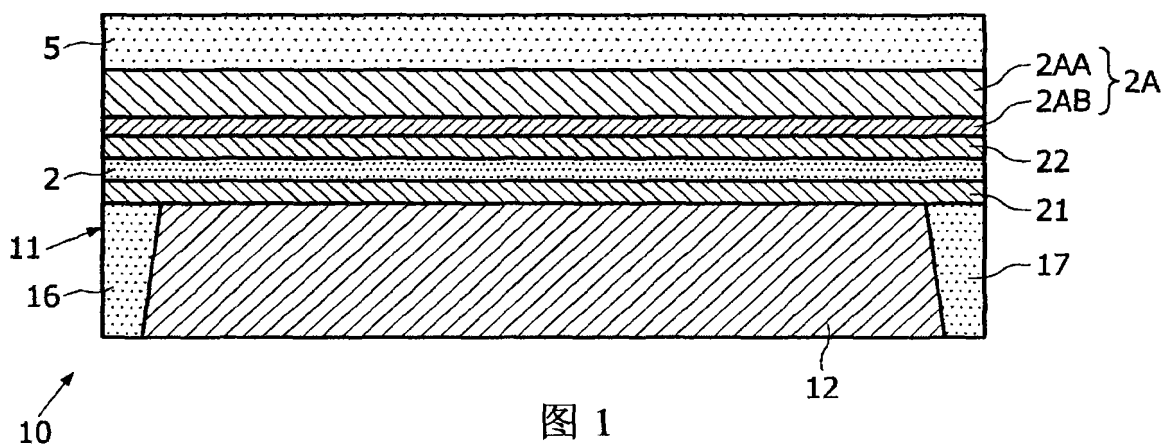
[0036] 在该例中(见图 9),通过使用在这种情况下为二氧化硅的电绝缘材料来填充腔,将所形成的腔转换成掩埋的电绝缘区域 26、27。特别地,如果腔不是很厚,可以通过低温热氧化填充该腔。如果需要,为了达到目的,可以在较早的制造阶段执行形成台面型部分 30 和腔 26A、27A 的步骤,以防止连接导体 100、200、300 遭到破坏。

[0037] 在执行诸如锯或者刻蚀的分离技术之后,可以获得按照本发明的单个器件 10。

[0038] 由于在本发明的范围内,对本领域技术人员而言,有很多可行的变型和修改,本发明不限于这里描述的实施例。从而,除了适用于分立半导体器件,本发明还非常适用于诸如(BI)CMOS((双极)互补型金属氧化物半导体)IC 之类的集成半导体器件。实际上,这里描述的晶体管的结构和制造工艺非常适用于 IC。

[0039] 而且,应当注意的是,除了使用 STI 隔离区域,还可以使用通过 LOCOS(硅局部氧化)技术获得的隔离区域。除了 SiGe,它还可以使用其他可选择地刻蚀的和在其上生长单晶硅的材料。这样材料的一个例子是 SiC。除此之外,硅还可以含有几乎不影响硅的晶格常数、但是有助于选择性刻蚀的杂质。从而,例如,n 型硅可以相对于 p 型硅被选择性地刻蚀掉,反之亦然。而且,非活性电掺杂剂可以在很大程度上影响硅的刻蚀性。

[0040] 关于按照本发明的方法,也可以有很多变型和修改。从而,还可以利用在硅区域上注入锗,形成 SiGe 层或 SiGe 区域。



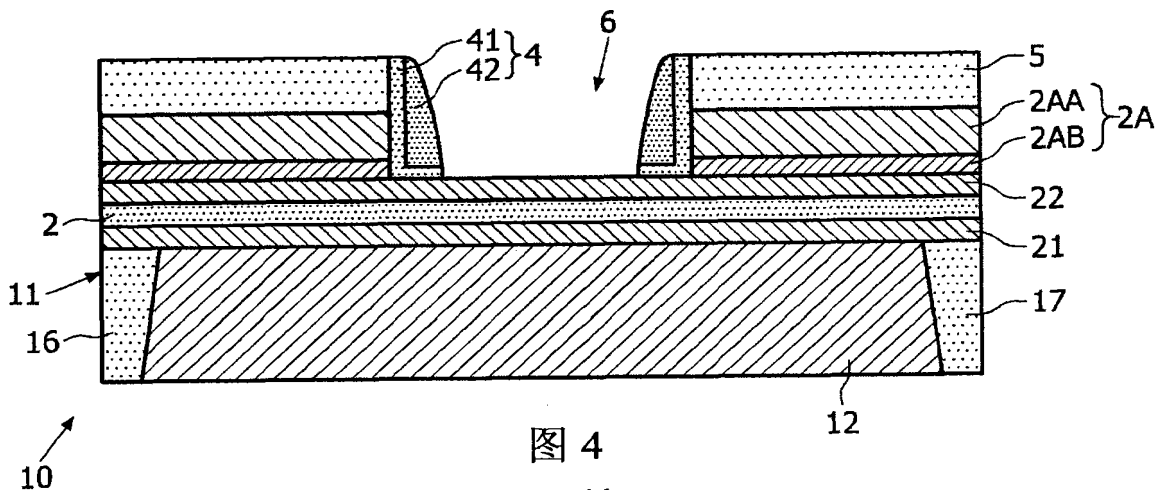


图 4

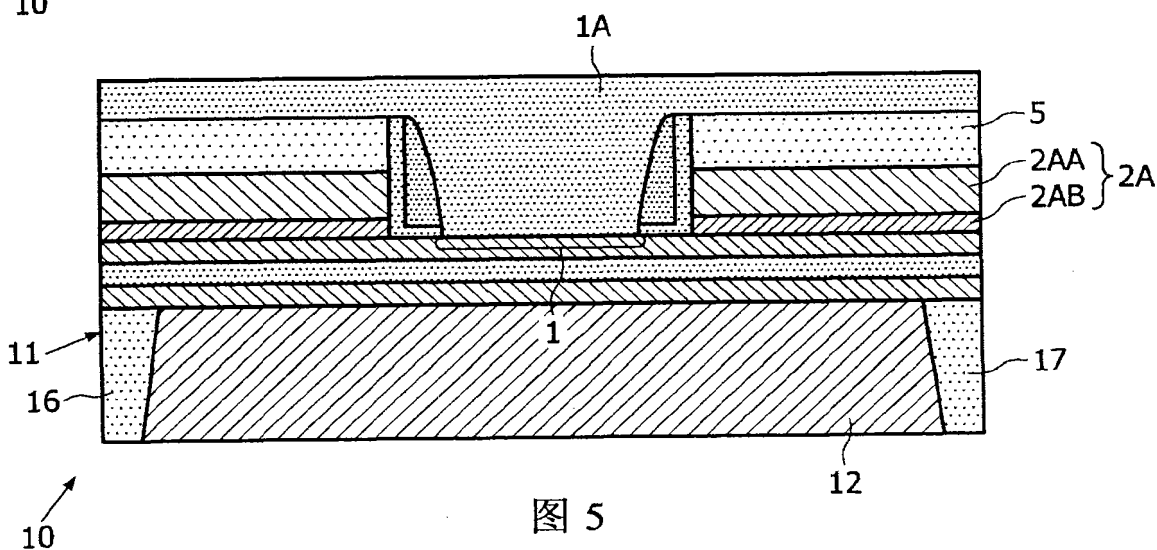


图 5

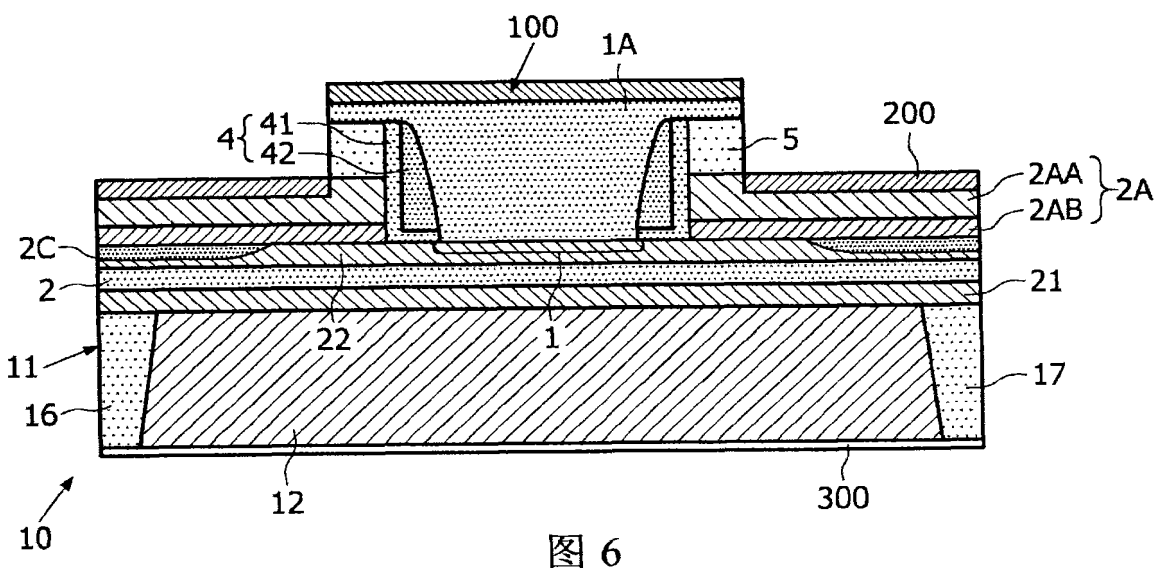


图 6

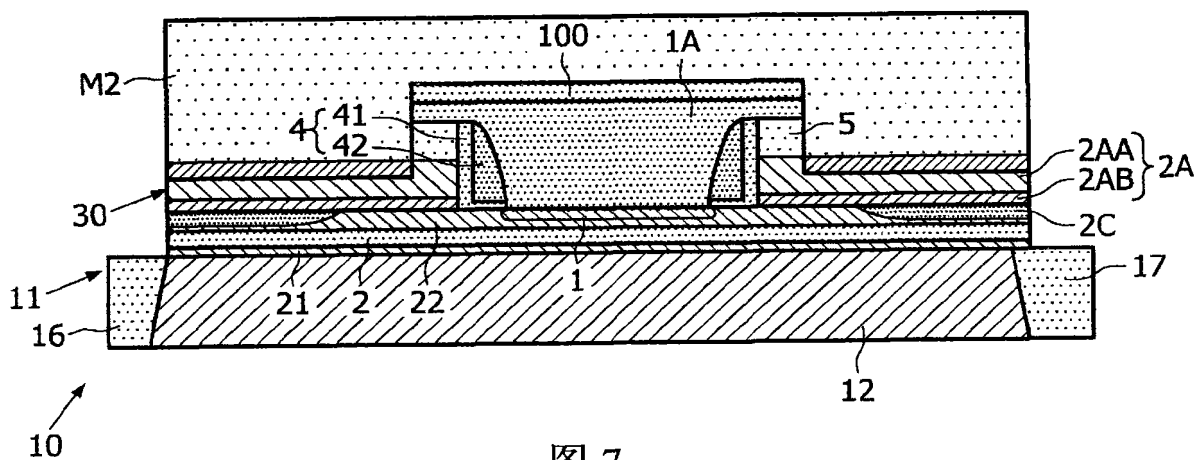


图 7

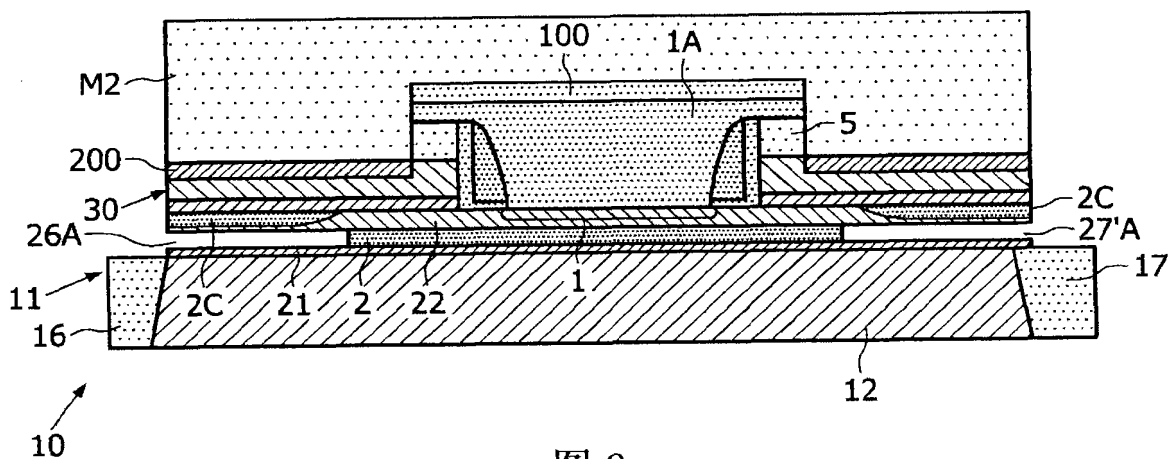


图 8

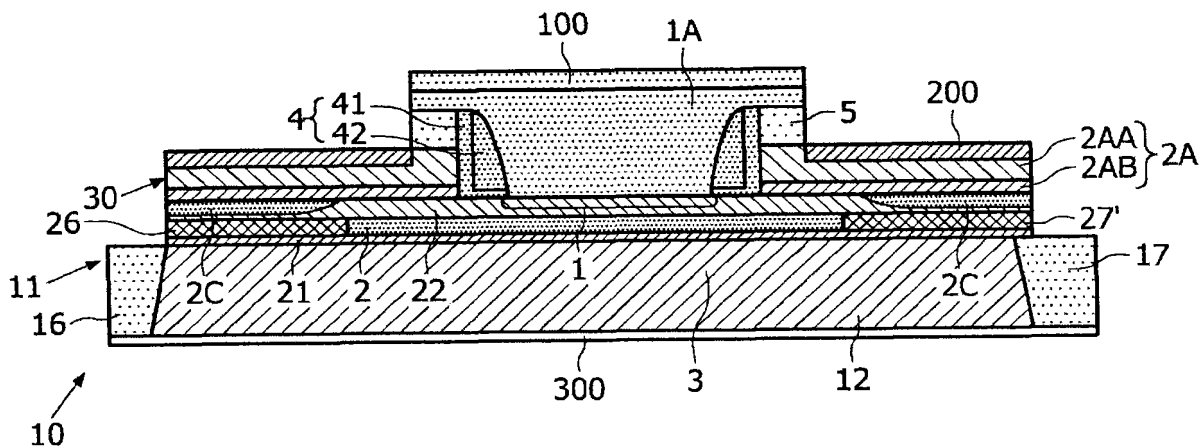


图 9