

⑭

DEMANDE DE BREVET D'INVENTION

A1

⑮ Date de dépôt : 14.05.91.

⑯ Priorité : 03.07.90 US 547997.

⑰ Date de la mise à disposition du public de la demande : 10.01.92 Bulletin 92/02.

⑱ Liste des documents cités dans le rapport de recherche : *Le rapport de recherche n'a pas été établi à la date de publication de la demande.*

⑲ Références à d'autres documents nationaux apparentés :

⑴ Demandeur(s) : Société dite: BURR-BROWN CORPORATION — US.

⑵ Inventeur(s) : Graeme Jerald G. et Millaway Steven D.

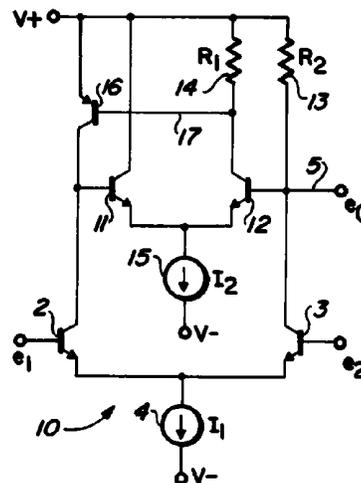
⑶ Titulaire(s) :

⑷ Mandataire : Rinuy Santarelli.

⑸ Circuit amplificateur différentiel à faible distorsion et procédé d'utilisation.

⑹ L'invention concerne les amplificateurs différentiels.
Un circuit conforme à l'invention comprend essentiellement un étage différentiel primaire formé par des premier et second transistors (2, 3), et un étage différentiel secondaire formé par des troisième et quatrième transistors (11, 12). Un cinquième transistor (16) est connecté entre un conducteur de tension d'alimentation et la base du troisième transistor, tandis que la base du cinquième transistor est connectée au collecteur du quatrième transistor. L'étage différentiel secondaire maintient ainsi à des tensions les collecteurs des premier et second transistors (2, 3), pour réduire la distorsion qui est due à des différences de tension entre la base et le collecteur des premier et second transistors.

Application aux amplificateurs différentiels à faible distorsion et à grande largeur de bande.



La présente invention concerne l'élimination de la distorsion de signal qui est occasionnée dans un amplificateur différentiel par des caractéristiques non linéaires des jonctions émetteur-base et des jonctions collecteur-base des transistors d'entrée de l'amplificateur différentiel.

5 La distorsion du signal dans un circuit amplificateur différentiel est occasionnée essentiellement par des caractéristiques non linéaires des transistors d'entrée, tels que les transistors d'entrée 2 et 3 sur la figure 1 (qui représente un étage de circuit amplificateur différentiel de type caractéristique). Une différence de tension d'entrée entre e_1 et e_2 pro-
10 duit une différence dans les tensions émetteur-base des transistors 2 et 3, ce qui fait apparaître des courants différents dans ces transistors. Du fait que la relation tension-courant des transistors 2 et 3 est exponentiel-
le au lieu d'être linéaire, les courants différents dans les transistors 2 et 3 sont une source importante de distorsion. En effet, les transistors 2 et
15 3 fonctionnent sur des parties notablement différentes de leurs courbes caractéristiques courant-tension non linéaires, identiques. Ceci produit une distorsion dans le fonctionnement par ailleurs linéaire de l'étage amplifi-
cateur différentiel 1. Si on peut augmenter suffisamment le gain de l'étage 1, on peut réduire le niveau de la tension d'entrée différentielle qui est
20 appliquée entre les bases des transistors 2 et 3, et les transistors 2 et 3 fonctionnent alors au voisinage du même point sur leurs courbes caracté-
ristiques tension-courant identiques respectives, et on peut réduire consi-
dérablement la distorsion.

La figure 1A représente la courbe de transfert 7 de l'étage amplifica-
25 teur différentiel 1 de la figure 1. Pour de petites excursions (c'est-à-dire 10-15 millivolts) de Δe_1 (on note que $\Delta e_1 = e_2 - e_1$) à partir de l'origine de la courbe de transfert 7, la courbe est très linéaire pour de petites ten-
sions d'entrée différentielles appliquées. Plus l'excursion est grande, plus la distorsion augmente. A titre d'exemple, une tension d'entrée différentiel-
30 le élevée de 30 millivolts produit une distorsion d'environ 2 % dans le signal de sortie e_0 , alors qu'il est généralement souhaitable que la distor-
sion soit maintenue dans la plage de 0,1 %, ce qu'on peut obtenir si la tension d'entrée différentielle $e_2 - e_1$ est inférieure à quelques millivolts.

De façon similaire, des excursions de tension collecteur-base des
35 transistors d'entrée 2 et 3 produisent une distorsion du fait que les cour-

bes courant-tension identiques des transistors 2 et 3 sont fortement non linéaires par rapport à la tension collecteur-émetteur. En outre, les capacités de jonction de collecteur des transistors 2 et 3 sont fortement non linéaires en fonction de la tension collecteur-base. La courbe 8 sur la figure 1B montre une courbe de courant de collecteur non linéaire d'un transistor tel que les transistors d'entrée 2 et 3. La courbe 8 caractérise "l'effet résistif" des transistors d'entrée 2 et 3. La pente de la caractéristique courant-tension collecteur-base de la figure 1B représente l'impédance de sortie du transistor. A des fréquences faibles, on évite des effets capacitifs, ce qui fait que la pente de la figure 1B représente réellement la partie résistive de l'impédance de sortie du transistor. Cette courbe fait apparaître une région linéaire dans laquelle des changements de tension ne produisent qu'un faible changement de courant, et ceci suggère un fonctionnement linéaire.

Cependant, l'impédance capacitive de la capacité de jonction collecteur-base s'ajoute à cette impédance de sortie résistive ou en basse fréquence. Cette capacité est en parallèle avec l'impédance de sortie résistive, et cette capacité modifie également le courant de collecteur. A des fréquences supérieures au domaine de basse fréquence de la figure 1B, l'impédance capacitive diminue avec la fréquence et devient l'élément déterminant de l'impédance de sortie du transistor. Cette capacité présente une sensibilité vis-à-vis de la tension qui est fortement non linéaire, ce qui introduit une non-linéarité dans la réponse.

La courbe 9 sur la figure 1C montre la relation entre la capacité de jonction collecteur-base et la tension collecteur-base pour les transistors 2 et 3. La comparaison des figures 1B et 1C montre que la non-linéarité de C_{CB} s'étend sur la plage de V_{CB} pour laquelle la courbe de la figure 1B est linéaire. Ainsi, à des fréquences autres que des fréquences basses, l'impédance de sortie de transistors bipolaires est une fonction fortement non linéaire de la tension collecteur-base. Du fait de cette impédance de sortie non linéaire, les courants de collecteur sur la figure 1 varient de façon non linéaire lorsque la tension collecteur-base varie, de façon à donner lieu à une tension de sortie. On obtient des résultats analogues avec des transistors autres que des transistors du type bipolaire qui est envisagé ici.

Pour éliminer la distorsion, il est souhaitable d'éliminer ou "d'équilibrer" les excursions de tension sur les jonctions émetteur-base et les jonctions collecteur-base des transistors d'entrée 2 et 3. Autrement dit, il est souhaitable de maintenir simultanément des tensions semblables sur des
5 jonctions semblables pendant le fonctionnement du circuit.

L'art antérieur le plus proche est probablement le brevet des E.U.A. n° 4 897 611. Dans ce document, on tente d'éliminer la source de distorsion de signal non linéaire, au lieu de la compenser. Cette façon de procéder diffère cependant nettement, de deux manières, de la façon de procéder de la présente invention. Dans ce document, on utilise une réaction
10 positive pour créer un signal qui supprimera le signal d'erreur de gain d'un étage d'amplificateur différentiel. Le premier étage différentiel fonctionne en convertisseur tension-courant. Les courants différentiels résultants sont transmis par l'intermédiaire de dispositifs de type cascade à
15 des transistors à effet de champ d'entrée du second étage, dans lequel une réaction positive est établie par Q_{24} , dans le second étage différentiel (qui est emboîté à l'intérieur du premier). L'étage différentiel emboîté a une configuration qui vise à contrôler toute différence de tension entre le drain de Q_{13} et le drain de Q_{11} . Le courant dans le drain de Q_{24} est
20 dirigé vers le côté opposé de l'étage différentiel emboîté. Q_{23} et Q_{24} reçoivent le même signal d'entrée, mais conduisent des courants vers des côtés opposés de l'étage différentiel, le drain de Q_{24} procurant ainsi une réaction positive. Ceci fait que le côté droit de l'étage différentiel emboîté suit le côté gauche. La tension sur le drain de Q_{13} suit la tension
25 sur le drain de Q_{11} , ce qui fait que des changements de tension quelconques occasionnés par les capacités de jonction de Q_{11} seront suivis par des changements de la capacité de jonction de Q_{13} .

Le but indiqué du brevet n° 4 897 611 est de réaliser un étage différentiel ayant un gain en tension notablement amélioré. Un tel gain est
30 également obtenu au cours du fonctionnement décrit ci-dessus. Il est obtenu en forçant la sortie différentielle de l'étage à une tension voisine de zéro, sans réduire la tension de sortie dissymétrique. La réaction positive force les tensions de drain de Q_{11} et Q_{13} à se suivre, et cette action réduit presque à zéro la tension de sortie différentielle de l'étage. Néanmoins, la tension de sortie dissymétrique de l'étage reste disponible pour
35

être utilisée à titre de signal de sortie final du circuit. Avec une tension de sortie différentielle proche de zéro, la tension d'entrée différentielle qui est nécessaire pour l'étage est très faible. En conservant la sortie dissymétrique, on obtient un gain élevé entre le faible signal d'entrée différentiel et la tension de sortie dissymétrique. Ce gain élevé est théoriquement égal au produit des gains des deux étages différentiels. Cependant, une réaction positive est susceptible de donner lieu à des oscillations et à un verrouillage du circuit. Pour utiliser une réaction positive en toute sécurité, il est nécessaire de rester considérablement en retrait par rapport à des limites théoriques de conception. Même lorsqu'il ne se produit pas d'oscillation et de verrouillage, les réponses des signaux ont tendance à être caractérisées par des oscillations amorties avant que les niveaux de signal de sortie ne se stabilisent. Cette technique réduit effectivement la distorsion qui est associée aux capacités de jonction de Q_{13} , Q_{11} , Q_{20} et Q_{17} , qui sont de grands dispositifs de sortie sujets à de grandes excursions de signal et qui sont la cause essentielle de distorsion.

Un but de l'invention est donc de procurer un étage amplificateur différentiel qui réduise effectivement la distorsion qui est due à des variations de tension émetteur-base et des variations de tension collecteur-base sur des transistors d'entrée de l'étage amplificateur différentiel, d'une manière plus efficace que dans l'art antérieur.

Un autre but de l'invention est de procurer un étage amplificateur différentiel ayant une plus faible distorsion et une plus grande largeur de bande que dans l'art antérieur le plus proche.

Un autre but de l'invention est de procurer un étage amplificateur différentiel ayant un gain en tension plus élevé que dans l'art antérieur le plus proche.

En résumé, et conformément à un mode de réalisation, l'invention procure un circuit amplificateur différentiel à faible distorsion, comprenant un étage de circuit différentiel primaire, avec des premier et second transistors ayant chacun des première et seconde électrodes d'acheminement de courant et une électrode de commande, et une première source de courant connectée aux premières électrodes d'acheminement de courant des premier et second transistors. Un premier dispositif de charge est connecté

à la seconde électrode d'acheminement de courant du second transistor. Un étage de circuit différentiel secondaire comprend des troisième et quatrième transistors ayant chacun des première et seconde électrodes d'acheminement de courant et une électrode de commande. Une seconde source
5 de courant est connectée aux premières électrodes d'acheminement de courant des troisième et quatrième transistors. Les électrodes de base des troisième et quatrième transistors sont connectées aux secondes électrodes d'acheminement de courant, respectivement des premier et second transistors. Un second dispositif de charge est connecté à la seconde électrode
10 d'acheminement de courant du quatrième transistor. Un cinquième transistor comporte des première et seconde électrodes d'acheminement de courant qui sont respectivement connectées à un conducteur de tension d'alimentation et à l'électrode de commande du troisième transistor. Une électrode de commande du cinquième transistor est connectée à la seconde
15 électrode d'acheminement de courant du quatrième transistor, grâce à quoi l'étage de circuit différentiel secondaire maintient les secondes électrodes d'acheminement de courant des premier et second transistors à des tensions égales, pour réduire la distorsion qui est due à des différences dans les tensions entre l'électrode de commande et la seconde électrode
20 d'acheminement de courant des premier et second transistors. Le cinquième transistor produit un gain qui multiplie les gains combinés des étages de circuit primaire et secondaire, pour réduire une tension d'entrée différentielle qui est nécessaire entre les électrodes de commande des premier et second transistors, pour produire une tension de sortie prédéterminée sur
25 l'électrode d'acheminement de courant du second transistor. Dans un autre mode de réalisation qui est décrit, le premier dispositif de charge comprend un sixième transistor ayant une base connectée à une base du cinquième transistor, et un collecteur connecté à un collecteur du second transistor. Une résistance est connectée entre un conducteur de tension
30 d'alimentation et les émetteurs des cinquième et sixième transistors, afin d'augmenter le gain de l'amplificateur différentiel. Des première et seconde résistances de contre-réaction d'émetteur connectent la seconde source de courant à des émetteurs respectivement des troisième et quatrième transistors, pour diminuer le gain et pour augmenter de façon correspondante
35 la largeur de bande du circuit amplificateur différentiel à faible distorsion.

D'autres caractéristiques et avantages de l'invention seront mieux compris à la lecture de la description qui va suivre de modes de réalisation, donnés à titre d'exemples non limitatifs. La suite de la description se réfère aux dessins annexés dans lesquels :

5 la figure 1 est un schéma d'un amplificateur différentiel de l'art antérieur ;

les figures 1A-1C sont des graphiques utiles à la description de caractéristiques des transistors d'entrée d'un étage de circuit amplificateur différentiel ;

10 la figure 2 est un schéma de circuit d'un mode de réalisation de l'invention ;

la figure 3 est un schéma de circuit d'un autre mode de réalisation de l'invention ;

15 la figure 4 est un schéma de circuit d'un autre mode de réalisation de l'invention ;

la figure 5 est un schéma de circuit d'un autre mode de réalisation de l'invention ;

la figure 6 est un schéma de circuit d'un autre mode de réalisation de l'invention ;

20 la figure 7 est un schéma de circuit d'un autre mode de réalisation de l'invention.

La technique générale de la présente invention consiste à produire un gain très élevé dans un étage amplificateur différentiel de façon que de faibles tensions d'entrée différentielles puissent produire un niveau de
25 tension de sortie désiré, ce qui conduit à faire fonctionner les transistors d'entrée, tels que les transistors 2 et 3 de la figure 1, dans des parties linéaires, presque identiques, de leurs courbes caractéristiques courant-tension. On utilise en outre une technique de réaction différentielle pour forcer les tensions de collecteur des deux transistors d'entrée à être
30 identiques, dans le but d'éliminer des effets de la non-linéarité décrite ci-dessus, qui est associée aux jonctions collecteur-base de transistors d'entrée tels que les transistors 2 et 3 de la figure 1.

La figure 2 montre un mode de réalisation fondamental de la présente invention. Ce mode de réalisation consiste en un amplificateur différentiel
35 10 comprenant deux transistors d'entrée NPN 2 et 3, dont les émet-

teurs sont connectés en commun à une source de courant 4. Des signaux d'entrée e_1 et e_2 sont appliqués respectivement aux bases des transistors 2 et 3. Le collecteur du transistor 2 est connecté à la base du transistor NPN 11 et au collecteur du transistor PNP 16. Le collecteur du transistor 3 est connecté par le conducteur de sortie 5, sur lequel apparaît un signal de sortie e_o , à la base du transistor NPN 12 et à une borne de la résistance 13 (dont la valeur est égale à R_2). Les émetteurs des transistors 11 et 12 sont connectés en commun à une source de courant 15. Le collecteur du transistor 11 est connecté à $V+$. Le collecteur du transistor 12 est connecté par le conducteur 17 à la base du transistor 16 et à une borne de la résistance 14 (dont la valeur est égale à R_1). L'émetteur du transistor 16 est connecté à $V+$. Des bornes des résistances 14 et 13 sont connectées à $V+$. L'étage différentiel qui comprend les transistors 2 et 3 est appelé "étage différentiel primaire 2,3", et l'étage qui comprend les transistors 11 et 12 est appelé "étage différentiel secondaire 11,12".

L'amplificateur différentiel 10 décrit ci-dessus réduit la distorsion en éliminant pratiquement des signaux différentiels sur les jonctions des transistors 2 et 3. L'étage différentiel secondaire 11, 12 "emboîté" dans l'étage différentiel primaire 2,3, est connecté de façon à commander la tension de collecteur du transistor 2 avec une réaction négative à gain élevé. Cette réaction force la tension de collecteur du transistor 2 à suivre de façon précise la tension de collecteur du transistor 3, du fait que le fonctionnement de l'étage différentiel secondaire 11, 12 tend à maintenir à des valeurs égales les tensions d'entrée qui sont appliquées aux bases des transistors 11 et 12. Par conséquent, les collecteurs des transistors 2 et 3 ont des pertes de courant adaptées à leurs impédances non linéaires. Autrement dit, en l'absence de différence entre ces pertes, aucun courant de différence n'est créé entre les courants de collecteur des transistors 2 et 3. Un tel courant de différence exigerait une tension de différence entre les entrées de l'étage différentiel primaire. Lorsqu'un tel courant de différence résulte d'impédances non linéaires, la tension d'entrée résultante est également non linéaire et représente un signal de distorsion. En équilibrant les pertes des circuits de collecteurs vis-à-vis d'impédances non linéaires, il n'apparaît aucun courant de différence. De telles per-

tes de courant sont maintenant d'une nature de mode commun, au lieu d'une nature différentielle, et de ce fait elles sont éliminées par la réjection de mode commun de l'étage différentiel primaire 2,3. La distorsion qui est due à des différences entre les signaux de tension collecteur-base des transistors 2 et 3 est ainsi éliminée par une telle réjection de mode commun.

La distorsion qui est due à des changements de la tension émetteur-base est éliminée à cause du gain de circuit fortement augmenté de la configuration qui est représentée sur la figure 2. Le gain total de l'amplificateur différentiel 10 est si élevé qu'une très faible tension d'entrée différentielle $e_2 - e_1$ est nécessaire pour produire la valeur désirée maximale de la tension e_o . Par conséquent, les transistors 2 et 3 ont des courants virtuellement identiques, et ils fonctionnent donc presque au même point sur leurs courbes caractéristiques courant-tension identiques ; le fonctionnement est très proche de l'origine sur la courbe de transfert de la figure 1A, à l'endroit où la courbe 7 est très linéaire. Cette distorsion due aux tensions de signal émetteur-base est éliminée à cause du gain de circuit fortement accru.

La présente invention produit en outre un gain de circuit qui est notablement supérieur au gain théorique du circuit antérieur de la figure 1. Le gain en tension de l'amplificateur différentiel 10 de la figure 2 est le produit des gains des deux étages différentiels, multiplié par le gain du transistor à émetteur commun 16. Outre le fait qu'il remplit la fonction d'une charge pour le transistor 2, le transistor 16 est attaqué par le second étage différentiel et il ajoute un gain à la commande par réaction. Ce gain est égal à $g_{m16} (R_{o2} \parallel R_{o16})$ en désignant par R_{o2} et R_{o16} les résistances de sortie du transistor 2 et du transistor 16. (Le symbole " \parallel " signifie "en parallèle avec".) Pour les étages différentiels, les gains en tension sont $(g_{m2} \parallel g_{m3})R_2$ et $(g_{m11} \parallel g_{m12})R_1$. Le gain en tension résultant pour la figure 2 est donc :

$$A = (g_{m2} \parallel g_{m3}) (g_{m11} \parallel g_{m12}) g_{m16} R_1 R_2 (R_{o2} \parallel R_{o16})$$

Avec trois étages de gain, au lieu de deux, le gain du circuit de la figure 2 est considérablement supérieur à celui du circuit antérieur du brevet

des E.U.A. n° 4 897 611.

La figure 3 montre un autre mode de réalisation 10A, dans lequel la résistance de charge 13 du transistor 3 est remplacée par un transistor PNP 13A. L'impédance de sortie non linéaire du transistor 13A équilibre
5 l'effet de l'impédance de sortie non linéaire du transistor 16. Plus précisément, l'impédance de sortie non linéaire du transistor 13A produit ses propres effets de distorsion qui s'opposent aux effets de distorsion de l'impédance de sortie non linéaire identique du transistor 16. Selon une variante, la base du transistor 16 peut être polarisée à partir d'une source
10 de tension fixe, mais la connexion qui est représentée est simple et elle ajoute un gain en tension supplémentaire, qui résulte de la réaction positive qui est appliquée à la base du transistor 12 par l'intermédiaire du transistor 13A. Le circuit de la figure 3 produit une faible valeur de réaction positive qui est créée dans la boucle contenant les transistors 12
15 et 13A, bien que la valeur de gain qui est ainsi obtenue soit minime en comparaison avec la valeur de réaction négative entre e_0 et e_1 . A titre d'exemple, la composante de réaction négative du circuit peut produire une augmentation de gain de 68 décibels, à laquelle s'ajoute un supplément de 12 décibels d'augmentation de gain, résultant de la réaction positive du
20 circuit. Normalement, on évite une réaction positive, mais dans ce cas le gain supplémentaire résultant est faible (inférieur d'un facteur d'environ 400) en comparaison avec le gain qui est déjà produit par la réaction négative. La réaction négative dominante globale conduit à un fonctionnement du circuit ayant un bien meilleur comportement.

25 La figure 4 représente un autre mode de réalisation de l'invention dans lequel la résistance 21 est connectée entre les émetteurs des transistors 16 et 13A et V_+ , et la résistance 14 est connectée directement à V_+ . Ce mode de réalisation procure un gain de circuit accru, du fait que les transistors 13A et 16 sont attaqués au niveau de leurs émetteurs par le
30 transistor 11 fonctionnant dans un mode de base commune. Plus précisément, ce circuit tire parti du gain qui est disponible sur le collecteur du transistor 11, pour augmenter le gain global du circuit, tandis que dans les modes de réalisation précédents, le collecteur du transistor 11 est simplement connecté à V_+ . Sur la figure 4, les émetteurs des transistors 13A et
35 16 sont attaqués par le collecteur du transistor 11, de façon que le gain

disponible soit utilisé, au lieu d'être perdu. Ceci augmente le gain du circuit et, en outre, en attaquant les émetteurs des transistors 13A et 16, au lieu de leurs bases, on obtient une largeur de bande notablement plus élevée, à cause du fonctionnement en base commune des transistors 13 A et 16. Le collecteur du transistor 12 attaque les bases des transistors 13A et 16 et il les attaque dans un mode d'émetteur commun, avec une plus faible largeur de bande. Selon une variante, on pourrait connecter le collecteur du transistor 12 à V_+ , et on pourrait attaquer les transistors 13A et 16 seulement sur leurs émetteurs, par le collecteur du transistor 11, tandis que les bases des transistors 13A et 16 pourraient être connectées à une tension de polarisation fixe. Ce mode de réalisation conduit également à une plus grande largeur de bande, à cause de la configuration en émetteur commun des transistors 13A et 16.

Le mode de réalisation 10C de l'invention, qui est représenté sur la figure 5, procure une encore plus grande largeur de bande que le circuit de la figure 4, par l'ajout de résistances de contre-réaction d'émetteur 22 et 23, respectivement en série avec les émetteurs des transistors 11 et 12. A des fréquences basses, les résistances 22 et 23 réduisent le gain de l'étage différentiel secondaire 11, 12, ce qui procure une plus grande largeur de bande. A des fréquences plus élevées, le condensateur 24 établit une dérivation vis-à-vis des résistances 22 et 23, pour augmenter le gain, ce qui produit un "zéro de la réponse", que l'on peut utiliser pour annuler le second pôle de l'étage amplificateur différentiel 10C. (Il faut noter que le gain d'un étage différentiel est approximativement égal au quotient de l'impédance des circuits de collecteurs par l'impédance des circuits d'émetteurs, ou $a=Z_C/Z_E$, en désignant par A le gain de l'étage différentiel, par Z_C l'impédance du circuit de collecteurs, et par Z_E l'impédance du circuit d'émetteurs. Sur la figure 5, l'étage secondaire a une résistance de circuit d'émetteurs Z_E égale à R_3+R_4 , et ceci fixe l'impédance du circuit d'émetteurs en basse fréquence. Par conséquent, en basse fréquence, le gain est $A=Z_C/(R_3+R_4)$. A une certaine fréquence plus élevée, le condensateur 24 forme un pôle avec la résistance (R_3+R_4) , ce qui provoque une décroissance de l'impédance d'émetteurs. Par conséquent, le dénominateur de l'expression du gain diminue avec la fréquence. Ceci signifie que le gain A augmente avec la fréquence avec un taux égal au taux de diminution

du dénominateur. Le gain croissant est le signe d'un zéro dans la réponse de gain. Ainsi, un pôle pour l'impédance du circuit d'émetteurs est un zéro pour le gain de l'étage .)

Le mode de réalisation 10D qui est représenté sur la figure 6 utilise un amplificateur différentiel "cascode replié", dans lequel les bases des transistors 2 et 3 sont connectées à une tension de polarisation fixe 25. Un amplificateur différentiel comprend des transistors PNP 26 et 27, une source de courant 28 et des résistances de charge 31 et 32. Des signaux d'entrée e_1 et e_2 sont respectivement appliqués aux bases des transistors 26 et 27. Des courants de signal de sortie "intermédiaires" dans les conducteurs 33 et 34 sont directement conduits vers les émetteurs des transistors respectifs 2 et 3, sous l'effet du signal de différence $e_2 - e_1$. Les transistors 2 et 3 fonctionnent en transistors cascodes polarisés par la source de tension 25. Une très faible impédance d'émetteur des transistors 2 et 3 est présentée aux collecteurs des transistors 26 et 27, et elle conduit à de très faibles variations de signal des émetteurs des transistors 2 et 3. La connexion de base commune des transistors 2 et 3 conduit à une largeur de bande très élevée. Le circuit 10D de la figure 6 est capable de produire un gain de 100 dB à une fréquence de 10 MHz, en utilisant le processus de fabrication de circuits intégrés analogiques monolithiques le plus économique qu'utilise la demanderesse. On considère que de telles performances sont remarquables.

Le mode de réalisation 10E de la figure 7 fonctionne également de la même manière que le mode de réalisation 10B de la figure 6. Les figures 6 et 7 ont des conditions de polarisation et des conditions de signal analogues. Pour les conditions de polarisation, la figure 7 est identique à la figure 6, à l'exception du fait que des points de polarisation fixe et d'attaque de correction de distorsion sont permutés. Sur la figure 6, la tension de polarisation V_B produit des tensions relativement fixes sur la résistance 31 (R_5) et sur la résistance 32 (R_6). Les courants résultants dans les résistances sont respectivement fournis par les transistors 2 et 26 et les transistors 3 et 27. Les courants de polarisation dans les transistors 26 et 27 sont fixés par la source de courant 28. Des courants doivent donc être fournis par l'intermédiaire des transistors 2 et 3 pour compenser la différence entre les courants de R_5 et R_6 . Les courants résultants

tants qui sont absorbés par l'intermédiaire de ces transistors stimulent les transistors 11 et 12, ce qui fait que l'étage secondaire attaque de façon appropriée les transistors 13A et 16. Ensuite, ces derniers transistors fournissent les courants que demandent les transistors 2 et 3.

5 Sur la figure 7, les commandes de polarisation fixe et attaquée par un signal sont inversées. Les sources de courant 37 et 39 deviennent la source de polarisation fixe pour le côté cascode de l'étage. Ces sources de courant stimulent les transistors 11 et 12, ce qui fait que l'étage secondaire attaque les transistors cascades 2 et 3. Dans ces conditions, ces
10 derniers transistors acceptent les courants qui sont fournis par les sources de courant 37 et 39, et ils fournissent ces courants à R_5 et R_6 . Ces résistances reçoivent également des courants provenant des transistors 26 et 27, d'une manière identique à celle décrite pour la figure 6.

Dans des conditions de signal, le gain qui est ajouté par l'étage secondaire réduit à nouveau fortement le signal d'entrée de l'étage primaire. Ceci a pour effet de réduire fortement la différence entre les courants dans les transistors 26 et 27. Pour la figure 6, les courants de signal des transistors 26 et 27 sont appliqués par l'intermédiaire des transistors 2 et 3 pour attaquer les bases des transistors 11 et 12. Toute différence entre
20 ces courants de signal doit être absorbée par les bases des transistors 11 et 12, du fait que les transistors 13A et 16 fournissent des courants égaux à ces mêmes bases. Les transistors 13A et 16 ne demandent qu'une très faible différence de courant de base pour produire la tension de sortie e_o . Ainsi, un très faible signal e_1-e_2 est nécessaire pour produire la dif-
25 férence de courant de base pour les transistors 11 et 12 et pour permettre l'existence de la tension e_o .

Une action de signal similaire a lieu dans le cas de la figure 7. Ici encore, les courants qui proviennent des transistors 26 et 27 traversent les transistors 2 et 3, par lesquels ces courants attaquent les bases des
30 transistors 11 et 12. Toute différence entre ces courants doit être absorbée par les bases des transistors 11 et 12, du fait que les sources de courant 37 et 39 fournissent des courants égaux à ces mêmes bases. Ici encore, les transistors 11 et 12 n'exigent qu'une faible différence de courant de base pour produire e_o .

35 Contrairement au circuit de la figure 6, dans lequel une polarisation

fixe est appliquée aux bases des transistors 2 et 3, sur la figure 7 une polarisation fixe est appliquée au collecteur des transistors 2 et 3, par l'intermédiaire des sources de courant respectives 37 et 39. Au lieu d'attaquer des charges des transistors 2 et 3, on attaque les bases et les

5 émetteurs des transistors 2 et 3. Ceci constitue une autre configuration de laquelle on peut attendre des performances similaires à celles du circuit de la figure 6. Un avantage de conception de circuit pourrait consister en ce que les sources de courant I_2 , I_3 et I_4 pourraient suivre la source de courant I_1 . De plus, la figure 7 permet d'inverser le type de conductivité

10 des transistors 11 et 12, de façon à tirer parti de caractéristiques de transistors différents.

L'étage différentiel qui est formé par les transistors 2 et 3 force au même potentiel les collecteurs des transistors 2 et 3. Ceci serait également vrai pour les transistors utilisés pour former les sources de courant

15 I_3 et I_4 . L'impédance non linéaire de ces dispositifs aurait des effets d'équilibrage dans le circuit, par le fait que l'attaque différentielle force au même potentiel les collecteurs des transistors 2 et 3. Ceci est effectué dans des conditions dans lesquelles le collecteur du transistor 12 attaque la base des transistors 2 et 3 et le collecteur du transistor 11 attaque le

20 retour d'émetteur pour les transistors 2 et 3.

L'invention se distingue par rapport à ce qui est exposé dans le brevet des E.U.A. n° 4 897 611, par le fait qu'elle procure un gain de circuit égal au produit des gains des deux étages différentiels emboîtés, multiplié par le gain d'un autre transistor, ce qui procure effectivement

25 trois étages de gain dans un seul étage différentiel. Par conséquent, la présente invention procure un gain notablement plus élevé et une réduction associée notablement plus élevée de la distorsion qui est produite par des tensions de jonction émetteur-base différentes des transistors d'entrée, en comparaison avec ce qu'on peut obtenir dans l'art antérieur le plus

30 proche. En outre, la présente invention se distingue par rapport à ce qui est exposé dans le brevet n° 4 897 611, par le fait qu'elle assure la commande du circuit essentiellement par la commande d'une réaction négative au lieu d'une réaction positive. Certains modes de réalisation de l'invention établissent une réaction qui comprend une composante de réaction po-

35 sitive relativement faible et qui se "comporte bien", et ne nécessite pas

de respecter une marge de sécurité importante par rapport aux limites théoriques des paramètres.

Il va de soi que de nombreuses modifications peuvent être apportées au dispositif décrit et représenté, sans sortir du cadre de l'invention.

REVENDICATIONS

1. Circuit amplificateur différentiel à faible distorsion, caractérisé en ce qu'il comprend, en combinaison : (a) des premier (2) et second (3) transistors d'un étage de circuit différentiel primaire, et des moyens pour appliquer un signal d'entrée différentiel entre des électrodes de commande des premier et second transistors ; (b) des moyens (11, 12) pour appliquer un signal de sortie différentiel qui est produit par l'étage de circuit différentiel primaire, entre des électrodes de commande d'un troisième et d'un quatrième transistors d'un étage de circuit différentiel secondaire ; et (c) des moyens pour appliquer un signal de sortie, produit par l'étage de circuit différentiel secondaire, à une électrode de commande d'un cinquième transistor (16) ayant une première électrode d'acheminement de courant qui est connectée à un conducteur de tension d'alimentation, et une seconde électrode d'acheminement de courant qui est connectée aux électrodes de commande de l'un des troisième et quatrième transistors, pour maintenir des tensions pratiquement égales sur les secondes électrodes d'acheminement de courant des premier et second transistors.

2. Circuit amplificateur différentiel à faible distorsion, caractérisé en ce qu'il comprend, en combinaison : (a) un étage de circuit différentiel primaire comprenant des premier (2) et second (3) transistors, ayant chacun des première et seconde électrodes d'acheminement de courant et une électrode de commande, une première source de courant (4) connectée aux premières électrodes d'acheminement de courant des premier et second transistors, et un premier dispositif de charge (13) connecté à la seconde électrode d'acheminement de courant du second transistor ; (b) un étage de circuit différentiel secondaire, comprenant des troisième (11) et quatrième (12) transistors, ayant chacun des première et seconde électrodes d'acheminement de courant et une électrode de commande, une seconde source de courant (15) connectée aux premières électrodes d'acheminement de courant des troisième et quatrième transistors, et des moyens pour connecter les électrodes de base des troisième et quatrième transistors aux secondes électrodes d'acheminement de courant respectivement des premier et second transistors, et un second dispositif de charge (14) connecté à

la seconde électrode d'acheminement de courant du quatrième transistor ;
(c) un cinquième transistor (16) ayant des première et seconde électrodes
d'acheminement de courant connectées respectivement à un conducteur de
tension d'alimentation et à l'électrode de commande du troisième transis-
5 tor (11), et une électrode de commande connectée à la seconde électrode
d'acheminement de courant du quatrième transistor (12), grâce à quoi
l'étage de circuit différentiel secondaire maintient les secondes électro-
des d'acheminement de courant des premier et second transistors à des
tensions pratiquement égales, pour réduire la distorsion qui est due à des
10 différences de tension entre l'électrode de commande et la seconde élec-
trode d'acheminement de courant des premier et second transistors, et
grâce à quoi le cinquième transistor produit un gain qui multiplie les gains
combinés des étages de circuit différentiel primaire et secondaire, pour
réduire une tension d'entrée différentielle qui est exigée entre les élec-
15 trodes de commande des premier et second transistors, pour produire une
tension de sortie prédéterminée sur l'électrode d'acheminement de courant
du second transistor.

3. Circuit amplificateur différentiel à faible distorsion selon la
revendication 2, caractérisé en ce que les premier, second, troisième, qua-
20 trième et cinquième transistors (2, 3, 11, 12, 16) sont des transistors bi-
polaires.

4. Circuit amplificateur différentiel à faible distorsion selon la
revendication 3, caractérisé en ce que les premier, second, troisième et
quatrième transistors (2, 3, 11, 12) sont des transistors NPN et le cin-
25 quième transistor (16) est un transistor PNP, les premières électrodes
d'acheminement de courant sont des émetteurs, les secondes électrodes
d'acheminement de courant sont des collecteurs et les électrodes de com-
mande sont des bases.

5. Circuit amplificateur différentiel à faible distorsion selon la
30 revendication 4, caractérisé en ce que le premier dispositif de charge com-
prend un sixième transistor (13A), qui est un transistor ayant une base
connectée à la base du cinquième transistor (16), et un collecteur connecté
au collecteur du second transistor (3).

6. Circuit amplificateur différentiel à faible distorsion selon la
35 revendication 5, caractérisé en ce qu'il comprend des première et seconde

résistances de contre-réaction d'émetteur (22, 23) connectant la seconde source de courant respectivement aux émetteurs des troisième et quatrième transistors (11, 12), pour diminuer le gain et augmenter de façon correspondante la largeur de bande du circuit amplificateur différentiel à faible distorsion.

7. Circuit amplificateur différentiel à faible distorsion selon la revendication 6, caractérisé en ce qu'il comprend un condensateur de découplage en haute fréquence (24) qui est connecté entre les émetteurs des troisième et quatrième transistors (11, 12) pour remplir la fonction consistant à établir une dérivation vis-à-vis des première et seconde résistances de contre-réaction d'émetteur (22, 23) à des fréquences élevées, pour produire un zéro à une fréquence prédéterminée de la réponse en fréquence du circuit amplificateur différentiel à faible distorsion.

8. Procédé pour faire fonctionner un circuit amplificateur différentiel de façon à obtenir une faible distorsion, caractérisé en ce qu'il comprend les étapes suivantes : (a) on applique un signal d'entrée différentiel entre des électrodes de commande d'un premier et d'un second transistors (2, 3) d'un étage de circuit différentiel primaire ; (b) on applique un signal de sortie différentiel qui est produit par l'étage de circuit différentiel primaire, entre des électrodes de commande d'un troisième et d'un quatrième transistors (11, 12) d'un étage de circuit différentiel secondaire ; (c) on applique un signal de sortie qui est produit par l'étage de circuit différentiel secondaire à une électrode de commande d'un cinquième transistor (16) ayant une première électrode d'acheminement de courant qui est connectée à un conducteur de tension d'alimentation, et une seconde électrode d'acheminement de courant qui est connectée aux électrodes de commande de l'un des troisième et quatrième transistors, pour maintenir des tensions pratiquement égales sur les secondes électrodes d'acheminement de courant des premier et second transistors (2, 3).

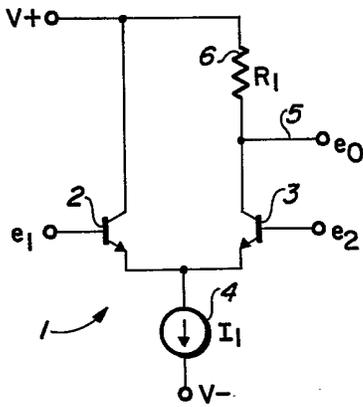


FIG. 1

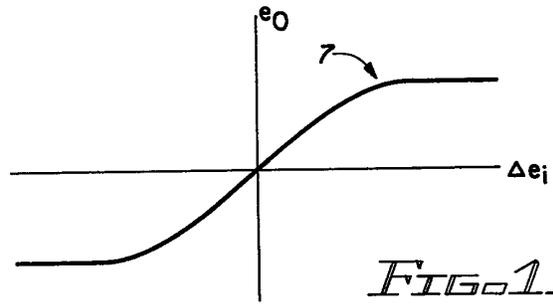


FIG. 1A

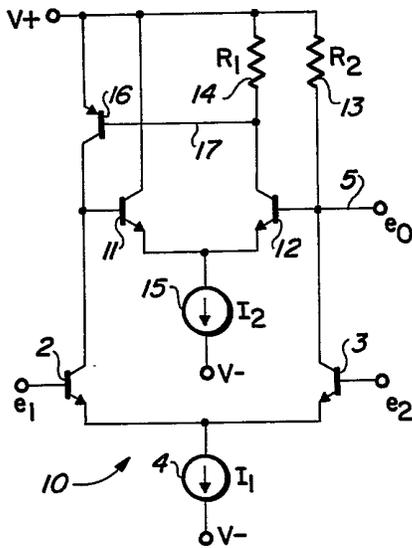


FIG. 2

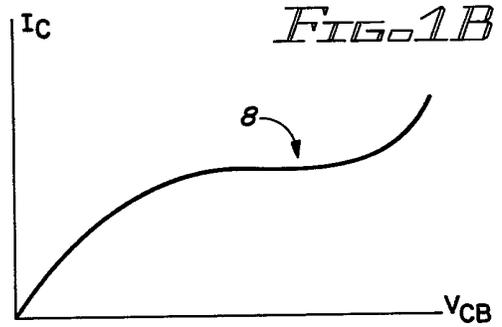


FIG. 1B

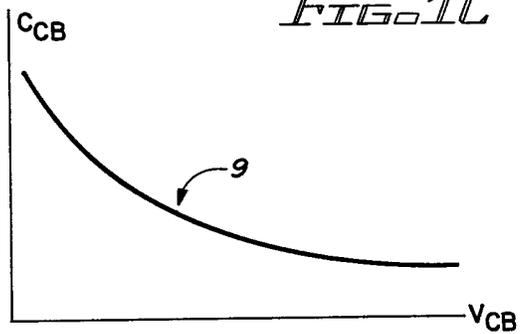


FIG. 1C

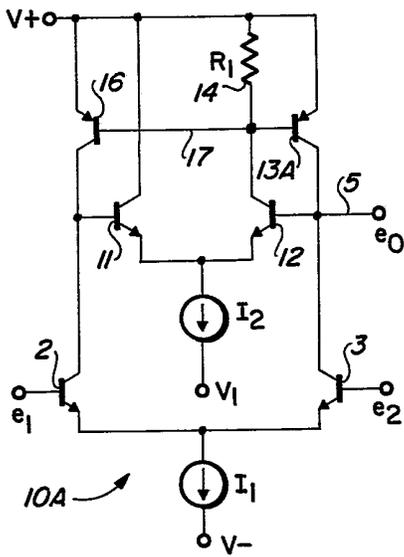


FIG. 3

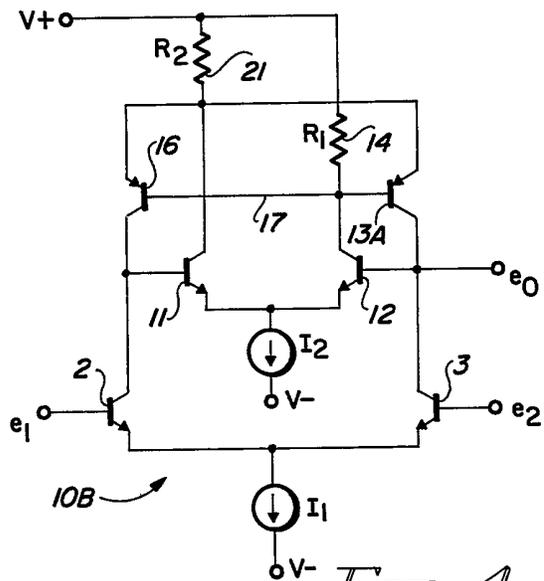


FIG. 4

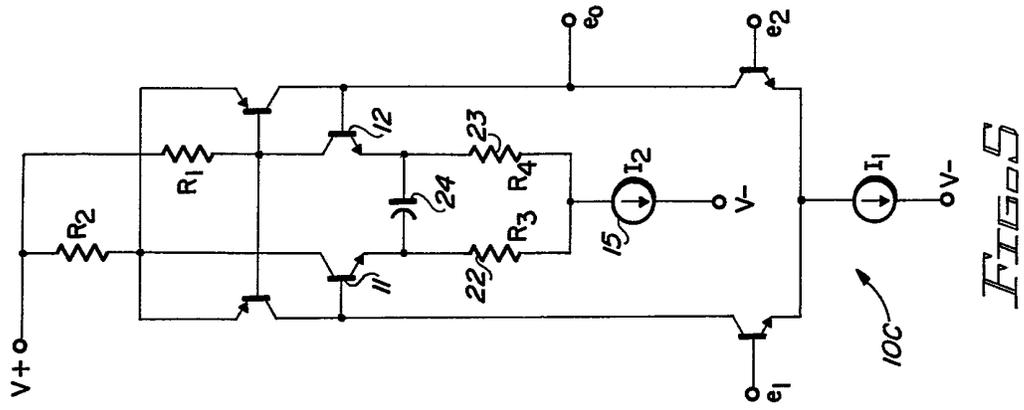


FIG 5

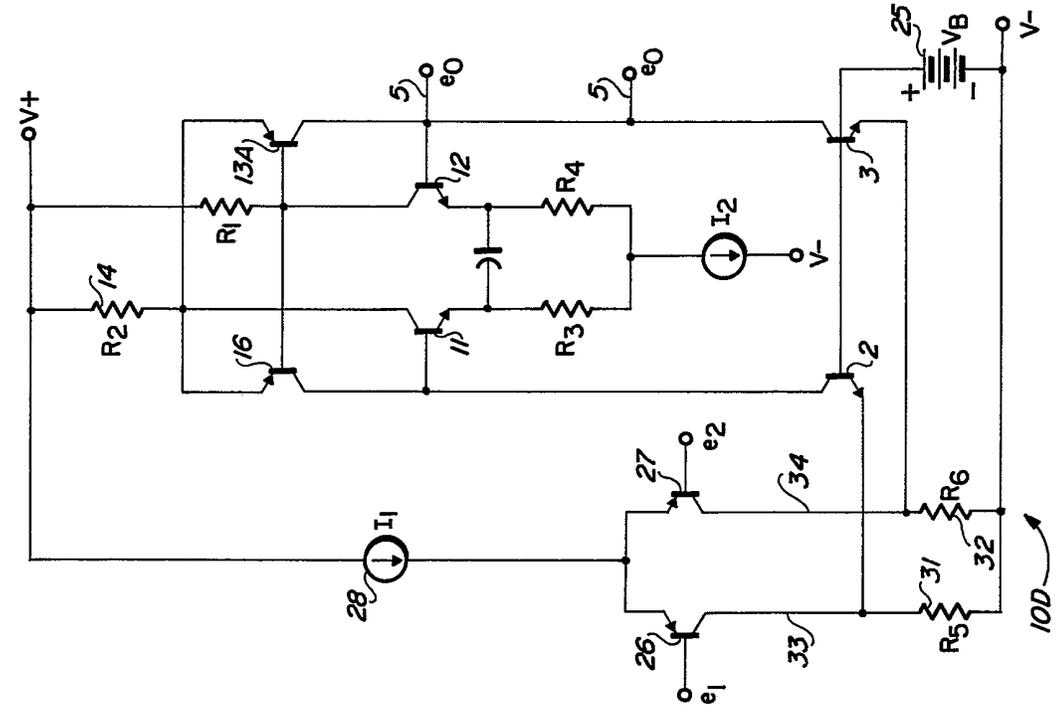


FIG 6

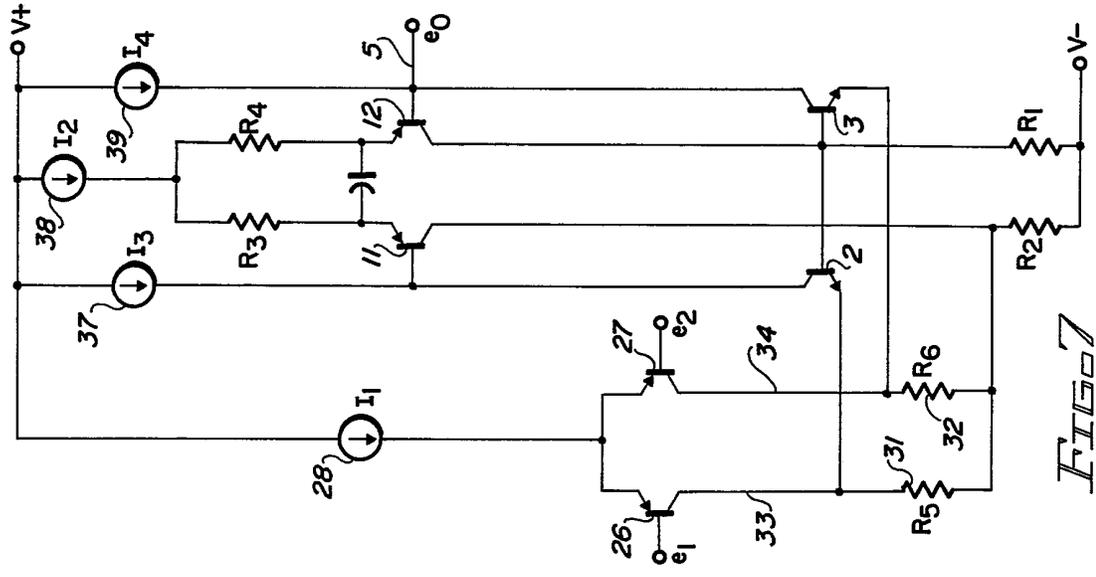


FIG 7

10C

10D