

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-90048  
(P2021-90048A)

(43) 公開日 令和3年6月10日 (2021.6.10)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 P	5 F 0 3 3
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 D	5 F 0 3 8
HO 1 L 21/3205 (2006.01)	HO 1 L 27/04 H	
HO 1 L 21/768 (2006.01)	HO 1 L 21/88 S	
HO 1 L 23/522 (2006.01)		

審査請求 未請求 請求項の数 14 O L (全 20 頁)

(21) 出願番号 特願2020-191335 (P2020-191335)  
 (22) 出願日 令和2年11月18日 (2020.11.18)  
 (31) 優先権主張番号 16/700, 485  
 (32) 優先日 令和1年12月2日 (2019.12.2)  
 (33) 優先権主張国・地域又は機関  
 米国 (US)

(71) 出願人 302062931  
 ルネサスエレクトロニクス株式会社  
 東京都江東区豊洲三丁目2番24号  
 (74) 代理人 110002066  
 特許業務法人筒井国際特許事務所  
 (72) 発明者 久保 俊次  
 東京都江東区豊洲三丁目2番24号 ルネ  
 サスエレクトロニクス株式会社内  
 (72) 発明者 安藤 公一  
 東京都江東区豊洲三丁目2番24号 ルネ  
 サスエレクトロニクス株式会社内  
 (72) 発明者 井尾 英治  
 東京都江東区豊洲三丁目2番24号 ルネ  
 サスエレクトロニクス株式会社内

最終頁に続く

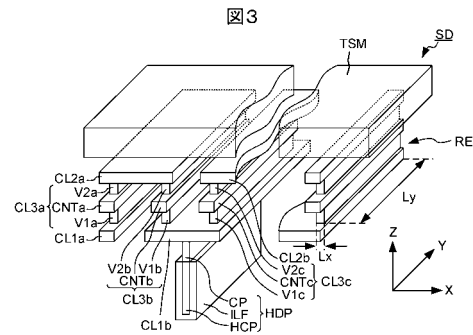
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】半導体装置の信頼性を高める。

【解決手段】半導体装置は、基材、多層配線層および第1抵抗素子を有する。多層配線層は、基材上に形成されている。第1抵抗素子は、多層配線層内に形成されている。第1抵抗素子は、第1導電部、第2導電部および第3導電部を有する。第2導電部は、第1導電部に形成されている。第3導電部は、第1導電部および第2導電部を互いに電氣的に接続している。基材の表面に沿う第1方向における第3導電部の長さは、基材の表面に沿い、かつ第1方向に垂直な第2方向における第3導電部の長さより大きい。

【選択図】 図3



**【特許請求の範囲】****【請求項 1】**

基材と、  
前記基材上に形成された多層配線層と、  
前記多層配線層内に形成された第 1 抵抗素子と、  
を有し、  
前記第 1 抵抗素子は、  
第 1 導電部と、  
前記第 1 導電部上に形成された第 2 導電部と、  
前記第 1 導電部および前記第 2 導電部を互いに電氣的に接続している第 3 導電部と、  
を有し、  
前記基材の表面に沿う第 1 方向における前記第 3 導電部の長さは、前記基材の表面に沿  
い、かつ前記第 1 方向に垂直な第 2 方向における前記第 3 導電部の長さより大きい、  
半導体装置。

**【請求項 2】**

その一部が前記多層配線層内に形成されており、かつその残部が前記基材内に形成され  
ている放熱部をさらに有する、  
請求項 1 に記載の半導体装置。

**【請求項 3】**

前記放熱部は、  
前記基材の表面に形成された凹部の底面および側面上に形成された第 1 絶縁膜と、  
前記凹部を埋めるように前記第 1 絶縁膜上に形成された第 1 熱伝導部と、  
を有する、請求項 2 に記載の半導体装置。

**【請求項 4】**

前記放熱部は、前記第 1 抵抗素子および前記第 1 熱伝導部を互いに接続するように、前  
記多層配線層内に形成された第 1 接続部をさらに有する、  
請求項 3 に記載の半導体装置。

**【請求項 5】**

前記放熱部は、前記第 1 抵抗素子から離間し、かつ前記第 1 熱伝導部に接続されるよう  
に、前記多層配線層内に形成された第 2 熱伝導部をさらに有する、  
請求項 3 に記載の半導体装置。

**【請求項 6】**

前記第 2 熱伝導部は、断面視において、前記第 3 導電部に沿って延在している、請求項  
5 に記載の半導体装置。

**【請求項 7】**

前記第 2 熱伝導部の一端部は、前記基材の前記表面に沿う前記第 2 方向において、前記  
第 1 抵抗素子の一部と対向し、  
前記第 2 熱伝導部の前記一端部は、前記基材の前記表面に垂直な方向において、前記第  
1 抵抗素子の他の一部と対向している、  
請求項 5 に記載の半導体装置。

**【請求項 8】**

前記第 2 熱伝導部の一端部は、前記基材の前記表面に沿う方向において、前記第 1 導電  
部および前記第 3 導電部と対向し、  
前記第 2 熱伝導部の前記一端部は、前記基材の前記表面に垂直な方向において、前記第  
2 導電部と対向している、  
請求項 5 に記載の半導体装置。

**【請求項 9】**

前記基材は、  
半導体基板と、  
前記半導体基板の表面に形成された半導体層と、

- を有し、  
前記放熱部は、前記半導体層を貫通し、前記半導体基板に到達するように形成されている、  
請求項 2 に記載の半導体装置。
- 【請求項 10】  
前記半導体層は、  
第 1 導電型を有する第 1 エピタキシャル層と、  
前記第 1 エピタキシャル層上に形成されており、かつ前記第 1 導電型と反対の第 2 導電型を有する第 1 埋め込み層と、  
前記第 1 埋め込み層上に形成されており、かつ第 1 導電型を有する第 2 エピタキシャル層と、  
を有する、請求項 9 に記載の半導体装置。 10
- 【請求項 11】  
前記多層配線層は、  
前記多層配線層の最上層に形成された保護層と、  
前記第 1 抵抗素子および前記保護層の間に形成された熱ストレス緩和部と、  
をさらに有し、  
前記熱ストレス緩和部は、平面視において、前記第 1 抵抗素子と重なっている、  
請求項 1 に記載の半導体装置。 20
- 【請求項 12】  
第 1 トランジスタが形成された第 1 領域と、  
第 2 トランジスタが形成された第 2 領域と、  
を有し、  
前記第 1 抵抗素子は、平面視において、前記第 1 領域および前記第 2 領域の間に形成されている、  
請求項 1 に記載の半導体装置。 20
- 【請求項 13】  
前記多層配線層内に形成された第 2 抵抗素子をさらに有し、  
前記第 2 抵抗素子は、  
第 4 導電部と、  
前記第 4 導電部上に形成された第 5 導電部と、  
前記第 4 導電部および前記第 5 導電部を互いに電氣的に接続する第 6 導電部と、  
を有し、  
前記第 1 方向における前記第 6 導電部の長さは、前記第 2 方向における前記第 6 導電部の長さより小さい、  
請求項 1 に記載の半導体装置。 30
- 【請求項 14】  
前記多層配線層内に形成された第 3 抵抗素子をさらに有し、  
前記第 3 抵抗素子は、  
第 7 導電部と、  
前記第 7 導電部上に形成された第 8 導電部と、  
前記第 7 導電部および前記第 8 導電部を互いに電氣的に接続する第 9 導電部と、  
を有し、  
前記第 7 導電部、前記第 8 導電部および前記第 9 接続部は、平面視において、前記第 1 方向に延在しており、  
前記第 1 導電部は、平面視において、前記第 8 導電部と隣り合っている、  
請求項 1 に記載の半導体装置。 40
- 【発明の詳細な説明】
- 【技術分野】 50

## 【 0 0 0 1 】

本発明は、半導体装置に関し、例えば、多層配線層内に形成された抵抗素子を有する半導体装置に関する。

## 【 背景技術 】

## 【 0 0 0 2 】

抵抗素子を有する半導体装置が知られている（例えば、特許文献 1 参照）。特許文献 1 に記載された半導体装置は、半導体基板と、当該半導体基板上に形成された配線層とを有する。当該配線層には抵抗素子が形成されている。当該抵抗素子は、第 1 導電部と、第 2 導電部と、当該第 1 導電部および当該第 2 導電部を接続する層間導電部と、の繰り返しパターンで構成されている。上記半導体基板の表面に沿う断面において、上記層間導電部（以下、「ビア」ともいう）の断面形状は、略円形状である。

10

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 3 】

【 特許文献 1 】 特開 2 0 1 9 - 0 0 9 3 4 5 号 公 報

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 4 】

特許文献 1 に記載の半導体装置の上記抵抗素子では、上記抵抗素子を流れる電流の量が多過ぎると、上記ビアを構成する金属原子が動き、上記ビア内に欠陥が生じる現象、いわゆるエレクトロマイグレーションが生じることがある。これにより、上記抵抗素子の特性が劣化する。このように、従来の半導体装置では、半導体装置の信頼性を高める観点から、改善の余地がある。

20

## 【 0 0 0 5 】

実施の形態の課題は、半導体装置の信頼性を高めることである。その他の課題および新規な特徴は、本明細書および図面の記載から明らかになる。

## 【 課題を解決するための手段 】

## 【 0 0 0 6 】

実施の形態に係る半導体装置は、基材、多層配線層および第 1 抵抗素子を有する。第 1 抵抗素子は、多層配線層内に形成されている。第 1 抵抗素子は、第 1 導電部、第 2 導電部および第 3 導電部を有する。第 2 導電部は、第 1 導電部に形成されている。第 3 導電部は、第 1 導電部および第 2 導電部を互いに電気的に接続している。基材の表面に沿う第 1 方向における第 3 導電部の長さは、基材の表面に沿い、かつ第 1 方向に垂直な第 2 方向における第 3 導電部の長さより大きい。

30

## 【 発明の効果 】

## 【 0 0 0 7 】

実施の形態によれば、半導体装置の信頼性を高めることができる。

## 【 図面の簡単な説明 】

## 【 0 0 0 8 】

【 図 1 】 図 1 は、一実施の形態に係る半導体装置の回路構成の一例を示す回路図である。

40

【 図 2 】 図 2 は、一実施の形態に係る半導体装置の構成の一例を示す平面図である。

【 図 3 】 図 3 は、一実施の形態に係る半導体装置の要部の構成の一例を示す斜視図である。

。

【 図 4 】 図 4 は、一実施の形態に係る半導体装置の要部の構成の一例を示す断面図である。

。

【 図 5 】 図 5 は、一実施の形態に係る半導体装置の製造方法に含まれる工程の一例を示す断面図である。

【 図 6 】 図 6 は、一実施の形態に係る半導体装置の製造方法に含まれる工程の一例を示す断面図である。

【 図 7 】 図 7 は、一実施の形態に係る半導体装置の製造方法に含まれる工程の一例を示す

50

断面図である。

【図 8】図 8 は、一実施の形態の変形例 1 に係る半導体装置の要部の構成の一例を示す斜視図である。

【図 9】図 9 は、一実施の形態の変形例 1 に係る半導体装置の要部の構成の一例を示す断面図である。

【図 10】図 10 は、一実施の形態の変形例 2 に係る半導体装置の要部の構成の一例を示す斜視図である。

【図 11】図 11 は、一実施の形態の変形例 3 に係る半導体装置の要部の構成の一例を示す斜視図である。

【発明を実施するための形態】

10

【0009】

以下、一実施の形態に係る半導体装置について、図面を参照して詳細に説明する。なお、明細書および図面において、同一の構成要素または対応する構成要素には、同一の符号またはハッチングを付し、重複する説明は省略する。また、図面では、説明の便宜上、構成を省略または簡略化している場合もある。断面図は、端面図として示している場合もある。実施の形態および各変形例の少なくとも一部は、互いに任意に組み合わせられてもよい。

【0010】

[半導体装置の回路構成]

図 1 は、本実施の形態に係る半導体装置 S D の回路構成の一例を示す回路図である。

20

【0011】

図 1 に示されるように、半導体装置 S D は、制御部 C T R、ハイサイドトランジスタ H T r、ローサイドトランジスタ L T r、抵抗素子 R E、および検出部 D T を有する。半導体装置 S D は、端子 T 1 および端子 T 2 を介して、負荷 L D と接続されている。

【0012】

制御部 C T R は、ハイサイドトランジスタ H T r、ローサイドトランジスタ L T r および検出部 D T と接続されている。制御部 C T R は、ハイサイドトランジスタ H T r およびローサイドトランジスタ L T r の動作を制御する。制御部 C T R は、検出部 D T から受信した信号に基づいて、ハイサイドトランジスタ H T r およびローサイドトランジスタ L T r の動作を制御する。制御部 C T R は、例えば、フィードバック回路を有する。

30

【0013】

ハイサイドトランジスタ H T r は、電源線 V d d および接地線 G N D の間で接続されている。ハイサイドトランジスタ H T r は、端子 T 3 を介して電源線 V d d と接続されている。ハイサイドトランジスタ H T r は、ローサイドトランジスタ L T r よりも電源電位 V d d の近くに電氣的に接続されている。ハイサイドトランジスタ H T r は、電源線 V d d および抵抗素子 R E の接続状態を制御する。

【0014】

ローサイドトランジスタ L T r は、電源線 V d d および接地線 G N D の間で接続されている。ローサイドトランジスタ L T r は、端子 T 4 を介して接地線 G N D と接続されている。ローサイドトランジスタ L T r は、ハイサイドトランジスタ H T r よりも接地電位 G N D の近くに電氣的に接続されている。ハイサイドトランジスタ H T r は、接地線 G N D および抵抗素子 R E の接続状態を制御する。

40

【0015】

抵抗素子 R E は、ハイサイドトランジスタ H T r およびローサイドトランジスタ L T r と共通に接続されている。抵抗素子 R E は、ハイサイドトランジスタ H T r および負荷 L D との間に接続されている。抵抗素子 R E は、ローサイドトランジスタ L T r および負荷 L D との間に接続されている。

【0016】

検出部 D T は、抵抗素子 R E の一端と、抵抗素子 R E の他端とに接続されている。検出部 D T は、抵抗素子 R E に流れる電流量を検出する。たとえば、検出部 D T は、抵抗素子

50

REの一端と、抵抗素子REの他端との電位差（電圧降下）に基づいて、上記電流量を検出する。検出部DTの構成は、上記機能が発揮されれば、特に限定されない。検出部DTは、例えば、増幅回路およびA/D変換回路を有する。

【0017】

負荷LDは、抵抗素子REおよび接地線GNDの間で接続されている。負荷LDの構成は、特に限定されない。たとえば、負荷LDは、ソレノイドコイルを構成するコイルである。本実施の形態では、負荷LDは、コイルである。

【0018】

ここで、半導体装置SDの動作の一例について説明する。

【0019】

まず、制御部CTRは、ハイサイドトランジスタHTrをON状態に制御し、かつローサイドトランジスタLT rをOFF状態に制御する。これにより、電源線VddからハイサイドトランジスタHT rを介して電源電位が抵抗素子REおよび負荷LDに供給される。すなわち、抵抗素子REおよび負荷LDに順方向の電流が流れる。このとき、抵抗素子REにおいて、電圧降下が生じる。検出部DTは、当該電圧降下を検出して、抵抗素子REに流れる電流量に応じたフィードバック信号を生成する。当該フィードバック信号は、制御部CTRに送信される。制御部CTRは、受信した上記フィードバック信号に応じて、ハイサイドトランジスタHT rおよびローサイドトランジスタLT rの動作を制御する。

10

【0020】

たとえば、制御部CTRは、ハイサイドトランジスタHT rをOFF状態に制御し、かつローサイドトランジスタLT rをON状態に制御する。これにより、接地線GNDからローサイドトランジスタLT rを介して接地電位が抵抗素子REおよび負荷LDに供給される。すなわち、抵抗素子REおよび負荷LDに順方向の電流が流れる。このときも、抵抗素子REにおいて、電圧降下が生じる。検出部DTは、当該電圧降下を検出して、上記したように、制御部CTRに上記フィードバック信号を送信する。

20

【0021】

[半導体装置の構成]

図2は、本実施の形態に係る半導体装置SDの構成の一例を示す平面図である。図2は、前述した半導体装置SDの上記回路構成を実現するための半導体装置SDの構成のレイアウトの一例を示している。

30

【0022】

図2に示されるように、半導体装置SDは、ハイサイド領域HSR、ローサイド領域LSR、抵抗素子領域RER、制御回路領域CTR Rおよび検出回路領域DTRを有する。

【0023】

ハイサイド領域HSRは、ハイサイドトランジスタHT rが形成された領域である。ハイサイドトランジスタHT rの種類は特に限定されない。たとえば、ハイサイドトランジスタHT rは、LD MOS (laterally-diffused metal-oxide semiconductor) である。

【0024】

ローサイド領域LSRは、ローサイドトランジスタLT rが形成された領域である。ローサイドトランジスタLT rの種類は特に限定されない。たとえば、ローサイドトランジスタLT rは、LD MOSである。

40

【0025】

抵抗素子領域RERは、電流検出用の抵抗素子REが形成された領域である。抵抗素子領域RERの位置は、特に限定されない。抵抗素子領域RERは、平面視において、ハイサイド領域HSRおよびローサイド領域LSRの間に位置していることが好ましい。これにより、ハイサイド領域HSRおよびローサイド領域LSR間の領域が有効利用される。結果として、半導体装置SDが小型化され得る。また、抵抗素子REが、ハイサイドトランジスタHT rおよびローサイドトランジスタLT rの近くに形成されるため、寄生抵抗が低減され、抵抗素子REによる電流検出の精度が高まる。

50

## 【0026】

制御回路領域CTRは、制御部CTRが形成された領域である。制御回路領域CTRの位置は特に限定されない。本実施の形態では、制御回路領域CTRは、平面視において、ハイサイド領域HSRの一辺と、抵抗素子領域REの一辺の一部とに隣り合うように形成されている。

## 【0027】

検出回路領域DTRは、検出部DTが形成された領域である。検出回路領域DTRの位置は特に限定されない。本実施の形態では、検出回路領域DTRは、平面視において、ローサイド領域LSRの一辺と、抵抗素子領域REの上記一辺の他の一部とに隣り合うように形成されている。

10

## 【0028】

[半導体装置の要部の構成]

ここで、半導体装置SDの要部の構成について、詳細に説明する。

## 【0029】

図3は、半導体装置SDの要部の構成の一例を示す斜視図である。図4は、半導体装置SDの要部の構成の一例を示す断面図である。図4は、図2におけるA-A線の断面図である。なお、図3では、見やすさの観点から、基材BMおよび多層配線層MWLは省略されている。

## 【0030】

半導体装置SDは、基材BM、多層配線層MWL、放熱部HDP、抵抗素子RE、および熱ストレス緩和部TSMを有する。

20

## 【0031】

基材BMは、半導体基板SSおよび半導体層SLを有する。基材BMは、多層配線層MWLを支持している。基材BM内には、放熱部HDPの一部が形成されている。基材BM内には、凹部RPが形成されている。より具体的には、凹部RPは、基材BMの厚さ方向において、半導体基板SSに達するように、半導体層SLを貫通している。放熱部HDPの一部は、凹部RP内に形成されている。これにより、放熱部HDPの一部の形状、サイズ、および位置が規定される。

## 【0032】

半導体基板SSは、例えば、p型不純物を含むp型半導体基板、またはn型不純物を含むn型半導体基板である。当該p型不純物の例には、ホウ素(B)およびアルミニウム(Al)が含まれる。当該n型不純物の例には、ヒ素(As)およびリン(P)が含まれる。

30

## 【0033】

半導体層SLは、第1p型エピタキシャル層PE1、n型埋め込み層NBL、p型埋め込み層PBL、および第2p型エピタキシャル層PE2を有する。第1p型エピタキシャル層PE1、n型埋め込み層NBL、p型埋め込み層PBL、および第2p型エピタキシャル層PE2は、半導体基板SS側からこの順番で形成されている。半導体層SLは、半導体基板SS上に形成されている。なお、n型埋め込み層NBLおよびp型埋め込み層PBLは、必須の構成要素ではない。半導体層SLのうち、n型埋め込み層NBLおよびp型埋め込み層PBL上に形成された半導体素子と、半導体基板SSとを電氣的に絶縁する観点から、半導体層SLは、n型埋め込み層NBLまたはp型埋め込み層PBLを有することが好ましい。

40

## 【0034】

第1p型エピタキシャル層PE1は、半導体基板SSの表面に形成されたエピタキシャル層である。第1p型エピタキシャル層PE1は、上記p型不純物を含む。第1p型エピタキシャル層PE1の不純物濃度は、例えば、 $1 \times 10^{13} \text{ cm}^{-3}$ 以上かつ $1 \times 10^{19} \text{ cm}^{-3}$ 以下であり、 $1 \times 10^{13} \text{ cm}^{-3}$ 以上かつ $1 \times 10^{16} \text{ cm}^{-3}$ 以下であることが好ましい。

## 【0035】

50

n型埋め込み層NBLは、第1p型エピタキシャル層PE1の一部または全部上に形成されている。上記n型不純物の例は、リン(P)、ヒ素(As)およびアンチモン(Sb)を含む。n型埋め込み層NBLの不純物濃度は、例えば、 $1 \times 10^{13} \text{ cm}^{-3}$ 以上かつ $1 \times 10^{20} \text{ cm}^{-3}$ 以下である。

【0036】

p型埋め込み層PBLは、例えば、n型埋め込み層NBLの一部または全部上に形成されている。p型埋め込み層PBLの不純物濃度は、例えば、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上かつ $1 \times 10^{21} \text{ cm}^{-3}$ 以下であり、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上かつ $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましい。

【0037】

第2p型エピタキシャル層PE2は、p型埋め込み層PBL上に形成されたエピタキシャル層である。n型埋め込み層NBLおよびp型埋め込み層PBLが形成されていない部分においては、第2p型エピタキシャル層PE2は、第1p型エピタキシャル層PE1上に形成されている。第2p型エピタキシャル層PE2は、上記p型不純物を含む。第2p型エピタキシャル層PE2の不純物濃度は、例えば、 $1 \times 10^{13} \text{ cm}^{-3}$ 以上かつ $1 \times 10^{19} \text{ cm}^{-3}$ 以下であり、 $1 \times 10^{13} \text{ cm}^{-3}$ 以上かつ $1 \times 10^{16} \text{ cm}^{-3}$ 以下であることが好ましい。

【0038】

多層配線層MWLは、基材BMの表面に形成された半導体素子を覆うように、基材BM上に形成されている。多層配線層MWLは、2つ以上の配線層により構成されている。当該配線層は、層間絶縁層と、当該層間絶縁層内に形成された配線およびビアの一方または両方と、を有する層である。当該ビアは、互いに異なる層に形成された2つの配線を電氣的に接続する導電体である。

【0039】

図4に示されるように、多層配線層MWLは、第1層間絶縁層IIL1、第1配線WR1、第2層間絶縁層IIL2、第1ビアV1、第2配線WR2、第3層間絶縁層IIL3、第2ビアV2、第3配線WR3、第4層間絶縁層IIL4、第5層間絶縁層IIL5および保護層PLを有する。詳細については後述するが、多層配線層MWL内には、放熱部HDPの一部、抵抗素子RE、および熱ストレス緩和部TSMが形成されている。

【0040】

第1層間絶縁層IIL1、第2層間絶縁層IIL2、第3層間絶縁層IIL3、第4層間絶縁層IIL4、第5層間絶縁層IIL5は、この順番で基材BM上に形成されている。第1層間絶縁層IIL1、第2層間絶縁層IIL2、第3層間絶縁層IIL3、第4層間絶縁層IIL4、および第5層間絶縁層IIL5のそれぞれの材料の例には、酸化シリコンが含まれる。第1層間絶縁層IIL1、第2層間絶縁層IIL2、第3層間絶縁層IIL3、第4層間絶縁層IIL4、および第5層間絶縁層IIL5のそれぞれの厚さは、特に限定されない。

【0041】

第1配線WR1は、第1層間絶縁層IIL1上に形成されている。第1配線WR1については、半導体技術において配線として採用されている公知の構成が採用され得る。第1配線WR1は、例えば、バリアメタル、導電膜およびバリアメタルがこの順で積層された積層膜である。上記バリアメタルを構成する材料の例には、チタン(Ti)、窒化チタン(TiN)、タンタル(Ta)および窒化タンタル(TaN)が含まれる。上記導電膜を構成する材料の例には、アルミニウム、銅およびタングステンが含まれる。

【0042】

第1ビアV1は、第1配線WR1に達するように、第2層間絶縁層IIL2内に形成されている。基材BMの表面に沿う断面内において、第1ビアV1の断面形状は、略円形状である。第1ビアV1の構成としては、半導体技術においてビアとして採用されている公知の構成が採用され得る。第1ビアV1は、例えば、バリア膜と、当該バリア膜上に形成された導電膜と、を有する。上記バリア膜の材料の例には、チタン(Ti)、窒化チタン

10

20

30

40

50



(TiN)、タンタル(Ta)および窒化タンタル(TaN)が含まれる。上記導電膜の材料は、例えば、タングステン(W)、アルミニウム(Al)または銅(Cu)である。

【0043】

第2配線WR2および第3配線WR3については、多層配線層MWL内で形成された位置を除いて、第1配線WR1と同様である。第2ビアV2についても、多層配線層MWL内で形成された位置を除いて、第1ビアV1と同様である。

【0044】

保護層PLは、外部の水分などから半導体装置SDを保護する層である。保護層PLは、第5層間絶縁層IEL5上に形成されている。保護層PLは、多層配線層MWL内において、多層配線層MWLの最上層に形成されている。保護層PLは、単層膜であってもよいし、二層以上の積層膜であってもよい。保護層PLの例には、酸化シリコン膜、酸窒化シリコン膜、窒化シリコン膜、PSG(Phospho Silicate Glass)膜およびこれらの積層膜が含まれる。保護層PLの厚さは、例えば、1.0μm以上かつ2.0μm以下であり、1.5μm程度であることが好ましい。

10

【0045】

多層配線層MWL内には、放熱部HDPの一部、抵抗素子RE、および熱ストレス緩和部TSMが形成されている。基材BM内には、放熱部HDPの残部が形成されている。以下、これらの構成要素の詳細については説明する。

【0046】

放熱部HDPは、絶縁膜ILF、熱伝導部HCPおよび接続部CPを有する。放熱部HDPは、抵抗素子REで発生した熱を多層配線層MWL外に伝達するように構成されている。たとえば、放熱部HDPの一部が、多層配線層MWL内に形成され、放熱部HDPの他の一部が、多層配線層MWLから露出していればよい。本実施の形態では、放熱部HDPの一部は、多層配線層MWL内に形成されており、かつ放熱部HDPの残部は、基材BM内に形成されている。これにより、抵抗素子REで発生した熱は、放熱部HDPを介して、基材BMに伝達される。

20

【0047】

絶縁膜ILFは、基材BMの表面に形成された凹部RPの底面および側面上に形成されている。絶縁膜ILFは、熱伝導部HCPおよび基材BMが互いに短絡することを抑制する。絶縁膜ILFの厚さは、上記機能が得られれば特に限定されない。絶縁膜ILFの厚さは、例えば、0.1μm程度である。絶縁膜ILFの材料は、例えば、酸化シリコンである。

30

【0048】

熱伝導部HCPは、凹部RP内を埋めるように絶縁膜ILF上に形成されている。熱伝導部HCPは、熱伝導性を有する材料で構成されている。熱伝導性を高める観点から、熱伝導部HCPの材料の例は、チタン(Ti)、窒化チタン(TiN)、タンタル(Ta)、窒化タンタル(TaN)およびタングステン(W)を含むことが好ましい。

【0049】

放熱性を高める観点から、熱伝導部HCPのサイズは、大きいことが好ましい。熱伝導部HCPは、基材BMのうち、p型埋め込み層PBLに達していることが好ましく、n型埋め込み層NBLに達していることがより好ましく、第1p型エピタキシャル層PE1に達していることがさらに好ましく、半導体基板SSに達していることがより一層好ましい。

40

【0050】

放熱性を高める観点から、熱伝導部HCPの形状は、板形状であることが好ましい。すなわち、Y方向における熱伝導部HCPの長さは、X方向における熱伝導部HCPの長さより大きいことが好ましい。Y方向における熱伝導部HCPの長さは、Y方向における抵抗素子REの長さより大きいことが好ましい。本実施の形態では、Y方向における熱伝導部HCPの長さは、Y方向における抵抗素子REの長さと同程度である。

【0051】

50

なお、本明細書において、「Y方向」は、基材BMの表面(上面、主面)に沿う第1方向である。Y方向は、平面視において、第3導電部CL3a(後述)の長辺が延在する方向でもある。「X方向」は、平面視において、Y方向に垂直な第2方向である。Y方向は、平面視において、第3導電部CL3a(後述)の短辺が延在する方向でもある。「Z方向」は、多層配線層MWLの厚さ方向である。なお、X方向、Y方向およびZ方向は、互いに直交している。

【0052】

接続部CPは、抵抗素子REと直接的に接するように、第1層間絶縁層IIL1内に形成されている。接続部CPが抵抗素子REと直接的に接していることは、放熱部HDPによる放熱性を高める観点から好ましい。接続部CPは、熱伝導性を有する材料で構成されている。接続部CPは、例えば、第1層間絶縁層IIL1内に形成されたビア(不図示)と同じ構成であってもよいし、異なる構成であってもよい。接続部CPは、例えば、バリア膜と、当該バリア膜上に形成された導電膜と、を有する。上記バリア膜の材料の例には、チタン(Ti)、窒化チタン(TiN)、タンタル(Ta)および窒化タンタル(TaN)が含まれる。上記導電膜の材料は、例えば、タングステン(W)、アルミニウム(Al)または銅(Cu)である。

10

【0053】

放熱性を高める観点から、接続部CPの形状は、いわゆるスリット形状であることが好ましい。すなわち、Y方向における接続部CPの長さは、X方向における接続部CPの長さより大きいことが好ましい。本実施の形態では、Y方向における接続部CPの長さは、Y方向における第1導電部CL1bの長さと同程度である。

20

【0054】

抵抗素子REは、多層配線層MWL内に形成されている。抵抗素子REの用途は特に限定されない。本実施の形態では、抵抗素子REは、半導体装置SDにおいて、所望の位置の電流値を検出するために用いられる、いわゆるセンス抵抗である。

【0055】

抵抗素子REは、第1導電部CL1a、CL1b、第2導電部CL2a、CL2b、および第3導電部CL3a、CL3b、CL3cを有する。第1導電部CL1a、第3導電部CL3a、第2導電部CL2a、第3導電部CL3b、第1導電部CL1b、第3導電部CL3cおよび第2導電部CL2bは、この順番で互いに接続されている。

30

【0056】

抵抗素子REを構成する上記第1導電部、上記第2導電部および上記第3導電部のそれぞれの数は、所望の抵抗値に応じて適宜調整される。第1導電部CL1aおよび第1導電部CL1bは、位置およびサイズを除いて互いに同様である。第2導電部CL2aおよび第2導電部CL2bも、位置を除いて互いに同様である。第3導電部CL3a、第3導電部CL3bおよび第3導電部CL3cも、位置を除いて互いに同様である。重複した説明を省略する観点から、以下、第1導電部CL1a、第2導電部CL2aおよび第3導電部CL3aについてのみ説明する。

【0057】

第1導電部CL1aは、多層配線層MWL内に形成されている。第1導電部CL1aは、多層配線層MWL内において、第1配線WR1が形成された層と同じ層内に形成されている。本実施の形態では、第1導電部CL1aは、第1層間絶縁層IIL1上に形成されている。

40

【0058】

第1導電部CL1aの形状、サイズ、および材料は、所望の抵抗値および占有面積に応じて適宜調整される。Y方向における第1導電部CL1aの長さは、X方向における第1導電部CL1aの長さより大きいことが好ましい。

【0059】

第1導電部CL1aは、例えば、同じ層内に形成された第1配線WR1と同じ構成であってもよいし、異なる構成であってもよい。第1導電部CL1aは、例えば、バリア膜、

50

導電膜およびバリア膜がこの順で積層された積層膜である。上記バリア膜の材料の例には、チタン (Ti)、窒化チタン (TiN)、タンタル (Ta) および窒化タンタル (Ta<sub>N</sub>) が含まれる。上記導電膜の材料の例には、アルミニウム、銅およびタンゲステンが含まれる。本実施の形態では、第1導電部 CL1a は、アルミニウム配線である。

【0060】

第2導電部 CL2a は、多層配線層 MWL 内に形成されている。第2導電部 CL2a は、多層配線層 MWL 内において、第3配線 WR3 が形成された層と同じ層内に形成されている。本実施の形態では、第2導電部 CL2a は、第3層間絶縁層 IIL3 上に形成されている。

【0061】

また、第2導電部 CL2a は、第1導電部 CL1a 上に形成されている。すなわち、Z方向における第2導電部 CL2a と基材 BM の表面との間隔は、Z方向における第1導電部 CL1a と基材 BM の表面との間隔より大きい。第2導電部 CL2a の一部は、平面視において、第1導電部 CL1a の一部と重なるように形成されている。第2導電部 CL2a は、平面視において、第1導電部 CL1a と沿うように形成されていることが好ましい。

【0062】

第2導電部 CL2a の形状、サイズおよび材料は、所望の抵抗値および占有面積に応じて適宜調整される。第2導電部 CL2a の形状、サイズおよび材料は、第1導電部 CL1a の形状、サイズおよび材料とそれぞれ同じであってもよいし、異なってもよい。本実施の形態では、X方向における第2導電部 CL2a の長さは、X方向における第1導電部 CL1a の長さより大きく、かつX方向における第2導電部 CL2a の長さは、X方向における第1導電部 CL1b の長さと同程度である。

【0063】

第3導電部 CL3a は、多層配線層 MWL 内において、第1導電部 CL1a および第2導電部 CL2a の間に形成されている。第3導電部 CL3a は、第1導電部 CL1a および第2導電部 CL2a を互いに電氣的に接続している。第3導電部 CL3a は、第1導電部 CL1a および第2導電部 CL2a に挟まれた層間絶縁層 IIL2 および層間絶縁層 IIL3 を貫通している。

【0064】

第3導電部 CL3a は、第1ビア V1a、連結部 CNTa および第2ビア V2a を有する。第1ビア V1a の構成と、第2ビア V2a の構成とは、位置を除いて互いに同様である。重複した説明を省略する観点から、以下、第1ビア V1a についてのみ説明する。なお、第3導電部 CL3b は、第1ビア V1b、連結部 CNTb および第2ビア V2b を有する。第3導電部 CL3c は、第1ビア V1c、連結部 CNTc および第2ビア V2c を有する。

【0065】

第1ビア V1a は、多層配線層 MWL 内に形成されている。第1ビア V1a は、第1導電部 CL1a 上に形成されている。第1ビア V1a は、多層配線層 MWL 内において、ビア V1 が形成された層と同じ層内に形成されている。本実施の形態では、第1ビア V1a は、第2層間絶縁層 IIL2 内に形成されている。

【0066】

Y方向における第1ビア V1a の長さ Ly は、X方向における第1ビア V1a の長さ Lx より大きい。これにより、基材 BM の表面に沿う断面内において断面視形状が略円形状であるビア V1 と比較して、大電流が第1ビア V1a 内を流れたとしても、エレクトロマイグレーションに起因する欠陥が第1ビア V1a 内で生じにくい。このような観点から、上記 Lx に対する上記 Ly の比 (Ly / Lx) は、50 以上であることが好ましく、1000 以上であることがより好ましい。上記比 (Ly / Lx) は、特に限定されず、電流値の大きさによって、適宜調整される。

【0067】

10

20

30

40

50

一方で、半導体装置SDを小型化する観点から、上記Ly/Lxは、5000以下であることが好ましく、2000以下であることがより好ましい。

【0068】

上記のエレクトロマイグレーション耐性を高める観点から、X方向における第1ビアV1aの長さLx(短幅)は、X方向におけるビアV1の長さ(径)より大きいことが好ましい。なお、ビアV1は、ハイサイド領域HSRおよびローサイド領域LSRの一方または両方に形成されている。

【0069】

第1ビアV1aのサイズおよび材料は、所望の抵抗値に応じて適宜調整される。また、第1ビアV1aの構成は、例えば、第2層間絶縁層IEL2内に形成されたビアV1と同じであってもよいし、異なってもよい。第1ビアV1aは、例えば、バリア膜と、当該バリア膜上に形成された導電膜と、を有する。上記バリア膜の材料の例には、チタン(Ti)、窒化チタン(TiN)、タンタル(Ta)および窒化タンタル(TaN)が含まれる。上記導電膜の材料は、例えば、タングステン(W)、アルミニウム(Al)または銅(Cu)である。

10

【0070】

連結部CNTaは、多層配線層MWL内において、第1ビアV1aおよび第2ビアV2aを連結している。本実施の形態では、連結部CNTaは、第2層間絶縁層IEL2上に形成されている。抵抗素子REの抵抗値のばらつきを抑制する観点から、連結部CNTaは、第1ビアV1aおよび第2ビアV2aの間に形成されていることが好ましい。より具体的には、第3導電部CL3aが連結部CNTaを有することによって、第1ビアV1aおよび第2ビアV2aの位置ずれに発生したとしても、抵抗素子REの抵抗値ばらつきを抑制できる。

20

【0071】

連結部CNTaの形状および大きさは、所望の抵抗値に応じて適宜調整される。連結部CNTaの構成は、例えば、第2層間絶縁層IEL2上に形成された配線WR2と同じであってもよいし、異なってもよい。連結部CNTaの構成の例は、第1導電部CL1aの構成の例と同様である。

【0072】

熱ストレス緩和部TSMは、多層配線層MWL内に形成されている。熱ストレス緩和部TSMは、抵抗素子REおよび保護層PLの間に形成されている。熱ストレス緩和部TSMは、多層配線層MWL外からの熱に起因して生じるストレスが抵抗素子REに加わることを抑制するように構成されている。より具体的には、熱ストレス緩和部TSMによって、抵抗素子REの熱膨張係数と、多層配線層MWLを構成する層間絶縁層の熱膨張係数との差に起因して抵抗素子REに加わるストレスが緩和される。熱ストレス緩和部TSMは、平面視において、抵抗素子REの少なくとも一部と重なっていることが好ましい。断熱性を高める観点からは、熱ストレス緩和部TSMは、平面視において、抵抗素子REの全部と重なっていることがより好ましい。断熱性を高める観点からは、熱ストレス緩和部TSMは、抵抗素子REを囲うように形成されていることが好ましい。たとえば、熱ストレス緩和部TSMは、側面視において、抵抗素子REの全部と重なっていることがより好ましく、正面視において、抵抗素子REの全部と重なっていることがより好ましく、背面視において、抵抗素子REの全部と重なっていることがより好ましい。本実施の形態では、熱ストレス緩和部TSMは、平面視において、抵抗素子REの全部と重なっている。

30

40

【0073】

熱ストレス緩和部TSMの構成は、例えば、第4層間絶縁層IEL4上に形成された配線(不図示)と同じであってもよいし、異なってもよい。熱ストレス緩和部TSMは、例えば、バリア膜と、当該バリア膜上に形成された導電膜と、を有する。上記バリア膜の材料の例には、チタン(Ti)、窒化チタン(TiN)、タンタル(Ta)および窒化タンタル(TaN)が含まれる。上記導電膜の材料は、例えば、アルミニウム(Al)または銅(Cu)である。

50

## 【 0 0 7 4 】

## 〔 半 導 体 装 置 の 製 造 方 法 〕

次いで、本実施の形態に係る半導体装置 S D の製造方法の一例について説明する。図 5 ~ 図 7 は、半導体装置 S D の製造方法に含まれる工程の一例を示す断面図である。

## 【 0 0 7 5 】

半導体装置 S D の製造方法は、例えば、( 1 ) 半導体ウェハ S W の準備工程、( 2 ) 放熱部 H D P の一部の形成工程、( 3 ) 多層配線層 M W L 、放熱部 H D P の残部、および熱ストレス緩和部 T S M の形成工程を含む。

## 【 0 0 7 6 】

## ( 1 ) 半 導 体 ウ ェ ハ S W の 準 備

まず、図 5 に示されるように、半導体ウェハ S W を準備する。半導体ウェハ S W は、市販品として購入されてもよいし、製造されてもよい。半導体ウェハ S W は、半導体基板 S S と、第 1 p 型エピタキシャル層 P E 1 、 n 型埋め込み層 N B L 、 p 型埋め込み層 P B L 、および第 2 p 型エピタキシャル層 P E 2 で構成された半導体層 S L とを有する。半導体ウェハ S W の各層は、例えば、エピタキシャル成長法によって、半導体基板 S S 上にエピタキシャル層を形成するとともに、所望の不純物を上記エピタキシャル層の所望の位置に注入することによって形成される。

## 【 0 0 7 7 】

## ( 2 ) 放 熱 部 H D P の 一 部 の 形 成

次いで、図 6 に示されるように、絶縁膜 I L F および熱伝導部 H C P を半導体ウェハ S W 内に形成する。まず、半導体ウェハ S W の表面(上面)に凹部 R P を形成した後に、凹部 R P の底面および側面と、半導体ウェハ S W の上面との上に絶縁膜 I L F を形成する。凹部 R P は、例えば、フォトリソグラフィ技術およびエッチング技術によって形成される。絶縁膜 I L F の形成方法は、例えば、C V D 法である。次いで、凹部 R P を埋めるように、絶縁膜 I L F 上に熱伝導部 H C P を形成する。熱伝導部 H C P の形成方法は、例えば、C V D 法である。なお、絶縁膜 I L F および熱伝導部 H C P のうち、凹部 R P 外に形成された余分な部分については、例えば、C M P 法によって除去される。

## 【 0 0 7 8 】

## ( 3 ) 多 層 配 線 層 M W L 、 放 熱 部 H D P の 残 部 、 お よ び 熱 ス ト レ ス 緩 和 部 T S M の 形 成

次いで、図 7 に示されるように、多層配線層 M W L 、接続部 C P 、および熱ストレス緩和部 T S M を半導体ウェハ S W 上に形成する。多層配線層 M W L 、接続部 C P 、および熱ストレス緩和部 T S M の形成方法としては、半導体技術における多層配線層の形成方法として公知の方法が採用され得る。

## 【 0 0 7 9 】

第 1 層間絶縁層 I I L 1 、第 2 層間絶縁層 I I L 2 、第 3 層間絶縁層 I I L 3 、第 4 層間絶縁層 I I L 4 および第 5 層間絶縁層 I I L 5 は、例えば、C V D 法によって形成される。接続部 C P は、例えば、第 1 層間絶縁層 I I L 1 に貫通孔を形成した後に、当該貫通孔を導電材料で埋めることによって形成される。第 1 ビア V 1 、 V 1 a 、 V 1 b 、 V 1 c は、例えば、第 2 層間絶縁層 I I L 2 に貫通孔を形成した後に、当該貫通孔を導電材料で埋めることによって形成される。第 2 ビア V 2 、 V 2 a 、 V 2 b 、 V 2 c は、例えば、第 3 層間絶縁層 I I L 3 に貫通孔を形成した後に、当該貫通孔を導電材料で埋めることによって形成される。

## 【 0 0 8 0 】

第 1 導電部 C L 1 a 、 C L 1 b および第 1 配線 W R 1 は、スパッタリング法によって導電膜を第 1 層間絶縁層 I I L 1 上に形成した後に、当該導電膜を所望の形状にパターニングすることによって形成される。第 2 導電部 C L 2 a 、 C L 2 b および第 3 配線 W R 3 は、スパッタリング法によって導電膜を第 3 層間絶縁層 I I L 3 上に形成した後に、当該導電膜を所望の形状にパターニングすることによって形成される。連結部 C N T a 、 C N T b 、 C N T c および第 2 配線 W R 2 は、スパッタリング法によって導電膜を第 2 層間絶縁層 I I L 2 上に形成した後に、当該導電膜を所望の形状にパターニングすることによって

10

20

30

40

50

形成される。保護層 P L は、スパッタリング法によって、第 5 層間絶縁層 I I L 5 上に形成される。

【 0 0 8 1 】

次いで、上記工程により得られた構造体を上記静電チャックから脱離し、ダイシングすることによって、個片化された複数の半導体装置 S D が得られる。最後に、半導体装置 S D は、封止樹脂で封止される。

【 0 0 8 2 】

(効果)

本実施の形態に係る半導体装置 S D の抵抗素子 R E は、第 1 導電部 C L 1 a、C L 1 b および第 2 導電部 C L 2 a、C L 2 b を電氣的に互いに接続している第 3 導電部 C L 3 a、C L 3 b、C L 3 c を有する。基材 B M の表面に沿う Y 方向 (第 1 方向) における第 3 導電部 C L 3 a、C L 3 b、C L 3 c の長さは、基材 B M の表面に沿い、かつ Y 方向に垂直な X 方向 (第 2 方向) における第 3 導電部 C L 3 a、C L 3 b、C L 3 c の長さより大きい。特に、Y 方向における第 1 ビア V 1 a、V 1 b、V 1 c の長さ L y は、X 方向における第 1 ビア V 1 a、V 1 b、V 1 c の長さ L x より大きい。Y 方向における第 2 ビア V 2 a、V 2 b、V 2 c の長さ L y も、X 方向における第 2 ビア V 2 a、V 2 b、V 2 c の長さ L x より大きい。これにより、基材 B M の表面に沿う断面内において断面視形状が略円形状であるビア V 1、V 2 と比較して、第 1 ビア V 1 a、V 1 b、V 1 c および第 2 ビア V 2 a、V 2 b、V 2 c における電流密度が小さくなる。これにより、基材 B M の表面に沿う断面内において断面視形状が略円形状であるビアを有する抵抗素子と比較して、本実施の形態では、大電流が抵抗素子 R E 内を流れたとしても、エレクトロマイグレーションに起因する欠陥が第 1 ビア V 1 a、V 1 b、V 1 c および第 2 ビア V 2 a、V 2 b、V 2 c 内で生じにくい。結果として、半導体装置 S D の信頼性を高めることができる。

【 0 0 8 3 】

[ 変形例 1 ]

図 8 は、本実施の形態の変形例 1 に係る半導体装置 m S D 1 の要部の構成の一例を示す斜視図である。図 9 は、半導体装置 m S D 1 の要部の構成の一例を示す断面図である。

【 0 0 8 4 】

変形例 1 に係る半導体装置 m S D 1 は、絶縁膜 I L F、熱伝導部 H C P、接続部 C P および熱伝導部 m H C P を有する。変形例 1 に係る放熱部 m H D P 1 は、抵抗素子 R E と直接的に接続されていない。すなわち、放熱部 m H D P 1 は、抵抗素子 R E から離間し、かつ熱伝導部 m H C P に接続されるように、多層配線層 M W L 内に形成されている。

【 0 0 8 5 】

熱伝導部 m H C P は、多層配線層 M W L 内に形成された配線およびビアにより形成されている。図 9 に示されるように、熱伝導部 m H C P は、断面視において、第 3 導電部 C L 3 a、C L 3 b、C L 3 c に沿うように延在している。熱伝導部 m H C P は、第 1 配線 m W R 1、ビア m V 1 および第 2 配線 m W R 2 を有する。第 1 配線 m W R 1 の構成例は、第 1 導電部 C L 1 a と同様である。ビア m V 1 の構成例は、第 1 ビア V 1 a と同様である。第 2 配線 m W R 2 の構成例は、連結部 C N T a と同様である。

【 0 0 8 6 】

熱伝導部 m H C P の一端部は、基材 B M の表面に沿う方向において、抵抗素子 R E の一部と対向している。変形例 1 では、熱伝導部 m H C P の上記一端部は、X 方向において、第 1 導電部 C L 1 a、C L 1 b および第 3 導電部 C L 3 a、C L 3 b と対向している。熱伝導部 m H C P の上記一端部は、基材 B M の表面に垂直な方向において、抵抗素子 R E の他の一部と対向している。変形例 1 では、熱伝導部 m H C P の上記一端部は、Z 方向において、第 2 導電部 C L 2 a と対向している。

【 0 0 8 7 】

変形例 1 では、放熱部 m H D P 1 が抵抗素子 R E と離間していることによって、抵抗素子 R E からの電流が放熱部 m H D P 1 に流れることを抑制できる。これにより、放熱性と、電流値の検出精度とを両立できる。

10

20

30

40

50

## 【0088】

## [変形例2]

図10は、本実施の形態の変形例2に係る半導体装置mSD2の要部の構成の一例を示す斜視図である。

## 【0089】

変形例2に係る半導体装置mSD2は、複数の抵抗素子を有する。当該抵抗素子の数は、特に限定されない。変形例2に係る半導体装置mSD2は、第1抵抗素子mRE1および第2抵抗素子mRE2を有する。第1抵抗素子mRE1の構成例と、第2抵抗素子mRE2の構成例とは、抵抗素子REと同様である。変形例2では、第1抵抗素子mRE1の第1導電部mCL1aは、平面視において、第2抵抗素子mRE2の第2導電部mCL2aと隣り合うように配置されている。これにより、第1抵抗素子mRE1内に電流が流れることにより生じる磁界と、第2抵抗素子mRE2内に電流が流れることにより生じる磁界とが、互いに打ち消し合う。これによって、抵抗素子に電流が流れることによって生じる磁界によって、周辺の半導体素子の特性が変化することを抑制できる。結果として、半導体装置の特性をさらに高めることができる。

10

## 【0090】

## [変形例3]

図11は、本実施の形態の変形例3に係る半導体装置mSD3の要部の構成の一例を示す斜視図である。

## 【0091】

変形例3に係る半導体装置mSD3は、抵抗素子mRE3を有する。抵抗素子mRE3は、第1導電部CL1d、第2導電部CL2dおよび第3導電部CL3dをさらに有する。Y方向における第1導電部CL1dの長さは、X方向における第1導電部CL1dの長さより小さい。Y方向における第2導電部CL2dの長さは、X方向における第2導電部CL2dの長さより小さい。Y方向における第3導電部CL3dの長さは、X方向における第3導電部CL3dの長さより小さい。

20

## 【0092】

変形例3では、抵抗素子mRE3は、Y方向における各構成要素(第1導電部CL1a、CL1b、第2導電部CL2a、CL2bおよび第3導電部CL3a、CL3b、CL3c)がY方向に沿って延在する部分と、各構成要素(第1導電部CL1d、第2導電部CL2dおよび第3導電部CL3d)がX方向に沿って延在する部分とを有する。これにより、これにより、半導体装置mSD3が封止樹脂で封止されるとき、X方向における応力と、Y方向における応力とに差がある場合に、半導体装置mSD3に加わる応力の合計値を平均的に低減できる。

30

## 【0093】

なお、本発明は、上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更され得る。たとえば、第3導電部CL3は、第1導電部CL1aおよび第2導電部CL2aを互いに電氣的に接続できればよく、連結部CNTaを有していなくてもよい。

## 【0094】

また、特定の数値例について記載した場合であっても、理論的に明らかにその数値に限定される場合を除き、その特定の数値を超える数値であってもよいし、その特定の数値未満の数値であってもよい。また、成分については、「Aを主要な成分として含むB」などの意味であり、他の成分を含む態様を排除するものではない。

40

## 【0095】

さらに、実施の形態の少なくとも一部と、各変形例の少なくとも一部とは、互いに任意に組み合わせられてもよい。たとえば、熱伝導部および放熱部の構造、位置および材料は、適宜設計され得る。

## 【符号の説明】

## 【0096】

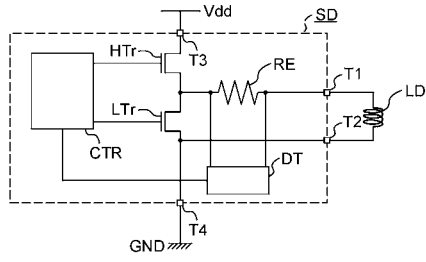
50

CL1a、mCL1a、CL1b、mCL1d	第1導電部	
CL2a、mCL2a、CL2b、mCL2d	第2導電部	
CL3a、CL3b、CL3c、mCL3d	第3導電部	
CNTa、CNTb	連結部	
CP	接続部	
CTR	制御部	
CTRR	制御回路領域	
DT	検出部	
DTR	検出回路領域	
GND	接地線	10
HCP、mHCP	熱伝導部	
HDP、mHDP1	放熱部	
HSR	ハイサイド領域	
HTr	ハイサイドトランジスタ	
ILF	絶縁膜	
LD	負荷	
LSR	ローサイド領域	
LTr	ローサイドトランジスタ	
NBL	n型埋め込み層	
PBL	p型埋め込み層	20
PE1	第1p型エピタキシャル層	
PE2	第2p型エピタキシャル層	
RE、mRE1、mRE2、mRE3	抵抗素子	
REER	抵抗素子領域	
SD、mSD1、mSD2、mSD3	半導体装置	
SL	半導体層	
SS	半導体基板	
SW	半導体ウェハ	
T1、T2、T3、T4	端子	
TSM	熱ストレス緩和部	30
V1、mV1、V1a、V1b、V1c	第1ビア	
V2、V2a、V2b、V2c	第2ビア	
Vdd	電源線	
WR1、mWR1	第1配線	
WR2、mWR2	第2配線	
WR3	第3配線	



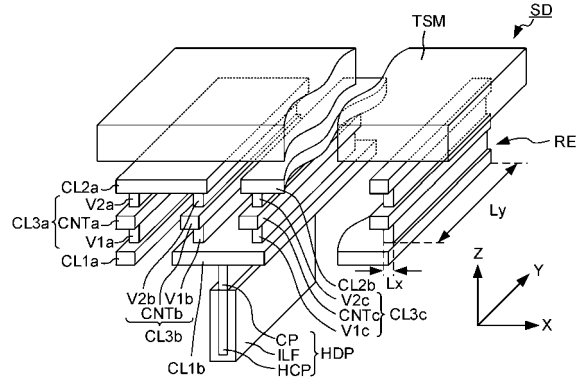
【 図 1 】

図 1



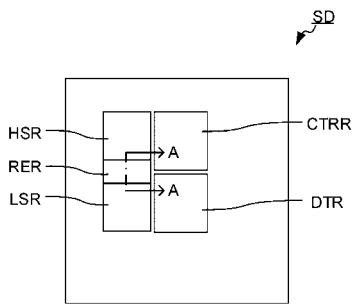
【 図 3 】

図 3



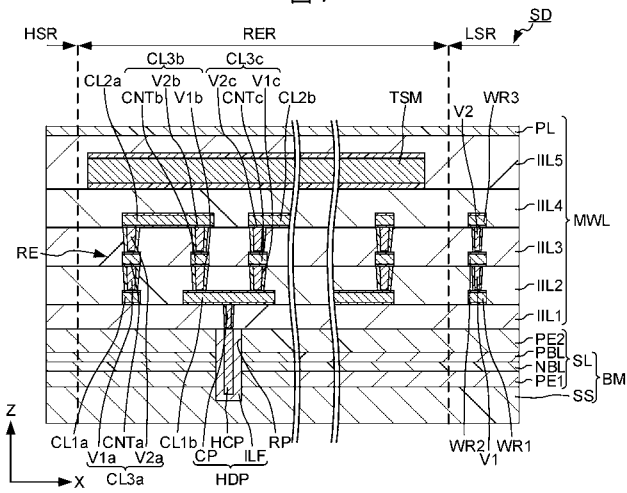
【 図 2 】

図 2



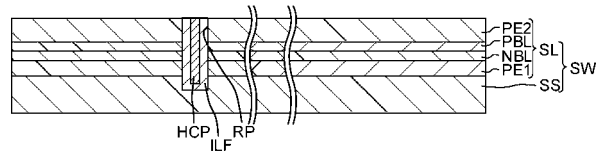
【 図 4 】

図 4



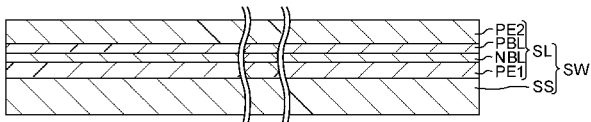
【 図 6 】

図 6

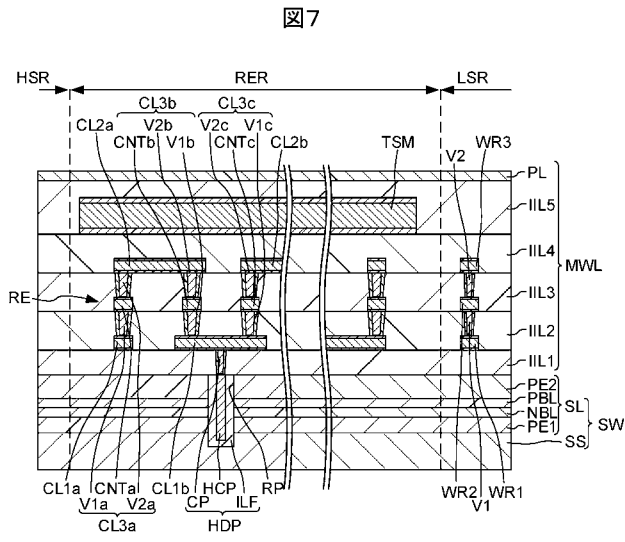


【 図 5 】

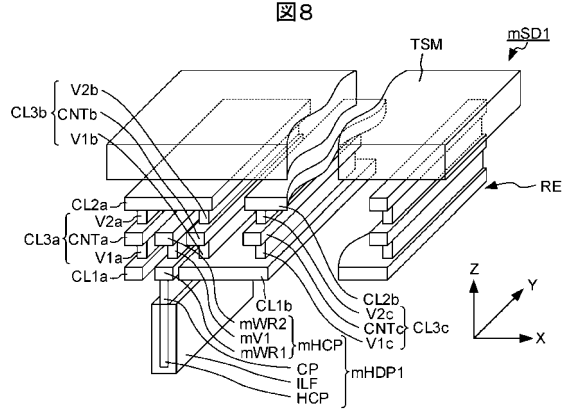
図 5



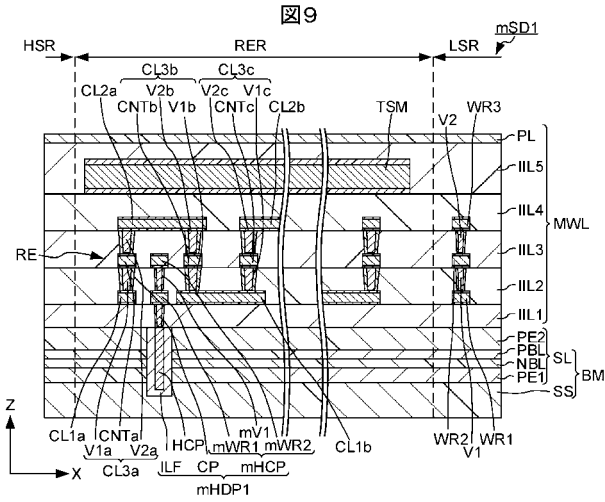
【 図 7 】



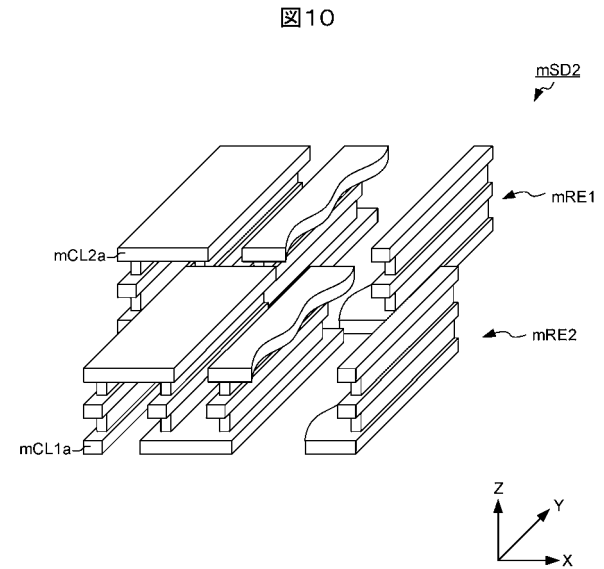
【 図 8 】



【 図 9 】

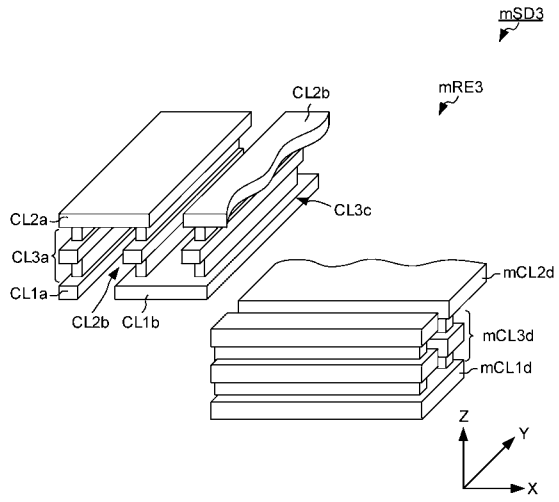


【 図 10 】



【 図 1 1 】

図 11



## フロントページの続き

(72)発明者 田島 英幸

東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内

(72)発明者 飯田 哲也

東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内

Fターム(参考) 5F033 HH08 HH11 HH18 HH19 HH21 HH32 HH33 JJ08 JJ11 JJ18  
JJ19 JJ21 JJ32 JJ33 KK08 KK11 KK18 KK19 KK21 KK32  
KK33 MM05 MM08 MM13 NN05 NN07 NN38 PP15 QQ48 SS08  
SS11 VV09 XX05  
5F038 AR07 AR13 AR14 AR16 AR19 AR25 BH16 BH20 CA05 CA08  
CA16 CD02 CD12 CD18 DF03 DF17 DT12 DT16 EZ14 EZ15  
EZ19 EZ20