

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4427184号
(P4427184)

(45) 発行日 平成22年3月3日(2010.3.3)

(24) 登録日 平成21年12月18日(2009.12.18)

(51) Int.Cl. F I
H04B 1/713 (2006.01) H04J 13/00 E

請求項の数 30 (全 19 頁)

(21) 出願番号	特願2000-516441 (P2000-516441)	(73) 特許権者	598036300
(86) (22) 出願日	平成10年10月6日 (1998.10.6)		テレフオンアクチーボラゲット エル エム エリクソン (パブル)
(65) 公表番号	特表2001-520474 (P2001-520474A)		スウェーデン国 ストックホルム エスー
(43) 公表日	平成13年10月30日 (2001.10.30)		164 83
(86) 国際出願番号	PCT/SE1998/001803	(74) 代理人	100076428
(87) 国際公開番号	W01999/019993		弁理士 大塚 康徳
(87) 国際公開日	平成11年4月22日 (1999.4.22)	(74) 代理人	100101306
審査請求日	平成17年10月3日 (2005.10.3)		弁理士 丸山 幸雄
(31) 優先権主張番号	08/950,068	(72) 発明者	ハートセン, ヤコブス
(32) 優先日	平成9年10月14日 (1997.10.14)		オランダ国 ボルネ ディーケー エヌエ
(33) 優先権主張国	米国 (US)		ル-7623, ドッデグラス 29
		審査官	富澤 哲生

最終頁に続く

(54) 【発明の名称】 周波数ホッピングシーケンスの生成方法及び装置

(57) 【特許請求の範囲】

【請求項1】

無線通信ネットワークで使用する、複数のクロックビットからなるクロック信号と複数のアドレスビットからなるアドレス信号を入力する周波数ホッピング生成器であって、

少なくとも前記アドレス信号の第1部分に基づいて、前記クロック信号の一部分のビット配置を置換する少なくとも1つの置換モジュールと、

前記少なくとも1つの置換モジュールと直列に接続され、少なくとも前記アドレス信号の前記第1部分とは異なる第2部分と前記クロック信号の一部分とを排他的ORする少なくとも1つの排他的ORモジュールとを備え、

前記直列に接続された少なくとも1つの置換モジュール及び排他的ORモジュールの出力は、複数のホッピング番号の1つを定義し、

前記アドレス信号の前記第1部分及び前記第2部分は、前記複数のホッピング番号のホッピングシーケンスを決定するものであり、また、前記クロック信号の一部分は、前記ホッピングシーケンスの位相を決定するものであり、

前記アドレス信号の第1部分及び第2部分の変更は、前記ホッピング番号のホッピングシーケンスの実質的な瞬時の変更を生成し、

前記クロック信号の一部分の変更は、前記ホッピング番号のホッピングシーケンスの位相の実質的な瞬時の変更を生成する

ことを特徴とする周波数ホッピング生成器。

【請求項2】

10

20

無線通信ネットワークで使用する、複数のクロックビットからなるクロック信号と複数のアドレスビットからなるアドレス信号を入力する周波数ホッピング生成器であって、

第 1 置換モジュールと、

第 1 排他的 OR モジュールとを備え、

前記第 1 置換モジュールは、

前記クロック信号の第 1 部分を受信する第 1 入力と、

前記アドレス信号の第 1 部分を受信する第 2 入力と、

前記第 2 入力に基づいて、前記第 1 入力を受信したクロック信号の第 1 部分のビット配置を置換したものを出力する出力とを有し、

前記第 1 排他的 OR モジュールは、

前記第 1 置換モジュールからの出力を受信する第 1 入力と、

前記アドレス信号の第 2 部分を受信する第 2 入力と、

それぞれが固有のホッピング番号を示す 2 個のホッピング番号の 1 つを定義する出力として、当該第 1 排他的 OR モジュールの前記第 1 入力と前記第 2 入力との間で排他的 OR したものを出力する出力とを有する

ことを特徴とする周波数ホッピング生成器。

【請求項 3】

前記第 1 置換モジュールは、前記アドレス信号の前記第 1 部分に基づいて、前記クロック信号の前記第 1 部分のビット配置を切り替える

ことを特徴とする請求項 2 に記載の周波数ホッピング生成器。

【請求項 4】

前記第 1 排他的 OR モジュールは、前記アドレス信号の前記第 2 部分と前記第 1 置換モジュールからの出力との間でビット単位の排他的 OR 論理関数を実行する

ことを特徴とする請求項 2 に記載の周波数ホッピング生成器。

【請求項 5】

第 2 排他的 OR モジュールと、

第 3 排他的 OR モジュールとを更に備え、

前記第 2 排他的 OR モジュールは、

前記クロック信号の第 2 部分を受信する第 1 入力と、

前記アドレス信号の第 3 部分を受信する第 2 入力と、

前記第 1 置換モジュールの第 2 入力を定義する出力とを有し、

前記第 3 排他的 OR モジュールは、

前記クロック信号の第 3 部分を受信する第 1 入力と、

前記アドレス信号の第 4 部分を受信する第 2 入力と、

前記第 1 排他的 OR モジュールの第 2 入力を定義する出力とを有する

ことを特徴とする請求項 2 に記載の周波数ホッピング生成器。

【請求項 6】

第 2 置換モジュールを更に備え、

前記第 2 置換モジュールは、

前記クロック信号の第 4 部分を受信する第 1 入力と、

前記アドレス信号の第 5 部分を受信する第 2 入力と、

前記第 2 排他的 OR モジュールの前記第 1 入力を定義する第 1 出力と、

前記第 3 排他的 OR モジュールの前記第 1 入力を定義する第 2 出力と

を有する

ことを特徴とする請求項 5 に記載の周波数ホッピング生成器。

【請求項 7】

前記クロック信号の前記第 1 部分は、相対的に高レートでトグルするクロックビット群であり、前記クロック信号の前記第 2 部分及び前記第 3 部分は、相対的に低レートでトグルするクロックビット群である

10

20

30

40

50

ことを特徴とする請求項 5 に記載の周波数ホッピング生成器。

【請求項 8】

モジュール M 加算器を更に備え、

前記モジュール M 加算器は、

前記 Z 個のホッピング番号の 1 つを定義する前記第 1 排他的 OR モジュールの出力を受信する第 1 入力と、

前記クロック信号の第 2 部分を受信する第 2 入力と、

前記第 1 入力と前記第 2 入力との間でモジュール M 加算を行ったものを、前記 Z 個より大きい M 個のホッピング番号の 1 つとして出力する出力と

を有する

10

ことを特徴とする請求項 2 に記載の周波数ホッピング生成器。

【請求項 9】

前記 Z 個のホッピング番号に対応する複数のホッピング周波数を記憶するメモリとを更に備え、

前記複数のホッピング周波数の 1 つは前記第 1 排他的 OR モジュールによって生成される入力ホッピング番号に基づいて選択される

ことを特徴とする請求項 2 に記載の周波数ホッピング生成器。

【請求項 10】

前記複数のホッピング周波数は、ホッピングシーケンス内で連続しているホッピング番号が不連続なホッピング周波数にマッピングされるように前記メモリ内で構成されている

ことを特徴とする請求項 9 に記載の周波数ホッピング生成器。

20

【請求項 11】

無線通信ネットワークで使用する、複数のクロックビットからなるクロック信号と複数のアドレスビットからなるアドレス信号を入力する周波数ホッピング生成器であって、

第 1 排他的 OR モジュールと、

第 1 置換モジュールとを備え、

前記第 1 排他的 OR モジュールは、

前記クロック信号の第 1 部分を受信する第 1 入力と、

前記アドレス信号の第 1 部分を受信する第 2 入力と、

前記第 1 入力と前記第 2 入力との間で排他的 OR したものを出力する出力とを有し、

30

前記第 1 置換モジュールは、

前記第 1 排他的 OR モジュールからの出力を受信する第 1 入力と、

前記アドレス信号の第 2 部分を受信する第 2 入力と、

それぞれが固有のホッピング番号を示す Z 個のホッピング番号の 1 つを定義する出力として、当該第 1 置換モジュールの前記第 2 入力に基づいて、当該第 1 置換モジュールの第 1 入力を受信した信号のビット配置を置換したものを出力する出力とを有する

ことを特徴とする周波数ホッピング生成器。

【請求項 12】

前記第 1 排他的 OR モジュールは、前記アドレス信号の前記第 1 部分と、前記クロック信号の第 1 部分との間でビット単位の排他的 OR 論理関数を実行する

ことを特徴とする請求項 11 に記載の周波数ホッピング生成器。

40

【請求項 13】

前記第 1 置換モジュールは、前記アドレス信号の前記第 2 部分に基づいて、当該第 1 置換モジュールの第 1 入力を受信した信号のビット配置を切り替える

ことを特徴とする請求項 11 に記載の周波数ホッピング生成器。

【請求項 14】

第 2 排他的 OR モジュールと、

第 3 排他的 OR モジュールとを更に備え、

前記第 2 排他的 OR モジュールは、

前記クロック信号の第 2 部分を受信する第 1 入力と、

50

前記アドレス信号の第3部分を受信する第2入力と、
前記第1排他的ORモジュールの前記第2入力を定義する出力とを有し、
前記第3排他的ORモジュールは、

前記クロック信号の第3部分を受信する第1入力と、
前記アドレス信号の第4部分を受信する第2入力と、
前記第1置換モジュールの前記第2入力を定義する出力と
 を有する

ことを特徴とする請求項11に記載の周波数ホッピング生成器。

【請求項15】

第2置換モジュールを更に備え、
前記第2置換モジュールは、

前記クロック信号の第4部分を受信する第1入力と、
前記アドレス信号の第5部分を受信する第2入力と、
前記第2排他的ORモジュールの前記第1入力を定義する第1出力と、
前記第3排他的ORモジュールの前記第1入力を定義する第2出力と
 を有する

ことを特徴とする請求項14に記載の周波数ホッピング生成器。

【請求項16】

前記クロック信号の前記第1部分は、相対的に高レートでトグルするクロックビット群
であり、前記クロック信号の前記第2部分及び前記第3部分は、相対的に低レートでト
グルするクロックビット群である

ことを特徴とする請求項14に記載の周波数ホッピング生成器。

【請求項17】

モジュールM加算器を更に備え、
前記モジュールM加算器は、

前記Z個のホッピング番号の1つを定義する前記第1置換モジュールの出力を受信す
る第1入力と、
前記クロック信号の第2部分を受信する第2入力と、
前記第1入力と前記第2入力との間でモジュールM加算を行ったものを、前記Z個よ
り大きいM個のホッピング番号の1つとして出力する出力と

を有することを特徴とする請求項11に記載の周波数ホッピング生成器。

【請求項18】

前記Z個のホッピング番号に対応する複数のホッピング周波数を記憶するメモリとを更
に備え、

前記複数のホッピング周波数の1つは前記第1置換モジュールによって生成される入力
ホッピング番号に基づいて選択される

ことを特徴とする請求項11に記載の周波数ホッピング生成器。

【請求項19】

前記複数のホッピング周波数は、ホッピングシーケンス内で連続しているホッピング番
号が不連続なホッピング周波数にマッピングされるように前記メモリ内で構成されている
ことを特徴とする請求項18に記載の周波数ホッピング生成器。

【請求項20】

周波数ホッピング無線ネットワークで使用する方法であって、
複数のクロックビットからなるクロック信号の第1部分を受信する工程と、
複数のアドレスビットからなるアドレス信号の第1部分に基づいて、前記クロック信号
の第1部分のビット配置の置換処理を実行する工程と、

前記アドレス信号の前記第1部分とは異なる第2部分と前記クロック信号の第1部分と
の間で排他的OR処理を実行する工程と、

前記置換処理及び前記排他的OR処理に基づいて、それぞれが固有のホッピング番号を
示すZ個のホッピング番号の1つを生成する工程と

10

20

30

40

50

を備えることを特徴とする方法。

【請求項 2 1】

前記置換処理の処理結果は、前記排他的 O R 処理における前記クロック信号の第 1 部分として使用される

ことを特徴とする請求項 2 0 に記載の方法。

【請求項 2 2】

前記排他的 O R 処理の処理結果は、前記置換処理における前記クロック信号の第 1 部分として使用される

ことを特徴とする請求項 2 0 に記載の方法。

【請求項 2 3】

前記アドレス信号の第 1 部分を生成するために前記クロック信号の第 2 部分と前記アドレス信号の第 3 部分との間で排他的 O R 処理を実行する工程と、

前記アドレス信号の第 2 部分を生成するために前記クロック信号の第 3 部分と前記アドレス信号の第 4 部分との間で排他的 O R 処理を実行する工程と

を更に備えることを特徴とする請求項 2 0 に記載の方法。

【請求項 2 4】

前記クロック信号の前記第 2 部分及び前記第 3 部分を生成するために前記クロック信号の第 4 部分のビット配置の置換処理を実行する工程と

を更に備えることを特徴とする請求項 2 3 に記載の方法。

【請求項 2 5】

前記 Z 個より大きい M 個のホッピング番号の 1 つを生成するために、モジュール M 加算器を使用して、前記置換処理の処理結果あるいは前記排他的 O R 処理の処理結果と、前記クロック信号の第 2 部分との間でモジュール M 加算を行ったものを、前記 Z 個のホッピング番号の 1 つとして出力する工程と

を更に備えることを特徴とする請求項 2 0 に記載の方法。

【請求項 2 6】

複数のホッピング周波数の 1 つを検索するために、前記 Z 個のホッピング番号の 1 つに基づいて、前記 Z 個のホッピング番号に対応するホッピング周波数を記憶するメモリをアクセスする工程とを更に備え、

前記メモリは、連続しているホッピング番号が不連続なホッピング周波数にマッピングされるように構成されている

ことを特徴とする請求項 2 0 に記載の方法。

【請求項 2 7】

無線通信ネットワークで使用する周波数ホッピング生成器であって、

複数のクロックビットからなるクロック信号の一部分を受信する第 1 入力と、

アドレス信号を受信する第 2 入力と、

前記アドレス信号に基づいて、前記クロック信号の一部分のビット配置を置換したものを、複数のホッピング番号の 1 つとして出力する出力と

を有する置換モジュールとを備え、

前記アドレス信号は、前記複数のホッピング番号のホッピングシーケンスを決定するものであり、また、前記クロック信号の一部分は、前記ホッピングシーケンスの位相を決定するものであり、

前記アドレス信号の変更は、前記ホッピング番号のホッピングシーケンスの実質的な瞬時の変更を生成し、

前記クロック信号の一部分の変更は、前記ホッピング番号のホッピングシーケンスの位相の実質的な瞬時の変更を生成する

ことを特徴とする周波数ホッピング生成器。

【請求項 2 8】

無線通信ネットワークで使用する周波数ホッピング生成器であって、

複数のクロックビットからなるクロック信号の一部分を受信する第 1 入力と、

10

20

30

40

50

アドレス信号を受信する第2入力と、
前記アドレス信号と前記クロック信号の一部分との間で排他的ORしたものを、複数のホッピング番号の1つとして出力する出力とを有する排他的ORモジュールとを備え、
前記アドレス信号は、前記複数のホッピング番号のホッピングシーケンスを決定するものであり、また、前記クロック信号の一部分は、前記ホッピングシーケンスの位相を決定するものであり、
前記アドレス信号の変更は、前記ホッピング番号のホッピングシーケンスの実質的な瞬時の変更を生成し、
前記クロック信号の一部分の変更は、前記ホッピング番号のホッピングシーケンスの位相の実質的な瞬時の変更を生成することを特徴とする周波数ホッピング生成器。

10

【請求項29】

周波数ホッピング無線ネットワークで使用方法であって、
複数のクロックビットからなるクロック信号の一部分を受信する工程と、
複数のアドレスビットからなるアドレス信号に基づいて、前記前記クロック信号の一部分の配置の置換処理を実行する工程と、
前記置換処理の処理結果を、それぞれが固有のホッピング番号を示す複数のホッピング番号の1つとして出力する工程とを備え、
前記アドレス信号は、前記複数のホッピング番号のホッピングシーケンスを決定するものであり、また、前記クロック信号の一部分は、前記ホッピングシーケンスの位相を決定するものであり、
前記アドレス信号の変更は、前記ホッピング番号のホッピングシーケンスの実質的な瞬時の変更を生成し、
前記クロック信号の一部分の変更は、前記ホッピング番号のホッピングシーケンスの位相の実質的な瞬時の変更を生成することを特徴とする方法。

20

【請求項30】

周波数ホッピング無線ネットワークで使用方法であって、
複数のクロックビットからなるクロック信号の一部分を受信する工程と、
複数のアドレスビットからなるアドレス信号と前記クロック信号の一部分との間で排他的OR処理を実行する工程と、
前記排他的OR処理の処理結果を、それぞれが固有のホッピング番号を示す複数のホッピング番号の1つとして出力する工程とを備え、
前記アドレス信号は、前記複数のホッピング番号のホッピングシーケンスを決定するものであり、また、前記クロック信号の一部分は、前記ホッピングシーケンスの位相を決定するものであり、
前記アドレス信号の変更は、前記ホッピング番号のホッピングシーケンスの実質的な瞬時の変更を生成し、
前記クロック信号の一部分の変更は、前記ホッピング番号のホッピングシーケンスの位相の実質的な瞬時の変更を生成することを特徴とする方法。

30

40

【発明の詳細な説明】

【0001】

背景

本発明は、擬似ランダム配列化整数シーケンスの生成技術に関するものである。特に、本発明は、非同期波数周波数ホッピング無線通信システムに対するシーケンスの生成方法及び装置に関するものである。

【0002】

この10年間で、無線及びVLSI技術の進歩は、消費者用途向けの無線通信を広範囲に

50

発達させている。移動体無線のような携帯機器は、現在では、許容範囲内の値段、サイズ、電力消費で製造することができる。

【 0 0 0 3 】

今日、無線技術は、主に音声通信（例えば、手の平サイズの無線器に関する）において注目されているが、この分野は、近い将来、他のタイプの移動機器及び固定機器へ及びからのより多くの情報流通を提供するために確実に拡大するであろう。より具体的には、技術の更なる進歩は、多くの機器に容易に搭載できるかなり安価な無線装置を提供することになるであろう。これは、現在使用されるケーブルの数を削減するであろう。例えば、無線通信は、周辺機器に関連するマスタ機器に接続するために使用されるケーブルの数を排除あるいは削減できる。

10

【 0 0 0 4 】

上述の無線通信は、高データレート転送を可能する抑制のない十分な許容量を有するバンドを必要とする。最適なバンドは、2.4 GHz の ISM（工業、科学及び医療：Industrial, Scientific and Medical）バンドであり、これは、広く利用可能である。このバンドは、83.5 MHz の無線スペクトルを提供する。

【 0 0 0 5 】

非同期で同一の無線媒体を共有する異なる無線ネットワークを実現するために、通常、信号拡散が適用される。事実、米国の FCC は、転送電力が約 0 dBm を超える場合にいくつかの拡散形式を適用するために 2.4 GHz バンドで動作する無線機器を、現在、要求している。拡散は、直接シーケンス拡散スペクトルを適用する符号レベル、あるいは周波数ホッピング（FH）拡散スペクトルを適用するチャンネルレベルのいずれか一方で行うことができる。後者は、費用対効果のある使用をより容易に可能にするので、上述の無線用途に対し効果がある。

20

【 0 0 0 6 】

周波数ホッピングシステムでは、平均してほぼ 83.5 MHz 以上のホッピングによって最適な干渉耐性が得られる。それにもかかわらず、例えば、1 MHz の狭範囲チャンネルを使用して容易に実行される。

【 0 0 0 7 】

多くの場合、異なる FH 無線は異なるホッピング周波数を使用するが、時として、無線ユニットは、それらが同じホッピング周波数を選択する場合が発生することもある。これは、同じ FH シーケンスを有する 2 つのリンクの構成は、シーケンスが同相である場合に一定の衝突を生じするからである。この発生の可能性を削減するために、各リンクは、なるべく自身の FH シーケンスを持つべきである。また、無線ユニットは、低い相互相関関係を示す FH シーケンスを使用すべきである。それゆえ、低い相互相関関係を示す可能な限りの多くの種類の FH シーケンスを得ることが好ましい。最適な場合では、FH シーケンスは直交すべきである。しかしながら、これは、非実用的でかつ米国の FCC で現在認められていない異なる無線ユニット同士の同期を必要とする。

30

【 0 0 0 8 】

本願の発明者による「非同期無線マルチユーザシステムにおける周波数ホッピングピコネット（Frequency Hopping Piconets in an Uncoordinated Wireless Multi-User System）」という名称の上記に参照される特許出願では、多重非同期「ピコネット」の無線拡散ネットワークを形成するシステムが開示されている。図 1 に示されるように、ネットワーク 10 は 3 つのピコネット（A、B 及び C）を構成し、それぞれは無線ユニット 100、102、104、106 及び 108 のサブセットと通信する。拡散ネットワークでは、ピコネットは、その拡散ネットワーク内の無線ユニットの通信要求を適合するために、動的に形成されかつ解放される。例えば、ピコネット C は、無線ユニット 104 と 106 間の情報交換を実行するために確立される。

40

【 0 0 0 9 】

すべてのピコネットは、同じ無線媒体を使用する。この無線媒体は、多数のサブチャンネルに分割され、各サブチャンネルはあるキャリア周波数を中心に配置される。同じピコネット

50

内のすべての無線ユニットは、あるチャネルから次のチャネルへと同期的にホッピングする。異なるピコネットは異なる擬似ランダムホッピングシーケンスを使用するので、干渉耐性は、例えば、2.4 GHz バンドで選択されるチャネルのシーケンスを介する周波数ホッピングによって得られる。周波数ホッピング技術を使用する情報通信に関する更なる詳細は、1996年7月23日に出願され、発明の名称が「小範囲無線通信システム及び使用方法 (Short-Range Radio Communications System and Method of Use)」である一般譲渡された米国特許出願番号第08/685,069に示され、これは、全体を参照することによって本明細書に組み込まれる。

【0010】

各ピコネットにおいて、無線ユニットの1つはマスタに指定され、残りのユニットはスレーブに設定される。この各ピコネットに対する周波数ホッピングシーケンスは、マスタ無線ユニットのアドレスに基づいてマスタ無線ユニットで生成される。選択されたホッピングシーケンス内の位相は、マスタ無線ユニットの自走クロックの関数である。マスタとスレーブ無線ユニット間で一旦通信が確立されると、マスタ無線ユニットは自身のマスタアドレスとマスタクロックをスレーブ無線ユニットへ転送する。次に、マスタアドレスとマスタクロックは仮想周波数ホッピングチャネルを定義するために使用され、また、マスタ無線ユニットとピコネット内のマスタ無線ユニットに関連するすべてのスレーブ無線ユニット間の通信に使用される。

【0011】

必要なホッピング周波数を生成するために、各無線ユニット100、...、108はそれぞれ、周波数ホッピング生成器112、...、120を含んでいる。周波数ホッピング (FH) 生成器の一例を図2に示す。図に示されるFH生成器200はクロック「CLK」入力 (マスタクロックが典型) とアドレス入力 (マスタアドレスが典型) を受信し、そして、それらから得られるホッピング番号を出力する。クロックの変更は、シーケンス内で異なるホッピング番号を生成する。換言すれば、クロックの変更は、シーケンス内で異なる位相を選択する。

【0012】

本願の発明者による「多重ピコネットへの同期接続 (Contemporaneous Connectivity to Multiple Piconets)」という名称の上記に参照される特許出願では、異なるピコネット間での接続を提供する技術が開示されている。この開示では、ユニットは、アドレスとクロックを変更することによってあるピコネットから別のピコネットへ変更することができる。例えば、図1に示されるように、ピコネットAに対しては、マスタアドレスA及びクロックAが使用され、これに対して、ピコネットBに対しては、マスタアドレスB及びクロックBが使用される。ピコネットA内のスレーブとして参加するユニット108は、ピコネットA内のFHチャネルに続くためにアドレスA及びクロックAを適用する。このユニットがピコネットB内のスレーブとして参加したい場合には、単に、アドレスB及びクロックBへ変更する。一方、ユニット108は、ピコネットA内のマスタとして参加することができ、その後、スレーブとして参加するためにピコネットBへ切り替わる。これらの切替は、好ましくは、リアルタイムで発生し、そうすることによって、ユニットはあるピコネットから別のピコネットへ移動でき、同時にすべてのピコネット内へ仮想的に参加することができる。

【0013】

上述のシステムでは、あるシーケンスから別のシーケンスへ高速に切り替わるのが望ましい。従来システムは、この目的を十分に満足しない。例えば、シーケンスがサイズ可変フォーマットである場合、シーケンスはいくつかの擬似ランダム生成器の処理を使用してオフラインで生成でき、そして、RAMメモリへとダウンロードされる。RAMは、RAMへのアドレス指定をするためのクロックを使用して連続的に読み出される。しかしながら、オフライン処理及びRAMへのダウンロードは、かなりの時間と消費電力を必要とする。加えて、シーケンス長は、制限があるRAMのサイズ (容量) に制約される。また、RAMの内容は周波数ホッピングシーケンスを表しているため、異なるシーケンスを使用

10

20

30

40

50

するピコネット間的高速切替は不可能であり、RAM内容は高速に変更できない。

【0014】

別のシーケンスの生成方法は、線形あるいは非線形フィードバックレジスタを使用する。これらのレジスタは、暗号化ルーチン及び通常暗号作成処理のいくつかの生成器として使用される。レジスタの計時によって、周期はフィードバック接続に依存するシーケンス及び長さになる。異なる周期は、フィードバック接続を変更することによって選択することができる。これらのレジスタに伴う問題は、最適な属性を有するシーケンス数が制限されることである。いくつかの設定(それぞれのアドレスに対応)は、不適切な属性を有するかなり短いシーケンスを生成し、その一方で、他の設定はからなり長いシーケンスを生成してしまう。

10

【0015】

加えて、図1に示される構成は、ホッピング番号へのクロック値CLKの直接マッピングを必要とする。これは、FH生成器がメモリを持たないことを要求し、これは、あるピコネットから別のピコネットへの移動を満足しないからである。フィードバックレジスタに対し、これは、ホッピング番号が読み出された後の1つあるいはいくつかの間隔で計時された後のフィードバックレジスタがクロック値で初期化されるべきであることを意味する。次に続いて起こるクロック値に対し、この処理が繰り返されるべきである。

【0016】

それ以外の擬似ランダムシーケンスの生成技術は、1994年に著作権が付与された、マックグロウヒル社(McGraw-Hill, Inc.)のサイモン(Simon et al.)による「拡散スペクトル通信ハンドブック(Spread Spectrum Communications Handbook)」のチャプタ5に説明されている。また、これらの技術は、通常、上述の用途に課せられるリアルタイム仕様に対し適していない。

20

【0017】

要約

それゆえ、本発明の典型的な目的は入力アドレス設定及びクロック値からホッピング番号を直接かつリアルタイムで生成する方法及び装置を提供することである。

【0018】

本発明の典型的な構成に従えば、上記の目的は、無線通信ネットワークで使用される周波数ホッピング生成器を使用して達成され、この無線通信ネットワークはアドレス信号の関数としてクロック信号の部分を処理する置換(PERM)処理モジュールと、PERMモジュールに直列に接続され、アドレス信号の関数としてクロック信号の部分を処理する排他的OR(XOR)処理モジュールとを有する。説明を簡単にするために、PERMモジュールに供給される選択アドレスはPERMアドレス信号(符号「p」で表される)と称し、一方、XORモジュールに供給される選択アドレスはXORアドレス信号(符号「e」で表される)と称する。直列接続されたPERM及びXORモジュールの出力は、複数のZホッピング番号の1つを定義する。アドレスの変更は、ホッピング番号内の出力シーケンス内で実質的に瞬時に変更する。クロック信号の変更は、ホッピング番号の出力シーケンスの位相内で実質的に瞬時に変更する。

30

【0019】

本発明の別の構成に従えば、PERM及びXORモジュールに供給されるアドレスは追加のXORかつ/あるいはPERM処理の結果である。この追加のXOR及びPERM処理は、固有シーケンスの数を増加し、各シーケンス長も増加させることができる。

40

【0020】

本発明の別の構成に従えば、モジュールM加算器は、Z周波数ホッピング番号の出力の1つを受信し、M周波数ホッピング番号の出力の1つを生成するように提供される。

【0021】

本発明の別の構成に従えば、ROMなどのメモリは、複数の出力ホッピング番号にタイオする複数のホッピング周波数を記憶するように提供される。ホッピング周波数は、シーケンス内の隣接周波数間で適切なスペクトル分割を保証するように構成される。

50

【 0 0 2 2 】

本発明の別の目的に従えば、周波数ホッピング無線ネットワークで使用される方法が提供され、この方法は、クロック情報ビット行列からなるクロック信号の部分を受信する工程と、置換アドレスの関数として情報ビットの列方向のビット値を変更するためにクロック信号の部分で置換処理を実行する工程と、排他的ORアドレスの関数として情報ビットの行方向のビット値を変更するためにクロック信号の部分で排他的OR処理を実行する工程と、置換処理及び排他的OR処理に基づいてZ出力周波数ホッピング番号の1つを生成する工程とを備える。

【 0 0 2 3 】

本発明の目的及び効果は、以下の図面と一緒に以下の詳細説明を読解することによって理解されるであろう。

10

【 0 0 2 4 】

詳細説明

本発明の様々な特徴は図面と一緒に説明され、図面においては、同等の構成要素は同じ参照番号で示される。

【 0 0 2 5 】

概要によって、本実施形態で開示される方法及び手段は、入力アドレスに基づいてFHシーケンスを直接選択し、クロック値に基づいてそのシーケンス内の位相を直接選択する。アドレス変更は、新規FHシーケンスに対応する正規のホッピングチャンネルを高速に提供する。クロック切替（例えば、インクリメント、デクリメント、あるいはクロック値における任意のジャンプの実行）は、新規位相に対応する正規のホッピングチャンネルを高速に提供する。

20

【 0 0 2 6 】

一実施形態に従えば、上述の機能は、入力アドレスの関数として、マスタの自走クロックの出力でXOR（排他的的OR）処理かつ/あるいはPERM（置換）処理を実行することによって実行される。概要によれば、図3Aは周波数ホッピング番号を生成するXORモジュールの使用例を示し、図4Aは周波数ホッピング番号を生成するPERMモジュールの使用例を示している。図5 - 図8は1つ以上のXORモジュール及びPERMモジュールの組み合わせを有する実施形態を示している。例えば、図5に示されるように、クロックのLSB値 $c_2 c_1 c_0$ 値はPERM処理モジュール500に入力され、その出力がXORモジュール502に入力される。XORモジュール502の出力は、ホッピングシーケンス内のホッピング番号を定義し、このホッピングシーケンスはPERMモジュール500及びXORモジュール502にそれぞれに適用される選択入力に関数である。

30

【 0 0 2 7 】

説明される実施形態のすべてにおいては、選択入力は周波数ホッピング生成器へ供給されるアドレス信号表現であり、上述の特定用途では、ピコネット内のマスタアドレス表現である。説明を簡単にするために、PERMモジュールに供給される選択アドレスはPERMアドレスあるいはPERMアドレス信号（符号「p」で表される）と称し、一方で、XORモジュールに供給される選択アドレスはXORアドレスあるいはXORアドレス信号（符号「e」で表される）と称する。例えば、図5では、PERMモジュールに供給される3ビット入力は $p_2 p_1 p_0$ で表され、一方、XORモジュールに供給される3ビット入力は $e_2 e_1 e_0$ で表される。しかしながら、これらの信号は周波数ホッピング生成器に供給される最終的なアドレスビット表現、あるいはそれらのサブセット（より一般的には、それらの派生物）であることに注意すべきである。p及びe信号は入力アドレス信号とは別に構成されていても良い。例えば、一実施形態では、 $p_2 p_1 p_0$ 及び $e_2 e_1 e_0$ 選択アドレスは、入力アドレス信号 $a_5 a_4 a_3 a_2 a_1 a_0$ の降順で並ぶ6つのアドレスビットで構成することができる（例えば、一実施形態では、 $p_2 p_1 p_0 = a_5 a_4 a_3$ 及び $e_2 e_1 e_0 = a_2 a_1 a_0$ 、あるいは $p_2 p_1 p_0 = a_2 a_1 a_0$ 及び $e_2 e_1 e_0 = a_5 a_4 a_3$ ）。一方、p及びe信号は「オーバーラップ」されても良い（即ち、p及びe信号の部分は同一のマスタアドレスビットで定義しても良い）。また、p及びeアドレスは、周波数発生器に供給されるアド

40

50

レスの連続するアドレスビットで定義する必要はない。本明細書で使用されるように、 p 及び e アドレスは、単に、それぞれPERM及びXORモジュールへ適用される信号を示すラベルである。

【0028】

様々な実施形態で示される回路の特徴は、以下の図3及び図4を参照して、XORモジュール及びPERM処理モジュールの属性を別々に検査することによってより詳細に説明されるであろう。

【0029】

図3Aは3ビットクロックを受信し、3ビット入力アドレス $e_2 e_1 e_0$ に基づく長さ8のFHシーケンスを生成する典型的なXORモジュール300を示している。一般に、XOR処理は、それぞれのアドレスビットが値「1」である場合はクロックビットを変換し、これに対し、アドレスビットが値「0」である場合はクロックビットは変換されない。XORモジュールは、クロック信号の各ビット i へXOR処理を適用し、そうすることによって、出力「 h 」の各ビット i は、次式によって定義される。

【0030】

【数1】

$$h_i = c_i \oplus e_i \text{ (即ち、 } h_2 = c_2 \oplus e_2, h_1 = c_1 \oplus e_1, h_0 = c_0 \oplus e_0 \text{)}$$

XOR処理では3つのアドレスビットが存在するので、XOR処理はそれぞれが長さ8の8つのFHシーケンスを出力する。

【0031】

図3BはXORモジュール300によって生成される複数のシーケンスを示している。つまり、各列(文字R、A、B、C、...、Gで示される)は入力アドレス $e_2 e_1 e_0$ に対応するシーケンスを表している。出力ホッピング番号は、出力ビット $h_2 h_1 h_0$ とするバイナリ形式でかつ、かっこで囲まれた番号とするそれらの2進表現でリスト化されている。各シーケンス内のそれぞれの番号は、シーケンス内のそれぞれの位相に対応する。XOR処理は2行ずつ行を置換することに注意されたい。

【0032】

クロック($c_2 = 1$)のMSBにおけるXOR処理は、単に、その半分の長さでFHシーケンスを循環させる。上述の典型的なピコネットの用途例は同期しないので、これは、FHシーケンスとシフトされたFHシーケンスは1つでかつ同じシーケンスであることを意味する。シーケンスR及びDは同じであり、同様に、シーケンスA及びE、シーケンスB及びF、シーケンスC及びGも同じである。それゆえ、クロックのMSBにおけるXOR処理は、破棄できる。それゆえ、XOR処理で得られる長さ8の複数のホッピングシーケンスの総数は、4である。一般に、 N 入力クロックラインに対し、XOR処理は、 $2^{(N-1)}$ 種類のシーケンスを生成する。

【0033】

アドレス $e_2 e_1 e_0$ の変更は直接シーケンスを変更し、クロック $c_2 c_1 c_0$ の変更は直接このシーケンスの位相を変更するので、図3Aに示される構成が図2のブラックボックスの仕様を満足することが理解されるであろう。

【0034】

次の処理、即ち、置換処理は、一般に、図4Aで示される。図4Aに示されるように、PERM処理モジュール400はクロックのLSBビット値 $c_2 c_1 c_0$ と選択入力 $p_2 p_1 p_0$ を受信し、これらから(出力ビット $h_2 h_1 h_0$ で表現される)出力ホッピング番号を生成する。一般に、PERM処理は、入力クロック信号を選択入力に基づく出力ホッピング番号への1対1のマッピングを適用する。つまり、入力 c_0 は、出力 h_0 、 h_1 、 h_2 のいずれかに接続することができる。 c_0 ラインが選択される場合、 c_1 ビットは、残りの $N-1$ 個の出力に接続することができる。次に、 c_2 ビットは、更に残りの $N-2$ 個の出力へと、

以下、同様にして接続することができる。全体で、 $N! = N \times (N - 1) \times (N - 2) \times \dots \times 2 \times 1$ 種類の組み合わせが可能である。例えば、 $N = 3$ の場合、 $3! = 6$ 種類の置換が存在する。それゆえ、この場合、選択アドレス $p_2 p_1 p_0$ は 3 ビット必要である。

【0035】

図 4 B は、図 4 A に示される機能を実行するための一連のバタフライ回路を示している。 $N = 3$ に対し、各ステージでは、1 つのバタフライは 2 つのラインを切り替える。選択ビット $p_2 p_1 p_0$ は、バタフライが信号を切替えないで通過させたかどうか、あるいは切替（スイッチ）が適用されたかどうかを判定する。例えば、アドレスビット p_2 が値「1」である場合、選択されたクロックラインは、第 1 ステージにおいて、ロジック 4 0 2 を使用して効果的に切り替えられる。アドレスビット p_1 が値「1」である場合、選択されたクロックラインは、第 2 ステージにおいて、ロジック 4 0 4 を使用して効果的に切り替えられる。アドレスビット p_0 が値「1」である場合、選択されたクロックラインは、第 3 ステージにおいて、ロジック 4 0 6 を使用して効果的に切り替えられる。

10

【0036】

各バタフライは、2 つの 2 入力マルチプレクサで実現できる。例えば、図 4 C は図 4 B に示されるロジック 4 0 2 を実現するための 2 入力マルチプレクサ対を示している。図 4 C では、選択ビット p_2 の値が「1」である場合、マルチプレクサ 4 0 8 は c_1 の値を出力し、マルチプレクサ 4 1 0 は c_0 の値を出力する。選択ビット p_2 の値が「0」である場合、マルチプレクサ 4 0 8 は c_0 の値を出力し、マルチプレクサ 4 1 0 は c_1 の値を出力する。

20

【0037】

そして、図 4 D は図 4 A - 図 4 C における PERM 処理に対する入力出力関係を示している。総数で、8 種類のシーケンスが生成される（R、A、B、...、G でラベル付けされる）。但し、シーケンス F はシーケンス C と同じであり、シーケンス G はシーケンス B と同じである。それゆえ、PERM 処理は、6 つの固有シーケンスを生成する。一般に、PERM 処理は $N!$ 種類のシーケンスを生成し、ここで、 N は入力クロック値の数を表している。PERM 処理がクロックシーケンスの列を交換し、一方で、XOR 処理がクロックシーケンスの行を交換することに注意されたい。

【0038】

図 4 D の出力エントリは、図 4 B で示される典型的な切替処理を使用して得られる。図 4 B のロジック 4 0 2 は c_1 及び c_0 に対する入力ラインを効果的に切り替えるので、例えば、選択入力 $p_2 p_1 p_0 = 1 0 0$ は、 $c_2 c_1 c_0 = 0 1 0$ の入力クロック値に対し $0 0 1$ の出力 $h_2 h_1 h_0$ を生成する。図 4 B のロジック 4 0 2 は $0 0 1$ の中間出力を生成するために c_1 及び c_0 に対する入力ラインを切り替え、ロジック 4 0 6 は $1 0 0$ の最終出力を生成するために c_2 及び c_0 に対する入力ラインを効果的に切り替えるので、選択入力 $p_2 p_1 p_0 = 1 0 1$ は $c_2 c_1 c_0 = 0 1 0$ の入力クロック値に対し $1 0 0$ の出力 $h_2 h_1 h_0$ を生成する。

30

【0039】

選択ビット $p_2 p_1 p_0$ の変更は直接シーケンスを変更し、クロック $c_2 c_1 c_0$ の変更は直接そのシーケンスの位相を変更するので、改めて、図 4 A に示される構成が図 2 のブラックボックスの仕様を満足することに注意されたい。

40

【0040】

8 つの固有の周波数ホッピング番号 (FH_{hop_unique}) から選択されるそれぞれ 8 つの番号の長さ (FH_{hop_length}) を有する総数 (FH_{seq_total}) $4 \times 6 = 24$ シーケンスを出力する構成を提供するために、図 3 A 及び図 4 A に示される XOR 及び PERM モジュールは組み合わせることができる。この構成は、PERM 5 0 0 モジュールに XOR モジュール 5 0 2 が接続されている図 5 に示される。図 3 B と一緒に説明されるように、MSB ビットは追加の固有シーケンスを生成しないので、PERM モジュール 5 0 0 の出力の MSB は XOR モジュールに入力されない。PERM 及び XOR 処理はクロックライン上で直接実行されるので、PERM 処理の前後で XOR 処理が実行されるかどうかは問題ない。また、図 5 では 3 つのクロックラインだけが示されているが、この構成がより多くの

50

数のクロックラインに対して拡張できることが理解されるであろう。一般に、 N クロックラインに対し、シーケンス長 FH_{seq_length} と固有ホッピング番号 FH_{hop_unique} の数は 2^N であり、生成される複数の FH シーケンス FH_{seq_total} の数は $N! \times 2^{N-1}$ である。

【0041】

より長いシーケンスは、図6に示される周波数ホッピング生成器を使用して得ることができる。本実施形態では、PERMモジュール600にXORモジュール602を接続した構成に図5の基本構成を採用している。この処理モジュールのブロックは破線で囲まれた部分であり、ここでは、「クロックLSB処理モジュール」610と称する。また、このモジュールは図7及び図8に示される回路の主要部分を形成する。以下、符号「 N 」はクロックLSB処理モジュールに入力されるクロックラインの数を表す。

10

【0042】

加えて、図6では、ビット単位の拡張XOR処理がクロックのMSB ($c_8 c_7 c_6$ 及び $c_5 c_4 c_3$) とXORモジュール604及び606を使用する選択ビット間で適用されている。XORモジュール604の出力はPERMモジュール600の入力に適用される3ビット信号であり、XORモジュール606の出力はXORモジュール602の入力に適用される3ビット信号である。XORモジュール604及び606によって実行されるXOR処理は、図3Bに示されるテーブルによって定義される。

【0043】

総（カスケード化）シーケンスは、シーケンスを $N/2$ 循環させた結果が同一のシーケンス結果となる属性を持たないので、 c_2 のMSBはXORできる。つまり、XORモジュール自身によって生成されるシーケンスの総数 FH_{seq_total} は 2^N である。

20

【0044】

図6の例では、クロックLSB処理モジュールはそれぞれが長さ8のホッピング番号（以下、「セグメント」と称する）の64の「サブシーケンス」のシリーズを生成する。これらのセグメントはカスケード化されている。これらのセグメントは、各セグメントに対しXOR処理モジュール604及び606の出力における変更のために異なっている。セグメントをカスケード化することによって生成される各シーケンス FH_{seq_total} の総長は $8 \times 64 = 512$ である。本実施形態におけるシーケンス長は 2^K に等しく、ここで、 K は回路全体に入力されるクロックラインの数（例えば、クロックLSB処理モジュールに入力されるクロックラインと選択入力として使用されるクロックラインを含む）である。図6の場合では、 $K = 9$ クロックラインが使用されている。複数のシーケンス FH_{seq_total} の数は $3! \times 2^3 = 48$ である。本実施形態では、 $2^N = 8$ の固有ホッピング周波数 (FH_{hop_unique}) が残っているが、より長いシーケンスは各周波数でかなり頻繁に発生する。すべてのホッピング周波数は同じ確率で発生する。

30

【0045】

シーケンス数 FH_{seq_total} は選択ラインにPERM処理を追加して適用することによって増加させることができる。この構成は図7に示され、この構成は第2PERMモジュール708を追加した図6の実施形態とは異なっている。第2PERMモジュール708は、置換アドレス $p_{12} p_{11} p_{10}$ 、…、 $p_5 p_4 p_3$ の関数としてMSBクロックライン $c_8 c_7 c_6 c_5 c_4 c_3$ 上で置換処理を実行する。より具体的には、置換処理は、スケールが異なるが、図4A - 図4Dで示される方法と同様の方法で入力置換アドレスの関数として入力クロックラインを効果的に切り替える。選択入力 ($p_{12} p_{11} p_{10}$ 、…、 $p_5 p_4 p_3$) は、入力クロック信号内で実行可能なすべての置換に対処するためにクロック信号 ($c_8 c_7 c_6 c_5 c_4 c_3$) よりも、より多くの入力ラインを有している。

40

【0046】

第2PERMモジュールの出力は2つの3ビット信号からなる。3ビット信号はそれぞれXORモジュール704及び706に入力される。XORモジュール704及び706はそれぞれ、図3A及び図3Bに示される方法と同様の方法で、PERMモジュール708の出力と選択入力 $p_2 p_1 p_0$ 間、PERMモジュール708の出力と選択入力 $e_{12} e_{11} e_{10}$ 間でXOR処理を実行する。XORモジュール704及び706の出力はそれぞれ3ビ

50

ット信号からなり、これらは P E R M モジュール 7 0 0 及び X O R モジュール 7 0 2 にそれぞれ入力される。

【 0 0 4 7 】

図 7 では、シーケンス長 $F H_{seq_length}$ は 5 1 2 であるが、複数のシーケンス数 $F H_{seq_total}$ は、6 ! から総数 $6 ! \times 3 ! \times 2^3 = 3 4 5 6 0$ シーケンスに増加している。固有周波数ホッピング番号 $F H_{hop_unique}$ の数は 8 である。

【 0 0 4 8 】

図 5 - 図 7 は 3 つの P E R M 及び X O R モジュールの 3 つの異なる構成例を示しているが、別のモジュール構成を提供することによって異なる長さでかつシーケンス数が達成されることが当業者には理解されるであろう。例えば、X O R 及び P E R M 処理はクロックより上位の M S B を使用して選択入力 $p_{12} p_{11} p_{10}$ 、...、 $p_5 p_4 p_3$ 上で実行することもできる。

10

【 0 0 4 9 】

クロック L S B は選択ライン p 及び e を伴う処理に対して使用することもできる。しかしながら、この場合、各セグメントにおけるホッピング周波数は固有ではない。加えて、全シーケンスを考慮する場合には各ホッピング周波数が等しい確率で発生することは補償されない。

【 0 0 5 0 】

本実施形態では、上述したように、固有ホッピング番号 $F H_{hop_unique}$ の総数は 2^N までに制限されており、ここで、 N はクロック L S B 処理モジュールに入力される入力クロックラインの数である。これは、固有ホッピング周波数の総数を制限設定数（例えば、2、4、8、16、32 等）に制約している。この総数に対する制限は、モジュール M 加算器を使用して出力ホッピング番号の総数を拡張し、モジュール M カウンタを使用してホッピング番号の総数を減少させることによって回避することができる。例えば、8 つの異なるホッピング番号を提供する $N = 3$ クロック入力ラインを使用し、かつ少なくとも 2 つの追加ホッピング番号を提供する加算器を使用することによって、10 個の固有ホッピング番号を提供することができる。

20

【 0 0 5 1 】

例えば、図 8 は P E R M モジュール 8 0 0 に X O R モジュール 8 0 2 を直列に接続した構成を採用する図 5 の実施形態の変形例である。P E R M モジュール 8 0 0 及び X O R モジュール 8 0 2 はそれぞれ、図 5 の場合のように、選択入力 $p_2 p_1 p_0$ 及び $e_2 e_1 e_0$ を受信する。X O R モジュール 8 0 2 の出力は、加算器 8 0 4 の第 1 入力に入力される。加算器 8 0 4 の第 2 入力はクロック信号 $c_{10} c_9 c_8$ 、...、 $c_4 c_3$ を受信する。

30

【 0 0 5 2 】

上記の構成では、X O R モジュール 8 0 2 の出力は固有ホッピング番号 $F H_{hop_unique} = Z$ ($= 2^N$) の総数を定義し、ここで、 $Z < M$ である。利用可能な M 個のホッピング番号のリストにおける長さ Z のセグメントは、クロック M S B の特定選択に含まれている。M S B を変更する場合、長さ Z の異なるセグメントが含まれる。好ましくは、 M は素数である。そして、 M が増分シフトした後、 Z ホッピング番号のオリジナル部分が再度得られる。

40

【 0 0 5 3 】

図 6 及び図 7 で上述された方法で M 長のホッピング周波数リストにおける Z 長セグメントの選択を任意に行うために、再度、加算器へ供給されるクロックビットは X O R 及び P E R M 処理で扱うことができる。

【 0 0 5 4 】

また、加算処理は図 6 及び図 7 におけるクロック L S B に適用できる。加えて、固定オフセットは位相内のオフセットを与える。図 5 に示される基本構成に対し、これは、同一シーケンスを循環させたシーケンスだけを得るため、異なるシーケンスを与えない。しかしながら、カスケード化セグメントを考慮すると、位相オフセットの追加によるセグメントの循環は異なる F H シーケンスを実際には与える。

50

【 0 0 5 5 】

図 8 では、ホッピング番号 M の数は Z より大きい。クロックカウンタモジュール M は、 $M < Z$ となる M ホッピング番号を提供するために加算器 8 0 4 の代わりに使用することができる。

【 0 0 5 6 】

ここまでは、図 5 - 図 8 で示される実施形態から得られるホッピング番号は、ホッピング周波数を直接表すものとされていた。しかしながら、いくつかの場合では、間接的な方法でホッピング周波数にホッピング番号をマッピングすることが有効である。例えば、ある用途では、単一のセグメント内だけに可能な限りのスペクトル部分を含ませることが有効である。連続ホッピング番号は十分に離れた間隔を空けたホッピング周波数に対応すべきである。これは、例えば、連続ホッピングが隣接ホッピング周波数に対応することを防止する。連続ホッピング周波数の間隔を空けることは、バーストエラーに無効にするためにインターリーブが適用される場合に特に効果がある。

10

【 0 0 5 7 】

出力ホッピング番号及びホッピング周波数は、図 9 に示すように R A M あるいは R O M を使用してマッピングすることができる。図に示されるように、ホッピング番号は、R A M あるいは R O M のようなメモリ 9 0 0 のアドレス結果を行うために使用される。メモリ 9 0 0 はホッピング周波数の指示を含んでいる。このメモリの内容は製造時あるいは導入時に一度初期化することができるため、一実施形態では、その内容は使用時では固定である。

20

【 0 0 5 8 】

メモリの内容には、長さ 2^N (セグメント長) を有するセグメントの内容に十分に間隔を空けた周波数が含まれていることである。例えば、メモリの内容は、 $M = 9$ (例えば、9 個のホッピング番号及び周波数) 及び $N = 2$ (例えば、クロック L S B 処理モジュールに入力される 2 個の L S B クロックライン) に対して示される。総じて、連続する 4 つのメモリ位置それぞれに 9 個のセグメントが存在する。各セグメントは周波数 1 から 9 に並ぶスペクトルに「及び」が、隣接ホッピングは常に少なくとも 2 ホッピング分離れている。

【 0 0 5 9 】

本発明は、特定の実施形態を参照して説明されている。しかしながら、上述した実施形態の特定形態以外の特定形態で本発明を例示することが可能であることが当業者には容易に理解されるであろう。この例示は、本発明の精神から逸脱しないで実行される。本実施形態は単なる例示であり、どのように扱っても限定されるものとみなすべきでない。本発明の範囲は、上述の説明よりもむしろ添付の請求項によって与えられ、請求項の範囲に含まれるあらゆる変形例及び等価例は、その請求項に含まれるように提供される。

30

【 図面の簡単な説明 】

【 図 1 】 複数のピコネットを使用して無線ユニットが通信するネットワークの概観例を示す図である。

【 図 2 】 マスタアドレスと入力用マスタクロックと出力用ホッピング番号を有する周波数ホッピング生成器の概要を示す図である。

【 図 3 A 】 X O R モジュールを使用する図 2 の周波数ホッピング生成器の典型的な実行例を示す図である。

40

【 図 3 B 】 異なるクロック値とアドレス設定に対する図 3 A の X O R モジュールによって生成される出力を示す図である。

【 図 4 A 】 P E R M 処理モジュールを使用する図 2 の周波数ホッピング生成器の典型的な実行例を示す図である。

【 図 4 B 】 入力クロックライン上の P E R M 処理モジュールによって実行されるデータ処理を示す図である。

【 図 4 C 】 図 4 B で示されるデータ処理を実行するための典型的な手段例を示す図である。

【 図 4 D 】 異なるクロック値及びアドレス設定に対する図 4 A の P E R M モジュールに

50

よって生成される出力を示す図である。

【図5】 XOR処理モジュール及びPERM処理モジュールを組み合わせて使用する図2の周波数ホッピング生成器の典型的な実行例を示す図である。

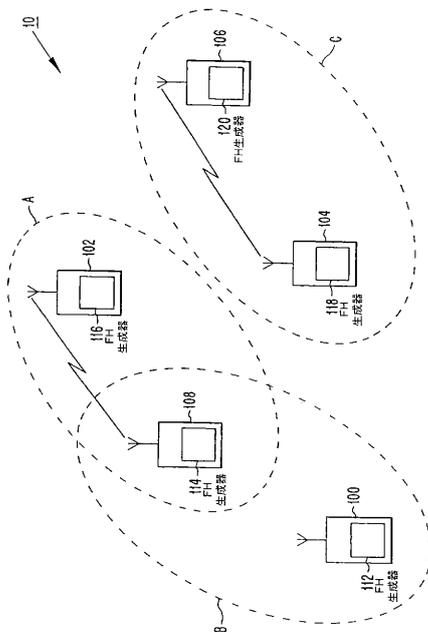
【図6】 入力アドレスがXORモジュールを使用して処理される図5の変形例を示す図である。

【図7】 入力アドレスがXORモジュールとPERM処理モジュールを使用して処理される図5の変形例を示す図である。

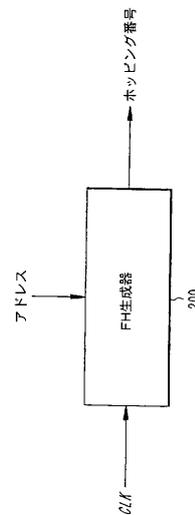
【図8】 XORモジュールの出力がモジュールM加算器を使用して更に処理される図5の変形例を示す図である。

【図9】 入力ホッピング番号に基づいてホッピング周波数を選択するために使用されるメモリの内容を示す図である。

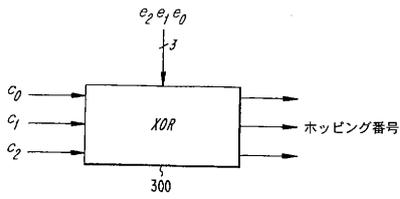
【図1】



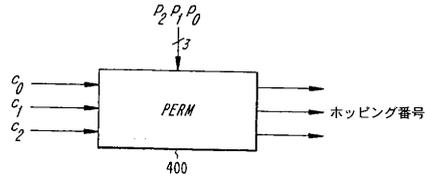
【図2】



【図3A】



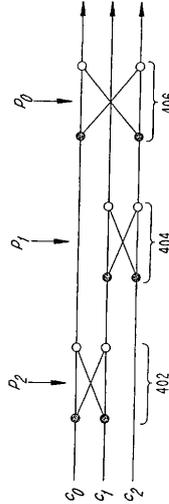
【図4A】



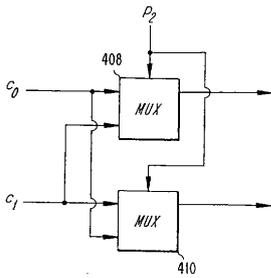
【図3B】

クロック $c_2 c_1 c_0$	出力							
	\underline{A} $e_2 e_1 e_0 = 000$	\underline{A} $e_2 e_1 e_0 = 001$	\underline{B} $e_2 e_1 e_0 = 010$	\underline{C} $e_2 e_1 e_0 = 011$	\underline{D} $e_2 e_1 e_0 = 100$	\underline{E} $e_2 e_1 e_0 = 101$	\underline{F} $e_2 e_1 e_0 = 110$	\underline{G} $e_2 e_1 e_0 = 111$
000	000 (0)	001 (1)	010 (2)	011 (3)	100 (4)	101 (5)	110 (6)	111 (7)
001	001 (1)	000 (0)	011 (3)	010 (2)	101 (5)	100 (4)	111 (7)	110 (6)
010	010 (2)	011 (3)	000 (0)	001 (1)	110 (6)	111 (7)	100 (4)	101 (5)
011	011 (3)	010 (2)	001 (1)	000 (0)	111 (7)	110 (6)	101 (5)	100 (4)
100	100 (4)	101 (5)	110 (6)	111 (7)	000 (0)	001 (1)	010 (2)	011 (3)
101	101 (5)	100 (4)	111 (7)	110 (6)	001 (1)	000 (0)	011 (3)	010 (2)
110	110 (6)	111 (7)	100 (4)	101 (5)	010 (2)	011 (3)	000 (0)	001 (1)
111	111 (7)	110 (6)	101 (5)	100 (4)	011 (3)	010 (2)	001 (1)	000 (0)

【図4B】



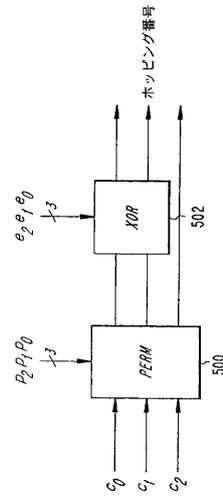
【図4C】



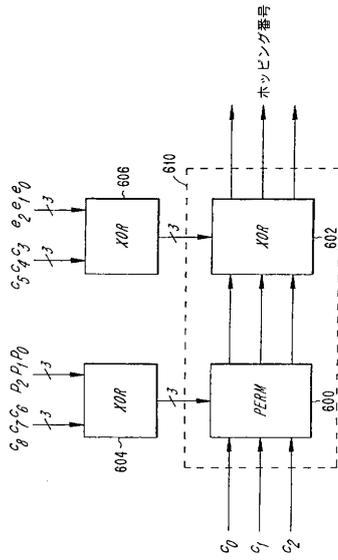
【図5】

【図4D】

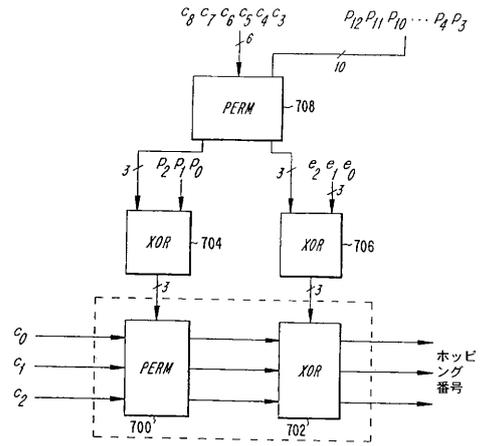
クロック $c_2 c_1 c_0$	出力							
	\underline{A} $p_2 p_1 p_0 = 000$	\underline{A} $p_2 p_1 p_0 = 001$	\underline{B} $p_2 p_1 p_0 = 010$	\underline{C} $p_2 p_1 p_0 = 011$	\underline{D} $p_2 p_1 p_0 = 100$	\underline{E} $p_2 p_1 p_0 = 101$	\underline{F} $p_2 p_1 p_0 = 110$	\underline{G} $p_2 p_1 p_0 = 111$
000	000 (0)	000 (0)	000 (0)	000 (0)	000 (0)	000 (0)	000 (0)	000 (0)
001	001 (1)	100 (4)	001 (1)	100 (4)	010 (2)	010 (2)	100 (4)	001 (1)
010	010 (2)	010 (2)	100 (4)	001 (1)	001 (1)	100 (4)	001 (1)	100 (4)
011	011 (3)	110 (6)	101 (5)	101 (5)	011 (3)	110 (6)	101 (5)	101 (5)
100	100 (4)	001 (1)	010 (2)	010 (2)	100 (4)	001 (1)	010 (2)	010 (2)
101	101 (5)	101 (5)	011 (3)	110 (6)	110 (6)	011 (3)	110 (6)	011 (3)
110	110 (6)	011 (3)	110 (6)	011 (3)	101 (5)	101 (5)	011 (3)	110 (6)
111	111 (7)	111 (7)	111 (7)	111 (7)	111 (7)	111 (7)	111 (7)	111 (7)



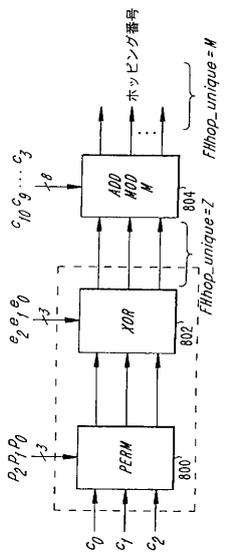
【図6】



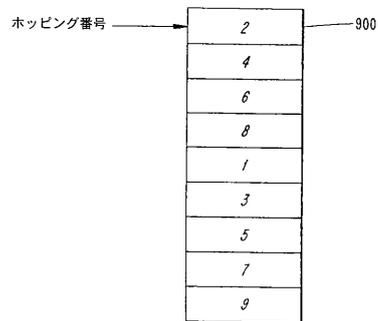
【図7】



【図8】



【図9】



フロントページの続き

(56)参考文献 特開平09 - 261202 (JP, A)
特開平09 - 064923 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H04B 1/713