



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I555134 B

(45)公告日：中華民國 105 (2016) 年 10 月 21 日

(21)申請案號：099138825

(22)申請日：中華民國 99 (2010) 年 11 月 11 日

(51)Int. Cl. : **H01L21/8249(2006.01)****H01L27/105 (2006.01)**

(30)優先權：2009/11/13 日本

2009-259900

(71)申請人：半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：小山潤 KOYAMA, JUN (JP)；渡邊一德 WATANABE, KAZUNORI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 5665987

US 5682047

US 2006/0011940A1

審查人員：王世賢

申請專利範圍項數：19 項 圖式數：12 共 63 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

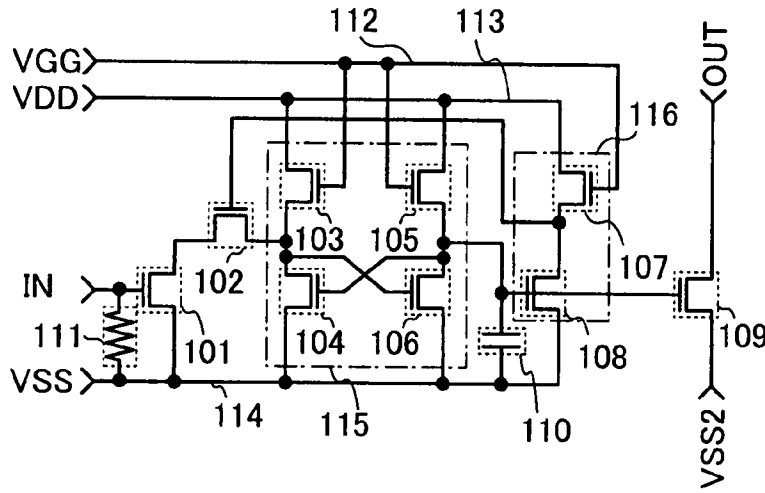
(57)摘要

一目的在於提供半導體裝置，其可實現閘流體的功能而不使程序變得複雜。包括藉由預設操作及初始化操作來儲存預定電位的半導體裝置設有根據觸發信號的供應重寫記憶體電路中之資料的電路。半導體裝置具有其中藉由在記憶體電路中重寫資料來供應流經半導體裝置的電流至負載的結構。

An object is to provide a semiconductor device that can realize a function of a thyristor without complication of the process. A semiconductor device including a memory circuit that stores a predetermined potential by reset operation and initialization operation is provided with a circuit that rewrite data in the memory circuit in accordance with supply of a trigger signal. The semiconductor device has a structure in which a current flowing through the semiconductor device is supplied to a load by rewriting data in the memory circuit, and thus can function as a thyristor.

指定代表圖：

第1圖



符號簡單說明：

- 101 . . . 絕緣閘極電晶體
- 102 . . . 絕緣閘極電晶體
- 103 . . . 絕緣閘極電晶體
- 104 . . . 絕緣閘極電晶體
- 105 . . . 絕緣閘極電晶體
- 106 . . . 絕緣閘極電晶體
- 107 . . . 絕緣閘極電晶體
- 108 . . . 絕緣閘極電晶體
- 109 . . . 絕緣閘極電晶體
- 110 . . . 電容器
- 111 . . . 電阻器
- 112 . . . 佈線
- 113 . . . 佈線
- 114 . . . 佈線
- 115 . . . 記憶體電路
- 116 . . . 反向器電路
- VGG . . . 第一高電源電位
- VDD . . . 第二高電源電位
- VSS . . . 第一低電源電位
- VSS2 . . . 第二低電源電位

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099138825

※申請日：099年11月11日

※IPC分類：

一、發明名稱：(中文/英文)

半導體裝置

Semiconductor device

H01L 21/8249 :2006.01

H01L 27/1105 :2006.01

二、中文發明摘要：

一目的在於提供半導體裝置，其可實現閘流體的功能而不使程序變得複雜。包括藉由預設操作及初始化操作來儲存預定電位的半導體裝置設有根據觸發信號的供應重寫記憶體電路中之資料的電路。半導體裝置具有其中藉由在記憶體電路中重寫資料來供應流經半導體裝置的電流至負載的結構。

三、英文發明摘要：

An object is to provide a semiconductor device that can realize a function of a thyristor without complication of the process. A semiconductor device including a memory circuit that stores a predetermined potential by reset operation and initialization operation is provided with a circuit that rewrite data in the memory circuit in accordance with supply of a trigger signal. The semiconductor device has a structure in which a current flowing through the semiconductor device is supplied to a load by rewriting data in the memory circuit, and thus can function as a thyristor.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

101：絕緣閘極電晶體

102：絕緣閘極電晶體

103：絕緣閘極電晶體

104：絕緣閘極電晶體

105：絕緣閘極電晶體

106：絕緣閘極電晶體

107：絕緣閘極電晶體

108：絕緣閘極電晶體

109：絕緣閘極電晶體

110：電容器

111：電阻器

112：佈線

113：佈線

114：佈線

115：記憶體電路

116：反向器電路

VGG：第一高電源電位

VDD：第二高電源電位

VSS：第一低電源電位

VSS2：第二低電源電位

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明有關於半導體裝置以及用於驅動半導體裝置之方法。

在此說明書之類中，「半導體裝置」一詞意指可藉由利用半導體特性來操作之所有裝置。例如，顯示裝置及積體電路包括在半導體裝置之類別中。

【先前技術】

已知作為電力裝置之閘流體係形成在單晶矽基板中並以諸如電流之觸發信號保持在導通狀態中(例如，參見專利文獻 1)。

閘流體包括 pnp 層，其中交替地配置 p 型半導體層及 n 型半導體層。閘流體的一等效電路係由一 npn 雙極電晶體(此後稱為 npn 電晶體)及一 pnp 雙極電晶體所構成。第 12 圖繪示一特定之電路組態。

第 12 圖繪示包括 npn 電晶體 1101 及 pnp 電晶體 1102 的閘流體 1100。在閘流體 1100 中，npn 電晶體 1101 的射極端子連接至供應高電源電位 VDD 至其的佈線 1103；nnp 電晶體 1101 的集極端子連接至 pnp 電晶體 1102 的基極端子以及供應觸發信號至其之輸入端子 IN；nnp 電晶體 1101 的基極端子連接至 pnp 電晶體 1102 的集極端子；以及 pnp 電晶體 1102 的射極端子連接至供應低電源電位 VSS 至其的佈線 1104。

將概述第 12 圖中之閘流體的操作。當觸發信號為 L 信號(亦稱為低位準信號或低電位信號)時，並未在 pnp 電晶體 1102 的集極端子與射極端子之間建立電連續性(亦即，pnp 電晶體 1102 為關閉)，並且幾乎沒有偵測到流經 pnp 電晶體 1102 之集極端子的電流(此後稱為集極電流)。因此，幾乎沒有偵測到流經 npn 電晶體 1101 之基極端子的電流(此後稱為基極電流)，所以 npn 電晶體 1101 也關閉且幾乎沒有電流流動於佈線 1103 與佈線 1104 之間。當觸發信號為 H 信號亦稱為高位準信號或高電位信號)時，在 pnp 電晶體 1102 的集極端子與射極端子之間建立電連續性(亦即，pnp 電晶體 1102 為啓通)。因此，nnp 電晶體 1101 的基極電流流動，並把 npn 電晶體 1101 帶入導通。當把 npn 電晶體 1101 帶入導通時，偵測到 npn 電晶體 1101 的集極電流，且使 pnp 電晶體 1102 維持在導通狀態中。閘流體 1100 具有一特徵，使得藉由將 pnp 電晶體 1102 之集極電流加到 npn 電晶體 1101 的集極電流所得之大電流會流動於佈線 1103 與佈線 1104 之間。

[參考]

專利文獻 1：日本公開專利申請案第 H11-354774 號

【發明內容】

以單晶半導體基板中之 pn 接面的組合來形成第 12 圖中所示之閘流體。有鑑於此，當結合用於形成絕緣閘極電晶體(亦稱為絕緣閘極場效電晶體(IGFET)或金屬絕緣體半

導體場效電晶體(MISFET))之程序來形成閘流體時，程序會變得複雜。此外，當使用薄膜電晶體(其為包括矽膜作為半導體層之絕緣閘極電晶體)來形成閘流體時，會產生問題，如耐受電壓，因而無法獲得希望的功能。

有鑑於上述，本發明之一目的在於提供可實現閘流體的功能而不使程序變得複雜的半導體裝置。

本發明之一實施例為一種半導體裝置，包括第一至第九絕緣閘極電晶體、一電容器、一第一高電源電位供應至其之一第一佈線、一第二高電源電位供應至其之一第二佈線、以及一低電源電位供應至其之一第三佈線。該第一絕緣閘極電晶體之一閘極電連接至一輸入端子。該第一絕緣閘極電晶體之一第一端子電連接至該第三佈線。該第一絕緣閘極電晶體之一第二端子電連接至該第二絕緣閘極電晶體之一第一端子。該第二絕緣閘極電晶體之一閘極電連接至該第七絕緣閘極電晶體之一第一端子及該第八絕緣閘極電晶體之一第一端子。該第二絕緣閘極電晶體之一第二端子電連接至該第三絕緣閘極電晶體之一第一端子、該第四絕緣閘極電晶體之一第一端子、及該第六絕緣閘極電晶體之一閘極。該第三絕緣閘極電晶體之一閘極電連接至該第一佈線。該第三絕緣閘極電晶體之一第二端子電連接至該第二佈線。該第四絕緣閘極電晶體之一閘極電連接至該第五絕緣閘極電晶體之一第一端子、該第六絕緣閘極電晶體之一第一端子、該電容器之一第一電極、該第八絕緣閘極電晶體之一閘極、及該第九絕緣閘極電晶體之一閘極。該

第四絕緣閘極電晶體之一第二端子電連接至該第三佈線。
該第五絕緣閘極電晶體之一閘極電連接至該第一佈線。該
第五絕緣閘極電晶體之一第二端子電連接至該第二佈線。
該第六絕緣閘極電晶體之一第二端子電連接至該第三佈線。
該第七絕緣閘極電晶體之一閘極電連接至該第一佈線。
該第七絕緣閘極電晶體之一第二端子電連接至該第二佈線。
該第八絕緣閘極電晶體之一第二端子電連接至該第三佈
線。該第九絕緣閘極電晶體之一第一端子電連接至一輸出
端子。該第九絕緣閘極電晶體之一第二端子電連接至該第
三佈線。該電容器之一第二電極電連接至該第三佈線。

在根據本發明之一實施例的半導體裝置中，第一至第
九絕緣閘極電晶體可各包括使用氧化物半導體所形成之半
導體層。

根據本發明之一實施例，半導體裝置可包括電阻器。
該電阻器之一第一端子可電連接至該第一絕緣閘極電晶體
之該閘極。該電阻器之一第二端子可電連接至該第三佈線
。

在根據本發明之一實施例的半導體裝置中，由二次離子
質譜偵測到之在該氧化物半導體中之氫濃度可為 $1 \times 10^{16} / \text{cm}^3$
或更少。

在根據本發明之一實施例的半導體裝置中，該氧化物
半導體之載子濃度可少於 $1 \times 10^{14} / \text{cm}^3$ 。

根據本發明之一實施例，一種半導體裝置可包括緩衝
器電路。在該第四絕緣閘極電晶體的該閘極、該第五絕緣

閘極電晶體的該第一端子、該第六絕緣閘極電晶體的該第一端子、該電容器之該第一電極、及該第八絕緣閘極電晶體的該閘極電連接之一節點的一電位可經由該緩衝器電路供應至該第九絕緣閘極電晶體的該閘極。

在根據本發明之一實施例的半導體裝置中，該緩衝器電路可包括第十至第十三絕緣閘極電晶體。該第十絕緣閘極電晶體的一閘極可電連接至該第一佈線。該第十絕緣閘極電晶體的一第一端子可電連接至該第二佈線。該第十絕緣閘極電晶體的一第二端子電連接至該第十一絕緣閘極電晶體的一第一端子及該第十三絕緣閘極電晶體的一閘極。該第十一絕緣閘極電晶體的一閘極可電連接至該第四絕緣閘極電晶體的該閘極、該第五絕緣閘極電晶體的該第一端子、該第六絕緣閘極電晶體的該第一端子、該電容器的該第一電極、及該第八絕緣閘極電晶體的該閘極。該第十一絕緣閘極電晶體的一第二端子可電連接至該第三佈線。該第十二絕緣閘極電晶體的一閘極可電連接至該第一佈線。該第十二絕緣閘極電晶體的一第一端子可電連接至該第二佈線。該第十二絕緣閘極電晶體的一第二端子可電連接至該第十三絕緣閘極電晶體的一第一端子及該第九絕緣閘極電晶體的該閘極。該第十三絕緣閘極電晶體的一第二端子可電連接至該第三佈線。

在根據本發明之一實施例的半導體裝置中，該緩衝器電路包括第十至第十三絕緣閘極電晶體。該第十絕緣閘極電晶體的一閘極可電連接至該第二絕緣閘極電晶體的該閘

極、該第七絕緣閘極電晶體的該第一端子、及該第八絕緣閘極電晶體的該第一端子。該第十絕緣閘極電晶體的一第一端子可電連接至該第二佈線。該第十絕緣閘極電晶體的一第二端子可電連接至該第十一絕緣閘極電晶體的一第一端子及該第十三絕緣閘極電晶體的一閘極。該第十一絕緣閘極電晶體的一閘極可電連接至該第四絕緣閘極電晶體的該閘極、該第五絕緣閘極電晶體的該第一端子、該第六絕緣閘極電晶體的該第一端子、該電容器的該第一電極、該第八絕緣閘極電晶體的該閘極、及該第十二絕緣閘極電晶體的該閘極。該第十一絕緣閘極電晶體的一第二端子可電連接至該第三佈線。該第十二絕緣閘極電晶體的一第一端子可電連接至該第二佈線。該第十二絕緣閘極電晶體的一第二端子可電連接至該第十三絕緣閘極電晶體的一第一端子及該第九絕緣閘極電晶體的該閘極。該第十三絕緣閘極電晶體的一第二端子可電連接至該第三佈線。

在根據本發明之一實施例的半導體裝置中，該第一高電源電位及該第二高電源電位為相同。

根據本發明之一實施例，可提供具有高耐受電壓並可實現閘流體之功能而不使程序變得複雜之半導體裝置。

【實施方式】

將參照附圖詳細說明實施例。注意到可在諸多不同模式中實施本發明，且熟悉此技藝人士將輕易了解到可以各種方式修改本發明之模式及細節而不背離本發明之精神及

範疇。因此，不應將本發明解釋為限制在下列實施例中的說明。注意到在本發明之詳細說明中，不同圖中共同使用相同參考符號來標示相同部件。

注意到為了清楚而在某些情況中放大實施例中的圖或之類中所示之各結構的尺寸、層的厚度、及區域。因此，本發明實施例不受限於此些情況。

注意到使用在此說明書中所採用的諸如第一、第二、第三至第 N 個 (N 為自然數) 之用語以避免構件之間的混淆且不對數量加以限制。

(實施例 1)

在此實施例中，首先參照第 1 圖、第 2A 及 2B 圖、第 3A 至 3C 圖、及第 4A 至 4C 圖來說明半導體裝置的電路組態，並接著將說明半導體裝置的操作。

在第 1 圖中，顯示在此實施例中並具有與閘流體等效之功能的半導體裝置包括第一絕緣閘極電晶體 101、第二絕緣閘極電晶體 102、第三絕緣閘極電晶體 103、第四絕緣閘極電晶體 104、第五絕緣閘極電晶體 105、第六絕緣閘極電晶體 106、第七絕緣閘極電晶體 107、第八絕緣閘極電晶體 108、第九絕緣閘極電晶體 109、電容器 110、及電阻器 111。包括在半導體裝置中之每一元件控制以供應至輸入端子 IN 的觸發信號、供應至第一佈線 112 之第一高電源電位 VGG、供應至第二佈線 113 之第二高電源電位 VDD、供應至第三佈線 114 之低電源電位 VSS (亦稱為第

一低電源電位)來控制流動在第九絕緣閘極電晶體 109 之第一端子與第二端子之間的電流。注意到包括在半導體裝置中之第一至第九絕緣閘極電晶體為 n 通道絕緣閘極電晶體。

第一絕緣閘極電晶體 101 的閘極連接至輸入端子 IN。第一絕緣閘極電晶體 101 之第一端子連接至第三佈線 114。第一絕緣閘極電晶體 101 之第二端子連接至第二絕緣閘極電晶體 102 之第一端子。第二絕緣閘極電晶體 102 之閘極連接至第七絕緣閘極電晶體 107 之第一端子及第八絕緣閘極電晶體 108 之第一端子。第二絕緣閘極電晶體 102 之第二端子連接至第三絕緣閘極電晶體 103 之第一端子、第四絕緣閘極電晶體 104 之第一端子、及第六絕緣閘極電晶體 106 之閘極。第三絕緣閘極電晶體 103 之閘極連接至第一佈線 112。第三絕緣閘極電晶體 103 之第二端子連接至第二佈線 113。第四絕緣閘極電晶體 104 之閘極連接至第五絕緣閘極電晶體 105 之第一端子、第六絕緣閘極電晶體 106 之第一端子、電容器 110 之第一電極、第八絕緣閘極電晶體 108 之一閘極、及第九絕緣閘極電晶體 109 之閘極。第四絕緣閘極電晶體 104 之第二端子連接至第三佈線 114。第五絕緣閘極電晶體 105 之閘極連接至第一佈線 112。第五絕緣閘極電晶體 105 之第二端子連接至第二佈線 113。第六絕緣閘極電晶體 106 之第二端子連接至第三佈線 114。第七絕緣閘極電晶體 107 之閘極連接至第一佈線 114。第七絕緣閘極電晶體 107 之第二端子連接至第

二佈線 113。第八絕緣閘極電晶體 108 之第二端子連接至第三佈線 114。第九絕緣閘極電晶體 109 之第一端子連接至輸出端子 OUT。第九絕緣閘極電晶體 109 之第二端子連接至供應第二低電源電位 VSS2 至其之一端子。電容器 110 的第二電極連接至第三佈線 114。

由第三絕緣閘極電晶體 103 及第四絕緣閘極電晶體 104，以及由第五絕緣閘極電晶體 105 及第六絕緣閘極電晶體 106 構成反向器電路。由諸反向電路之組合構成靜態記憶體電路 115。此外，由第七絕緣閘極電晶體 107 及第八絕緣閘極電晶體 108 構成反向器電路 116。因此，包括在反向器電路中之第三絕緣閘極電晶體 103、第五絕緣閘極電晶體 105、及第七絕緣閘極電晶體 107 各作用為一電阻器，電流從第二佈線 113 流動經其(亦稱為用以供應恆定電流之恆定電流源)。供應至第九絕緣閘極電晶體 109 之第二端子的第二低電源電位 VSS2 具有一電位，在此電位當依據第二高電源電位 VDD 之電位供應至第九絕緣閘極電晶體 109 的閘極時會把第九絕緣閘極電晶體 109 帶入導通。第二低電源供應電位 VSS2 可為低電源電位 VSS。換言之，第 1 圖中所示之半導體裝置可具有一種結構，其中省略第一高電源電位 VGG 供應至其之第一佈線 112 及/或第二低電源電位 VSS2 供應至其之一端子連接至第一低電源電位 VSS 供應至其之第三佈線 114，如第 2A 圖中所示。

如第 2B 圖中所示，負載 117 可連接至輸出端子 OUT

，其連接至第九絕緣閘極電晶體 109 的第一端子。當在第九絕緣閘極電晶體 109 的第一端子與第二端子之間建立電連續性時，電流會流經負載。

此外，電阻器 111 設置在輸入端子 IN 與第三佈線 114 之間。電阻器 111 的第一端子連接至輸入端子 IN，且電阻器 111 的第二端子連接至第三佈線 114。電阻器 111 的放置可防止當非觸發信號的信號(如雜訊)輸入至輸入端子 IN 時第一絕緣閘極電晶體 101 故障。可藉由以蜿蜒形狀(蛇形方式)導引來形成電阻器 111。

設置電容器 110 以使在第三絕緣閘極電晶體 103 的第一端子側上的一節點之電容和第五絕緣閘極電晶體 105 之第一端子側上的一節點之電容不同。電容器 110 具有一種結構，其中絕緣層夾在導體之間。此外，第三絕緣閘極電晶體 103 及第五絕緣閘極電晶體 105 較佳具有相同尺寸。

注意到針對包括在半導體裝置中之每一絕緣閘極電晶體中的一半導體層使用一氧化物半導體。藉由使用氧化物半導體作為絕緣閘極電晶體的半導體層，可使場效遷移率變得高於其中使用以矽為基的半導體材料(如非晶矽)的情況之場效遷移率。不像以單晶半導體基板中之 pn 接面的組合所形成之閘流體，藉由在基板上方堆疊材料來形成其中使用氧化物半導體作為半導體層之絕緣閘極電晶體。有鑑於此，可放寬基板之尺寸之類的侷限且減少形成半導體裝置的程序的複雜度。注意到氧化物半導體之實例為氧化鋅(ZnO)及氧化錫(SnO₂)。此外，可添加 In、Ga、或之類

到 ZnO。

接下來，將說明使用爲此實施例之結構中的每一絕緣閘極電晶體中的半導體層之氧化物半導體層。

包含在使用在此實施例中之氧化物半導體中的氫或 OH 基係從氧化物半導體移除，使氧化物半導體中之氫濃度爲 $1 \times 10^{16} / \text{cm}^3$ 或更少。形成絕緣閘極電晶體，其中使用載子濃度少於 $5 \times 10^{14} / \text{cm}^3$ ；較佳少於 $1 \times 10^{12} / \text{cm}^3$ ；更佳少於 $1 \times 10^{11} / \text{cm}^3$ 之氧化物半導體層形成通道區域。注意到由二次離子質譜 (SIMS) 來測量氧化物半導體層中之氫濃度。

能隙爲 2 eV 或更多；較佳 2.5 eV 或更多；更佳 3 eV 或更多。藉由盡可能地減少將成爲施體的雜質 (諸如氫) 而將載子濃度設定成少於 $1 \times 10^{14} / \text{cm}^3$ ；較佳少於 $1 \times 10^{12} / \text{cm}^3$ ；更佳小於 $1 \times 10^{11} / \text{cm}^3$ 或更少。亦即，使氧化物半導體層之載子濃度盡可能變成零。

其中使用氧化物半導體層 (其藉由大幅度減少包含於其中之氫而被高度純化) 作爲通道形成區域的絕緣閘極電晶體可具有 $1 \times 10^{16} \text{ A}$ 的關閉電流或更低。換言之，電路可設計成有可當絕緣閘極電晶體不導通時可被視爲絕緣體的氧化物半導體層。此外，當絕緣閘極電晶體導通時，預期氧化物半導體層之電流供應能力高於以非晶矽所形成之半導體層。

注意到在此說明書中關閉狀態電流意指當絕緣閘極電晶體不導通 (亦即絕緣閘極電晶體爲關閉) 時流動在源極與

汲極之間，亦即，在絕緣閘極電晶體的第一端子與第二端子之間的電流。在 n 通道絕緣閘極電晶體的情況中，關閉狀態電流意指當施加於閘極與源極之間的電壓等於或低於臨限電壓 (V_{th}) 時流動在源極與汲極之間的電流。

注意到作為氧化物半導體膜，可使用下列氧化物半導體膜，例如：諸如 In-Sn-Ga-Zn-O 膜之四成分金屬氧化物膜；諸如 In-Ga-Zn-O 膜、In-Sn-Zn-O 膜、In-Al-Zn-O 膜、Sn-Ga-Zn-O 膜、Al-Ga-Zn-O 膜、或 Sn-Al-Zn-O 膜之三成分金屬氧化物膜；In-Zn-O 膜、Sn-Zn-O 膜、Al-Zn-O 膜、Zn-Mg-O 膜、Sn-Mg-O 膜、或 In-Mg-O 膜之兩成分金屬氧化物膜；In-O 膜、Sn-O 膜、或 Zn-O 膜。此外，氧化物半導體膜可含有 SiO_2 。

作為氧化物半導體膜，可使用由 $InMO_3(ZnO)_m (m > 0)$ 所表示之薄膜。在此，M 代表選自 Ga、Al、Mn、及 Co 之一或更多金屬元素。例如，M 可為 Ga、Ga 及 Al、Ga 及 Mn、Ga 及 Co、或之類。組成配方是由 $InMO_3(ZnO)_m (m > 0)$ (其中包括至少 Ga 作為 M) 所表示的氧化物半導體稱為 In-Ga-Zn-O 氧化物半導體，且 In-Ga-Zn-O 氧化物半導體之薄膜稱為 In-Ga-Zn-O 膜。

注意到第一高電源電位 VGG 及第二高電源電位 VDD 為具有高於參考電位之電位的信號，且低電源電位 VSS 及第二低電源電位 VSS2 為具有低於或等於該參考電位之電位的信號。較佳第一高電源電位 VGG、第二高電源電位 VDD、低電源電位 VSS、及第二低電源電位 VSS2 為使得

當施加高電源電位至閘極時理想的絕緣閘極電晶體(其之臨限電壓為 0 V)啓通且當施加低電源電位至閘極時理想的絕緣閘極電晶體關閉。

注意到在諸多情況中電壓是指給定電位與參考電位(如接地電位)之間的電位差。因此，電壓、電位、及電位差亦可稱為電位或電壓。

注意到絕緣閘極電晶體可具有各種結構而不限於某一結構。例如，可使用具有兩或更多閘極電極的多閘極結構。

此外，可採用一種結構，其中閘極電極設置在通道區域的上方及下方。注意到當閘極電極形成在通道區域的上方及下方時，可採用一種結構，其中複數絕緣閘極電晶體並聯。

注意到當明確敘述「A 及 B 為連接」時，在此包括其中 A 及 B 為電連接的情況、其中 A 及 B 為功能連接的情況、及其中 A 及 B 為直接連接的情況。在此，A 及 B 的各者為一物件(如，裝置、元件、電路、佈線、電極、端子、導電膜、或層)。因此，可在具有圖及文中所示之連結關係的元件之間設置另一元件，而不限於預定的連結關係，例如，圖及文中所示之連結關係。

接下來，將參照第 3A 至 3C 圖及第 4A 至 4C 圖說明第 1 圖中所示之半導體裝置的操作並具有與閘流體等效之功能。注意到在第 3A 至 3C 圖及第 4A 至 4C 圖的說明中，節點 A(圖中之 A)代表第二絕緣閘極電晶體 102 的第二

端子、第三絕緣閘極電晶體 103 之第一端子、第四絕緣閘極電晶體 104 之第一端子、及第六絕緣閘極電晶體 106 的閘極在其連接之節點。此外，在第 3A 至 3C 圖及第 4A 至 4C 圖的說明中，節點 B(圖中之 B)代表第四絕緣閘極電晶體 104 的閘極、第五絕緣閘極電晶體 105 的第一端子、第六絕緣閘極電晶體 106 的第一端子、電容器 110 的第一電極、第八絕緣閘極電晶體 108 的閘極、及第九絕緣閘極電晶體 109 的閘極在其連接之節點。

首先敘述一操作，其中供應電源電位至第一至第三佈線 112 至 114 而使節點 A 及節點 B 設定至預定電位。注意到此操作亦稱為重設操作(或第一操作)。

首先，將第一高電源電位 VGG、第二高電源電位 VDD、及低電源電位 VSS 分別供應至第一佈線 112、第二佈線 113、及第三佈線 114，以使電流從第二佈線 113 流經第三絕緣閘極電晶體 103、第五絕緣閘極電晶體 105、及第七絕緣閘極電晶體 107(見第 3A 圖中之虛線箭頭)。接著，藉由流經第三絕緣閘極電晶體 103 的電流來升高節點 A 之電位。此外，藉由流經第五絕緣閘極電晶體 105 的電流來升高節點 B 之電位。還有，藉由流經第七絕緣閘極電晶體 107 的電流來升高第二絕緣閘極電晶體 102 的閘極之電位。注意到此操作對應至第 3C 圖中之第一時期 T1。第 3C 圖繪示隨時間之電位改變；實線代表節點 A 之電位且虛線代表節點 B 之電位。

注意到在第 3C 圖中，「H」代表依據供應至第二佈線

113 之第二高電源電位 V_{DD} 的電位，且「L」代表依據供應至第二佈線 113 之低電源電位 V_{SS} 的電位。

如第 3C 圖中所示，在第一時期 T_1 中之電流的流動會在因流經第三絕緣閘極電晶體 103 所致之節點 A 的電位升高之斜率與因流經第五絕緣閘極電晶體 105 所致之節點 B 的電位升高之斜率間造成之差異。當第三絕緣閘極電晶體 103 及第五絕緣閘極電晶體 105 具有已述之相同尺寸時，所供應之電流量相同但節點 B 之電位升高的斜率比節點 A 之電位升高的斜率較緩和，因為電容器 110 連接至節點 B。

另外，在第一時期 T_1 中，藉由流經第七絕緣閘極電晶體 107 之電流升高第二絕緣閘極電晶體 102 的閘極之電位，且將第二絕緣閘極電晶體 102 帶入導通。注意到用於啓通第一絕緣閘極電晶體 101 之觸發信號並未輸入到輸入端子 IN，所以將第一絕緣閘極電晶體 101 帶出導通。此外，在第一時期 T_1 中，使節點 A 與節點 B 的電位升高，且將第四、第六、第八、及第九絕緣閘極電晶體帶出導通。爲了解釋，將交叉 (X) 設置在第 3A、3B、4A、及 4B 圖中之非導通狀態中的絕緣閘極電晶體上。

接下來，將說明一操作，其中使節點 A 與節點 B 的電位升高，以改變絕緣閘極電晶體之導通狀態及非導通狀態。注意到此操作亦稱爲初始化操作(或第二操作)。

在第一時期 T_1 的說明中，在節點 A 之電位升高的斜率與節點 B 之電位升高的斜率之間出現差異，藉此使節點

A 先設定至電位「H」。因此，將第六絕緣閘極電晶體 106 帶入導通，且使節點 B 的電位降低至電位「L」（見第 3B 圖中之虛線箭頭）。由於節點 B 設定至電位「L」，第四絕緣閘極電晶體 104、第八絕緣閘極電晶體 108、及第九絕緣閘極電晶體 109 保持在非導通狀態中。注意到此操作對應至第 3C 圖中之第二時期 T2。

在第二時期 T2 中之電流的流動決定第四絕緣閘極電晶體 104 及第六絕緣閘極電晶體 106 之導通狀態或非導通狀態（其控制節點 A 及節點 B 的電位）。詳言之，將電位「H」保持在節點 A 且將電位「L」保持在節點 B。亦即，在第二時期 T2 中保持上述電位，只要分別從第一佈線 112、第二佈線 113、及第三佈線 114 供應第一高電源電位 VGG、第二高電源電位 VDD、及低電源電位 VSS。因此，使第九絕緣閘極電晶體 109 保持在非導通狀態中。在其中使用氧化物半導體作為絕緣閘極電晶體的半導體層之情況中，當絕緣閘極電晶體不導通時，氧化物半導體層可被視為絕緣體，且可將流自輸出端子 OUT 之電流保持小。

在第二時期 T2 中，如同在第一時期 T1 中般，藉由流經第七絕緣閘極電晶體 107 之電流升高第二絕緣閘極電晶體 102 的閘極之電位，且將第二絕緣閘極電晶體 102 帶入導通。注意到用於啓通第一絕緣閘極電晶體 101 之觸發信號並未輸入到輸入端子 IN，所以將第一絕緣閘極電晶體 101 帶出導通。

接下來，將說明一操作，其中在自輸入端子 IN 輸入

觸發信號時，以節點 A 及節點 B 之電位的改變來改變絕緣閘極電晶體之導通狀態及非導通狀態。注意到此操作亦稱為觸發輸入操作(或第三操作)。

注意到觸發信號為用以啓通第一絕緣閘極電晶體 101 之脈衝信號。詳言之，輸入 H 信號作為觸發信號以使電流流至作為閘流體的半導體裝置的輸出端子 OUT，亦即，至第九絕緣閘極電晶體 109。在電流流至半導體裝置的輸出端子 OUT 一次之後，如同閘流體中般輸出端子 OUT 會保持電流流動即使觸發信號切換至 L 信號。

如同在第二時期 T2 的說明中，藉由初始化操作將電位「H」保持在節點 A 並將電位「L」保持在節點 B。當在此狀態從輸入端子 IN 輸入觸發信號時，將第一絕緣閘極電晶體 101 及第二絕緣閘極電晶體 102 帶入導通並且電流從節點 A 朝第三佈線 114 流動(見第 4A 圖中之虛線箭頭)。亦即，降低節點 A 的電位，且當節點 A 降到電位「L」時，將第六絕緣閘極電晶體 106 帶出導通。注意到此操作對應至第 4C 圖中之第三時期 T3。

接著，將說明一操作，其中在從輸入端子 IN 輸入之觸發信號為 L 信號的情況中改變絕緣閘極電晶體之導通狀態及非導通狀態。注意到此操作亦稱為保持操作(或第四操作)。

如同在第三時期 T3 的說明中，藉由觸發輸入操作將節點 A 的電位降至電位「L」並將第六絕緣閘極電晶體 106 帶出導通。當把第六絕緣閘極電晶體 106 帶出導通時

，節點 B 的電位從電位「L」增加至電位「H」。接著，當節點 B 設定至電位「H」時，將第四絕緣閘極電晶體 104 帶入導通中，並且決定第四絕緣閘極電晶體 104 及第六絕緣閘極電晶體 106 之導通狀態或非導通狀態（其控制節點 A 及節點 B 的電位）（見第 4B 圖中之虛線箭頭）。因此，將第四絕緣閘極電晶體 104、第八絕緣閘極電晶體 108、第九絕緣閘極電晶體 109 帶入導通中。注意到此操作對應至第 4C 圖中之第四時期 T4。

注意到在第四時期 T4 中，觸發信號為 L 信號且將第一絕緣閘極電晶體 101 帶出導通。此外，在第四時期 T4 中，將第八絕緣閘極電晶體 108 帶入導通中，所以降低第二絕緣閘極電晶體 102 之閘極的電位且將第二絕緣閘極電晶體 102 帶出導通。

藉由上述操作，使第九絕緣閘極電晶體 109 保持在導通狀態中。注意到雖然取決於流自輸出端子 OUT 之電流量，較佳設計而使第九絕緣閘極電晶體 109 中之半導體層具有比第一至第八絕緣閘極電晶體中之半導體層更大寬度以增加流經第九絕緣閘極電晶體 109 之電流量。較佳使用氧化物半導體層，因為在絕緣閘極電晶體導通的時候之電流供應能力預期比以多晶矽所形成之半導體層更高。

爲了將第九絕緣閘極電晶體 109 帶入導通並接著再次帶出導通，停止供應電源電位給第一至第三佈線 112 至 114。此操作稱爲停止操作。爲了再次操作半導體裝置，可再次執行一連串上述的操作作爲重設操作。

注意到於此實施例中參照各圖所述者可適當地與其他實施例中所述者自由地結合或以其取代之。

(實施例 2)

在此實施例中，將參照第 5A 及 5B 圖說明半導體裝置的電路組態。此實施例顯示一種以下列方式獲得之結構：在實施例 1 的結構中，緩衝器電路設置在第九絕緣閘極電晶體 109 之閘極與第四絕緣閘極電晶體 104 的閘極、第五絕緣閘極電晶體 105 之第一端子、第六絕緣閘極電晶體 106 之第一端子、電容器 110 的第一電極、及第八絕緣閘極電晶體 108 的閘極在其電連接之節點之間。注意到不重複與實施例 1 中之那些類似的部分之說明，例如半導體裝置之操作。

第 5A 圖中所示並具有與閘流體等效之功能的半導體裝置和實施例 1 的第 1 圖中之半導體裝置不同之處在於其包括緩衝器電路 200。第 5A 圖中所示之緩衝器電路 200 包括第十絕緣閘極電晶體 210、第十一絕緣閘極電晶體 211、第十二絕緣閘極電晶體 212、及第十三絕緣閘極電晶體 213。第十絕緣閘極電晶體 210 的閘極連接至第一佈線 112。第十絕緣閘極電晶體 210 的第一端子連接至第二佈線 113。第十絕緣閘極電晶體 210 的第二端子電連接至第十一絕緣閘極電晶體 211 的第一端子及第十三絕緣閘極電晶體 213 的閘極。第十一絕緣閘極電晶體 211 的閘極連接至第四絕緣閘極電晶體 104 的閘極、第五絕緣閘極電晶體

105 的第一端子、第六絕緣閘極電晶體 106 的第一端子、電容器 110 的第一電極、及第八絕緣閘極電晶體 108 的閘極。第十一絕緣閘極電晶體 211 的第二端子連接至第三佈線 114。第十二絕緣閘極電晶體 212 的閘極連接至第一佈線 112。第十二絕緣閘極電晶體 212 的第一端子連接至第二佈線 113。第十二絕緣閘極電晶體 212 的第二端子連接至第十三絕緣閘極電晶體 213 的第一端子及第九絕緣閘極電晶體 109 的閘極。第十三絕緣閘極電晶體 213 的第二端子連接至第三佈線 114。

緩衝器電路具有一種結構，其中偶數個反向器電路（如反向器電路 116）（第 5A 圖中之兩個反向器電路）如第 5A 圖中般組合，藉此預期藉由絕緣閘極電晶體之尺寸的循序增加而改善電流供應能力，並且可藉由第九絕緣閘極電晶體 109 之尺寸的增加來增加流至輸出端子 OUT 的電流量。

第 5B 圖繪示包括與第 5A 圖中的不同結構之緩衝器電路 201 的半導體裝置之結構。第 5B 圖中所示之緩衝器電路 201 包括第十絕緣閘極電晶體 220、第十一絕緣閘極電晶體 221、第十二絕緣閘極電晶體 222、及第十三絕緣閘極電晶體 223。第十絕緣閘極電晶體 220 的一閘極連接至第二絕緣閘極電晶體 102 的閘極、第七絕緣閘極電晶體 107 的第一端子、及第八絕緣閘極電晶體 108 的第一端子。第十絕緣閘極電晶體 220 的第一端子連接至第二佈線 113。第十絕緣閘極電晶體 220 的第二端子連接至第十一

絕緣閘極電晶體 221 的第一端子及第十三絕緣閘極電晶體 223 的閘極。第十一絕緣閘極電晶體 221 的閘極連接至第四絕緣閘極電晶體 104 的閘極、第五絕緣閘極電晶體 105 的第一端子、第六絕緣閘極電晶體 106 的第一端子、電容器 110 的第一電極、第八絕緣閘極電晶體 108 的閘極、及第十二絕緣閘極電晶體 222 的閘極。第十一絕緣閘極電晶體 221 的第二端子連接至第三佈線 114。第十二絕緣閘極電晶體 222 的第一端子連接至第二佈線 113。第十二絕緣閘極電晶體 222 的第二端子連接至第十三絕緣閘極電晶體 223 的第一端子及第九絕緣閘極電晶體 109 的閘極。第十三絕緣閘極電晶體 223 的第二端子連接至第三佈線 114。

不像在諸如反向器電路 116 的反向器電路中，在第 5B 圖中之緩衝器電路 201 中，可縮短第十絕緣閘極電晶體 220 及第十一絕緣閘極電晶體 221 兩者皆為導通的時期以及第十二絕緣閘極電晶體 222 及第十三絕緣閘極電晶體 223 兩者皆為導通的時期，並可減少在保持操作中從第二佈線 113 流至第三佈線 114 的電流。

注意到於此實施例中參照各圖所述者可適當地與其他實施例中所述者自由地結合或以其取代之。

(實施例 3)

在此實施例中，將參照第 6A 及 6B 圖說明用為實施例 1 及 2 中之絕緣閘極電晶體的結構。

第 6A 圖為絕緣閘極電晶體 645 的頂視圖。第 6B 圖對

應至沿第 6A 圖中之虛線 A-B 的剖面圖。

如第 6B 圖中所示，於形成於基板 601 上方的絕緣膜 603 上方堆疊第一電極 605、氧化物半導體膜 607、及第二電極 609。設置閘極絕緣膜 611 以覆蓋第一電極 605、氧化物半導體膜 607、及第二電極 609。於閘極絕緣膜 611 上方設置第三電極 613。於閘極絕緣膜 611 及第三電極 613 上方設置充當間層絕緣膜的絕緣膜 617。在絕緣膜 617 中形成開口部。形成經個別開口部之分別連接至第一電極 605、第二電極 609、及第三電極 613 的佈線 631(見第 6A 圖)、佈線 629、及佈線 625。

第一電極 605 充當絕緣閘極電晶體 645 的汲極電極與源極電極之一。第二電極 609 充當絕緣閘極電晶體 645 的汲極電極與源極電極之另一。第三電極 613 充當絕緣閘極電晶體 645 的閘極電極。

在此實施例中，充當閘極電極的第三電極 613 為環形。當充當閘極電極之第三電極 613 具有環形時，可增加絕緣閘極電晶體的通道寬度。故可增加流經絕緣閘極電晶體的電流量。

基板 601 需有至少夠高的耐熱性以承受後續執行的熱處理。作為基板 601，可使用鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、或之類的玻璃基板。

當後續執行的熱處理之溫度為高時，較佳使用其之應變點大於或等於 730°C 之玻璃基板。作為玻璃基板，使用，例如，矽酸鋁玻璃、鋁硼矽酸鹽玻璃、或鋇硼矽酸鹽玻

璃。一般而言，玻璃基板含有比氧化硼 (B_2O_3) 更大量的氧化鋇 (BaO) 時，可獲得具有耐熱性之更實用的玻璃。因此，較佳使用其中 BaO 的量大於 B_2O_3 之玻璃基板。

注意到可使用以絕緣體所形成之基板 (如陶瓷基板、石英基板、或藍寶石基板) 來取代玻璃基板。替代地，可使用結晶玻璃或之類。

使用氧化物絕緣膜 (如氧化矽膜或氧氮化矽膜) 或氮化物絕緣膜 (如氮化矽膜、氮氧化矽膜、氮化鋁膜、或氮氧化鋁膜) 來形成絕緣膜 603。絕緣膜 603 可具有分層結構，且例如，可具有分層結構，其中自基板 601 側以此順序堆疊上述氮化物絕緣膜之一或更多及上述氧化物絕緣膜之一或更多。

使用選自 Al 、 Cu 、 Cr 、 Ta 、 Ti 、 Mo 、或 W 之金屬材料、含有這些金屬材料之任何者的合金、或之類的來形成第一電極 605 及第二電極 609。此外，第一電極 605 及第二電極 609 可具有一結構，其中在 Al 、 Cu 、或之類的金屬層之頂表面或底表面之一或兩者上堆疊 Cr 、 Ta 、 Ti 、 Mo 、 W 、或之類的退火金屬層。此外，可使用添加防止在 Al 膜中產生小丘或晶鬚的元素 (如， Si 、 Ti 、 Ta 、 W 、 Mo 、 Cr 、 Nd 、 Sc 、或 Y) 之鋁材料來增加耐熱性。另外，第一電極 605 可具有單層結構或包括兩或更多層之分層結構。例如，第一電極 605 可具有含矽之鋁膜的單層結構、其中鈦膜堆疊於鋁膜上之兩層結構、其中鈦膜堆疊於鎢膜上之兩層結構、或其中鈦膜、鋁膜、及鈦薄膜以此順序堆疊

之三層結構。替代地，可使用含鋁及選自鈦、鉭、鎢、鉬、鉻、釷、及鈦之一或複數元素的膜、合金膜、或氮化物膜來形成第一電極 605。

可使用導電金屬氧化物來形成第一電極 605 及第二電極 609。作為導電金屬氧化物，可使用氧化銦 (In_2O_3)、氧化錫 (SnO_2)、氧化鋅 (ZnO)、氧化銦及氧化錫的合金 ($\text{In}_2\text{O}_3\text{-SnO}_2$ ，簡稱為 ITO)、氧化銦及氧化鋅的合金 ($\text{In}_2\text{O}_3\text{-ZnO}$)、或添加矽或氧化矽之金屬氧化物材料。

作為氧化物半導體膜 607，可使用下列氧化物半導體膜，例如：諸如 In-Sn-Ga-Zn-O 膜之四成分金屬氧化物膜；諸如 In-Ga-Zn-O 膜、In-Sn-Zn-O 膜、In-Al-Zn-O 膜、Sn-Ga-Zn-O 膜、Al-Ga-Zn-O 膜、或 Sn-Al-Zn-O 膜之三成分金屬氧化物膜；In-Zn-O 膜、Sn-Zn-O 膜、Al-Zn-O 膜、Zn-Mg-O 膜、Sn-Mg-O 膜、或 In-Mg-O 膜之兩成分金屬氧化物膜；In-O 膜、Sn-O 膜、或 Zn-O 膜。此外，氧化物半導體膜可含有 SiO_2 。

作為氧化物半導體膜 607，可使用由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 所表示之薄膜。在此，M 代表選自 Ga、Al、Mn、及 Co 之一或更多金屬元素。例如，M 可為 Ga、Ga 及 Al、Ga 及 Mn、Ga 及 Co、或之類。組成配方是由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) (其中包括至少 Ga 作為 M) 所表示的氧化物半導體稱為 In-Ga-Zn-O 氧化物半導體，且 In-Ga-Zn-O 氧化物半導體之薄膜稱為 In-Ga-Zn-O 膜。

在用於此實施例中之氧化物半導體膜 607 中所含的氫

濃度為 $5 \times 10^{19} / \text{cm}^3$ 或更少；較佳為 $5 \times 10^{18} / \text{cm}^3$ 或更少；更佳為 $5 \times 10^{17} / \text{cm}^3$ 或更少；亦即，減少包含在氧化物半導體中之氫。換言之，高度純化氧化物半導體膜 607 以盡可能少地包含非氧化物半導體之主要成份的雜質。此外，氧化物半導體膜 607 之載子濃度為 $5 \times 10^{14} / \text{cm}^3$ 或更少；較佳為 $1 \times 10^{14} / \text{cm}^3$ 或更少；更佳為 $5 \times 10^{12} / \text{cm}^3$ 或更少；又更佳為 $1 \times 10^{12} / \text{cm}^3$ 或更少。亦即，氧化物半導體膜之載子濃度盡可能地接近零。能隙為 2 eV 或更多；較佳 2.5 eV 或更多；更佳 3 eV 或更多。注意到可由 SIMS 測量氧化物半導體膜中之氫濃度。另外，可藉由霍爾(Hall)效應測量來測量載子濃度。

氧化物半導體膜 607 較佳具有 30 nm 至 3000 nm 的厚度。當減少氧化物半導體膜 607 的厚度時，可縮短絕緣閘極電晶體的通道長度，且可製造出具有大啓通狀態電流及高場效遷移率之絕緣閘極電晶體。另一方面，當氧化物半導體膜 607 具有大的厚度時，典型 100 nm 至 3000 nm 的厚度，則可製造出針對高功率應用的半導體裝置。

閘極絕緣膜 611 可為單層結構或使用氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜、及/或氧化鋁膜所形成之堆疊結構。與氧化物半導體膜 607 接觸之閘極絕緣膜 611 的部份較佳含氧，且尤較佳使用氧化矽膜來形成閘極絕緣膜 611。藉由使用氧化矽薄膜，可供應氧至氧化物半導體膜 607，所以可使氧化物半導體膜 607 之性質變得合意。

當使用高 k 材料來形成閘極絕緣膜 611 時，可減少閘極漏電流，該高 k 材料可例如為矽酸鉛 (HfSiO_x)、添加氮至其之 HfSiO_xN_y 鋁鉛 (HfAlO_x)、氧化鉛、或氧化釷。此外，閘極絕緣膜 611 可具有分層結構，包括一高 k 材料膜及氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜、及氧化鋁薄膜之至少一者。閘極絕緣薄膜 611 較佳具有 50 nm 至 500 nm 的厚度。當閘極絕緣薄膜 611 的厚度為小時，可製造具有高場效遷移率之絕緣閘極電晶體；因此，可在形成有絕緣閘極電晶體之基板上方形成驅動器電路。另一方面，當閘極絕緣薄膜 611 的厚度為大時，可減少閘極漏電流。

可使用選自鋁、鉻、銅、鉍、鈦、鉬、及鎢之元素、含有這些元素之任何者作為一成分的合金、含有這些元素之任何者的結合之合金、及之類來形成充當閘極電極之第三電極 613。可使用選自錳、鎂、銦、及銻的一或更多材料。第三電極 613 可具有單層結構或具有兩或更多層之分層結構。例如，第三電極 613 可具有含矽之鋁薄膜的單層結構、其中鈦膜堆疊於鋁膜上之兩層結構、或其中鈦膜、鋁膜、及鈦薄膜以此順序堆疊之三層結構。替代地，可使用含鋁及選自鈦、鉍、鎢、鉬、鉻、釷、及鈳之一或複數元素的膜、合金膜、或氮化物膜來形成第三電極 613。

接下來，將參照第 7 圖、第 8A 及 8B 圖、第 9A 至 9C 圖、及第 10 圖來說明包括氧化物半導體膜 607 的絕緣閘極電晶體之操作。

第 7 圖為顯示在此實施例中之包括氧化物半導體膜的絕緣閘極電晶體之剖面圖。氧化物半導體膜(OS)及源極電極(S)堆疊在汲極電極(D)上方。閘極絕緣膜(GI)設置在汲極電極、氧化物半導體膜、及源極電極上方，且分別的閘極電極(GE1)設置在其上方。

第 8A 及 8B 圖為第 7 圖之剖面 A-A' 的能帶圖(示意圖)。第 8A 圖繪示其中源極的電壓與汲極的相同($V_D=0$ V)的情況。第 8B 圖繪示其中供應相關於源極的電壓之正電位($V_D>0$)至汲極的情況。

第 9A 及 9B 圖為第 7 圖之剖面 B-B' 的能帶圖(示意圖)。第 9A 圖繪示其中供應正電位($+V_G$)至閘極的情況，亦即，閘極(GE1)流動在源極與汲極之間的啓通狀態(導通狀態)。第 9B 圖繪示供應負電壓($-V_G$)至閘極(GE1)的情況，亦即，關閉狀態(非導通狀態，少數載子不流動的狀態)。

第 10 圖繪示真空能階、金屬的工作函數(ϕ_M)、及氧化物半導體膜之電子親和力(χ)之間的關係。

金屬退化，並且費米能階位在導通帶之中。另一方面，傳統的氧化物半導體膜一般為 n 型半導體裝置膜。在那個情況中之費米能階(E_f)與在帶隙中央的本質費米能階(E_i)隔著一段距離且位在導通帶附近。注意到已知氧化物半導體膜中之氫的部份充當施體，其為使氧化物半導體具有 n 型傳導性的因素之一。

相反地，根據此實施例的氧化物半導體膜為藉由下列方式而獲得的本質(i 型)氧化物半導體：為了高度純化而

從氧化物半導體膜移除為 n 型雜質之氫，使氧化物半導體膜盡可能少地含有非其之主要成分的雜質元素。換言之，根據此實施例中之氧化物半導體膜為非藉由添加雜質而藉由盡可能地移除雜質(如氫、水、羥基、或氫化物)而得之高度純化 i 型(本質)半導體膜或實質上本質氧化物半導體膜。因此，費米能階(E_f)可與本質費米能階(E_i)相同。

在帶隙(E_g)為 3.15 eV 的情況中，氧化物半導體膜的電子親和力(χ)據稱為 4.3 eV。包括在源極電極和汲極電極中之鈦(Ti)的工作函數實質上等於氧化物半導體的電子親和力(χ)。在此情況中，電子之肖特基能障不會形成在金屬與氧化物半導體膜之間的界面。

亦即，在金屬的工作函數(ϕ_M)等於氧化物半導體膜的電子親和力(χ)且金屬與氧化物半導體膜互相接觸的情況中，會獲得第 8A 圖中所示之能帶圖(示意圖)。

在第 8B 圖中，黑點(\cdot)表示電子。當供應正電位至汲極時，電子跨過能障(h)並注入氧化物半導體膜中，並且朝汲極流動。在此情況中，能障(h)的高度隨閘極電壓和汲極電壓而變。當供應正汲極電壓時，能障的高度小於第 8A 圖中之無供應電壓的能障高度，亦即，小於帶隙(E_g)的 1/2。

此時，如第 9A 圖中所示，電子沿著在閘極絕緣膜與高度純化氧化物半導體膜之間的界面處的氧化物半導體膜側之最低部分移動，其為能量穩定。

在第 9B 圖中，當供應負電位至閘極電極(GE1)時，實

質上不存在作為少數載子的電洞，所以電流值實質上接近零。

例如，即使在具有 $1 \times 10^4 \mu\text{m}$ 的通道寬度 W 及 $3 \mu\text{m}$ 的通道長度之絕緣閘極電晶體中，在室溫之關閉狀態電流可為 1×10^{-13} A 或更少，其為極低，且次臨限擺幅 (S 值) 可為 0.1 V/dec (其中有 100 nm 厚的閘極絕緣層)。

如上述般高度純化氧化物半導體膜以盡可能少地含有非其之主要成分的雜質 (如氫、水、羥基、或氫化物)，以在合意方式中操作絕緣閘極電晶體。尤其，可減少關閉電流。

在其中與基板實質上平行地形成通道的橫向絕緣閘極電晶體中，除了通道外需要設置源極和汲極。有鑑於此，由橫向絕緣閘極電晶體所佔據之基板的面積增加，這防止微製造。相反地，在垂直絕緣閘極電晶體中，源極、通道、和汲極為堆疊，所以可減少佔據基板表面的面積。故可最小化絕緣閘極電晶體。

另外，可藉由氧化物半導體膜之厚度來控制垂直絕緣閘極電晶體的通道長度；因此，絕緣閘極電晶體可藉由減少氧化物半導體膜 607 的厚度而具有較小的通道長度。可藉由減少通道長度來減少源極、通道、和汲極的串聯電阻，藉此可增加絕緣閘極電晶體的啓通狀態電流及場效遷移率。此外，在此實施例中之絕緣閘極電晶體的閘極電極為環形並可增加通道寬度，所以可增加啓通狀態電流。還有，包括具有減少氫濃度之高度純化氧化物半導體膜的絕緣

閘極電晶體具有極低的關閉狀態電流，並因而設定在絕緣狀態中，其中當絕緣閘極電晶體為關閉時幾乎沒有電流流動。依此，即使當減少氧化物半導體膜的厚度以致減少垂直絕緣閘極電晶體的通道長度時，絕緣閘極電晶體在非導通狀態中幾乎沒有關閉狀態電流。

藉由使用氫濃度減少之高度純化氧化物半導體膜，可製造出一種絕緣閘極電晶體，其在高速操作，可在電晶體啓通時流動大量電流，且在電晶體關閉時幾乎沒有流動電流。

注意到於此實施例中參照各圖所述者可適當地與其他實施例中所述者自由地結合或以其取代之。

(實施例 4)

在此實施例中，將說明在上述實施例的任何者中說明並作用為閘流體的半導體裝置之應用。在上述實施例中所述的半導體裝置可用為，例如，電子裝置(如可顯示影像之顯示器，如電腦)中之電池電力調節器；及針對電磁爐或載具(如腳踏車)設置的電力調節器，其由固定電源的電力所驅動。

注意到電力調節器意指以預定觸發信號供應電流至負載的裝置。

將參照第 11A 至 11C 圖說明包括半導體裝置之電力調節器的應用實例。

第 11A 圖繪示作為包括半導體裝置之電力調節器的應

用實例之電磁爐 1000。電磁爐 1000 藉由使用由流經線圈單元 1001 之電流所產生的電磁感應加熱烹煮裝置及之類。此外，電磁爐 1000 包括用以供應流經線圈單元 1001 之電流的電池 1002 及電力調節器 1003，以及用以充電電池 1002 的太陽能電池 1004。注意到第 11A 圖繪示太陽能電池 1004 作為充電電池 1002 的機構；替代地，可藉由另一機構充電電池 1002。由於包括作用為閘流體的半導體裝置的電力調節器 1003 包括絕緣閘極電晶體(其包括氧化物半導體層)，可減少關閉狀態電流，且可在電磁爐 1000 不執行加熱時實現耗電量的減少。

第 11B 圖繪示作為包括半導體裝置之電力調節器的應用實例之電動腳踏車 1010。電動腳踏車 1010 在電流流經馬達單元 1011 時獲得電力。此外，電動腳踏車 1010 包括用以供應流經馬達單元 1011 之電流的電池 1012 及電力調節器 1013。注意到充電電池 1012 的機構並未繪示在第 11B 圖中；可藉由額外設置的發電機或之類來充電電池 1012。由於包括作用為閘流體的半導體裝置的電力調節器 1013 包括絕緣閘極電晶體(其包括氧化物半導體層)，可減少關閉狀態電流，且可在電動腳踏車 1010 不運作時實現耗電量的減少。注意到在第 11B 圖中繪示一踏板；然而，非一定得設置踏板。

第 11C 圖繪示作為包括半導體裝置之電力調節器的應用實例之電動車 1020。電動車 1020 在電流流經馬達單元 1021 時獲得電力。此外，電動車 1020 包括用以供應流經

馬達單元 1021 之電流的電池 1022 及電力調節器 1023。注意到充電電池 1022 的機構並未繪示在第 11C 圖中；可藉由額外設置的發電機或之類來充電電池 1022。由於包括作用為閘流體的半導體裝置的電力調節器 1023 包括絕緣閘極電晶體(其包括氧化物半導體層)，可減少關閉狀態電流，且可在電動車 1020 不運作時實現耗電量的減少。

注意到於此實施例中參照各圖所述者可適當地與其他實施例中所述者自由地結合或以其取代之。

此申請案依據於 2009 年 11 月 13 日向日本專利局申請的日本專利申請案序號 2009-259900，其全部內容以引用方式併於此。

【圖式簡單說明】

在附圖中：

第 1 圖繪示根據本發明之一實施例的半導體裝置；

第 2A 及 2B 圖各繪示根據本發明之一實施例的半導體裝置；

第 3A 至 3C 圖繪示根據本發明之一實施例的半導體裝置；

第 4A 至 4C 圖繪示根據本發明之一實施例的半導體裝置；

第 5A 及 5B 圖各繪示根據本發明之一實施例的半導體裝置；

第 6A 及 6B 圖繪示根據本發明之一實施例的半導體裝

置；

第 7 圖繪示根據本發明之一實施例的半導體裝置；

第 8A 及 8B 圖繪示根據本發明之一實施例的半導體裝置；

第 9A 及 9B 圖繪示根據本發明之一實施例的半導體裝置；

第 10 圖繪示根據本發明之一實施例的半導體裝置；

第 11A 至 11C 圖各繪示半導體裝置之應用實例；以及
第 12 圖繪示閘流體。

【主要元件符號說明】

101：絕緣閘極電晶體

102：絕緣閘極電晶體

103：絕緣閘極電晶體

104：絕緣閘極電晶體

105：絕緣閘極電晶體

106：絕緣閘極電晶體

107：絕緣閘極電晶體

108：絕緣閘極電晶體

109：絕緣閘極電晶體

110：電容器

111：電阻器

112：佈線

113：佈線

- 114 : 佈線
- 115 : 記憶體電路
- 116 : 反向器電路
- 117 : 負載
- 200 : 緩衝器電路
- 201 : 緩衝器電路
- 210 : 絕緣閘極電晶體
- 211 : 絕緣閘極電晶體
- 212 : 絕緣閘極電晶體
- 213 : 絕緣閘極電晶體
- 220 : 絕緣閘極電晶體
- 221 : 絕緣閘極電晶體
- 222 : 絕緣閘極電晶體
- 223 : 絕緣閘極電晶體
- 601 : 基板
- 603 : 絕緣膜
- 605 : 電極
- 607 : 氧化物半導體膜
- 609 : 電極
- 611 : 閘極絕緣膜
- 613 : 電極
- 617 : 絕緣膜
- 625 : 佈線
- 629 : 佈線

- 631 : 佈線
- 645 : 絕緣閘極電晶體
- 1000 : 電磁爐
- 1001 : 線圈單元
- 1002 : 電池
- 1003 : 電力調節器
- 1004 : 太陽能電池
- 1010 : 電動腳踏車
- 1011 : 馬達單元
- 1012 : 電池
- 1013 : 電力調節器
- 1020 : 電動車
- 1021 : 馬達單元
- 1022 : 電池
- 1023 : 電力調節器
- 1100 : 閘流體
- 1101 : npn 電晶體
- 1102 : pnp 電晶體
- 1103 : 佈線
- 1104 : 佈線

七、申請專利範圍：

1. 一種半導體裝置，包含：

第一至第九絕緣閘極電晶體；

一第一電容器；

一第一高電源電位供應至其之一第一佈線；

一第二高電源電位供應至其之一第二佈線；

一第一低電源電位供應至其之一第三佈線；以及

一第二低電源電位供應至其之一第四佈線，

其中該第一絕緣閘極電晶體之一閘極電連接至一輸入端子，該第一絕緣閘極電晶體之一第一端子電連接至該第三佈線，以及該第一絕緣閘極電晶體之一第二端子電連接至該第二絕緣閘極電晶體之一第一端子，

其中該第二絕緣閘極電晶體之一閘極電連接至該第七絕緣閘極電晶體之一第一端子及該第八絕緣閘極電晶體之一第一端子；以及該第二絕緣閘極電晶體之一第二端子電連接至該第三絕緣閘極電晶體之一第一端子、該第四絕緣閘極電晶體之一第一端子、及該第六絕緣閘極電晶體之一閘極，

其中該第三絕緣閘極電晶體之一閘極電連接至該第一佈線，以及該第三絕緣閘極電晶體之一第二端子電連接至該第二佈線，

其中該第四絕緣閘極電晶體之一閘極電連接至該第五絕緣閘極電晶體之一第一端子、該第六絕緣閘極電晶體之一第一端子、該電容器之一第一電極、該第八絕緣閘極電

晶體之一閘極、及該第九絕緣閘極電晶體之一閘極；以及該第四絕緣閘極電晶體之一第二端子電連接至該第三佈線，

其中該第五絕緣閘極電晶體之一閘極電連接至該第一佈線，以及該第五絕緣閘極電晶體之一第二端子電連接至該第二佈線，

其中該第六絕緣閘極電晶體之一第二端子電連接至該第三佈線，

其中該第七絕緣閘極電晶體之一閘極電連接至該第一佈線，以及該第七絕緣閘極電晶體之一第二端子電連接至該第二佈線，

其中該第八絕緣閘極電晶體之一第二端子電連接至該第三佈線，

其中該第九絕緣閘極電晶體之一第一端子電連接至一輸出端子，以及該第九絕緣閘極電晶體之一第二端子電連接至該第四佈線，以及

其中該電容器的一第二電極電連接至該第三佈線。

2. 一種半導體裝置，包含：

第一至第九絕緣閘極電晶體；

一電容器；

一第一高電源電位供應至其之一第一佈線；

一第二高電源電位供應至其之一第二佈線；

一第一低電源電位供應至其之一第三佈線；以及

一第二低電源電位供應至其之一第四佈線，

其中該第一絕緣閘極電晶體之一閘極電連接至一輸入端子，該第一絕緣閘極電晶體之一第一端子電連接至該第三佈線，以及該第一絕緣閘極電晶體之一第二端子電連接至該第二絕緣閘極電晶體之一第一端子，

其中該第二絕緣閘極電晶體之一閘極電連接至該第七絕緣閘極電晶體之一第一端子及該第八絕緣閘極電晶體之一第一端子；以及該第二絕緣閘極電晶體之一第二端子電連接至該第三絕緣閘極電晶體之一第一端子、該第四絕緣閘極電晶體之一第一端子、及該第六絕緣閘極電晶體之一閘極，

其中該第三絕緣閘極電晶體之一閘極電連接至該第一佈線，以及該第三絕緣閘極電晶體之一第二端子電連接至該第二佈線，

其中該第四絕緣閘極電晶體之一閘極電連接至該第五絕緣閘極電晶體之一第一端子、該第六絕緣閘極電晶體之一第一端子、該電容器之一第一電極、該第八絕緣閘極電晶體之一閘極、及該第九絕緣閘極電晶體之一閘極；以及該第四絕緣閘極電晶體之一第二端子電連接至該第三佈線，

其中該第五絕緣閘極電晶體之一閘極電連接至該第一佈線，以及該第五絕緣閘極電晶體之一第二端子電連接至該第二佈線，

其中該第六絕緣閘極電晶體之一第二端子電連接至該第三佈線，

其中該第七絕緣閘極電晶體之一閘極電連接至該第一佈線，以及該第七絕緣閘極電晶體之一第二端子電連接至該第二佈線，

其中該第八絕緣閘極電晶體之一第二端子電連接至該第三佈線，

其中該第九絕緣閘極電晶體之一第一端子電連接至一輸出端子，以及該第九絕緣閘極電晶體之一第二端子電連接至該第四佈線，

其中該電容器之一第二電極電連接至該第三佈線，以及

其中該第一至第九絕緣閘極電晶體各具有使用一氧化物半導體所形成之一半導體層。

3. 一種半導體裝置，包含：

第一至第九絕緣閘極電晶體；

一電容器；

一緩衝器電路；

一第一高電源電位供應至其之一第一佈線；

一第二高電源電位供應至其之一第二佈線；

一第一低電源電位供應至其之一第三佈線；以及

一第二低電源電位供應至其之一第四佈線，

其中該第一絕緣閘極電晶體之一閘極電連接至一輸入端子，該第一絕緣閘極電晶體之一第一端子電連接至該第三佈線，以及該第一絕緣閘極電晶體之一第二端子電連接至該第二絕緣閘極電晶體之一第一端子，

其中該第二絕緣閘極電晶體之一閘極電連接至該第七絕緣閘極電晶體之一第一端子及該第八絕緣閘極電晶體之一第一端子；以及該第二絕緣閘極電晶體之一第二端子電連接至該第三絕緣閘極電晶體之一第一端子、該第四絕緣閘極電晶體之一第一端子、及該第六絕緣閘極電晶體之一閘極，

其中該第三絕緣閘極電晶體之一閘極電連接至該第一佈線，以及該第三絕緣閘極電晶體之一第二端子電連接至該第二佈線，

其中該第四絕緣閘極電晶體之一閘極電連接至該第五絕緣閘極電晶體之一第一端子、該第六絕緣閘極電晶體之一第一端子、該電容器之一第一電極、該第八絕緣閘極電晶體之一閘極、及該第九絕緣閘極電晶體之一閘極；以及該第四絕緣閘極電晶體之一第二端子電連接至該第三佈線，

其中該第五絕緣閘極電晶體之一閘極電連接至該第一佈線，以及該第五絕緣閘極電晶體之一第二端子電連接至該第二佈線，

其中該第六絕緣閘極電晶體之一第二端子電連接至該第三佈線，

其中該第七絕緣閘極電晶體之一閘極電連接至該第一佈線，以及該第七絕緣閘極電晶體之一第二端子電連接至該第二佈線，

其中該第八絕緣閘極電晶體之一第二端子電連接至該

第三佈線，

其中該第九絕緣閘極電晶體之一第一端子電連接至一輸出端子，以及該第九絕緣閘極電晶體之一第二端子電連接至該第四佈線，

其中該電容器之一第二電極電連接至該第三佈線，

其中該第一至第九絕緣閘極電晶體各具有使用一氧化物半導體所形成之一半導體層，以及

其中在該第四絕緣閘極電晶體的該閘極、該第五絕緣閘極電晶體的該第一端子、該第六絕緣閘極電晶體的該第一端子、該電容器之該第一電極、及該第八絕緣閘極電晶體的該閘極電連接之一節點的一電位係經由該緩衝器電路供應至該第九絕緣閘極電晶體的該閘極。

4.如申請專利範圍第 1 項、第 2 項及第 3 項中之任一項所述之半導體裝置，進一步包含一電阻器，

其中該電阻器之一第一端子電連接至該第一絕緣閘極電晶體之該閘極，以及該電阻器之一第二端子電連接至該第三佈線。

5.如申請專利範圍第 2 項或第 3 項所述之半導體裝置，其中由二次離子質譜偵測到之在該氧化物半導體中之氫濃度為 $1 \times 10^{16} / \text{cm}^3$ 或更少。

6.如申請專利範圍第 2 項或第 3 項所述之半導體裝置，其中該氧化物半導體之載子濃度少於 $1 \times 10^{14} / \text{cm}^3$ 。

7.如申請專利範圍第 1 項、第 2 項及第 3 項中之任一項所述之半導體裝置，其中該第一高電源電位及該第二高

電源電位為相同電位。

8. 如申請專利範圍第 3 項所述之半導體裝置，

其中該緩衝器電路包括第十至第十三絕緣閘極電晶體，

其中該第十絕緣閘極電晶體的一閘極電連接至該第一佈線，該第十絕緣閘極電晶體的一第一端子電連接至該第二佈線，以及該第十絕緣閘極電晶體的一第二端子電連接至該第十一絕緣閘極電晶體的一第一端子及該第十三絕緣閘極電晶體的一閘極，

其中該第十一絕緣閘極電晶體的一閘極電連接至該第四絕緣閘極電晶體的該閘極、該第五絕緣閘極電晶體的該第一端子、該第六絕緣閘極電晶體的該第一端子、該電容器的該第一電極、及該第八絕緣閘極電晶體的該閘極；以及該第十一絕緣閘極電晶體的一第二端子電連接至該第三佈線，

其中該第十二絕緣閘極電晶體的一閘極電連接至該第一佈線，該第十二絕緣閘極電晶體的一第一端子電連接至該第二佈線，以及該第十二絕緣閘極電晶體的一第二端子電連接至該第十三絕緣閘極電晶體的一第一端子及該第九絕緣閘極電晶體的該閘極，以及

其中該第十三絕緣閘極電晶體的一第二端子電連接至該第三佈線。

9. 如申請專利範圍第 3 項所述之半導體裝置，

其中該緩衝器電路包括第十至第十三絕緣閘極電晶

體，

其中該第十絕緣閘極電晶體的一閘極電連接至該第二絕緣閘極電晶體的該閘極、該第七絕緣閘極電晶體的該第一端子、及該第八絕緣閘極電晶體的該第一端子；該第十絕緣閘極電晶體的一第一端子電連接至該第二佈線，以及該第十絕緣閘極電晶體的一第二端子電連接至該第十一絕緣閘極電晶體的一第一端子及該第十三絕緣閘極電晶體的一閘極，

其中該第十一絕緣閘極電晶體的一閘極電連接至該第四絕緣閘極電晶體的該閘極、該第五絕緣閘極電晶體的該第一端子、該第六絕緣閘極電晶體的該第一端子、該電容器的該第一電極、該第八絕緣閘極電晶體的該閘極、及該第十二絕緣閘極電晶體的閘極；以及該第十一絕緣閘極電晶體的一第二端子電連接至該第三佈線，

其中該第十二絕緣閘極電晶體的一第一端子電連接至該第二佈線，以及該第十二絕緣閘極電晶體的一第二端子電連接至該第十三絕緣閘極電晶體的一第一端子及該第九絕緣閘極電晶體的該閘極，以及

其中該第十三絕緣閘極電晶體的一第二端子電連接至該第三佈線。

10.一種半導體裝置，包含：

第一佈線與第二佈線；以及

第一至第九電晶體，該第一至該第九電晶體之各者包含閘極、第一端子、及第二端子，

其中該第一佈線連接至該第一電晶體之該閘極，

其中該第一電晶體之該第一端子連接至該第二電晶體之該第一端子，

其中該第二電晶體之該第二端子連接至該第三電晶體之該第一端子、連接至該第四電晶體之該第一端子、及連接至該第六電晶體之該閘極，

其中該第四電晶體之該閘極連接至該第六電晶體之該第一端子、連接至該第五電晶體之該第一端子、連接至該第八電晶體之該閘極、及連接至該第二佈線，

其中該第二電晶體之該閘極、該第七電晶體之該第一端子、及該第八電晶體之該第一端子連接至另一者，

其中該半導體裝置係組態以使施加至該第一電晶體之該第二端子、施加至該第四電晶體之該第二端子、施加至該第六電晶體之該第二端子、及施加至該第八電晶體之該第二端子的電位各自低於施加至該第三電晶體之該第二端子與該閘極、施加至該第五電晶體之該第二端子與該閘極、及施加至該第七電晶體之該第二端子與該閘極的電位之任一者，以及

其中該半導體裝置係組態以將輸出自該第二佈線之信號傳送至該第九電晶體之該閘極。

11.如申請專利範圍第 10 項所述之半導體裝置，更包含：

電阻器，連接至該第一電晶體之該閘極。

12.如申請專利範圍第 10 項所述之半導體裝置，更包

含：

電容器，連接至該第五電晶體之該第一端子。

13. 一種半導體裝置，包含：

第一至第五佈線；以及

第一至第九電晶體，該第一至該第九電晶體之各者包含閘極、第一端子、及第二端子，

其中該第一佈線連接至該第一電晶體之該閘極，

其中該第一電晶體之該第一端子連接至該第二電晶體之該第一端子，

其中該第二電晶體之該第二端子連接至該第三電晶體之該第一端子、連接至該第四電晶體之該第一端子、及連接至該第六電晶體之該閘極，

其中該第四電晶體之該閘極連接至該第六電晶體之該第一端子、連接至該第五電晶體之該第一端子、連接至該第八電晶體之該閘極、及連接至該第二佈線，

其中該第二電晶體之該閘極、該第七電晶體之該第一端子、及該第八電晶體之該第一端子連接至另一者，

其中該第三佈線連接至該第一電晶體之該第二端子、連接至該第四電晶體之該第二端子、連接至該第六電晶體之該第二端子、及連接至該第八電晶體之該第二端子，

其中該第四佈線連接至該第三電晶體之該第二端子、連接至該第五電晶體之該第二端子、及連接至該第七電晶體之該第二端子，

其中該第五佈線連接至該第三電晶體之該閘極、連接

至該第五電晶體之該閘極、及連接至該第七電晶體之該閘極，以及

其中該半導體裝置係組態以將輸出自該第二佈線之信號傳送至該第九電晶體之該閘極。

14. 如申請專利範圍第 13 項所述之半導體裝置，更包含：

電阻器，介於該第一電晶體之該閘極與該第三佈線間。

15. 如申請專利範圍第 13 項所述之半導體裝置，更包含：

電容器，介於該第五電晶體之該第一端子與該第三佈線間。

16. 如申請專利範圍第 13 項所述之半導體裝置，其中該第三佈線係組態以被供應以低電源電位，其中該第四佈線係組態以被供應以第一高電源電位，以及

其中該第五佈線係組態以被供應以第二高電源電位。

17. 如申請專利範圍第 10 或 13 項所述之半導體裝置，

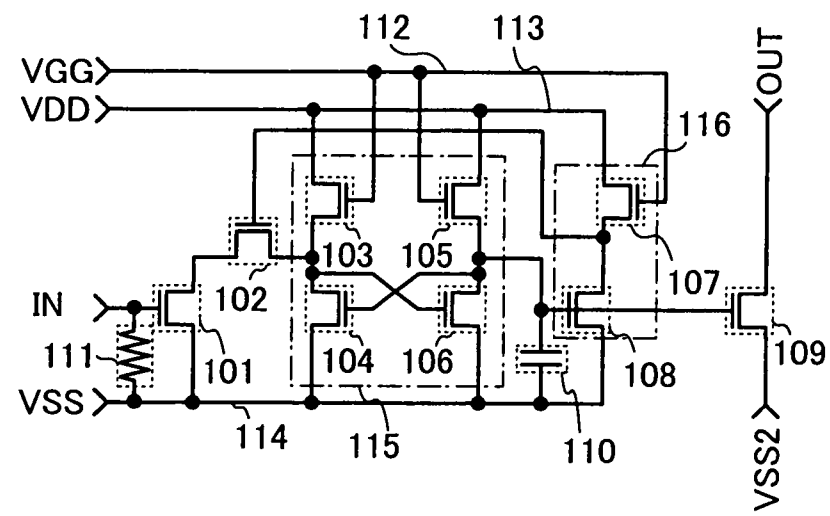
其中該第一至該第九電晶體的任一者包含形成在氧化物半導體層中的通道區域。

18. 如申請專利範圍第 10 或 13 項所述之半導體裝置，該半導體裝置可實現閘流體的功能。

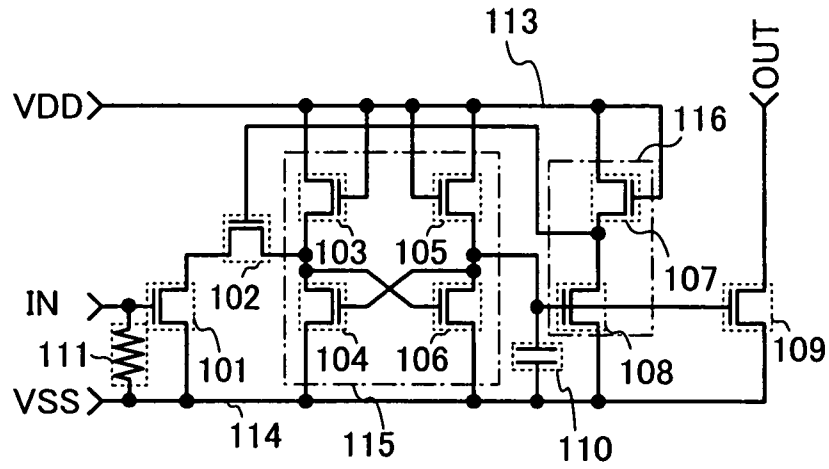
19. 如申請專利範圍第 10 或 13 項所述之半導體裝

置，該半導體裝置為電力調節器。

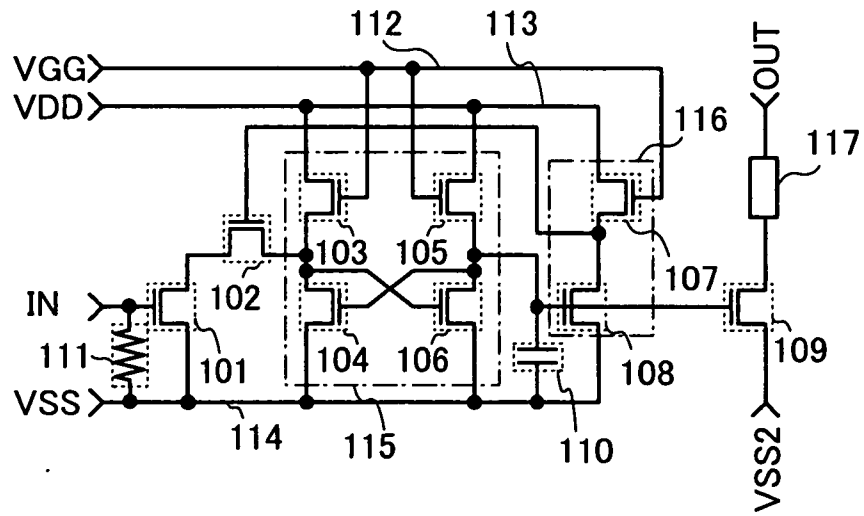
第1圖



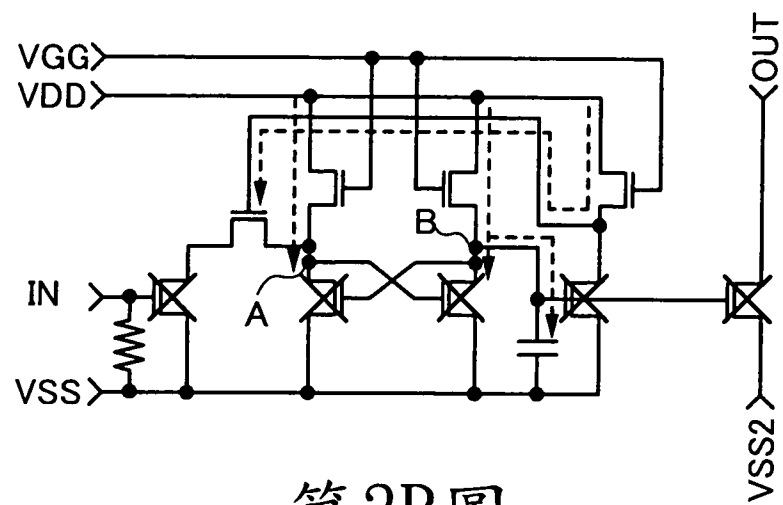
第2A圖



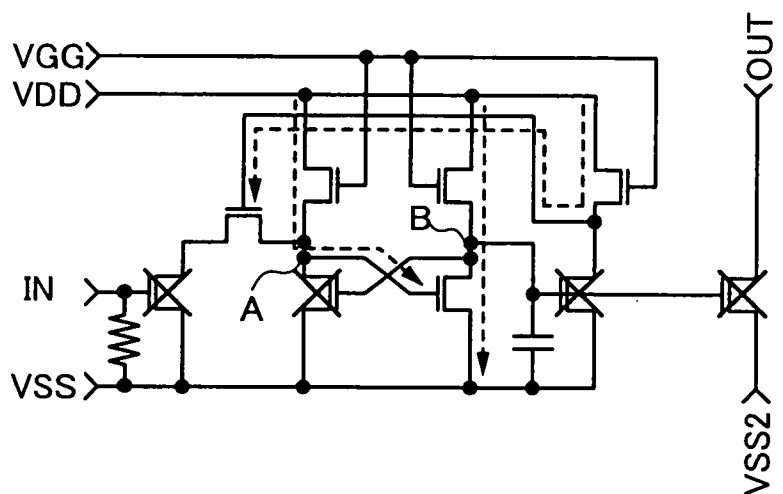
第2B圖



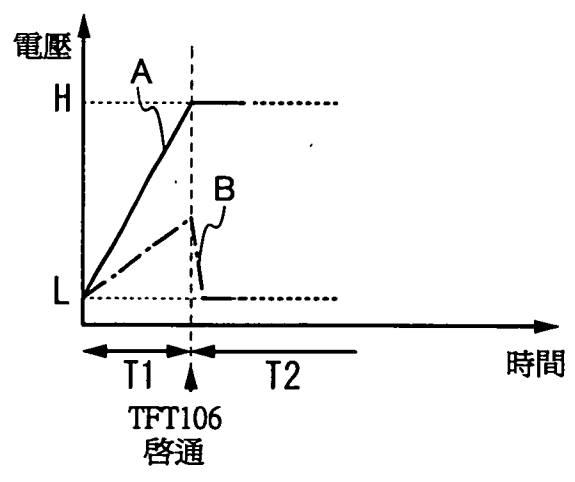
第3A圖



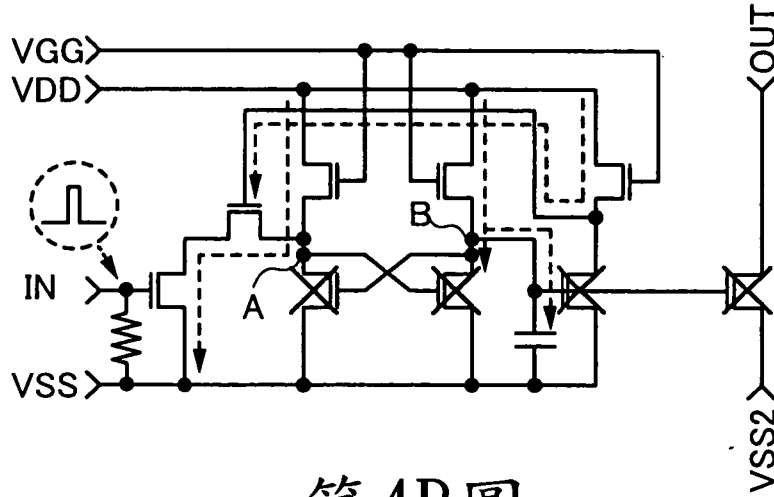
第3B圖



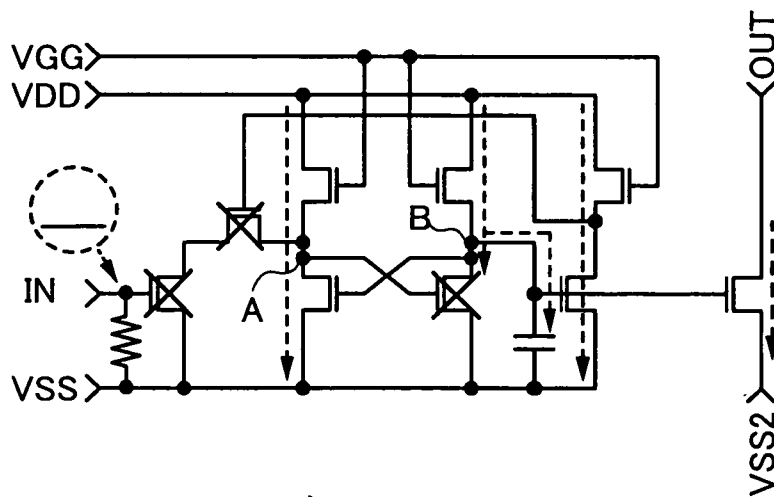
第3C圖



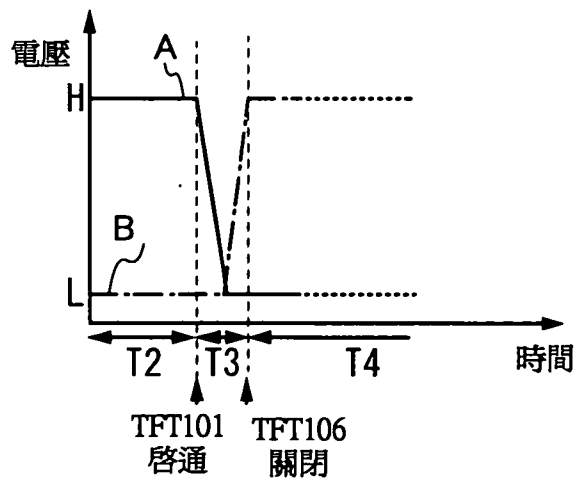
第4A圖



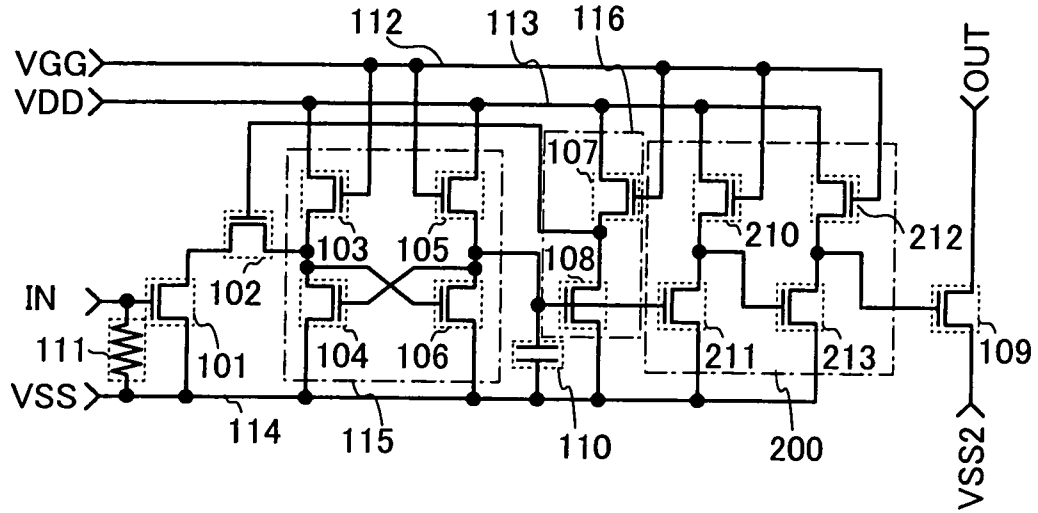
第4B圖



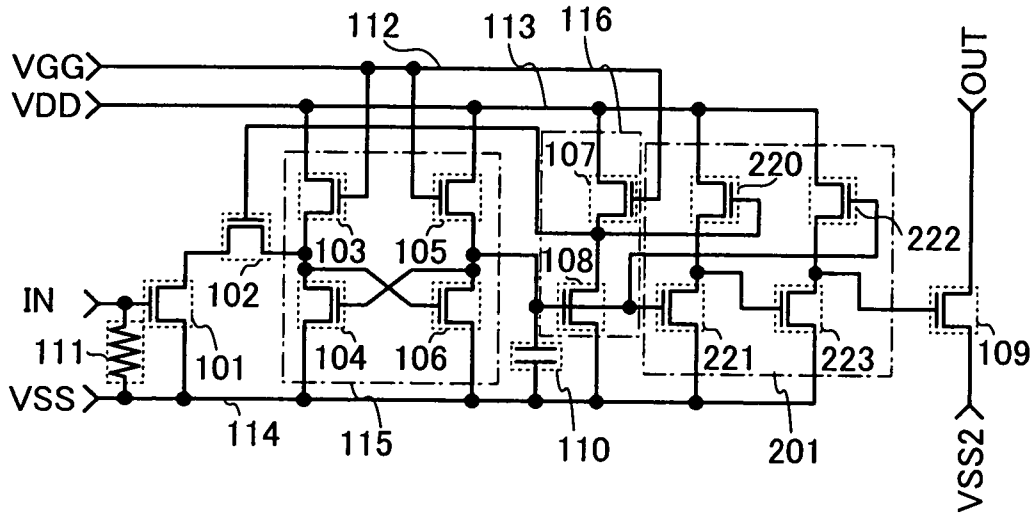
第4C圖



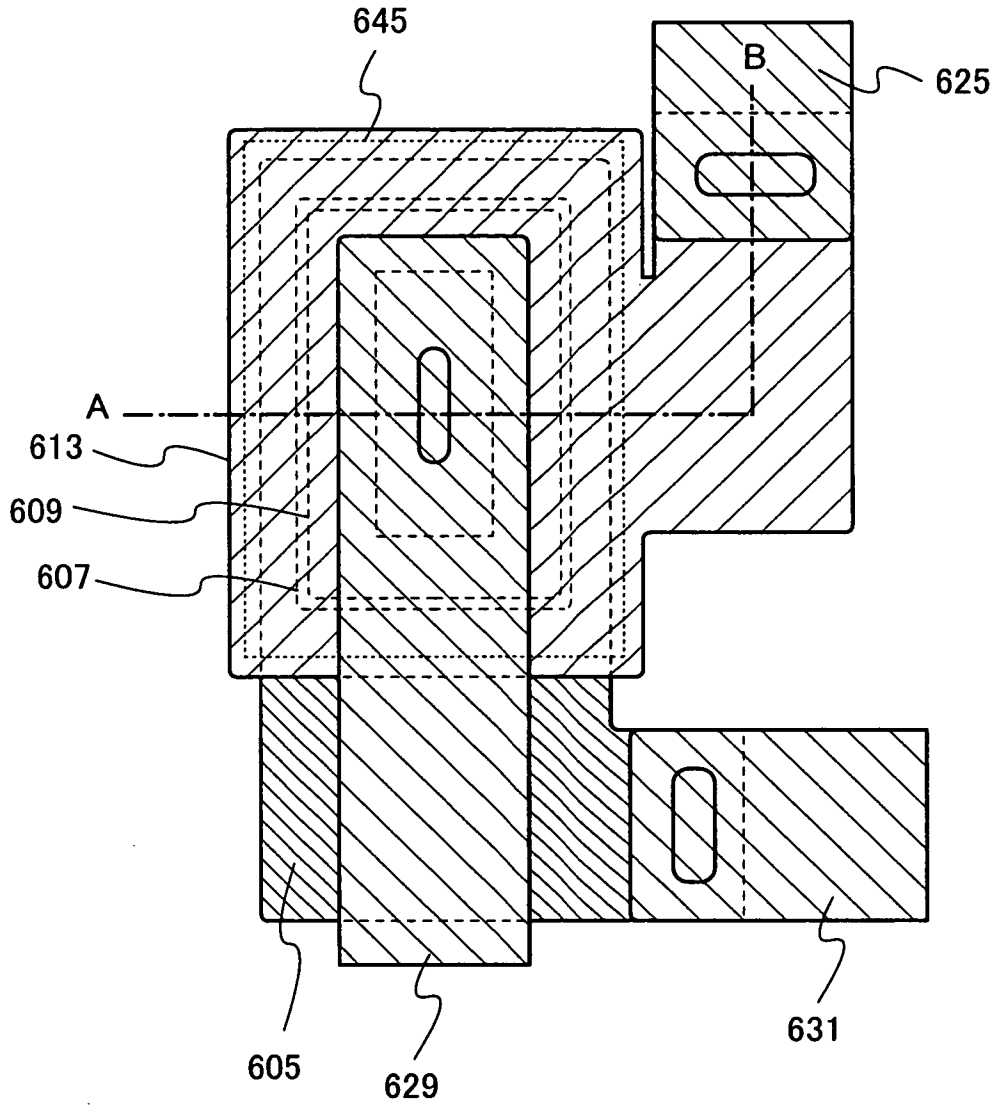
第5A圖



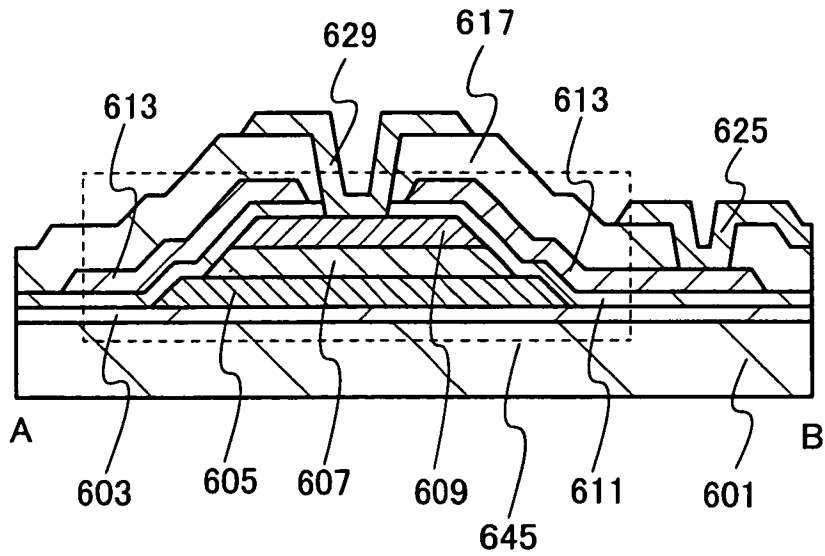
第5B圖



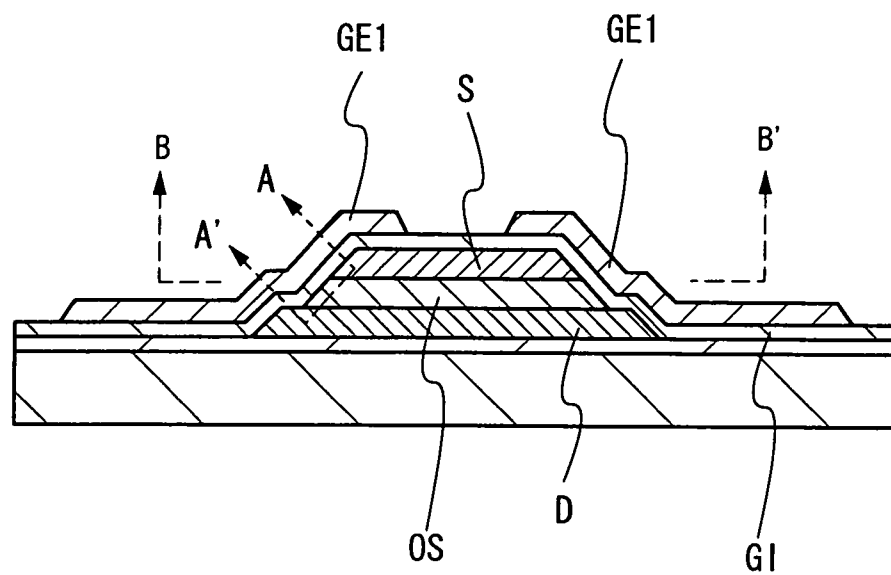
第6A圖



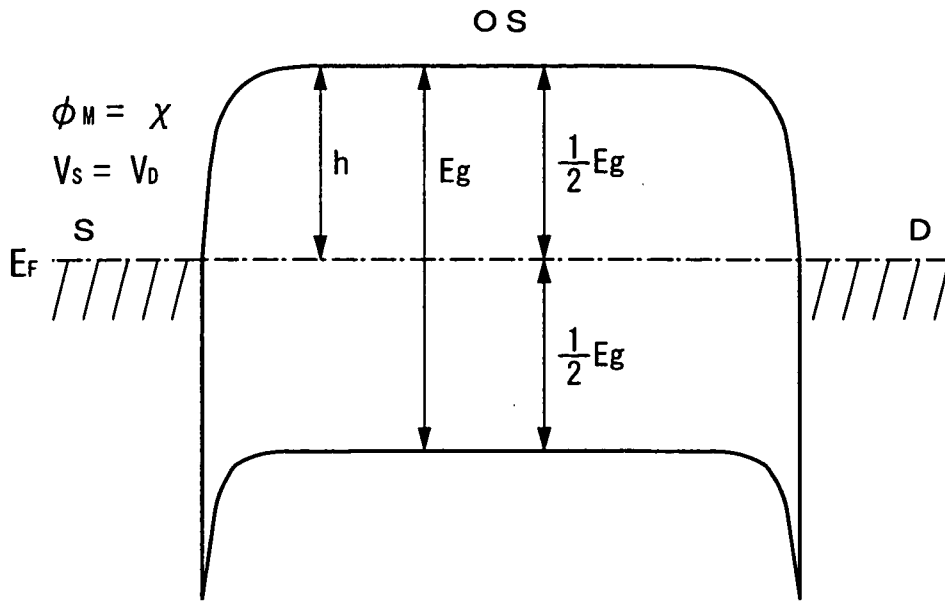
第6B圖



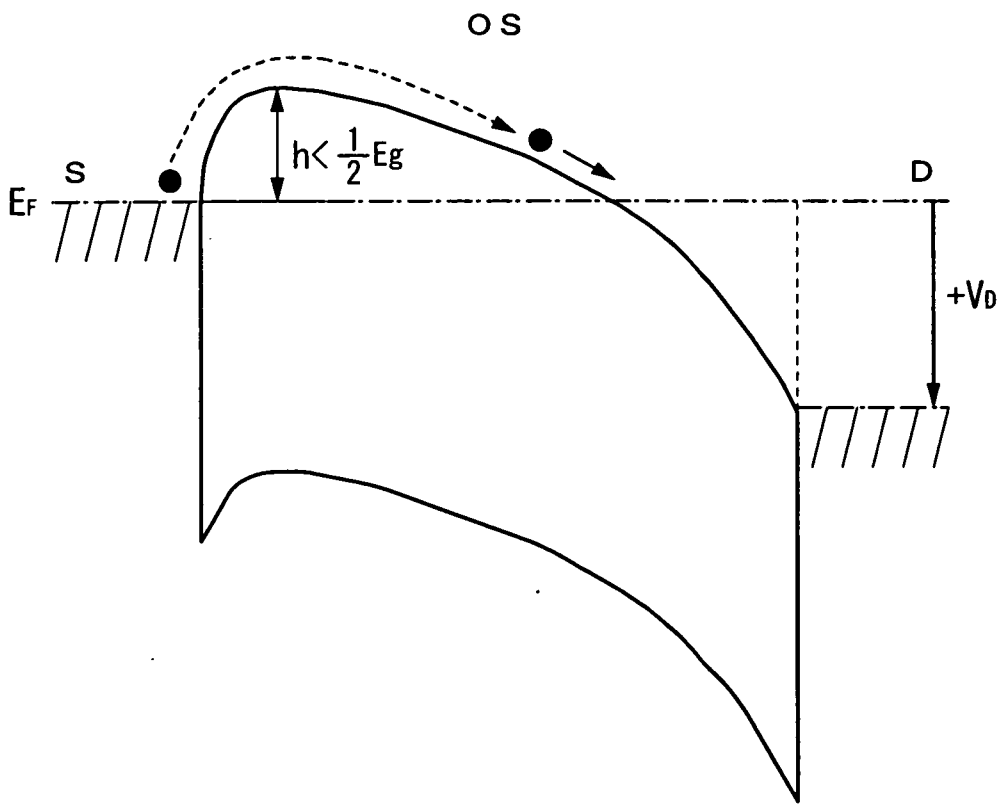
第7圖



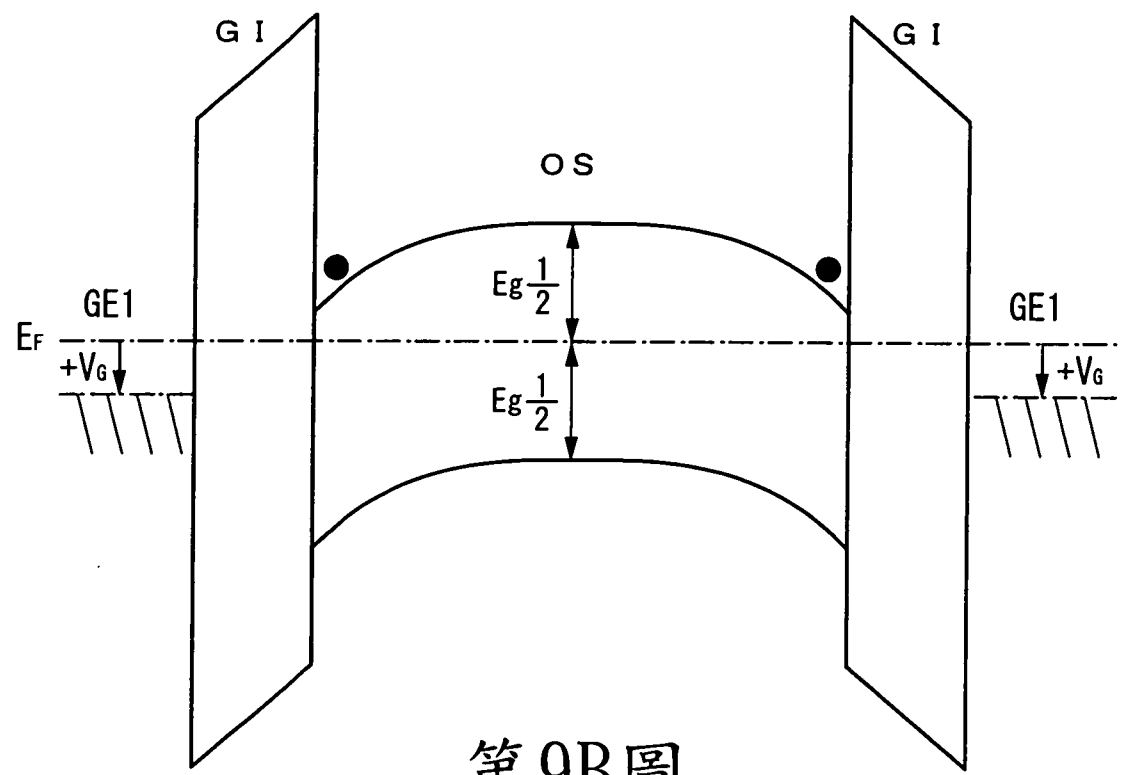
第8A圖



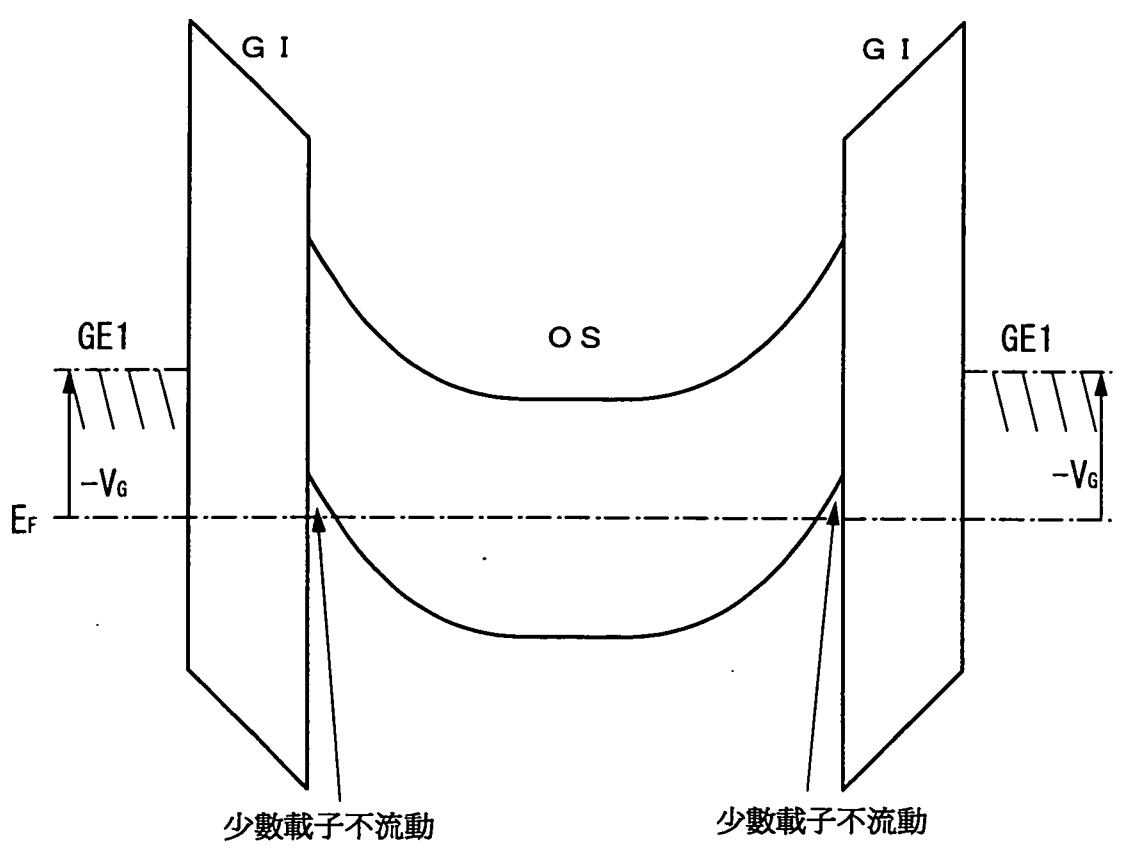
第8B圖



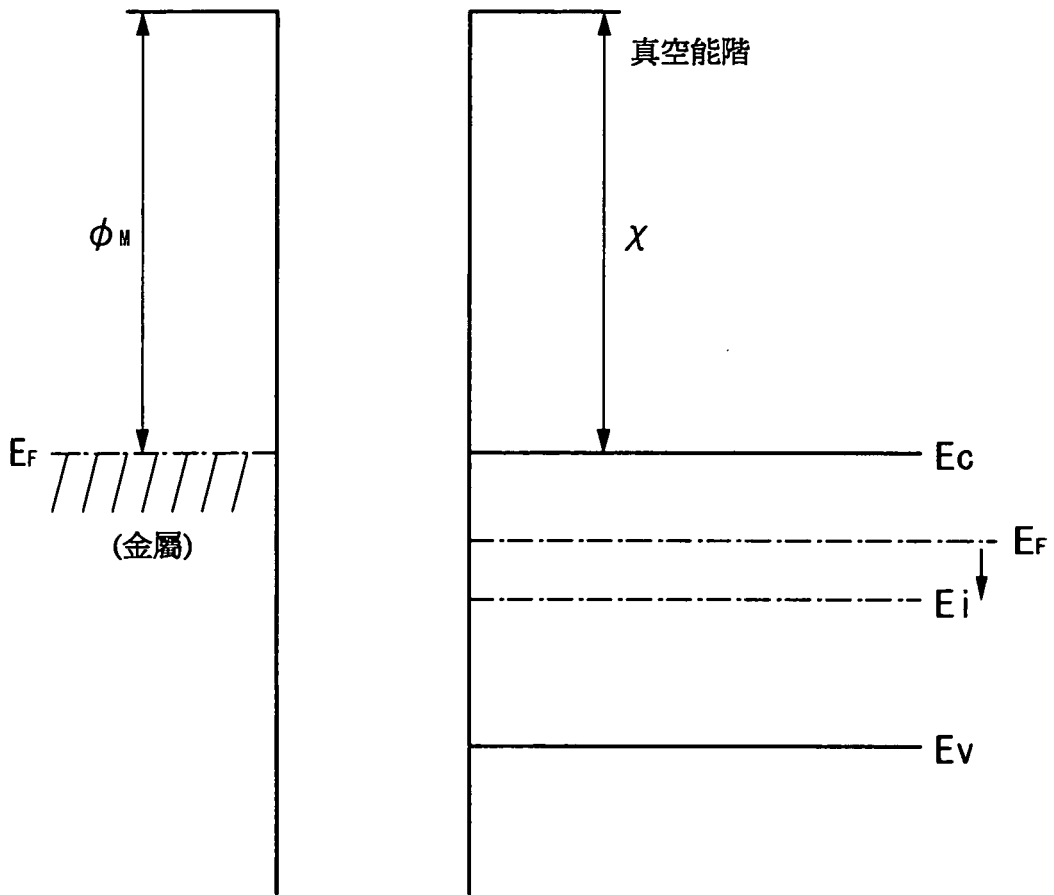
第9A圖



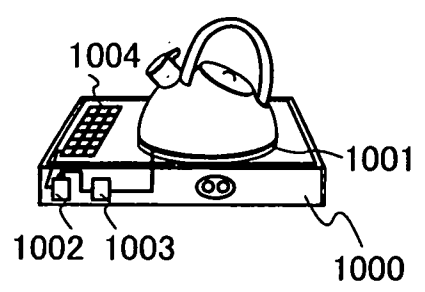
第9B圖



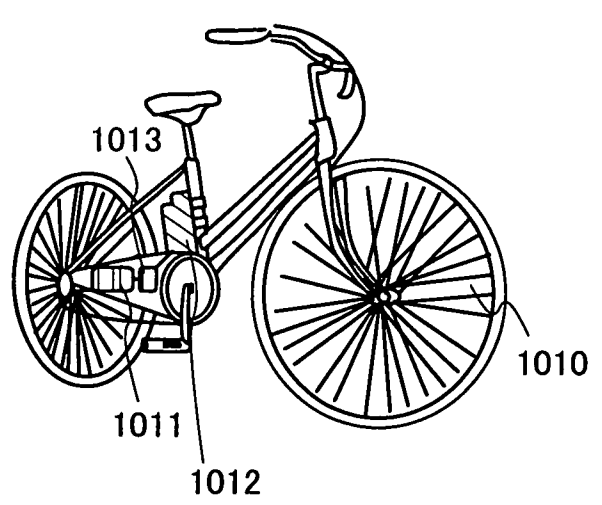
第10圖



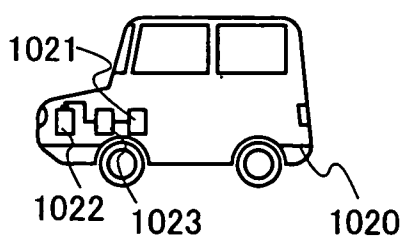
第11A圖



第11B圖



第11C圖



第12圖

