

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/136

(11) 공개번호 10-2005-0047755
(43) 공개일자 2005년05월23일

(21) 출원번호 10-2003-0081538
(22) 출원일자 2003년11월18일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자 정수임
경기도수원시팔달구영통동1007-2번지105호
이유경
경기도수원시팔달구영통동벽적골8단지아파트844동304호
주진호
서울특별시마포구도화1동마포삼성아파트105동504호
(74) 대리인 유미특허법인

심사청구 : 없음

(54) 박막 트랜지스터 표시판

요약

절연 기판, 절연 기판 위에 제1 방향으로 형성되어 있는 제1 신호선, 절연 기판 위에 제2 방향으로 형성되어 있으며 제1 신호선과 절연되어 교차하고 있는 제2 신호선, 제1 신호선 및 제2 신호선에 연결되어 있는 박막 트랜지스터, 제2 신호선 위에 형성되어 있으며, 제2 신호선의 일부를 드러내는 접촉 구멍을 가지는 보호막, 접촉 구멍을 통해 박막 트랜지스터에 연결되어 있는 화소 전극을 포함하고, 보호막은 유기막이며, 유기막의 솔벤트는 PGMEP, EEP 및 nBA 중에서 어느 하나 이상 선택되는 박막 트랜지스터 표시판.

대표도

도 3f

색인어

유기막, 솔벤트, 계면활성제, 들뜸현상, 가교제

명세서

도면의 간단한 설명

- 도 1은 본 발명의 제1 및 제6 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,
- 도 2a 및 도 2b는 도 1의 박막 트랜지스터 표시판을 각각 IIa-IIa'선과 IIb-IIb'선을 따라 잘라 도시한 단면도이고,
- 도 3a 내지 도 3h는 기판의 예지부 및 코너부의 유기막의 도포 상태가 도시되어 있는 도면이고,
- 도 4는 본 발명의 제2 및 제7 실시예에 따른 박막 트랜지스터 표시판의 배치도이고,
- 도 5는 도 4의 박막 트랜지스터 표시판을 V-V' 선을 따라 잘라 도시한 단면도이고,
- 도 6은 본 발명의 제3 및 제8 실시예에 따른 박막 트랜지스터 표시판의 배치도이고,
- 도 7은 도 5의 박막 트랜지스터 표시판을 VII-VII' 선을 따라 잘라 도시한 단면도이고,
- 도 8은 본 발명의 제4 및 제9 실시예에 따른 박막 트랜지스터 표시판의 배치도이고,

도 9는 도 8의 박막 트랜지스터 표시판을 IX-IX' 선 및 IX'-IX'' 선을 따라 잘라 도시한 단면도이고,

도 10은 본 발명의 제5 및 제10 실시예에 따른 박막 트랜지스터 표시판의 배치도이고,

도 11은 도 10의 박막 트랜지스터 표시판을 XI-XI' 선 및 XI'-XI'' 선을 따라 잘라 도시한 단면도이다.

도 12a 내지 도 12c는 본 발명의 제6 실시예 내지 제10 실시예에 따른 박막 트랜지스터 표시판에 있어서 열 공정에 따른 유기막의 접착 정도 및 내열 강도를 나타낸 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 표시판에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전계 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 액정층을 통과하는 빛의 투과율을 조절하는 표시 장치이다.

액정 표시 장치 중에서도 현재 주로 사용되는 것은 전계 생성 전극이 두 표시판에 각각 구비되어 있는 것이다. 이 중에서도 한 표시판에는 복수의 화소 전극이 행렬의 형태로 배열되어 있고 다른 표시판에는 하나의 공통 전극이 표시판 전면을 덮고 있는 구조의 액정 표시 장치가 주류이다. 이 액정 표시 장치에서의 화상의 표시는 각 화소 전극에 별도의 전압을 인가함으로써 이루어진다. 이를 위해서 화소 전극에 인가되는 전압을 스위칭하기 위한 삼단자 소자인 박막 트랜지스터를 각 화소 전극에 연결하고 이 박막 트랜지스터를 제어하기 위한 신호를 전달하는 게이트선과 화소 전극에 인가될 전압을 전달하는 데이터선을 표시판에 설치한다.

이러한 액정 표시 장치용 표시판은 여러 개의 도전층과 절연층이 적층된 층상 구조를 가진다. 게이트선, 데이터선 및 화소 전극은 서로 다른 도전층(이하 각각 게이트 도전층, 데이터 도전층 및 화소 도전층이라 함)으로 만들어지고 절연층으로 분리되어 있는데, 아래에서부터 차례로 배치되는 것이 일반적이다.

이때, 데이터선과 화소 전극 사이에는 데이터선과 화소 전극을 절연하는 유기막이 위치하며, 화소 전극은 유기막이 가지는 접촉 구멍을 통하여 드레인 전극과 연결한다. 여기서 데이터선은 신호선의 저항을 줄이기 위하여 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW)과 같은 몰리브덴 함유 금속으로 이루어지며, 화소 전극은 ITO와 같은 투명 도전 물질로 이루어진다.

그러나, 몰리브덴 함유 금속으로 이루어진 데이터선과 ITO와 같은 투명 도전 물질로 이루어진 화소 전극은 유기막과의 접착성이 낮으므로 데이터선과 화소 전극 사이의 유기막이 들뜨는 현상이 발생한다. 또한, 그로 인하여 데이터선의 단선 결함(open defect) 또는 이물질 발생 따위의 불량 발생되어 박막 트랜지스터 표시판의 제조 수율을 감소시킨다.

또한, 유기막의 형성 시, 유기막의 재료가 솔벤트에 적절하게 녹지 않은 경우에는 유기막이 균일한 두께로 퍼지지 않게 되어 유기막의 굴절률에 차이가 발생하고, 이에 따라 얼룩이 발생한다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 기술적 과제는 얼룩이 없는 유기막을 가지는 박막 트랜지스터 표시판을 제공하는 것이다.

또한, 본 발명의 기술적 과제는 데이터선과 화소 전극을 절연하는 유기막의 들뜸 현상을 방지할 수 있는 박막 트랜지스터 표시판을 제공하는 것이다.

발명의 구성 및 작용

본 발명에 따른 박막 트랜지스터 표시판은 절연 기판, 상기 절연 기판 위에 제1 방향으로 형성되어 있는 제1 신호선, 상기 절연 기판 위에 제2 방향으로 형성되어 있으며 상기 제1 신호선과 절연되어 교차하고 있는 제2 신호선, 상기 제1 신호선 및 상기 제2 신호선에 연결되어 있는 박막 트랜지스터, 상기 제2 신호선 위에 형성되어 있으며, 상기 제2 신호선의 일부를 드러내는 접촉 구멍을 가지는 보호막, 상기 접촉 구멍을 통해 상기 박막 트랜지스터에 연결되어 있는 화소 전극을 포함하고, 상기 보호막은 유기막이며, 상기 유기막의 솔벤트는 PGMEP, EEP 및 nBA 중에서 어느 하나 이상 선택되는 것이 바람직하다.

또한, 상기 유기막의 솔벤트의 조성비는 PGMEP : EEP : nBA = 50 내지 90 : 30 내지 5 : 20 내지 5인 것이 바람직하다.

또한, 상기 유기막의 계면 활성제는 실리콘계 F, 플루오로계 S 중에서 어느 하나 이상 선택되며, 상기 계면 활성제의 조성비는 실리콘계 F : 플루오로계 S = 500 내지 1500 : 50 내지 500인 것이 바람직하다.

또한, 본 발명에 따른 박막 트랜지스터 표시판은 절연 기관, 상기 절연 기관 위에 형성되어 있는 게이트선, 상기 게이트선을 덮고 있는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있는 반도체층, 상기 반도체층 위에 형성되어 있는 데이터선, 상기 데이터선의 일부를 드러내는 접촉 구멍을 가지는 보호막, 상기 보호막 위에 형성되어 있으며, 상기 접촉 구멍을 통하여 상기 데이터선의 일부와 연결되어 있는 화소 전극을 포함하고, 상기 보호막은 유기막이며, 상기 유기막의 솔벤트는 PGMEP, nBA 및 EEP 중에서 어느 하나 이상 선택되는 것이 바람직하다.

또한, 상기 화소 전극은 투과창을 가지는 반사 전극과 투과 전극으로 이루어져 있는 것이 바람직하다.

또한, 상기 유기막 상면에는 엠보싱이 형성되어 있는 것이 바람직하다.

또한, 상기 유기막의 솔벤트의 조성비는 PGMEP : EEP : nBA = 50 내지 90 : 30 내지 5 : 20 내지 5인 것이 바람직하다.

또한, 상기 유기막의 계면 활성제는 실리콘계 F, 플루오로계 S 중에서 어느 하나 이상 선택되며, 상기 계면 활성제의 조성비는 실리콘계 F : 플루오로계 S = 500 내지 1500 : 50 내지 500인 것이 바람직하다.

또한, 본 발명에 따른 박막 트랜지스터 표시판은 절연 기관, 상기 절연 기관 위에 형성되어 있으며 소스 영역, 드레인 영역 및 채널 영역을 포함하는 다결정 규소층, 상기 다결정 규소층 위에 형성되어 있는 게이트 절연막, 상기 게이트 절연막 위에 형성되며 있으며 상기 채널 영역과 일부분 중첩하는 게이트 전극을 포함하는 게이트선, 상기 게이트선 위에 형성되어 있는 층간 절연막, 상기 층간 절연막 위에 형성되며 상기 소스 영역과 연결되는 소스 전극을 포함하는 데이터선, 상기 층간 절연막 위에 형성되며 상기 드레인 영역과 연결되는 드레인 전극, 상기 데이터선 및 상기 드레인 전극 위에 형성되어 있는 보호막, 상기 보호막 위에 형성되어 있으며 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하고, 상기 보호막은 유기막이며, 상기 유기막의 솔벤트는 PGMEP, nBA 및 EEP 중에서 어느 하나 이상 선택되는 것이 바람직하다.

또한, 상기 화소 전극은 투과창을 가지는 반사 전극과 투과 전극으로 이루어져 있는 것이 바람직하다.

또한, 상기 유기막 상면에는 엠보싱이 형성되어 있는 것이 바람직하다.

또한, 상기 유기막의 솔벤트의 조성비는 PGMEP : EEP : nBA = 50 내지 90 : 30 내지 5 : 20 내지 5인 것이 바람직하다.

또한, 상기 유기막의 계면 활성제는 실리콘계 F, 플루오로계 S 중에서 어느 하나 이상 선택되며, 상기 계면 활성제의 조성비는 실리콘계 F : 플루오로계 S = 500 내지 1500 : 50 내지 500인 것이 바람직하다.

또한, 본 발명에 따른 박막 트랜지스터 표시판은 절연 기관, 상기 절연 기관 위에 형성되어 있으며 소스 영역, 채널 영역 및 드레인 영역을 가지는 다결정 규소층, 상기 다결정 규소층 위에 형성되어 있는 게이트 절연막, 상기 게이트 절연막 위에 형성되며 상기 채널 영역과 일부분이 중첩하는 게이트선, 이웃하는 상기 게이트선 사이에 일정거리 떨어져 위치하며 상기 게이트선과 수직인 방향으로 신장되어 있는 데이터 금속편, 상기 게이트선 및 데이터 금속편 위에 형성되어 있는 유기막, 상기 유기막 위에 형성되며 상기 게이트선과 교차하여 상기 데이터 금속편을 접촉구를 통해 전기적으로 연결하는 데이터 연결부, 상기 유기막 위에 형성되며 접촉구를 통해 상기 드레인 영역과 연결되어 있는 화소 전극을 포함하고, 상기 보호막은 유기막이며, 상기 유기막의 솔벤트는 PGMEP, nBA 및 EEP 중에서 어느 하나 이상 선택되는 것이 바람직하다.

또한, 상기 화소 전극은 투과창을 가지는 반사 전극과 투과 전극으로 이루어져 있는 것이 바람직하다.

또한, 상기 유기막 상면에는 엠보싱이 형성되어 있는 것이 바람직하다.

또한, 상기 유기막의 솔벤트의 조성비는 PGMEP : EEP : nBA = 50 내지 90 : 30 내지 5 : 20 내지 5인 것이 바람직하다.

또한, 상기 유기막의 계면 활성제는 실리콘계 F, 플루오로계 S 중에서 어느 하나 이상 선택되며, 상기 계면 활성제의 조성비는 실리콘계 F : 플루오로계 S = 500 내지 1500 : 50 내지 500인 것이 바람직하다.

또한, 본 발명에 따른 박막 트랜지스터 표시판은 절연 기관, 상기 절연 기관 위에 형성되어 있는 게이트선, 상기 게이트선을 덮고 있는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있는 반도체층, 상기 반도체층 위에 형성되어 있는 데이터선, 상기 데이터선의 일부를 드러내는 접촉 구멍을 가지는 보호막, 상기 보호막 위에 형성되어 있으며, 상기 접촉 구멍을 통하여 상기 데이터선의 일부와 연결되어 있는 화소 전극을 포함하고, 상기 화소 전극은 투과창을 가지는 반사 전극과 투과 전극으로 이루어져 있으며, 상기 보호막은 유기막이며, 상기 유기막은 상기 유기막을 구성하는 물질인 수지 대비 1% 내지 10%의 실리콘계 가교 접착제를 함유하고 있는 것이 바람직하다.

또한, 상기 유기막 상면에는 엠보싱이 형성되어 있는 것이 바람직하다.

또한, 본 발명에 따른 박막 트랜지스터 표시판은 절연 기관, 상기 절연 기관 위에 형성되어 있는 게이트선, 상기 게이트선을 덮고 있는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있는 반도체층, 상기 반도체층 위에 형성되어 있는 데이터선, 상기 데이터선의 일부를 드러내는 접촉 구멍을 가지는 보호막, 상기 보호막 위에 형성되어 있으며, 상기 접촉 구멍을 통하여 상기 데이터선의 일부와 연결되어 있는 화소 전극을 포함하고, 상기 화소 전극은 투과가능하고, 상기 보호막은 유기막이며, 상기 유기막은 상기 유기막을 구성하는 물질인 수지 대비 1% 내지 30%의 실리콘계 가교 접착제를 함유하고 있는 것이 바람직하다.

또한, 본 발명에 따른 박막 트랜지스터 표시판은 절연 기관, 상기 절연 기관 위에 형성되어 있으며 소스 영역, 드레인 영역 및 채널 영역을 포함하는 다결정 규소층, 상기 다결정 규소층 위에 형성되어 있는 게이트 절연막, 상기 게이트 절연막 위에 형성되며 상기 채널 영역과 일부분 중첩하는 게이트 전극을 포함하는 게이트선, 상기 게이트선 위에 형성되어 있는 층간 절연막, 상기 층간 절연막 위에 형성되며 상기 소스 영역과 연결되는 소스 전극을 포함하는 데이터선, 상기 층간 절연막 위에 형성되며 상기 드레인 영역과 연결되는 드레인 전극, 상기 데이터선 및 상기 드레인 전극 위에 형성되어 있는 보호막, 상기 보호막 위에 형성되어 있으며 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하고, 상기 화소 전극은 투과창을 가지는 반사 전극과 투과 전극으로 이루어져 있으며, 상기 보호막은 유기막이며, 상기 유기막은 상기 유기막을 구성하는 물질인 수지 대비 1% 내지 10%의 실리콘계 가교 접착제를 함유하고 있는 것이 바람직하다.

또한, 상기 유기막 상면에는 엠보싱이 형성되어 있는 것이 바람직하다. 본 발명에 따른 박막 트랜지스터 표시판은 절연 기관, 상기 절연 기관 위에 형성되어 있으며 소스 영역, 드레인 영역 및 채널 영역을 포함하는 다결정 규소층, 상기 다결정 규소층 위에 형성되어 있는 게이트 절연막, 상기 게이트 절연막 위에 형성되며 상기 채널 영역과 일부분 중첩하는 게이트 전극을 포함하는 게이트선, 상기 게이트선 위에 형성되어 있는 층간 절연막, 상기 층간 절연막 위에 형성되며 상기 소스 영역과 연결되는 소스 전극을 포함하는 데이터선, 상기 층간 절연막 위에 형성되며 상기 드레인 영역과 연결되는 드레인 전극, 상기 데이터선 및 상기 드레인 전극 위에 형성되어 있는 보호막, 상기 보호막 위에 형성되어 있으며 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하고, 상기 화소 전극은 투과가능하고, 상기 보호막은 유기막이며, 상기 유기막은 상기 유기막을 구성하는 물질인 수지 대비 1% 내지 30%의 실리콘계 가교 접착제를 함유하고 있는 것이 바람직하다.

또한, 본 발명에 따른 박막 트랜지스터 표시판은 절연 기관, 상기 절연 기관 위에 형성되어 있으며 소스 영역, 채널 영역 및 드레인 영역을 가지는 다결정 규소층, 상기 다결정 규소층 위에 형성되어 있는 게이트 절연막, 상기 게이트 절연막 위에 형성되며 상기 채널 영역과 일부분이 중첩하는 게이트선, 이웃하는 상기 게이트선 사이에 일정거리 떨어져 위치하며 상기 게이트선과 수직인 방향으로 신장되어 있는 데이터 금속편, 상기 게이트선 및 데이터 금속편 위에 형성되어 있는 유기막, 상기 유기막 위에 형성되며 상기 게이트선과 교차하여 상기 데이터 금속편을 접촉구를 통해 전기적으로 연결하는 데이터 연결부, 상기 유기막 위에 형성되며 접촉구를 통해 상기 드레인 영역과 연결되어 있는 화소 전극을 포함하고, 상기 화소 전극은 투과창을 가지는 반사 전극과 투과 전극으로 이루어져 있으며, 상기 보호막은 유기막이며, 상기 유기막은 상기 유기막을 구성하는 물질인 수지 대비 1% 내지 10%의 실리콘계 가교 접착제를 함유하고 있는 것이 바람직하다.

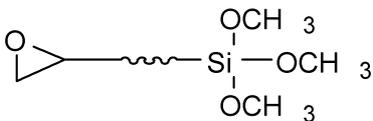
또한, 상기 유기막 상면에는 엠보싱이 형성되어 있는 것이 바람직하다.

또한, 본 발명에 따른 박막 트랜지스터 표시판은 절연 기관, 상기 절연 기관 위에 형성되어 있으며 소스 영역, 채널 영역 및 드레인 영역을 가지는 다결정 규소층, 상기 다결정 규소층 위에 형성되어 있는 게이트 절연막, 상기 게이트 절연막 위에 형성되며 상기 채널 영역과 일부분이 중첩하는 게이트선, 이웃하는 상기 게이트선 사이에 일정거리 떨어져 위치하며 상기 게이트선과 수직인 방향으로 신장되어 있는 데이터 금속편, 상기 게이트선 및 데이터 금속편 위에 형성되어 있는 유기막, 상기 유기막 위에 형성되며 상기 게이트선과 교차하여 상기 데이터 금속편을 접촉구를 통해 전기적으로 연결하는 데이터 연결부, 상기 유기막 위에 형성되며 접촉구를 통해 상기 드레인 영역과 연결되어 있는 화소 전극을 포함하고, 상기 화소 전극은 투과가능하고, 상기 보호막은 유기막이며, 상기 유기막은 상기 유기막을 구성하는 물질인 수지 대비 1% 내지 30%의 실리콘계 가교 접착제를 함유하고 있는 것이 바람직하다.

또한, 상기 소스 영역과 채널 영역 사이 및 드레인 영역과 채널 영역 사이에 형성되어 있으며, 도전형 불순물이 저농도로 도핑되어 있는 저농도 도핑 영역을 더 포함하는 것이 바람직하다.

또한, 상기 절연 기관 전면에 형성되며 상기 다결정 규소층 아래에 위치하는 차단막을 더 포함하는 것이 바람직하다.

또한, 상기 실리콘계 가교 접착제는



의 구조를 가지는 것이 바람직하다.

그러면, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 첨부한 도면을 참고로 하여 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

이제 본 발명의 실시예에 따른 박막 트랜지스터 표시판에 대하여 도면을 참고로 하여 상세하게 설명한다.

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 2a 및 도 2b는 도 1의 박막 트랜지스터 표시판을 각각 IIa-IIa'선과 IIb-IIb'선을 따라 잘라 도시한 단면도이다.

도 1 내지 도 2b에 도시한 바와 같이, 절연 기판(110) 위에 복수의 게이트선(gate line)(121) 및 복수의 유지 전극선(storage electrode lines)(131)이 형성되어 있다.

게이트선(121)과 유지 전극선(131)은 주로 가로 방향으로 뻗어 있고 서로 분리되어 있다. 게이트선(121)은 게이트 신호를 전달하며, 각 게이트선(121)의 일부는 위 또는 아래로 돌출하여 복수의 게이트 전극(gate electrode)(124)을 이룬다. 유지 전극선(131)은 공통 전압(common voltage) 따위의 미리 정해진 전압을 인가 받으며, 폭이 위 또는 아래로 확장된 확장부(expansion)로 형성되어 있는 유지 전극(137)을 포함한다.

게이트선(121) 및 유지 전극선(131)은 비저항(resistivity)이 낮은 은(Ag)이나 은 합금 등은 계열 금속, 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속 따위로 이루어진 도전막을 포함하며, 이러한 도전막에 더하여 다른 물질, 특히 ITO 또는 IZO와의 물리적, 화학적, 전기적 접촉 특성이 좋은 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 및 이들의 합금[보기: 몰리브덴-텅스텐(MoW) 합금] 따위로 이루어진 다른 도전막을 포함하는 다층막 구조를 가질 수도 있다. 하부막과 상부막의 조합의 예로는 크롬/알루미늄-네오디뮴(Nd) 합금을 들 수 있다.

게이트선(121) 및 유지 전극선(131)의 측면은 경사져 있으며, 경사각은 기판(110)의 표면에 대하여 약 30-80° 범위이다.

게이트선(121) 및 유지 전극선(131) 위에 질화규소(SiNx) 따위로 이루어진 게이트 절연막(140)이 형성되어 있다.

게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 등으로 이루어진 복수의 선형 반도체(151)가 형성되어 있다. 선형 반도체(151)는 주로 세로 방향으로 뻗어 있으며 이로부터 복수의 돌출부(extension)(154)가 게이트 전극(124)을 향하여 뻗어 나와 있다.

반도체(151)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 복수의 선형 및 섬형 저항성 접촉 부재(ohmic contact)(161, 165)가 형성되어 있다. 선형 접촉 부재(161)는 복수의 돌출부(163)를 가지고 있으며, 이 돌출부(163)와 섬형 접촉 부재(165)는 쌍을 이루어 반도체(151)의 돌출부(154) 위에 위치한다.

반도체(151)와 저항성 접촉 부재(161, 165)의 측면 역시 경사져 있으며 경사각은 30-80°이다.

저항 접촉 부재(161, 165) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(data line)(171)과 복수의 드레인 전극(drain electrode)(175)이 형성되어 있다.

데이터선(171)은 주로 세로 방향으로 뻗어 게이트선(121)과 교차하며 데이터 전압(data voltage)을 전달한다. 각 데이터선(171)에서 드레인 전극(175)을 향하여 뻗은 복수의 가지가 소스 전극(source electrode)(173)을 이룬다. 한 쌍의 소스 전극(173)과 드레인 전극(175)은 서로 분리되어 있으며 게이트 전극(123)에 대하여 서로 반대쪽에 위치한다. 드레인 전극(175)은 유지 전극선(131)의 확장부(137) 쪽으로 연장되어 확장부(137)와 중첩하는 확장부(177)를 가지고 있다. 게이트 전극(123), 소스 전극(173) 및 드레인 전극(175)은 반도체(151)의 노출부(154)와 함께 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 노출부(154)에 형성된다.

데이터선(171) 및 드레인 전극(175) 또한 은 계열 금속 또는 알루미늄 계열 금속 따위로 이루어진 도전막을 포함하며, 이러한 도전막에 더하여 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 및 이들의 합금 따위로 이루어진 다른 도전막을 포함하는 다층막 구조를 가질 수 있다. 데이터선(171)과 드레인 전극(175)의 측면 역시 경사져 있으며, 경사각은 수평면에 대하여 약 30-80° 범위이다.

데이터선(171) 및 드레인 전극(175)과 노출된 반도체 부분(154)의 위에는 유기 절연 물질로 이루어지는 보호막, 즉, 유기막(180)이 형성되어 있다. 유기막(180)은 데이터선(171)의 일부(179)를 드러내는 접촉 구멍(182) 및 드레인 전극(175)의 일부를 드러내는 접촉 구멍(186)을 가지고 있다.

이러한 유기막(180)을 스핀 코팅 등의 방법으로 형성할 경우에 유기막(180)의 재료가 솔벤트(Solvent)에 적절하게 녹지 않은 경우에는 유기막(180)이 균일한 두께로 퍼지지 않게 되어, 유기막(180)의 굴절율의 차이가 발생하고 이에 따라 유기막(180)에 얼룩이 발생하게 된다.

본 발명은 이러한 문제점을 해결하기 위해 유기막(180)이 균일하게 퍼지게 하는 솔벤트와 계면 활성제(Surfactant)를 사용한다.

종래에는 PGMEP(propylene glycol methyl ethyl propionate)라는 물질만을 솔벤트로 사용하였으나, 본 발명의 한 실시예에서는 PGMEP, EEP(ethoxy ethyl propionate), nBA(n-butylacetate)를 사용하여 유기막(180)이 균일하게 퍼지도록 한다.

표 1에는 유기막(180)의 솔벤트(Solvent)인 PGMEP, EEP, nBA 및 nPAC(n-propylacetate)가 전체 솔벤트에서 차지하는 비율에 따른 유기막(180)의 표면 장력, 즉, 솔벤트의 조성별 유기막(180)의 표면 장력을 나타내었다.

표 1.

PGMEP	EEP	nBA	nPAC	표면장력
70	25	5	0	27.0
70	25	0	5	27.7
70	30	0	0	27.6
80	15	5	0	27.1
80	15	0	5	27.7
80	20	0	0	27.2
90	10	0	0	28.0
95	0	5	0	27.6
95	0	0	5	27.9

표 1에 도시된 바와 같이, 유기막(180)의 솔벤트의 조성비는 PGMEP : EEP : nBA = 50 내지 90 : 30 내지 5 : 20 내지 5 인 것이 바람직하며, 특히, PGMEP, EEP 및 nBA를 각각 70 : 25 : 5 의 비율로 배합하는 경우 유기막(180)의 표면 장력이 가장 낮게 된다.

표면 장력이 낮아지면 유동성이 좋아지므로 유기막(180)이 넓게 균일하게 퍼지게 되는 효과가 있다. 따라서, 유기막 (180)에 얼룩이 발생하지 않게 된다.

도 3a 내지 도 3g는 기관의 에지부 및 코너부의 유기막(180)의 도포 상태가 도시되어 있는 도면으로서, 도 3a는 DMEE(Diethylene glycol methyl ethyl ether)를 사용한 유기막(Reference)의 도포 상태이고, 도 3b는 PGMEP, EEP가 각각 70 : 30의 비율로 배합된 솔벤트를 사용한 유기막의 도포 상태이고, 도 3c는 PGMEP, EEP가 각각 80 : 20의 비율로 배합된 솔벤트를 사용한 유기막의 도포 상태이고, 도 3d는 PGMEP 및 nBA가 각각 95 : 5 의 비율로 배합된 솔벤트를 사용한 유기막의 도포 상태이고, 도 3e는 PGMEP 및 nPAC가 각각 95 : 5 의 비율로 배합된 솔벤트를 사용한 유기막의 도포 상태이고, 도 3f는 PGMEP, EEP 및 nBA가 각각 70 : 25 : 5 의 비율로 배합된 솔벤트를 사용한 유기막의 도포 상태이고, 도 3g는 PGMEP, EEP 및 nBA가 각각 80 : 15 : 5 의 비율로 배합된 솔벤트를 사용한 유기막의 도포 상태이다.

도 3a 내지 도 3g에서 A는 기관 에지부(Edge area)의 유기막의 말림 폭이고, B는 기관 코너부(Corner area)의 유기막의 흘러내림(Rounding)의 폭이다.

도 3b 및 도 3d에 도시된 바와 같이, 솔벤트에서 차지하는 EEP의 함량이 증가하면 기관의 에지부의 말림은 증가하고, 기 관의 코너부의 흘러내림은 감소하는 것을 알 수 있다.

그리고, 도 3c 및 도 3g에 도시된 바와 같이, 솔벤트에서 차지하는 nBA의 함량이 증가하면 기관의 에지부의 말림은 감소 하고, 기관의 코너부의 흘러내림은 증가하는 것을 알 수 있다.

그리고, 도 3g 및 도 3h에 도시된 바와 같이, 기관의 에지부 및 코너부의 말림 균일도는 nBA(n-butyl acetate)가 nPAC(n-propyl acetate)보다 우수하다는 것을 알 수 있다.

따라서, 도 3f에 도시된 바와 같이, PGMEP, EEP 및 nBA가 각각 70 : 25 : 5 의 비율로 배합된 솔벤트를 사용한 유기막 의 도포 상태가 우수하다는 것을 알 수 있다.

그리고, 유기막에 솔벤트와 계면 활성제(Surfactant)를 사용함으로써 보다 나은 효과를 가져올 수 있다.

계면 활성제를 사용할 경우, 표면 장력을 개선하는 효과가 있으나 거품(Micro Bubble)이 생기므로 이를 제거하는 시간을 필요하다. 따라서, 표면 장력을 낮추면서도 거품을 제거하는 소포 시간이 가장 적게 소요되는 조건이 필요하다.

표 2에는 유기막(180)에 첨가되는 계면 활성제인 실리콘(Silicon)계 F, 플루오로(Fluoro)계 S 및 실리콘(Silicon)계 R의 함량별 표면 장력 및 소포 시간이 나타나 있다.

표 2.

실리콘계 F	실리콘계 R	플루오로계 S	표면장력(도)	소포시간(")
3000	0	0	26	3'43"
2000	200	0	26.2	3'12"
1500	150	0	27.5	2'28"
1500	0	150	27	2'03"
0	200	0	27.1	2'10"

표 2에 도시된 바와 같이, 실리콘계 F가 1500ppm, 플루오로계 S가 150ppm 인 경우 소포 시간이 가장 짧다.

따라서, 유기막(180)의 계면 활성제는 실리콘계 F, 플루오로계 S 중에서 어느 하나 이상 선택되며, 계면 활성제의 조성비 는 실리콘계 F : 플루오로계 S = 500 내지 1500 : 50 내지 500인 것이 바람직하다.

특히, 계면 활성제의 함량은 실리콘계 F가 1500ppm이고, 플루오로계 S가 500ppm인 것이 바람직하다.

이러한 솔벤트와 계면 활성제는 두 가지를 같이 사용하는 것이 효과가 좋으나, 솔벤트만을 사용하는 것도 가능하다.

유기막(180) 위에는 ITO 또는 IZO로 이루어진 복수의 화소 전극(pixel electrode)(190) 및 복수의 접촉 보조 부재(contact assistant)(82)가 형성되어 있다. 이러한 투명한 화소 전극으로 이루어진 박막 트랜지스터 표시판은 투과형 액정 표시 장치에 이용된다.

화소 전극(190)은 접촉 구멍(186)을 통하여 드레인 전극(175)과 물리적·전기적으로 연결되어 드레인 전극(175)으로부터 데이터 전압을 인가 받는다.

데이터 전압이 인가된 화소 전극(190)은 상부 표시판의 공통 전극(도시하지 않음)과 함께 전기장을 생성함으로써 두 전극 사이의 액정층의 액정 분자들을 재배열시킨다.

또한, 화소 전극(190)과 공통 전극은 축전기[이하 액정 축전기(liquid crystal capacitor)라 함]를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지하는데, 전압 유지 능력을 강화하기 위하여 액정 축전기와 병렬로 연결된 다른 축전기를 두며 이를 유지 축전기(storage electrode)라 한다. 유지 축전기는 화소 전극(190)과 유지 전극선(131)의 중첩 및 화소 전극(190)과 이웃 게이트선(121)[이를 전단 게이트선(previous gate line)이라 함]의 중첩 등으로 만들어지며, 유지 축전기의 정전 용량, 즉 유지 용량을 늘리기 위하여 유지 전극선(131)을 확장한 확장부(137)를 두어 중첩 면적을 크게 하는 한편, 화소 전극(190)과 연결되고 확장부(137)와 중첩되는 드레인 전극(175)의 확장부(177)를 보호막(180) 아래에 두어 둘 사이의 거리를 가깝게 한다.

접촉 보조 부재(82)는 접촉 구멍(182)을 통하여 데이터선(171)의 끝부분 (179)과 연결된다. 접촉 보조 부재(82)는 데이터선(171)의 끝부분(179)과 외부 장치와의 접촉성을 보완하고 이들을 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

그리고, 게이트선(121)의 한쪽 끝부분(129)은 게이트 구동 회로(도시하지 않음)로부터 전달되는 신호를 전달받기 위해 사용되며 게이트선(121) 폭보다 넓은 폭을 가질 수 있다.

그리고, 유기막(180)은 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181)을 가지고 있으며, 접촉 구멍(181)에는 게이트선(121)의 끝 부분(129)과 접촉하는 복수의 접촉 보조 부재(81)가 형성되어 있다. 이러한 접촉 보조 부재(81) 및 접촉 구멍(181)은 게이트선(121)에 신호를 공급하는 게이트 구동 회로(도시하지 않음)가 칩의 형태로 표시판(100) 또는 가요성 회로 기판(도시하지 않음) 위에 장착되는 경우에 필요하다. 반면, 게이트 구동 회로가 기판(110) 위에 직접 박막 트랜지스터 등으로 만들어지는 경우에는 접촉 구멍(181) 및 접촉 보조 부재(81)가 필요하지 않다.

본 발명의 제1 실시예인 투과형 액정 표시 장치용 박막 트랜지스터 표시판에 사용된 유기막은 반사전극을 가지는 중소형 반투과형 액정 표시 장치용 박막 트랜지스터 표시판에도 사용 가능하다.

즉, 화소 전극은 투과층을 가지는 반사 전극과 투과 전극으로 이루어져 있으며, 화소 전극의 아래에 형성되어 있는 유기막의 표면에는 요철 형상을 가지는 엠보싱이 형성되어 있다. 엠보싱은 반사 전극을 이용할 때 반사 능력을 향상시킨다.

이 경우에도, 유기막의 솔벤트의 조성비는 PGMEP : EEP : nBA = 50 내지 90 : 30 내지 5 : 20 내지 5인 것이 바람직하며, 특히, PGMEP, EEP 및 nBA를 각각 70 : 25 : 5의 비율로 배합하는 경우 유기막의 표면 장력이 가장 낮게 된다.

표면 장력이 낮아지면 유동성이 좋아지므로 넓게 균일하게 퍼지게 되는 효과가 있다. 따라서, 유기막에 얼룩이 발생하지 않게 된다.

그리고, 유기막에 솔벤트와 계면 활성제(Surfactant)를 사용함으로써 보다 나은 효과를 가져올 수 있다. 계면 활성제를 사용할 경우, 표면 장력을 개선하는 효과가 있으나 거품(Micro Bubble)이 생기므로 이를 제거하는 시간을 필요하다.

따라서, 유기막의 계면 활성제는 실리콘계 F, 플루오로계 S 중에서 어느 하나 이상 선택되며, 계면 활성제의 조성비는 실리콘계 F : 플루오로계 S = 500 내지 1500 : 50 내지 500인 경우 표면 장력을 낮추면서도 거품을 제거하는 소포 시간이 가장 적게 소요된다.

그리고, 본 발명의 제1 실시예인 비정질 반도체층을 가지는 액정 표시 장치용 박막 트랜지스터 표시판에 사용된 유기막은 다결정 규소층을 가지는 액정 표시 장치용 박막 트랜지스터 표시판에도 사용 가능하다.

이하에서 얼룩이 발생하지 않는 유기막을 가지는 본 발명의 제2 실시예에 따른 다결정 규소층을 가지는 박막 트랜지스터 표시판에 대해 도면을 참고로 하여 상세히 설명한다.

도 4는 본 발명의 제2 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 5는 도 4의 박막 트랜지스터 표시판을 V-V' 선을 따라 잘라 도시한 단면도이다.

도 4 및 도 5에 도시한 바와 같이, 투명한 절연 기판(10) 위에 산화 규소 또는 질화 규소로 이루어진 차단층(111)이 형성되어 있다. 차단층(111) 위에 소스 영역(153), 드레인 영역(155), 채널 영역(154) 및 저농도 도핑 영역(lightly doped

drain)(152)이 포함된 다결정 규소층(150)이 형성되어 있다. 저농도 도핑 영역(152)은 누설 전류(leakage current)나 펀치스투(punch through) 현상이 발생하는 것을 방지한다. 소스 영역(153)과 드레인 영역(155)은 N형 또는 P형 도전형 불순물이 고농도로 도핑되고, 채널 영역(154)에는 불순물이 도핑되지 않는다.

다결정 규소층(150)을 포함하는 기판(110) 위에는 게이트 절연막(140)이 형성되어 있다.

그리고 게이트 절연막(140) 위에는 일 방향으로 긴 게이트선(121)이 형성되어 있고, 게이트선(121)의 일부가 연장되어 다결정 규소층(150)의 채널 영역(154)과 중첩되어 있으며, 중첩되는 게이트선(121)의 일부분은 박막 트랜지스터의 게이트 전극(124)으로 사용된다. 게이트선(121)의 한쪽 끝부분은 외부 회로와 연결하기 위해서 게이트선(121) 폭보다 넓게 형성(도시하지 않음)할 수 있다.

또한, 화소의 유지 용량을 증가시키기 위한 유지 전극선(131)이 게이트선(121)과 평행하며, 동일한 물질로 동일한 층에 형성되어 있다. 다결정 규소층(150)과 중첩하는 유지 전극선(131)의 일부분은 유지 전극(133)이 되며, 유지 전극(133)과 중첩하는 다결정 규소층(150)은 유지 전극 영역(157)이 된다. 게이트선(121)의 한쪽 끝부분은 외부 회로와 연결하기 위해서 게이트선(121) 폭보다 넓게 형성할 수 있다.

게이트선(121) 및 유지 전극선(131)은 비저항(resistivity)이 낮은 은(Ag)이나 은 합금 등은 계열 금속, 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속 따위로 이루어진 도전막을 포함하며, 이러한 도전막에 더하여 다른 물질, 특히 ITO 또는 IZO와의 물리적, 화학적, 전기적 접촉 특성이 좋은 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 및 이들의 합금[보기: 몰리브덴-텅스텐 (MoW) 합금] 따위로 이루어진 다른 도전막을 포함하는 다층막 구조를 가질 수도 있다. 하부막과 상부막의 조합의 예로는 크롬/알루미늄-네오디뮴(Nd) 합금을 들 수 있다.

게이트선(121) 및 유지 전극선(131)이 형성되어 있는 게이트 절연막(140) 위에는 층간 절연막(601)이 형성되어 있다. 절연막(601)은 SiO₂/SiN로 이루어진 이중층으로 형성한다. SiO₂ 단일층보다는 SiO₂/SiN 이중층으로 형성하면 SiO₂ 단일층으로 형성할 때보다 박막 트랜지스터의 신뢰성이 향상된다.

층간 절연막(601)은 소스 영역(153)과 드레인 영역(155)을 각각 노출하는 제1 및 제2 접촉구(141, 142)를 포함하고 있다.

층간 절연막(601) 위에는 게이트선(121)과 교차하여 화소 영역을 정의하는 데이터선(171)이 형성되어 있다. 데이터선(171)의 일부분 또는 분지형 부분은 제1 접촉구(141)를 통해 소스 영역(153)과 연결되어 있으며 소스 영역(153)과 연결되어 있는 부분은 박막 트랜지스터의 소스 전극(173)으로 사용된다. 데이터선(171)의 한쪽 끝부분은 외부 회로와 연결하기 위해서 데이터선(171) 폭보다 넓게 형성(도시하지 않음)할 수 있다.

그리고 데이터선(171)과 동일한 층에는 소스 전극(173)과 일정거리 떨어져 형성되어 있으며 제2 접촉구(142)를 통해 드레인 영역(155)과 연결되어 있는 드레인 전극(175)이 형성되어 있다.

데이터선(171) 및 드레인 전극(175)은 IZO(indium zinc oxide) 또는 ITO(indium tin oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴(Mo), 몰리브덴 합금[보기: 몰리브덴-텅스텐(MoW) 합금] 따위의 몰리브덴 계열의 금속으로 이루어진다. 또한, 데이터선(171) 및 드레인 전극(175) 또한 은 계열 금속 또는 알루미늄 계열 금속 따위로 이루어진 도전막일 수도 있으며, 이러한 도전막에 더하여 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 및 이들의 합금 따위로 이루어진 다른 도전막을 포함하는 다층막 구조를 가질 수 있다.

데이터선(171) 및 드레인 전극(175)을 포함하는 층간 절연막(601) 위에 유기막(602)이 형성되어 있다.

유기막(602)의 솔벤트의 조성비는 PGMEP : EEP : nBA = 50 내지 90 : 30 내지 5 : 20 내지 5인 것이 바람직하며, 특히, PGMEP, EEP 및 nBA를 각각 70 : 25 : 5의 비율로 배합하는 경우 유기막(602)의 표면 장력이 가장 낮게 된다.

표면 장력이 낮아지면 유동성이 좋아지므로 넓게 균일하게 퍼지게 되는 효과가 있다. 따라서, 유기막(602)에 얼룩이 발생하지 않게 된다.

그리고, 유기막(602)에 솔벤트와 계면 활성제(Surfactant)를 사용함으로써 보다 나은 효과를 가져올 수 있다. 계면 활성제를 사용할 경우, 표면 장력을 개선하는 효과가 있으나 거품(Micro Bubble)이 생기므로 이를 제거하는 시간을 필요로 한다.

따라서, 유기막(602)의 계면 활성제는 실리콘계 F, 플루오로계 S 중에서 어느 하나 이상 선택되며, 계면 활성제의 조성비는 실리콘계 F : 플루오로계 S = 500 내지 1500 : 50 내지 500인 경우 표면 장력을 낮추면서도 거품을 제거하는 소포 시간이 가장 적게 소요된다.

이러한 유기막(602)은 드레인 전극(175)을 드러내는 제3 접촉구(143)를 가진다. 그리고 유기막(602) 위에 ITO로 이루어진 화소 전극인 투과 전극(192)이 형성되어 있다.

그리고, 본 발명의 제2 실시예인 다결정 규소층을 가지는 투과형 액정 표시 장치용 박막 트랜지스터 표시판에 사용된 유기막은 다결정 규소층을 가지는 반투과형 액정 표시 장치용 박막 트랜지스터 표시판에도 사용 가능하다.

이하에서 얼룩이 발생하지 않는 유기막을 가지는 본 발명의 제3 실시예에 따른 다결정 규소층을 가지는 반투과형 액정 표시 장치용 박막 트랜지스터 표시판에 대해 도면을 참고로 하여 상세히 설명한다.

도 6은 본 발명의 제3 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 7은 도 5의 박막 트랜지스터 표시판을 VII-VII' 선을 따라 잘라 도시한 단면도이다.

도 6 및 도 7에 도시한 바와 같이, 투명한 절연 기관(10) 위에 산화 규소 또는 질화 규소로 이루어진 차단층(111)이 형성되어 있다. 차단층(111) 위에 소스 영역(153), 드레인 영역(155), 채널 영역(154) 및 저농도 도핑 영역(lightly doped drain)(152)이 포함된 다결정 규소층(150)이 형성되어 있다. 저농도 도핑 영역(152)은 누설 전류(leakage current)나 펀치스루(punch through) 현상이 발생하는 것을 방지한다. 소스 영역(153)과 드레인 영역(155)은 N형 또는 P형 도전형 불순물이 고농도로 도핑되고, 채널 영역(154)에는 불순물이 도핑되지 않는다.

다결정 규소층(150)을 포함하는 기관(110) 위에는 게이트 절연막(140)이 형성되어 있다.

그리고 게이트 절연막(140) 위에는 일 방향으로 긴 게이트선(121)이 형성되어 있고, 게이트선(121)의 일부가 연장되어 다결정 규소층(150)의 채널 영역(154)과 중첩되어 있으며, 중첩되는 게이트선(121)의 일부는 박막 트랜지스터의 게이트 전극(124)으로 사용된다. 게이트선(121)의 한쪽 끝부분은 외부 회로와 연결하기 위해서 게이트선(121) 폭보다 넓게 형성(도시하지 않음)할 수 있다.

또한, 화소의 유지 용량을 증가시키기 위한 유지 전극선(131)이 게이트선(121)과 평행하며, 동일한 물질로 동일한 층에 형성되어 있다. 다결정 규소층(150)과 중첩하는 유지 전극선(131)의 일부는 유지 전극(133)이 되며, 유지 전극(133)과 중첩하는 다결정 규소층(150)은 유지 전극 영역(157)이 된다. 게이트선(121)의 한쪽 끝부분은 외부 회로와 연결하기 위해서 게이트선(121) 폭보다 넓게 형성할 수 있다.

게이트선(121) 및 유지 전극선(131)은 비저항(resistivity)이 낮은 은(Ag)이나 은 합금 등은 계열 금속, 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속 따위로 이루어진 도전막을 포함하며, 이러한 도전막에 더하여 다른 물질, 특히 ITO 또는 IZO와의 물리적, 화학적, 전기적 접촉 특성이 좋은 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 및 이들의 합금[보기: 몰리브덴-텅스텐(MoW) 합금] 따위로 이루어진 다른 도전막을 포함하는 다층막 구조를 가질 수도 있다. 하부막과 상부막의 조합의 예로는 크롬/알루미늄-네오디뮴(Nd) 합금을 들 수 있다.

게이트선(121) 및 유지 전극선(131)이 형성되어 있는 게이트 절연막(140) 위에는 층간 절연막(601)이 형성되어 있다. 절연막(601)은 SiO₂/SiN로 이루어진 이중층으로 형성한다. SiO₂ 단일층보다는 SiO₂/SiN 이중층으로 형성하면 SiO₂ 단일층으로 형성할 때보다 박막 트랜지스터의 신뢰성이 향상된다.

층간 절연막(601)은 소스 영역(153)과 드레인 영역(155)을 각각 노출하는 제1 및 제2 접촉구(141, 142)를 포함하고 있다.

층간 절연막(601) 위에는 게이트선(121)과 교차하여 화소 영역을 정의하는 데이터선(171)이 형성되어 있다. 데이터선(171)의 일부 또는 분지형 부분은 제1 접촉구(141)를 통해 소스 영역(153)과 연결되어 있으며 소스 영역(153)과 연결되어 있는 부분은 박막 트랜지스터의 소스 전극(173)으로 사용된다. 데이터선(171)의 한쪽 끝부분은 외부 회로와 연결하기 위해서 데이터선(171) 폭보다 넓게 형성(도시하지 않음)할 수 있다.

그리고 데이터선(171)과 동일한 층에는 소스 전극(173)과 일정거리 떨어져 형성되어 있으며 제2 접촉구(142)를 통해 드레인 영역(155)과 연결되어 있는 드레인 전극(175)이 형성되어 있다.

데이터선(171) 및 드레인 전극(175)은 IZO(indium zinc oxide) 또는 ITO(indium tin oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴(Mo), 몰리브덴 합금[보기: 몰리브덴-텅스텐(MoW) 합금] 따위의 몰리브덴 계열의 금속으로 이루어진다. 또한, 데이터선(171) 및 드레인 전극(175) 또한 은 계열 금속 또는 알루미늄 계열 금속 따위로 이루어진 도전막일 수도 있으며, 이러한 도전막에 더하여 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 및 이들의 합금 따위로 이루어진 다른 도전막을 포함하는 다층막 구조를 가질 수 있다.

데이터선(171) 및 드레인 전극(175)을 포함하는 층간 절연막(601) 위에 유기막(602)이 형성되어 있다.

이러한 유기막(602)은 아크릴계로 유전율은 3.3 정도로 JSR 제품을 사용한다. 다결정 규소층을 가지는 반투과형 액정 표시 장치용 박막 트랜지스터 표시판에 사용되는 유기막(602)은 가교제가 첨가되어 있어서, 내열성이 우수하고, 따라서, 유기막(602) 형성 공정 시 유기막(602)이 균일하게 퍼지는 것을 방해하기도 한다.

따라서, 유기막(602)에 솔벤트 및 계면 활성제를 첨가하여 유기막(602)의 표면 장력을 낮도록 함으로써 넓고 균일하게 퍼지게 한다.

유기막(602)의 솔벤트의 조성비는 PGMEP : EEP : nBA = 50 내지 90 : 30 내지 5 : 20 내지 5인 것이 바람직하며, 특히, PGMEP, EEP 및 nBA를 각각 70 : 25 : 5의 비율로 배합하는 경우 유기막(602)의 표면 장력이 가장 낮게 된다.

표면 장력이 낮아지면 유동성이 좋아지므로 넓게 균일하게 퍼지게 되는 효과가 있다. 따라서, 유기막(602)에 얼룩이 발생하지 않게 된다.

그리고, 유기막(602)에 솔벤트와 계면 활성제(Surfactant)를 사용함으로써 보다 나은 효과를 가져올 수 있다. 계면 활성제를 사용할 경우, 표면 장력을 개선하는 효과가 있으나 거품(Micro Bubble)이 생기므로 이를 제거하는 시간을 필요하다.

따라서, 유기막(602)의 계면 활성제는 실리콘계 F, 플루오로계 S 중에서 어느 하나 이상 선택되며, 계면 활성제의 조성비는 실리콘계 F : 플루오로계 S = 500 내지 1500 : 50 내지 500인 경우 표면 장력을 낮추면서도 거품을 제거하는 소포 시간이 가장 적게 소요된다.

이러한 유기막(602)은 드레인 전극(175)을 드러내는 제3 접촉구(143)를 가진다. 유기막(602)의 표면에는 요철 형상을 가지는 엠보싱(Embossing)(50)이 형성되어 있다. 엠보싱(50)은 반사 전극을 이용할 때 반사 능력을 향상시킨다.

그리고 유기막(602) 위에 ITO로 이루어진 투과 전극(192)이 형성되어 있다.

투과 전극(192) 위에 알루미늄-네오디뮴(AlNd)과 같은 금속으로 이루어지며 제3 접촉구(143)를 통하여 드레인 전극(175)과 연결되는 반사 전극(194)이 형성되어 있다. 이러한 반사 전극(194)과 투과 전극(192)을 화소 전극이라 한다. 또한, 반사 전극(194)에는 투과창(195)이 형성되어 있고, 투과창(195) 부분에는 투과 전극(192)만이 존재한다. 투과창(195)은 투과형으로 사용될 때 백라이트로부터 나오는 빛이 통과할 수 있는 통로로서 사용되어 투과창(195)을 통해 투과 전극(192)을 투과한 빛이 액정까지 전달한다.

본 발명의 제4 실시예에서는 동일 물질로 데이터 연결부(171b)와 화소 전극(190)을 동일층에 형성하고 화소 전극(190)과 데이터 연결부(171b)를 반도체층(150)의 소스 및 드레인 영역(153, 155)에 각각 연결하기 위한 접촉구들(161, 162)을 동시에 형성하기 때문에 제2 실시예에 비해 마스크 수를 줄일 수 있다.

그러면, 본 발명의 제4 실시예에 따른 박막 트랜지스터 표시판에 대하여 도 8 및 도 9를 참고로 하여 상세히 설명한다.

도 8은 본 발명의 제4 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 9는 도 8의 박막 트랜지스터 표시판을 IX-IX' 선 및 IX'-IX'' 선을 따라 잘라 도시한 단면도이다.

도 8 및 도 9에 도시된 바와 같이, 투명한 절연 기판(110) 위에 차단막(111)이 형성되어 있고, 차단막(111) 위에 소스 영역(153), 드레인 영역(155), 채널 영역(154) 및 저농도 도핑 영역(152)을 포함하는 다결정 규소층(150)이 형성되어 있다.

다결정 규소층(150)을 포함하여 기판(110) 위에는 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140) 위에는 가로 방향으로 긴 게이트선(121, 124)이 형성되어 있고, 게이트선(121, 124)의 일부가 세로 방향으로 연장되어 반도체층(150)과 일부 중첩되며, 반도체층(150)과 중첩된 게이트선(121, 124)의 일부분은 게이트 전극(124)으로 사용된다.

게이트선(121)의 한쪽 끝부분(도시하지 않음)은 외부 회로(도시하지 않음)로부터 주사 신호를 인가 받기 위해 게이트선(121, 124) 폭보다 확대 형성할 수 있다.

또, 유지 전극선(131, 133)이 게이트선(121, 124)과 일정거리 떨어져 형성되며 평행하게 위치하도록, 게이트선(121, 124)과 동일한 물질로 동일한 층에 형성되어 있다. 다결정 규소층(150)과 중첩되는 유지 전극선(131, 133)의 일 부분은 유지 전극(133)이 되며, 유지 전극(133) 아래에 위치한 다결정 규소층(150)은 유지 전극 영역(157)이 된다.

그리고 게이트선(121, 124)과 일정 거리 떨어져 형성되어 있으며 게이트선(121, 124)과 수직한 방향으로 신장되며, 게이트선(121, 124)과 동일한 층에 데이터 금속편(171a)이 형성되어 있다. 데이터 금속편(171a)은 인접한 두 게이트선(121, 124) 사이에 게이트선(121, 124)과 연결되지 않도록 형성되어 있다. 또, 데이터 금속편(171a)은 외부 회로(도시하지 않음)로부터 화상 신호를 인가받기 위해 가장 바깥에 위치한 한 행의 데이터 금속편(171a)의 한쪽 끝부분(179)을 확대 형성할 수 있다.

게이트선(121, 124) 및 유지 전극선(131, 133)을 포함하는 게이트 절연막(140) 위에 유기막(160)이 형성되어 있다.

유기막(160)에 솔벤트 및 계면 활성제를 첨가하여 유기막(160)의 표면 장력을 낮도록 함으로써 넓고 균일하게 퍼지게 한다.

유기막(160)의 솔벤트의 조성비는 PGMEP : EEP : nBA = 50 내지 90 : 30 내지 5 : 20 내지 5인 것이 바람직하며, 특히, PGMEP, EEP 및 nBA를 각각 70 : 25 : 5의 비율로 배합하는 경우 유기막(160)의 표면 장력이 가장 낮게 된다.

표면 장력이 낮아지면 유동성이 좋아지므로 넓게 균일하게 퍼지게 되는 효과가 있다. 따라서, 유기막(160)에 얼룩이 발생하지 않게 된다.

그리고, 유기막(160)에 솔벤트와 계면 활성제(Surfactant)를 사용함으로써 보다 나은 효과를 가져올 수 있다. 계면 활성제를 사용할 경우, 표면 장력을 개선하는 효과가 있으나 거품(Micro Bubble)이 생기므로 이를 제거하는 시간을 필요하다.

따라서, 유기막(160)의 계면 활성제는 실리콘계 F, 플루오로계 S 중에서 어느 하나 이상 선택되며, 계면 활성제의 조성비는 실리콘계 F : 플루오로계 S = 500 내지 1500 : 50 내지 500인 경우 표면 장력을 낮추면서도 거품을 제거하는 소포 시간이 가장 적게 소요된다.

유기막(160) 위에는 데이터 연결부(171b), 화소 전극(190), 접촉 보조 부재(82)가 형성되어 있다. 데이터 연결부(171b)는 세로 방향으로 게이트선(121, 124) 및 유지 전극선(131, 133)과 교차하도록 형성되어 있다.

데이터 금속편(171a)은 유기막(160)에 형성되어 있는 제3 접촉구(163)를 통해 데이터 연결부(171b)와 연결되어 있으며, 데이터 연결부(171b)는 제1 접촉구(161)를 통해 소스 영역(153)과 연결되어 있다. 즉, 데이터 연결부(171b)에 의하여 분리되어 있는 데이터 금속편(171a)들이 게이트선(121, 124) 및 유지 전극선(131, 133)을 건너 연결된다. 그리고 화소 전극(190)은 유기막(160)과 게이트 절연막(140)에 걸쳐 형성되어 있는 제2 접촉구(162)를 통해 드레인 영역(155)과 연결되어 있으며, 접촉 보조 부재(82)는 유기막(160)에 형성되어 있는 제4 접촉구(164)를 통해 각각 게이트선(121, 124) 및 데이터 금속편(171a)의 한쪽 끝부분(179)과 연결되어 있다.

그리고 유기막(160) 위에 ITO로 이루어진 화소 전극은 투과 전극(190)으로서, 백라이트로부터 나오는 빛이 통과할 수 있는 통로로서 사용된다.

접촉 보조 부재(82)는 접촉구(162)를 통하여 데이터선의 끝 부분(179)과 연결된다. 접촉 보조 부재(82)는 데이터선(171)의 끝 부분(179)과 외부 장치와의 접촉성을 보완하고 이들을 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다. 특히, 구동 회로를 표시 영역의 박막 트랜지스터와 함께 형성할 경우에는 형성하지 않는다.

한편, 이러한 제4 실시예에 따른 다결정 규소층을 가지는 투과형 액정 표시 장치용 박막 트랜지스터 표시판과 달리 다결정 규소층을 가지는 반투과형 액정 표시 장치용 박막 트랜지스터 표시판에도 제4 실시예에 따른 유기막이 사용될 수 있다. 이러한 반투과형 액정 표시 장치용 박막 트랜지스터 표시판은 제10 실시예로서 도 10 및 도 11을 참고로 하여 아래에서 상세히 설명한다.

도 10은 본 발명의 제5 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 11은 도 10의 박막 트랜지스터 표시판을 XI-XI' 선 및 XI'-XI'' 선을 따라 잘라 도시한 단면도이다.

도 10 및 도 11에 도시된 바와 같이, 유기막(160)의 표면에는 요철 형상을 가지는 엠보싱(Embossing)(50)이 형성되어 있다. 엠보싱(50)은 반사 전극을 이용할 때 반사 능력을 향상시킨다.

유기막(160)에 솔벤트 및 계면 활성제를 첨가하여 유기막(160)의 표면 장력을 낮도록 함으로써 넓고 균일하게 퍼지게 한다.

유기막(160)의 솔벤트의 조성비는 PGMEP : EEP : nBA = 50 내지 90 : 30 내지 5 : 20 내지 5인 것이 바람직하며, 특히, PGMEP, EEP 및 nBA를 각각 70 : 25 : 5의 비율로 배합하는 경우 유기막(160)의 표면 장력이 가장 낮게 된다.

표면 장력이 낮아지면 유동성이 좋아지므로 넓게 균일하게 퍼지게 되는 효과가 있다. 따라서, 유기막(160)에 얼룩이 발생하지 않게 된다.

그리고, 유기막(160)에 솔벤트와 계면 활성제(Surfactant)를 사용함으로써 보다 나은 효과를 가져올 수 있다. 계면 활성제를 사용할 경우, 표면 장력을 개선하는 효과가 있으나 거품(Micro Bubble)이 생기므로 이를 제거하는 시간을 필요로 한다.

따라서, 유기막(160)의 계면 활성제는 실리콘계 F, 플루오로계 S 중에서 어느 하나 이상 선택되며, 계면 활성제의 조성비는 실리콘계 F : 플루오로계 S = 500 내지 1500 : 50 내지 500인 경우 표면 장력을 낮추면서도 거품을 제거하는 소포 시간이 가장 적게 소요된다.

그리고 유기막(160) 위에 ITO로 이루어진 투과 전극(192)이 형성되어 있다.

투과 전극(192) 위에 알루미늄-네오디뮴(AlNd)과 같은 금속으로 이루어지며 유기막(160)과 게이트 절연막(140)에 걸쳐 형성되어 있는 제2 접촉구(162)를 통해 드레인 영역(155)과 연결되는 반사 전극(194)이 형성되어 있다. 이러한 반사 전극(194)과 투과 전극(192)을 화소 전극이라 한다. 또한, 반사 전극(194)에는 투과창(195)이 형성되어 있고, 투과창(195) 부분에는 투과 전극(192)만이 존재한다. 투과창(195)은 투과형으로 사용될 때 백라이트로부터 나오는 빛이 통과할 수 있는 통로로서 사용되어 투과창(195)을 통해 투과 전극(192)을 투과한 빛이 액정까지 전달한다.

한편, 실리콘계 가교 접착제를 수지 대비 1% 내지 10% 만큼 함유하는 유기막을 형성하거나(반투과형 경우), 수지 대비 1% 내지 30% 만큼 함유하는 유기막을 형성하면(투과형 경우), 유기막과 접촉하는 데이터선 및 화소 전극의 접촉성을 향상시켜 유기막의 들뜸 현상을 방지할 수 있다.

이하에서 이러한 유기막을 가지는 본 발명의 제6 내지 제10 실시예에 대해 상세히 설명한다.

우선, 이러한 유기막 및 비정질 반도체층을 가지는 투과형 액정 표시 장치용 박막 트랜지스터 표시판에 대해 제6 실시예로서 이하에서 설명하며, 도 1 내지 도 2b를 참고로 하여 설명한다. 즉, 도 1 내지 도 2b는 제1 실시예 및 제6 실시예의 참조 도면이 된다.

도 1 내지 도 2b에 도시한 바와 같이, 절연 기판(110) 위에 복수의 게이트선(gate line)(121) 및 복수의 유지 전극선(storage electrode lines)(131)이 형성되어 있다.

게이트선(121)과 유지 전극선(131)은 주로 가로 방향으로 뻗어 있고 서로 분리되어 있다. 게이트선(121)은 게이트 신호를 전달하며, 각 게이트선(121)의 일부는 위 또는 아래로 돌출하여 복수의 게이트 전극(gate electrode)(124)을 이룬다. 유지 전극선(131)은 공통 전압(common voltage) 따위의 미리 정해진 전압을 인가 받으며, 폭이 위 또는 아래로 확장된 확장부(expansion)로 형성되어 있는 유지 전극(137)을 포함한다.

게이트선(121) 및 유지 전극선(131)은 비저항(resistivity)이 낮은 은(Ag)이나 은 합금 등은 계열 금속, 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속 따위로 이루어진 도전막을 포함하며, 이러한 도전막에 더하여 다른 물질, 특히 ITO 또는 IZO와의 물리적, 화학적, 전기적 접촉 특성이 좋은 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 및 이들의 합금[보기: 몰리브덴-텅스텐 (MoW) 합금] 따위로 이루어진 다른 도전막을 포함하는 다층막 구조를 가질 수도 있다. 하부막과 상부막의 조합의 예로는 크롬/알루미늄-네오디뮴(Nd) 합금을 들 수 있다.

게이트선(121) 및 유지 전극선(131)의 측면은 경사져 있으며, 경사각은 기관(110)의 표면에 대하여 약 30-80° 범위이다.

게이트선(121) 및 유지 전극선(131) 위에 질화규소(SiNx) 따위로 이루어진 게이트 절연막(140)이 형성되어 있다.

게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 등으로 이루어진 복수의 선형 반도체(151)가 형성되어 있다. 선형 반도체(151)는 주로 세로 방향으로 뻗어 있으며 이로부터 복수의 돌출부(extension)(154)가 게이트 전극(124)을 향하여 뻗어 나와 있다.

반도체(151)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 복수의 선형 및 섬형 저항성 접촉 부재(ohmic contact)(161, 165)가 형성되어 있다. 선형 접촉 부재(161)는 복수의 돌출부(163)를 가지고 있으며, 이 돌출부(163)와 섬형 접촉 부재(165)는 쌍을 이루어 반도체(151)의 돌출부(154) 위에 위치한다.

반도체(151)와 저항성 접촉 부재(161, 165)의 측면 역시 경사져 있으며 경사각은 30-80°이다.

저항 접촉 부재(161, 165) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(data line)(171)과 복수의 드레인 전극(drain electrode)(175)이 형성되어 있다.

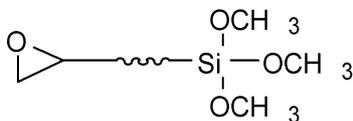
데이터선(171)은 주로 세로 방향으로 뻗어 게이트선(121)과 교차하며 데이터 전압(data voltage)을 전달한다. 각 데이터선(171)에서 드레인 전극(175)을 향하여 뻗은 복수의 가지가 소스 전극(source electrode)(173)을 이룬다. 한 쌍의 소스 전극(173)과 드레인 전극(175)은 서로 분리되어 있으며 게이트 전극(123)에 대하여 서로 반대쪽에 위치한다. 드레인 전극(175)은 유지 전극선(131)의 확장부(137) 쪽으로 연장되어 확장부(137)와 중첩하는 확장부(177)를 가지고 있다. 게이트 전극(123), 소스 전극(173) 및 드레인 전극(175)은 반도체(151)의 노출부(154)와 함께 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 노출부(154)에 형성된다.

데이터선(171) 및 드레인 전극(175) 또한 은 계열 금속 또는 알루미늄 계열 금속 따위로 이루어진 도전막을 포함하며, 이러한 도전막에 더하여 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 및 이들의 합금 따위로 이루어진 다른 도전막을 포함하는 다층막 구조를 가질 수 있다. 데이터선(171)과 드레인 전극(175)의 측면 역시 경사져 있으며, 경사각은 수평면에 대하여 약 30-80° 범위이다.

데이터선(171) 및 드레인 전극(175)과 노출된 반도체 부분(154)의 위에는 유기 절연 물질로 이루어지는 보호막, 즉, 유기막(180)이 형성되어 있다. 유기막(180)은 데이터선(171)의 일부(179)를 드러내는 접촉 구멍(182) 및 드레인 전극(175)의 일부를 드러내는 접촉 구멍(186)을 가지고 있다.

이러한 유기막(180)에는 아래와 같은 [구조식]의 실리콘계 가교 접착제(Silane Coupling Agent : 이하 "SCA"라 함)가 유기막(180)을 구성하는 물질인 수지 대비 1% 내지 30% 만큼 함유되어 있다.

[구조식]



[구조식]의 SCA에서 실란 작용기는 무기계 작용기와 치환되어 유기막(180) 내에서 다수의 가교 결합을 형성할 수 있다. 이러한 가교 결합은 유기막(180)의 하부 또는 상부 표면과 접촉되는 도전막 예를 들면, 데이터선(171), 드레인 전극(175) 및 후술하는 화소 전극 등에 대한 접착력을 증가시킨다. 따라서 유기막(180)이 접착 불량으로 인하여 들뜨게 되는 들뜸 현상을 제거할 수 있다.

표 3에는 Mo/W (몰리브덴/텅스텐) 기관 위에 SCA가 각각 1%, 5%, 10% 함유되어 있는 유기막을 형성한 후 테이핑 테스트(Taping test)를 진행한 경우에 Mo/W (몰리브덴/텅스텐) 기관 위의 유기막의 잔유율을 나타내었다.

표 3.

	종래	SCA 1%	SCA 5%	SCA 10%
잔유율(%)	0	18	48	55

표 3에 나타난 바와 같이, SCA의 함유율이 증가할수록 Mo/W (몰리브덴/텅스텐) 기판 위의 유기막의 잔유율이 증가하는 것을 알 수 있다.

또한, 표 4에는 ITO 기판 위에 SCA가 각각 1%, 5%, 10% 함유되어 있는 유기막을 형성한 후 테이핑 테스트(Taping test)를 진행한 경우에 ITO 기판 위의 유기막의 잔유율을 나타내었다.

표 4.

	종래	SCA 1%	SCA 5%	SCA 10%
잔유율(%)	0	35	70	98

표 4에 나타난 바와 같이, SCA의 함유율이 증가할수록 ITO 기판 위에 유기막의 잔유율이 증가하는 것을 알 수 있다.

따라서, SCA가 유기막(180)을 구성하는 물질인 수지 대비 1% 내지 30% 만큼 함유되어 있는 유기막을 형성함으로써 유기막(180)이 접착 불량으로 인하여 들뜨게 되는 들뜸 현상을 제거할 수 있다.

유기막(180) 위에는 ITO 또는 IZO로 이루어진 복수의 화소 전극(pixel electrode)(190) 및 복수의 접촉 보조 부재(contact assistant)(82)가 형성되어 있다. 이러한 투명한 화소 전극으로 이루어진 박막 트랜지스터 표시판은 투과형 액정 표시 장치에 이용된다.

화소 전극(190)은 접촉 구멍(186)을 통하여 드레인 전극(175)과 물리적·전기적으로 연결되어 드레인 전극(175)으로부터 데이터 전압을 인가 받는다.

데이터 전압이 인가된 화소 전극(190)은 상부 표시판의 공통 전극(도시하지 않음)과 함께 전기장을 생성함으로써 두 전극 사이의 액정층의 액정 분자들을 재배열시킨다.

또한, 화소 전극(190)과 공통 전극은 축전기[이하 액정 축전기(liquid crystal capacitor)라 함]를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지하는데, 전압 유지 능력을 강화하기 위하여 액정 축전기와 병렬로 연결된 다른 축전기를 두며 이를 유지 축전기(storage electrode)라 한다. 유지 축전기는 화소 전극(190)과 유지 전극선(131)의 중첩 및 화소 전극(190)과 이웃 게이트선(121)[이를 전단 게이트선(previous gate line)이라 함]의 중첩 등으로 만들어지며, 유지 축전기의 정전 용량, 즉 유지 용량을 늘리기 위하여 유지 전극선(131)을 확장한 확장부(137)를 두어 중첩 면적을 크게 하는 한편, 화소 전극(190)과 연결되고 확장부(137)와 중첩되는 드레인 전극(175)의 확장부(177)를 보호막(180) 아래에 두어 둘 사이의 거리를 가깝게 한다.

접촉 보조 부재(82)는 접촉 구멍(82)을 통하여 데이터선(171)의 끝부분 (179)과 연결된다. 접촉 보조 부재(82)는 데이터선(171)의 끝부분(179)과 외부 장치와의 접촉성을 보완하고 이들을 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

그리고, 게이트선(121)의 한쪽 끝부분(129)은 게이트 구동 회로(도시하지 않음)로부터 전달되는 신호를 전달받기 위해 사용되며 게이트선(121) 폭보다 넓은 폭을 가질 수 있다.

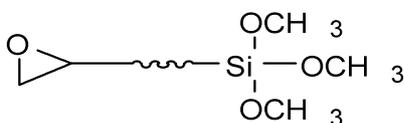
그리고, 유기막(180)은 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181)을 가지고 있으며, 접촉 구멍(181)에는 게이트선(121)의 끝 부분(129)과 접촉하는 복수의 접촉 보조 부재(81)가 형성되어 있다. 이러한 접촉 보조 부재(81) 및 접촉 구멍(181)은 게이트선(121)에 신호를 공급하는 게이트 구동 회로(도시하지 않음)가 칩의 형태로 표시판(100) 또는 가요성 회로 기판(도시하지 않음) 위에 장착되는 경우에 필요하다. 반면, 게이트 구동 회로가 기판(110) 위에 직접 박막 트랜지스터 등으로 만들어지는 경우에는 접촉 구멍(181) 및 접촉 보조 부재(81)가 필요하지 않다.

본 발명의 제6 실시예인 투과형 액정 표시 장치용 박막 트랜지스터 표시판에 사용된 유기막은 반사전극을 가지는 중소형 반투과형 액정 표시 장치용 박막 트랜지스터 표시판에도 사용 가능하다.

즉, 화소 전극은 투과창을 가지는 반사 전극과 투과 전극으로 이루어져 있으며, 화소 전극의 아래에 형성되어 있는 유기막의 표면에는 요철 형상을 가지는 엠보싱이 형성되어 있다. 엠보싱은 반사 전극을 이용할 때 반사 능력을 향상시킨다.

그리고, 유기막(180)에는 아래와 같은 [구조식]의 실리콘계 가교 접착제(Silane Coupling Agent : 이하 "SCA"라 함)가 유기막(180)을 구성하는 물질인 수지 대비 1% 내지 10% 만큼 함유되어 있다.

[구조식]



그러면, [구조식]의 SCA가 함유되어 있는 유기막(180)의 작용에 대하여 도 12a 내지 도 12c를 참조하여 상세히 설명한다.

도 12a 내지 도 12c는 본 발명의 실시예에 따른 박막 트랜지스터 표시판에 있어서 열 공정에 따른 유기막의 접착 정도 및 내열 강도를 나타낸 도면이다.

[구조식]의 SCA에서 실란 작용기는 무기계 작용기와 치환되어 유기막(180) 내에서 다수의 가교 결합을 형성할 수 있다. 이러한 가교 결합은 유기막(180)의 하부 또는 상부 표면과 접촉되는 도전막 예를 들면, 데이터선(171), 드레인 전극(175) 및 후술하는 화소 전극 등에 대한 접착력을 증가시킨다. 따라서 유기막(602)이 접착 불량으로 인하여 들뜨게 되는 들뜸 현상을 제거할 수 있다.

그러나, [구조식]의 SCA는 실리콘(Si)을 함유하고 있어서 접착력을 증가시키는 역할뿐만 아니라 가소제(plasticizer)의 역할을 한다. 이에 따라서, SCA가 유기막(180)에 지나치게 많이 함유될 경우에는 가소화 작용으로 인하여 유기막(180)의 내열성을 저하시킬 수 있다. 다시 말해, 유기막(180)에 SCA가 많이 함유되면 일부의 SCA가 가교 결합을 형성하지 못하여 접착력의 향상에 기여하지 못한다. 또한 가교 결합을 형성하지 못한 SCA는 유기막(180) 내의 프리 부피(free volume)를 증가시키며, SCA가 무정형 고분자(amorphous polymer) 주쇄의 회전자 유도 및 체인 슬리밍(Chain Slimming)을 조장한다. 이에 따라 유기막(180)의 유연성을 증가시키게 되어 유기막(180)의 내열성을 저하시킬 수 있다.

이러한 가소화 작용으로 인하여, [구조식]의 SCA가 유기막(180)을 구성하는 물질인 수지(Resin) 대비 15% 이상의 함량으로 함유되면 유기막(180)의 내열성이 지나치게 저하되어 도 12c에 도시한 바와 같이, 유기막(180)의 표면에 형성되어 있는 요철 형상의 엠보싱(50)의 요철 높이가 낮아지게 되어 엠보싱(50)의 효과를 기대할 수 없다.

따라서, SCA는 도 12a 및 도 12b에 도시한 바와 같이, 유기막(180)을 구성하는 물질인 수지 대비 1 내지 10% 만큼 함유시키는 것이 바람직하다.

그리고, 본 발명의 제6 실시예인 비정질 반도체층을 가지는 액정 표시 장치용 박막 트랜지스터 표시판에 사용된 유기막은 다결정 규소층을 가지는 액정 표시 장치용 박막 트랜지스터 표시판에도 사용 가능하다.

이하에서 SCA를 함유하는 유기막을 가지는 본 발명의 제7 실시예에 따른 다결정 규소층을 가지는 박막 트랜지스터 표시판에 대해 도 4 내지 도 5를 참고로 하여 설명한다. 즉, 도 4 내지 도 5는 제2 실시예 및 제7 실시예의 참조 도면이 된다.

도 4 및 도 5에 도시한 바와 같이, 투명한 절연 기관(10) 위에 산화 규소 또는 질화 규소로 이루어진 차단층(111)이 형성되어 있다. 차단층(111) 위에 소스 영역(153), 드레인 영역(155), 채널 영역(154) 및 저농도 도핑 영역(lightly doped drain)(152)이 포함된 다결정 규소층(150)이 형성되어 있다. 저농도 도핑 영역(152)은 누설 전류(leakage current)나 펀치스루(punch through) 현상이 발생하는 것을 방지한다. 소스 영역(153)과 드레인 영역(155)은 N형 또는 P형 도전형 불순물이 고농도로 도핑되고, 채널 영역(154)에는 불순물이 도핑되지 않는다.

다결정 규소층(150)을 포함하는 기관(110) 위에는 게이트 절연막(140)이 형성되어 있다.

그리고 게이트 절연막(140) 위에는 일 방향으로 긴 게이트선(121)이 형성되어 있고, 게이트선(121)의 일부가 연장되어 다결정 규소층(150)의 채널 영역(154)과 중첩되어 있으며, 중첩되는 게이트선(121)의 일부분은 박막 트랜지스터의 게이트 전극(124)으로 사용된다. 게이트선(121)의 한쪽 끝부분은 외부 회로와 연결하기 위해서 게이트선(121) 폭보다 넓게 형성(도시하지 않음)할 수 있다.

또한, 화소의 유지 용량을 증가시키기 위한 유지 전극선(131)이 게이트선(121)과 평행하며, 동일한 물질로 동일한 층에 형성되어 있다. 다결정 규소층(150)과 중첩하는 유지 전극선(131)의 일부분은 유지 전극(133)이 되며, 유지 전극(133)과 중첩하는 다결정 규소층(150)은 유지 전극 영역(157)이 된다. 게이트선(121)의 한쪽 끝부분은 외부 회로와 연결하기 위해서 게이트선(121) 폭보다 넓게 형성할 수 있다.

게이트선(121) 및 유지 전극선(131)은 비저항(resistivity)이 낮은 은(Ag)이나 은 합금 등은 계열 금속, 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속 따위로 이루어진 도전막을 포함하며, 이러한 도전막에 더하여 다른 물질, 특히 ITO 또는 IZO와의 물리적, 화학적, 전기적 접촉 특성이 좋은 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 및 이들의 합금[보기: 몰리브덴-텅스텐(MoW) 합금] 따위로 이루어진 다른 도전막을 포함하는 다층막 구조를 가질 수도 있다. 하부막과 상부막의 조합의 예로는 크롬/알루미늄(Al)-네오디뮴(Nd) 합금을 들 수 있다.

게이트선(121) 및 유지 전극선(131)이 형성되어 있는 게이트 절연막(140) 위에는 층간 절연막(601)이 형성되어 있다. 절연막(601)은 SiO₂/SiN로 이루어진 이중층으로 형성한다. SiO₂ 단일층보다는 SiO₂/SiN 이중층으로 형성하면 SiO₂ 단일층으로 형성할 때보다 박막 트랜지스터의 신뢰성이 향상된다.

층간 절연막(601)은 소스 영역(153)과 드레인 영역(155)을 각각 노출하는 제1 및 제2 접촉구(141, 142)를 포함하고 있다.

층간 절연막(601) 위에는 게이트선(121)과 교차하여 화소 영역을 정의하는 데이터선(171)이 형성되어 있다. 데이터선(171)의 일부분 또는 분지형 부분은 제1 접촉구(141)를 통해 소스 영역(153)과 연결되어 있으며 소스 영역(153)과 연결되어 있는 부분은 박막 트랜지스터의 소스 전극(173)으로 사용된다. 데이터선(171)의 한쪽 끝부분은 외부 회로와 연결하기 위해서 데이터선(171) 폭보다 넓게 형성(도시하지 않음)할 수 있다.

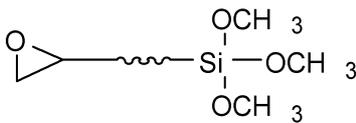
그리고 데이터선(171)과 동일한 층에는 소스 전극(173)과 일정거리 떨어져 형성되어 있으며 제2 접촉구(142)를 통해 드레인 영역(155)과 연결되어 있는 드레인 전극(175)이 형성되어 있다.

데이터선(171) 및 드레인 전극(175)은 IZO(indium zinc oxide) 또는 ITO(indium tin oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴(Mo), 몰리브덴 합금[보기: 몰리브덴-텅스텐(MoW) 합금] 따위의 몰리브덴 계열의 금속으로 이루어진다. 또한, 데이터선(171) 및 드레인 전극(175) 또한 은 계열 금속 또는 알루미늄 계열 금속 따위로 이루어진 도전막일 수도 있으며, 이러한 도전막에 더하여 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 및 이들의 합금 따위로 이루어진 다른 도전막을 포함하는 다층막 구조를 가질 수 있다.

데이터선(171) 및 드레인 전극(175)을 포함하는 층간 절연막(601) 위에 유기막(602)이 형성되어 있다.

이러한 유기막(602)에는 아래와 같은 [구조식]의 실리콘계 가교 접착제(Silane Coupling Agent : 이하 "SCA"라 함)가 유기막(602)을 구성하는 물질인 수지 대비 1% 내지 30% 만큼 함유되어 있다.

[구조식]



[구조식]의 SCA에서 실란 작용기는 무기계 작용기와 치환되어 유기막(602) 내에서 다수의 가교 결합을 형성할 수 있다. 이러한 가교 결합은 유기막(602)의 하부 또는 상부 표면과 접촉되는 도전막 예를 들면, 데이터선(171), 드레인 전극(175) 및 후술하는 화소 전극 등에 대한 접착력을 증가시킨다. 따라서 유기막(602)이 접착 불량으로 인하여 들뜨게 되는 들뜸 현상을 제거할 수 있다.

이러한 유기막(602)은 드레인 전극(175)을 드러내는 제3 접촉구(143)를 가진다. 그리고 유기막(602) 위에 ITO로 이루어진 화소 전극인 투과 전극(192)이 형성되어 있다.

그리고, 본 발명의 제7 실시예인 다결정 규소층을 가지는 투과형 액정 표시 장치용 박막 트랜지스터 표시판에 사용된 유기막은 다결정 규소층을 가지는 반투과형 액정 표시 장치용 박막 트랜지스터 표시판에도 사용 가능하다.

이하에서 SCA를 가지는 유기막을 가지는 본 발명의 제8 실시예에 따른 다결정 규소층을 가지는 반투과형 액정 표시 장치용 박막 트랜지스터 표시판에 대해 도 6 내지 도 7을 참고로 하여 설명한다. 즉, 도 6 및 도 7은 제3 실시예 및 제8 실시예의 참조 도면이 된다.

도 6 및 도 7에 도시한 바와 같이, 데이터선(171) 및 드레인 전극(175)을 포함하는 층간 절연막(601) 위에 유기막(602)이 형성되어 있다.

이러한 유기막(602)은 드레인 전극(175)을 드러내는 제3 접촉구(143)를 가진다. 유기막(602)의 표면에는 요철 형상을 가지는 엠보싱(Embossing)(50)이 형성되어 있다. 엠보싱(50)은 반사 전극을 이용할 때 반사 능력을 향상시킨다.

유기막(602)에는 실리콘계 가교 접착제(Silane Coupling Agent : 이하 "SCA"라 함)가 유기막(602)을 구성하는 물질인 수지 대비 1% 내지 10% 만큼 함유되어 있다.

SCA에서 실란 작용기는 무기계 작용기와 치환되어 유기막(602) 내에서 다수의 가교 결합을 형성할 수 있다. 이러한 가교 결합은 유기막(602)의 하부 또는 상부 표면과 접촉되는 도전막 예를 들면, 데이터선(171), 드레인 전극(175) 및 후술하는 화소 전극 등에 대한 접착력을 증가시킨다. 따라서 유기막(602)이 접착 불량으로 인하여 들뜨게 되는 들뜸 현상을 제거할 수 있다.

그러나, 가소화 작용으로 인하여, SCA가 유기막(602)을 구성하는 물질인 수지(Resin) 대비 15% 이상의 함량으로 함유되면 유기막(602)의 내열성이 지나치게 저하되어 도 12c에 도시한 바와 같이, 유기막(602)의 표면에 형성되어 있는 요철 형상의 엠보싱(50)의 요철 높이가 낮아지게 되어 엠보싱(50)의 효과를 기대할 수 없다.

따라서, SCA는 도 12a 및 도 12b에 도시한 바와 같이, 유기막(602)을 구성하는 물질인 수지 대비 1 내지 10% 만큼 함유시키는 것이 바람직하다.

그리고 유기막(602) 위에 ITO로 이루어진 투과 전극(192)이 형성되어 있다.

투과 전극(192) 위에 알루미늄-네오디뮴(AlNd)과 같은 금속으로 이루어지며 제3 접촉구(143)를 통하여 드레인 전극(175)과 연결되는 반사 전극(194)이 형성되어 있다. 이러한 반사 전극(194)과 투과 전극(192)을 화소 전극이라 한다. 또한, 반사 전극(194)에는 투과창(195)이 형성되어 있고, 투과창(195) 부분에는 투과 전극(192)만이 존재한다. 투과창(195)은 투과형으로 사용될 때 백라이트로부터 나오는 빛이 통과할 수 있는 통로로서 사용되어 투과창(195)을 통해 투과 전극(192)을 투과한 빛이 액정까지 전달한다.

그리고, 본 발명의 제9 실시예에서는 동일 물질로 데이터 연결부(171b)와 화소 전극(190)을 동일층에 형성하고 화소 전극(190)과 데이터 연결부(171b)를 반도체층(150)의 소스 및 드레인 영역(153, 155)에 각각 연결하기 위한 접촉구들(161, 162)을 동시에 형성하기 때문에 제7 실시예에 비해 마스크 수를 줄일 수 있다.

그러면, 본 발명의 제9 실시예에 따른 박막 트랜지스터 표시판에 대하여 도 8 및 도 9를 참고로 하여 상세히 설명한다. 즉, 도 8 및 도 9는 제4 실시예 및 제9 실시예의 참조 도면이 된다.

도 8 및 도 9에 도시된 바와 같이, 투명한 절연 기관(110) 위에 차단막(111)이 형성되어 있고, 차단막(111) 위에 소스 영역(153), 드레인 영역(155), 채널 영역(154) 및 저농도 도핑 영역(152)을 포함하는 다결정 규소층(150)이 형성되어 있다.

다결정 규소층(150)을 포함하여 기관(110) 위에는 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140) 위에는 가로 방향으로 긴 게이트선(121, 124)이 형성되어 있고, 게이트선(121, 124)의 일부가 세로 방향으로 연장되어 반도체층(150)과 일부 중첩되며, 반도체층(150)과 중첩된 게이트선(121, 124)의 일부는 게이트 전극(124)으로 사용된다.

게이트선(121)의 한쪽 끝부분(도시하지 않음)은 외부 회로(도시하지 않음)로부터 주사 신호를 인가 받기 위해 게이트선(121, 124) 폭보다 확대 형성할 수 있다.

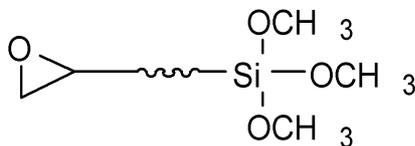
또, 유지 전극선(131, 133)이 게이트선(121, 124)과 일정거리 떨어져 형성되며 평행하게 위치하도록, 게이트선(121, 124)과 동일한 물질로 동일한 층에 형성되어 있다. 다결정 규소층(150)과 중첩되는 유지 전극선(131, 133)의 일 부분은 유지 전극(133)이 되며, 유지 전극(133) 아래에 위치한 다결정 규소층(150)은 유지 전극 영역(157)이 된다.

그리고 게이트선(121, 124)과 일정 거리 떨어져 형성되어 있으며 게이트선(121, 124)과 수직한 방향으로 신장되며, 게이트선(121, 124)과 동일한 층에 데이터 금속편(171a)이 형성되어 있다. 데이터 금속편(171a)은 인접한 두 게이트선(121, 124) 사이에 게이트선(121, 124)과 연결되지 않도록 형성되어 있다. 또, 데이터 금속편(171a)은 외부 회로(도시하지 않음)로부터 화상 신호를 인가받기 위해 가장 바깥에 위치한 한 행의 데이터 금속편(171a)의 한쪽 끝부분(179)을 확대 형성할 수 있다.

게이트선(121, 124) 및 유지 전극선(131, 133)을 포함하는 게이트 절연막(140) 위에 유기막(160)이 형성되어 있다.

이러한 유기막(160)에는 아래와 같은 [구조식]의 실리콘계 가교 접착제(Silane Coupling Agent : 이하 "SCA"라 함)가 유기막(160)을 구성하는 물질인 수지 대비 1% 내지 30% 만큼 함유되어 있다.

[구조식]



[구조식]의 SCA에서 실란 작용기는 무기계 작용기와 치환되어 유기막(160) 내에서 다수의 가교 결합을 형성할 수 있다. 이러한 가교 결합은 유기막(160)의 하부 또는 상부 표면과 접촉되는 도전막 예를 들면, 데이터선(171), 드레인 전극(175) 및 후술하는 화소 전극 등에 대한 접착력을 증가시킨다. 따라서 유기막(160)이 접착 불량으로 인하여 들뜨게 되는 들뜸 현상을 제거할 수 있다.

유기막(160) 위에는 데이터 연결부(171b), 화소 전극(190), 접촉 보조 부재(82)가 형성되어 있다. 데이터 연결부(171b)는 세로 방향으로 게이트선(121, 124) 및 유지 전극선(131, 133)과 교차하도록 형성되어 있다.

데이터 금속편(171a)은 유기막(160)에 형성되어 있는 제3 접촉구(163)를 통해 데이터 연결부(171b)와 연결되어 있으며, 데이터 연결부(171b)는 제1 접촉구(161)를 통해 소스 영역(153)과 연결되어 있다. 즉, 데이터 연결부(171b)에 의하여 분리되어 있는 데이터 금속편(171a)들이 게이트선(121, 124) 및 유지 전극선(131, 133)을 건너 연결된다. 그리고 화소 전극(190)은 유기막(160)과 게이트 절연막(140)에 걸쳐 형성되어 있는 제2 접촉구(162)를 통해 드레인 영역(155)과 연결되어 있으며, 접촉 보조 부재(82)는 유기막(160)에 형성되어 있는 제4 접촉구(164)를 통해 각각 게이트선(121, 124) 및 데이터 금속편(171a)의 한쪽 끝부분(179)과 연결되어 있다.

그리고 유기막(160) 위에 ITO로 이루어진 화소 전극은 투과 전극(190)으로서, 백라이트로부터 나오는 빛이 통과할 수 있는 통로로서 사용된다.

접촉 보조 부재(82)는 접촉구(162)를 통하여 데이터선의 끝 부분(179)과 연결된다. 접촉 보조 부재(82)는 데이터선(171)의 끝 부분(179)과 외부 장치와의 접착성을 보완하고 이들을 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다. 특히, 구동 회로를 표시 영역의 박막 트랜지스터와 함께 형성할 경우에는 형성하지 않는다.

한편, 이러한 제9 실시예에 따른 다결정 규소층을 가지는 투과형 액정 표시 장치용 박막 트랜지스터 표시판과 달리, 다결정 규소층을 가지는 반투과형 액정 표시 장치용 박막 트랜지스터 표시판에도 제9 실시예에 따른 유기막이 사용될 수 있다. 이러한 반투과형 액정 표시 장치용 박막 트랜지스터 표시판은 제10 실시예로서 도 10 및 도 11을 참고로 하여 아래에서 상세히 설명한다. 즉, 도 10 및 도 11은 제5 실시예 및 제10 실시예이 참조 도면이다.

도 10 및 도 11에 도시된 바와 같이, 유기막(160)의 표면에는 요철 형상을 가지는 엠보싱(Embossing)(50)이 형성되어 있다. 엠보싱(50)은 반사 전극을 이용할 때 반사 능력을 향상시킨다.

유기막(160)에는 실리콘계 가교 접착제(Silane Coupling Agent : 이하 "SCA"라 함)가 유기막(160)을 구성하는 물질인 수지 대비 1% 내지 10% 만큼 함유되어 있다.

SCA에서 실란 작용기는 무기계 작용기와 치환되어 유기막(160) 내에서 다수의 가교 결합을 형성할 수 있다. 이러한 가교 결합은 유기막(160)의 하부 또는 상부 표면과 접촉되는 도전막 예를 들면, 데이터선(171), 드레인 전극(175) 및 후술하는 화소 전극 등에 대한 접착력을 증가시킨다. 따라서 유기막(160)이 접착 불량으로 인하여 들뜨게 되는 들뜸 현상을 제거할 수 있다.

그러나, 가소화 작용으로 인하여, SCA가 유기막(160)을 구성하는 물질인 수지(Resin) 대비 15% 이상의 함량으로 함유되면 유기막(160)의 내열성이 지나치게 저하되어 도 12c에 도시한 바와 같이, 유기막(160)의 표면에 형성되어 있는 요철 형상의 엠보싱(50)의 요철 높이가 낮아지게 되어 엠보싱(50)의 효과를 기대할 수 없다.

따라서, SCA는 유기막(160)을 구성하는 물질인 수지 대비 1 내지 10% 만큼 함유시키는 것이 바람직하다.

그리고 유기막(160) 위에 ITO로 이루어진 투과 전극(192)이 형성되어 있다.

투과 전극(192) 위에 알루미늄-네오디뮴(AlNd)과 같은 금속으로 이루어지며 유기막(160)과 게이트 절연막(140)에 걸쳐 형성되어 있는 제2 접착구(162)를 통해 드레인 영역(155)과 연결되는 반사 전극(194)이 형성되어 있다. 이러한 반사 전극(194)과 투과 전극(192)을 화소 전극이라 한다. 또한, 반사 전극(194)에는 투과창(195)이 형성되어 있고, 투과창(195) 부분에는 투과 전극(192)만이 존재한다. 투과창(195)은 투과형으로 사용될 때 백라이트로부터 나오는 빛이 통과할 수 있는 통로로서 사용되어 투과창(195)을 통해 투과 전극(192)을 투과한 빛이 액정까지 전달한다.

본 발명은 첨부된 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서, 본 발명의 진정한 보호범위는 첨부된 청구범위에 의해서만 정해져야 할 것이다.

발명의 효과

본 발명에 따른 박막 트랜지스터 표시판은 유기막의 솔벤트로 PGMEP, EEP(ethoxy ethyl propionate), nBA(n-butylacetate)를 사용하고, 계면 활성제를 사용함으로써 유기막이 균일하게 퍼지도록 하여 유기막에 얼룩이 발생하지 않는 유기막을 형성한다는 장점이 있다.

또한, 실리콘계 가교 접착제를 수지 대비 1% 내지 10% 만큼 함유하는 유기막을 형성하거나(반투과형 경우), 수지 대비 1% 내지 10% 만큼 함유하는 유기막을 형성하면(투과형 경우), 유기막과 접촉하는 데이터선 및 화소 전극의 접착성을 향상시켜 유기막의 들뜸 현상을 방지할 수 있다. 따라서, 박막 트랜지스터 표시판의 특성 및 수율을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

절연 기판,

상기 절연 기판 위에 제1 방향으로 형성되어 있는 제1 신호선,

상기 절연 기판 위에 제2 방향으로 형성되어 있으며 상기 제1 신호선과 절연되어 교차하고 있는 제2 신호선,

상기 제1 신호선 및 상기 제2 신호선에 연결되어 있는 박막 트랜지스터,

상기 제2 신호선 위에 형성되어 있으며, 상기 제2 신호선의 일부를 드러내는 접촉 구멍을 가지는 보호막,

상기 접촉 구멍을 통해 상기 박막 트랜지스터에 연결되어 있는 화소 전극

을 포함하고,

상기 보호막은 유기막이며, 상기 유기막의 솔벤트는 PGMEP, EEP 및 nBA 중에서 어느 하나 이상 선택되는 박막 트랜지스터 표시판.

청구항 2.

제1항에서,

상기 유기막의 솔벤트의 조성비는 PGMEP : EEP : nBA = 50 내지 90 : 30 내지 5 : 20 내지 5인 박막 트랜지스터 표시판.

청구항 3.

제1항에서,

상기 유기막의 계면 활성제는 실리콘계 F, 플루오로계 S 중에서 어느 하나 이상 선택되며, 상기 계면 활성제의 조성비는 실리콘계 F : 플루오로계 S = 500 내지 1500 : 50 내지 500인 박막 트랜지스터 표시판.

청구항 4.

절연 기판,

상기 절연 기판 위에 형성되어 있는 게이트선,

상기 게이트선을 덮고 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있는 반도체층,

상기 반도체층 위에 형성되어 있는 데이터선,

상기 데이터선의 일부를 드러내는 접촉 구멍을 가지는 보호막,

상기 보호막 위에 형성되어 있으며, 상기 접촉 구멍을 통하여 상기 데이터선의 일부와 연결되어 있는 화소 전극

을 포함하고,

상기 보호막은 유기막이며, 상기 유기막의 솔벤트는 PGMEP, nBA 및 EEP 중에서 어느 하나 이상 선택되는 박막 트랜지스터 표시판.

청구항 5.

제4항에서,

상기 화소 전극은 투과창을 가지는 반사 전극과 투과 전극으로 이루어져 있는 박막 트랜지스터 표시판.

청구항 6.

제5항에서,

상기 유기막 상면에는 엠보싱이 형성되어 있는 박막 트랜지스터 표시판.

청구항 7.

제4항 또는 제6항에서,

상기 유기막의 솔벤트의 조성비는 PGMEP : EEP : nBA = 50 내지 90 : 30 내지 5 : 20 내지 5인 박막 트랜지스터 표시판.

청구항 8.

제4항 또는 제6항에서,

상기 유기막의 계면 활성제는 실리콘계 F, 플루오로계 S 중에서 어느 하나 이상 선택되며, 상기 계면 활성제의 조성비는 실리콘계 F : 플루오로계 S = 500 내지 1500 : 50 내지 500인 박막 트랜지스터 표시판.

청구항 9.

절연 기판,

상기 절연 기판 위에 형성되어 있으며 소스 영역, 드레인 영역 및 채널 영역을 포함하는 다결정 규소층,

상기 다결정 규소층 위에 형성되어 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되며 있으며 상기 채널 영역과 일부분 중첩하는 게이트 전극을 포함하는 게이트선,

상기 게이트선 위에 형성되어 있는 층간 절연막,

상기 층간 절연막 위에 형성되며 상기 소스 영역과 연결되는 소스 전극을 포함하는 데이터선,

상기 층간 절연막 위에 형성되며 상기 드레인 영역과 연결되는 드레인 전극,

상기 데이터선 및 상기 드레인 전극 위에 형성되어 있는 보호막,

상기 보호막 위에 형성되어 있으며 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하고,

상기 보호막은 유기막이며, 상기 유기막의 솔벤트는 PGMEP, nBA 및 EEP 중에서 어느 하나 이상 선택되는 박막 트랜지스터 표시판.

청구항 10.

제9항에서,

상기 화소 전극은 투과창을 가지는 반사 전극과 투과 전극으로 이루어져 있는 박막 트랜지스터 표시판.

청구항 11.

제10항에서,

상기 유기막 상면에는 엠보싱이 형성되어 있는 박막 트랜지스터 표시판.

청구항 12.

제9항 또는 제11항에서,

상기 유기막의 솔벤트의 조성비는 PGMEP : EEP : nBA = 50 내지 90 : 30 내지 5 : 20 내지 5인 박막 트랜지스터 표시판.

청구항 13.

제9항 또는 제11항에서,

상기 유기막의 계면 활성제는 실리콘계 F, 플루오로계 S 중에서 어느 하나 이상 선택되며, 상기 계면 활성제의 조성비는 실리콘계 F : 플루오로계 S = 500 내지 1500 : 50 내지 500인 박막 트랜지스터 표시판.

청구항 14.

절연 기판,

상기 절연 기판 위에 형성되어 있으며 소스 영역, 채널 영역 및 드레인 영역 을 가지는 다결정 규소층,

상기 다결정 규소층 위에 형성되어 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되며 상기 채널 영역과 일부분이 중첩하는 게이트선,

이웃하는 상기 게이트선 사이에 일정거리 떨어져 위치하며 상기 게이트선과 수직한 방향으로 신장되어 있는 데이터 금속편,

상기 게이트선 및 데이터 금속편 위에 형성되어 있는 유기막,

상기 유기막 위에 형성되며 상기 게이트선과 교차하여 상기 데이터 금속편을 접촉구를 통해 전기적으로 연결하는 데이터 연결부,

상기 유기막 위에 형성되며 접촉구를 통해 상기 드레인 영역과 연결되어 있는 화소 전극을 포함하고,

상기 보호막은 유기막이며, 상기 유기막의 솔벤트는 PGMEP, nBA 및 EEP 중에서 어느 하나 이상 선택되는 박막 트랜지스터 표시판.

청구항 15.

제14항에서,

상기 화소 전극은 투과창을 가지는 반사 전극과 투과 전극으로 이루어져 있는 박막 트랜지스터 표시판.

청구항 16.

제14항에서,

상기 유기막 상면에는 엠보싱이 형성되어 있는 박막 트랜지스터 표시판.

청구항 17.

제14항 또는 제16항에서,

상기 유기막의 솔벤트의 조성비는 PGMEP : EEP : nBA = 50 내지 90 : 30 내지 5 : 20 내지 5인 박막 트랜지스터 표시판.

청구항 18.

제14항 또는 제16항에서,

상기 유기막의 계면 활성제는 실리콘계 F, 플루오로계 S 중에서 어느 하나 이상 선택되며, 상기 계면 활성제의 조성비는 실리콘계 F : 플루오로계 S = 500 내지 1500 : 50 내지 500인 박막 트랜지스터 표시판.

청구항 19.

절연 기판,

상기 절연 기판 위에 형성되어 있는 게이트선,

상기 게이트선을 덮고 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있는 반도체층,

상기 반도체층 위에 형성되어 있는 데이터선,

상기 데이터선의 일부를 드러내는 접촉 구멍을 가지는 보호막,

상기 보호막 위에 형성되어 있으며, 상기 접촉 구멍을 통하여 상기 데이터선의 일부와 연결되어 있는 화소 전극

을 포함하고,

상기 화소 전극은 투과창을 가지는 반사 전극과 투과 전극으로 이루어져 있으며, 상기 보호막은 유기막이며, 상기 유기막은 상기 유기막을 구성하는 물질인 수지 대비 1% 내지 10%의 실리콘계 가교 접착제를 함유하고 있는 박막 트랜지스터 표시판.

청구항 20.

제19항에서,

상기 유기막 상면에는 엠보싱이 형성되어 있는 박막 트랜지스터 표시판.

청구항 21.

절연 기판,

상기 절연 기판 위에 형성되어 있는 게이트선,

상기 게이트선을 덮고 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있는 반도체층,

상기 반도체층 위에 형성되어 있는 데이터선,

상기 데이터선의 일부를 드러내는 접촉 구멍을 가지는 보호막,

상기 보호막 위에 형성되어 있으며, 상기 접촉 구멍을 통하여 상기 데이터선의 일부와 연결되어 있는 화소 전극

을 포함하고,

상기 화소 전극은 투과가능하고, 상기 보호막은 유기막이며, 상기 유기막은 상기 유기막을 구성하는 물질인 수지 대비 1% 내지 30%의 실리콘계 가교 접착제를 함유하고 있는 박막 트랜지스터 표시판.

청구항 22.

절연 기판,

상기 절연 기판 위에 형성되어 있으며 소스 영역, 드레인 영역 및 채널 영역을 포함하는 다결정 규소층,

상기 다결정 규소층 위에 형성되어 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되며 있으며 상기 채널 영역과 일부분 중첩하는 게이트 전극을 포함하는 게이트선,

상기 게이트선 위에 형성되어 있는 층간 절연막,
 상기 층간 절연막 위에 형성되며 상기 소스 영역과 연결되는 소스 전극을 포함하는 데이터선,
 상기 층간 절연막 위에 형성되며 상기 드레인 영역과 연결되는 드레인 전극,
 상기 데이터선 및 상기 드레인 전극 위에 형성되어 있는 보호막,
 상기 보호막 위에 형성되어 있으며 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하고,

상기 화소 전극은 투과율을 가지는 반사 전극과 투과 전극으로 이루어져 있으며, 상기 보호막은 유기막이며, 상기 유기막은 상기 유기막을 구성하는 물질인 수지 대비 1% 내지 10%의 실리콘계 가교 접착제를 함유하고 있는 박막 트랜지스터 표시판.

청구항 23.

제22항에서,
 상기 유기막 상면에는 엠보싱이 형성되어 있는 박막 트랜지스터 표시판.

청구항 24.

절연 기관,
 상기 절연 기관 위에 형성되어 있으며 소스 영역, 드레인 영역 및 채널 영역을 포함하는 다결정 규소층,
 상기 다결정 규소층 위에 형성되어 있는 게이트 절연막,
 상기 게이트 절연막 위에 형성되며 있으며 상기 채널 영역과 일부분 중첩하는 게이트 전극을 포함하는 게이트선,
 상기 게이트선 위에 형성되어 있는 층간 절연막,
 상기 층간 절연막 위에 형성되며 상기 소스 영역과 연결되는 소스 전극을 포함하는 데이터선,
 상기 층간 절연막 위에 형성되며 상기 드레인 영역과 연결되는 드레인 전극,
 상기 데이터선 및 상기 드레인 전극 위에 형성되어 있는 보호막,
 상기 보호막 위에 형성되어 있으며 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하고,

상기 화소 전극은 투과가능하고, 상기 보호막은 유기막이며, 상기 유기막은 상기 유기막을 구성하는 물질인 수지 대비 1% 내지 30%의 실리콘계 가교 접착제를 함유하고 있는 박막 트랜지스터 표시판.

청구항 25.

절연 기관,
 상기 절연 기관 위에 형성되어 있으며 소스 영역, 채널 영역 및 드레인 영역 을 가지는 다결정 규소층,
 상기 다결정 규소층 위에 형성되어 있는 게이트 절연막,
 상기 게이트 절연막 위에 형성되며 상기 채널 영역과 일부분이 중첩하는 게이트선,
 이웃하는 상기 게이트선 사이에 일정거리 떨어져 위치하며 상기 게이트선과 수직한 방향으로 신장되어 있는 데이터 금속편,
 상기 게이트선 및 데이터 금속편 위에 형성되어 있는 유기막,

상기 유기막 위에 형성되며 상기 게이트선과 교차하여 상기 데이터 금속편을 접촉구를 통해 전기적으로 연결하는 데이터 연결부,

상기 유기막 위에 형성되며 접촉구를 통해 상기 드레인 영역과 연결되어 있는 화소 전극을 포함하고,

상기 화소 전극은 투과층을 가지는 반사 전극과 투과 전극으로 이루어져 있으며, 상기 보호막은 유기막이며, 상기 유기막은 상기 유기막을 구성하는 물질인 수지 대비 1% 내지 10%의 실리콘계 가교 접착제를 함유하고 있는 박막 트랜지스터 표시판.

청구항 26.

제25항에서,

상기 유기막 상면에는 엠보싱이 형성되어 있는 박막 트랜지스터 표시판.

청구항 27.

절연 기판,

상기 절연 기판 위에 형성되어 있으며 소스 영역, 채널 영역 및 드레인 영역 을 가지는 다결정 규소층,

상기 다결정 규소층 위에 형성되어 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되며 상기 채널 영역과 일부분이 중첩하는 게이트선,

이웃하는 상기 게이트선 사이에 일정거리 떨어져 위치하며 상기 게이트선과 수직한 방향으로 신장되어 있는 데이터 금속편,

상기 게이트선 및 데이터 금속편 위에 형성되어 있는 유기막,

상기 유기막 위에 형성되며 상기 게이트선과 교차하여 상기 데이터 금속편을 접촉구를 통해 전기적으로 연결하는 데이터 연결부,

상기 유기막 위에 형성되며 접촉구를 통해 상기 드레인 영역과 연결되어 있는 화소 전극을 포함하고,

상기 화소 전극은 투과가능하고, 상기 보호막은 유기막이며, 상기 유기막은 상기 유기막을 구성하는 물질인 수지 대비 1% 내지 30%의 실리콘계 가교 접착제를 함유하고 있는 박막 트랜지스터 표시판.

청구항 28.

제22항, 제24항, 제25항 및 제27항 중 어느 한 항에서,

상기 소스 영역과 채널 영역 사이 및 드레인 영역과 채널 영역 사이에 형성되어 있으며, 도전형 불순물이 저농도로 도핑되어 있는 저농도 도핑 영역을 더 포함하는 박막 트랜지스터 표시판.

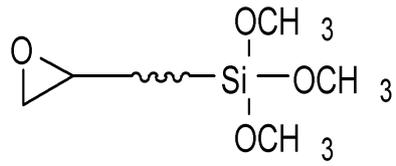
청구항 29.

제22항, 제24항, 제25항 및 제27항 중 어느 한 항에서,

상기 절연 기판 전면에 형성되며 상기 다결정 규소층 아래에 위치하는 차단막을 더 포함하는 박막 트랜지스터 표시판.

청구항 30.

제19항, 제21항, 제22항, 제24항, 제25항 및 제27항 중 어느 한 항에서,

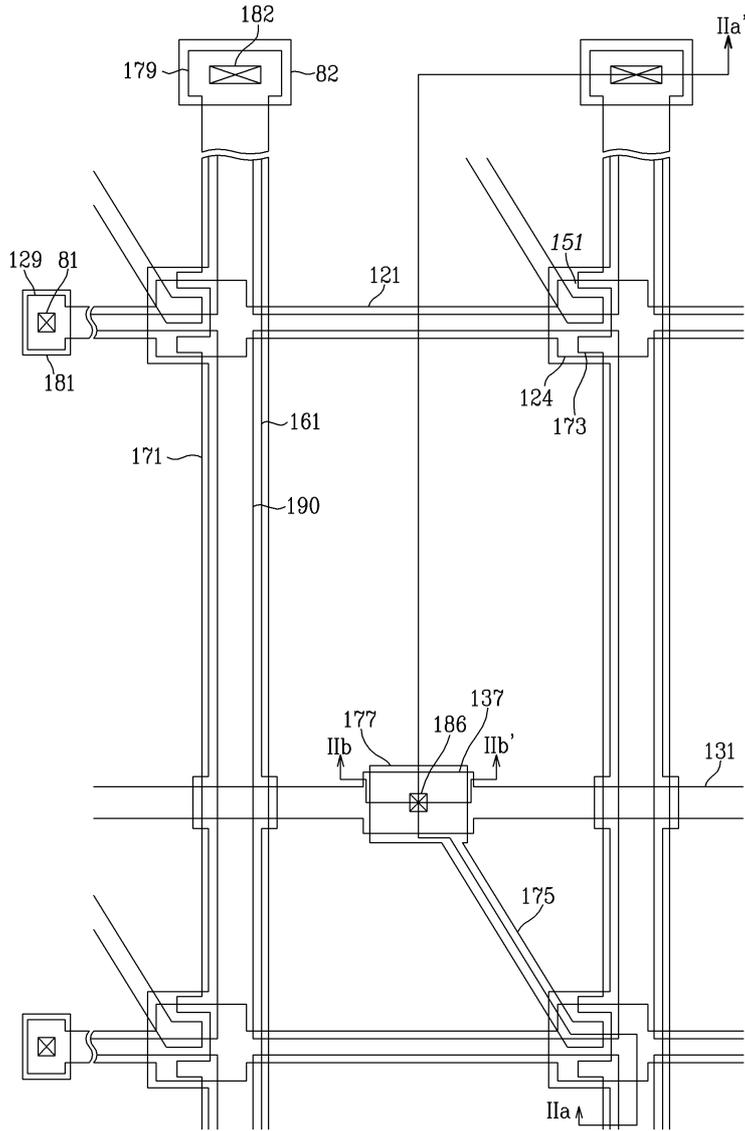


상기 실리콘계 가교 접착제는

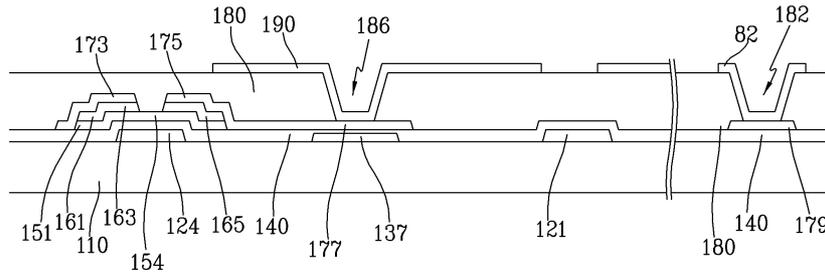
의 구조를 가지는 박막 트랜지스터 표시판.

도면

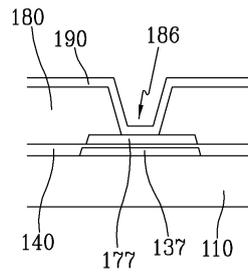
도면1



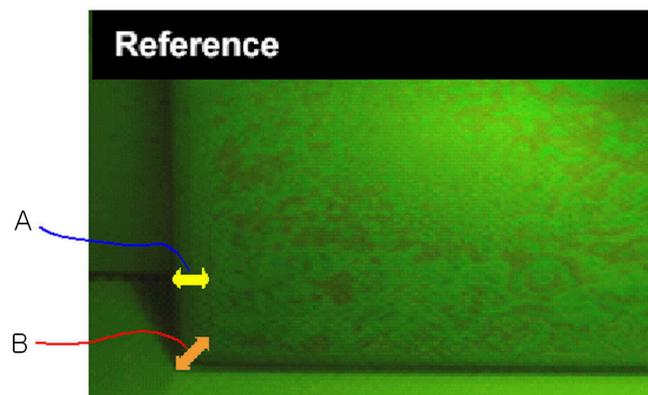
도면2a



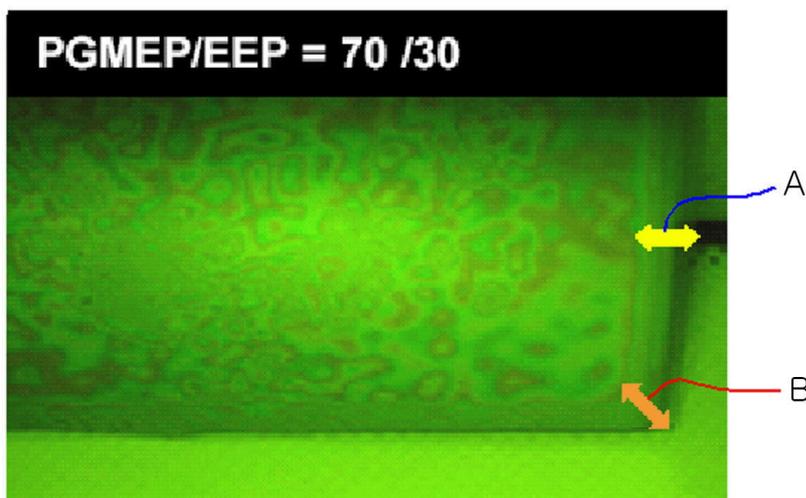
도면2b



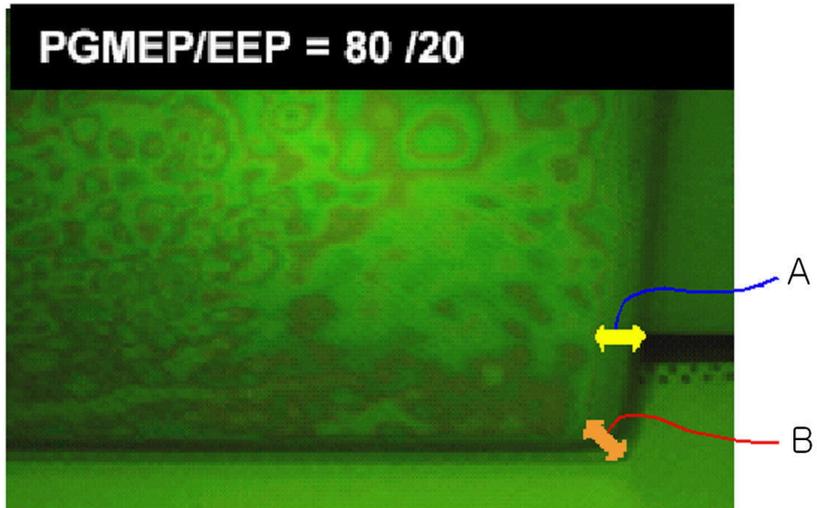
도면3a



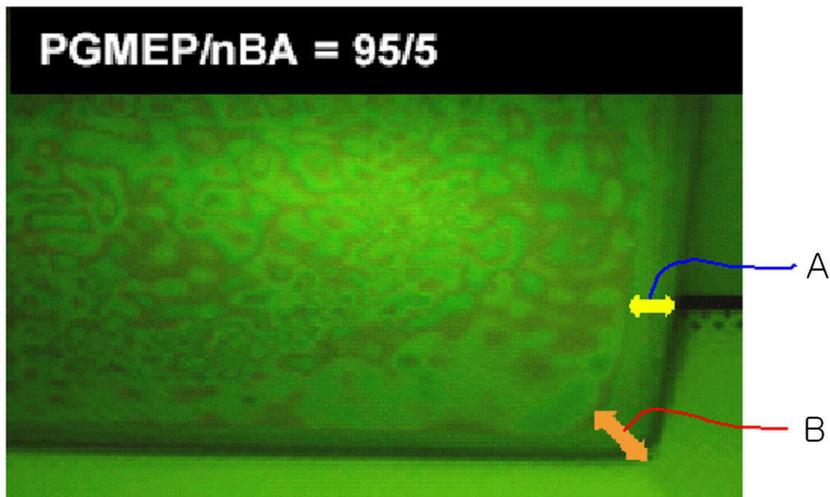
도면3b



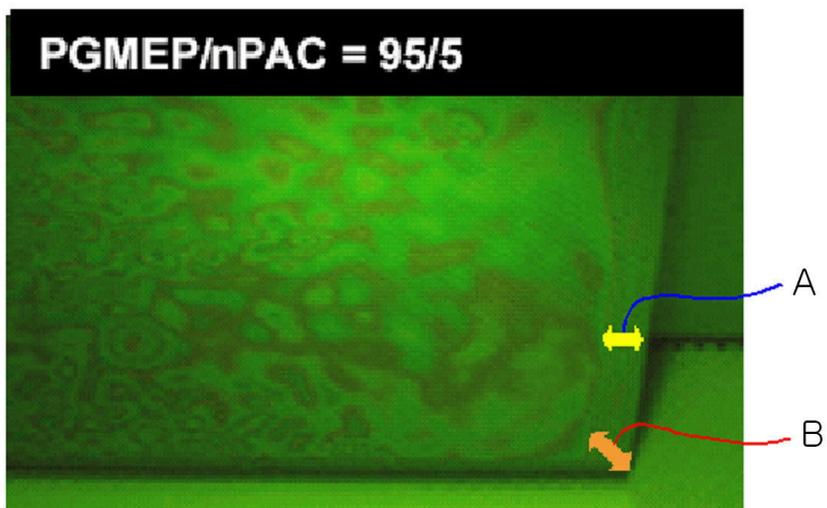
도면3c



도면3d



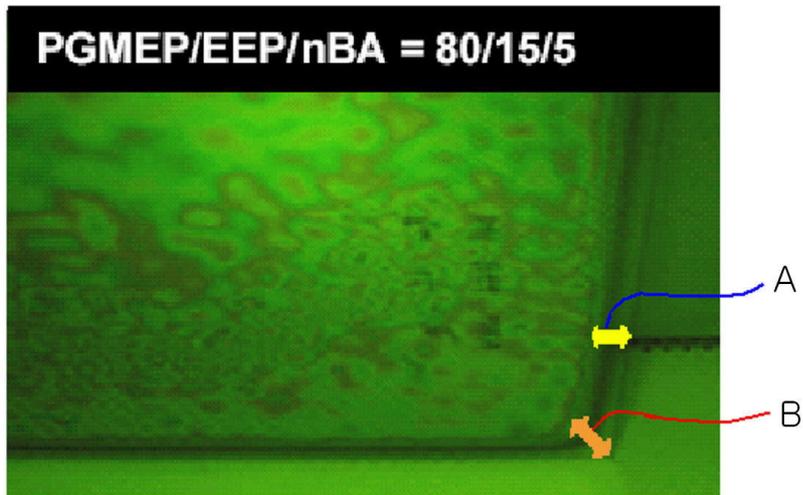
도면3e



도면3f



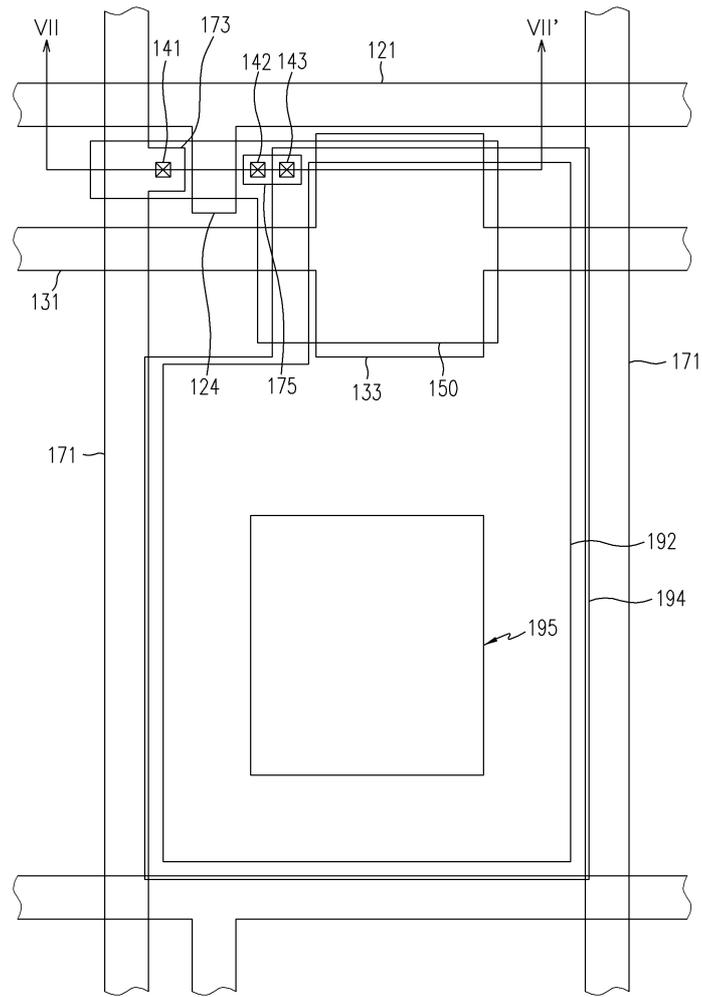
도면3g



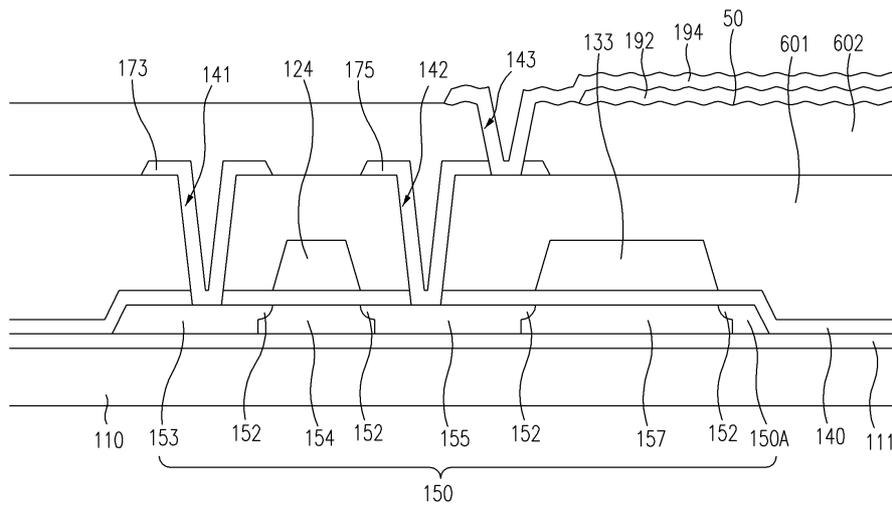
도면3h



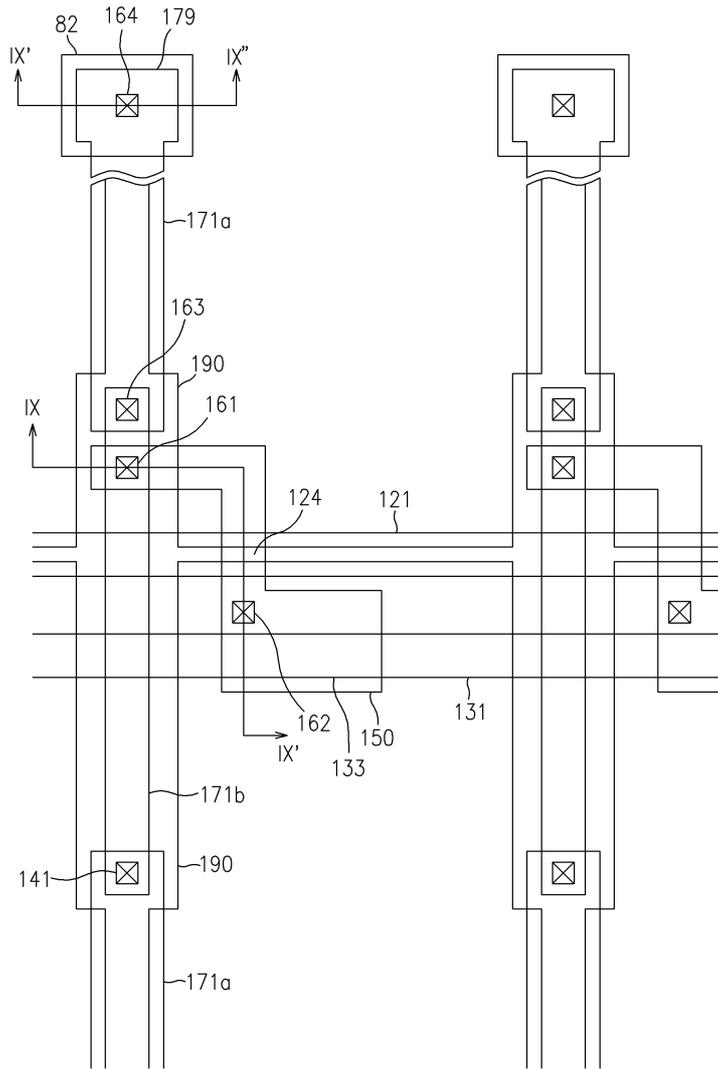
도면6



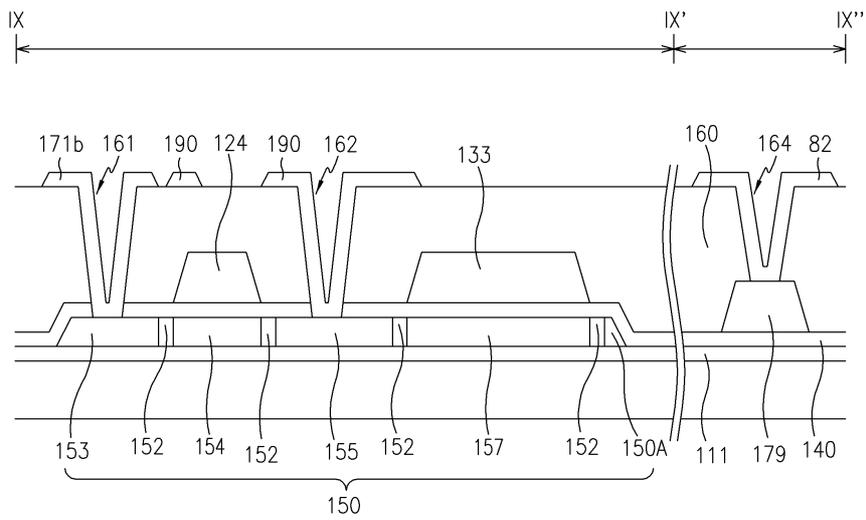
도면7



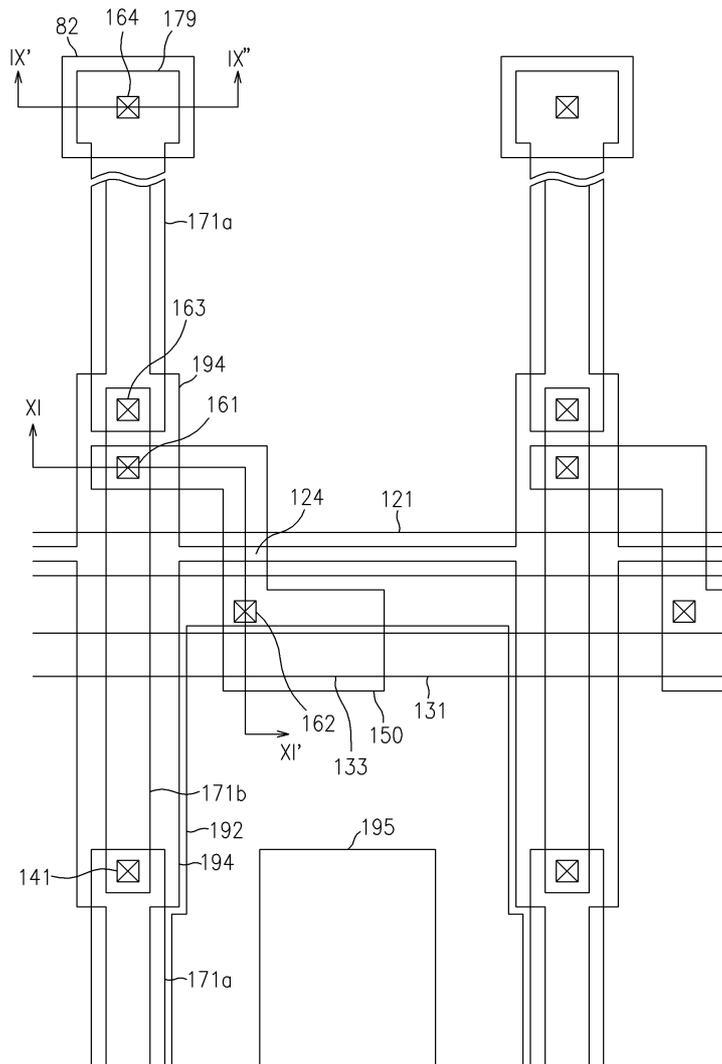
도면8



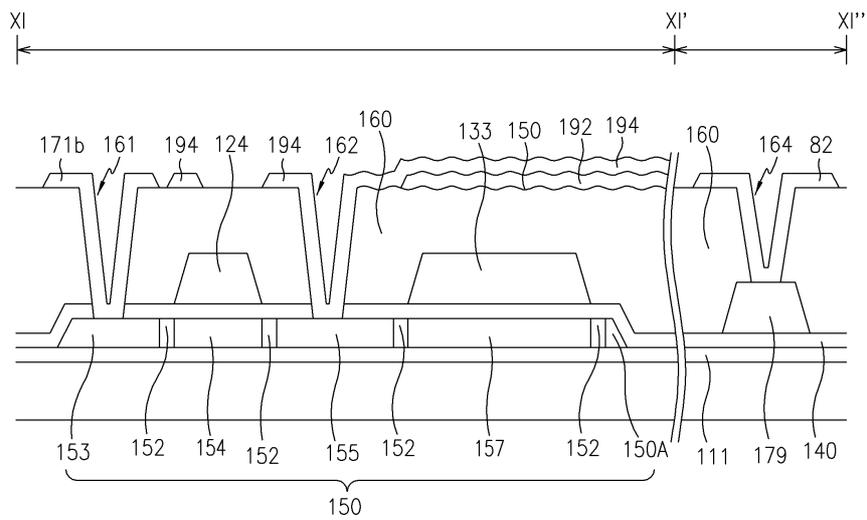
도면9



도면10

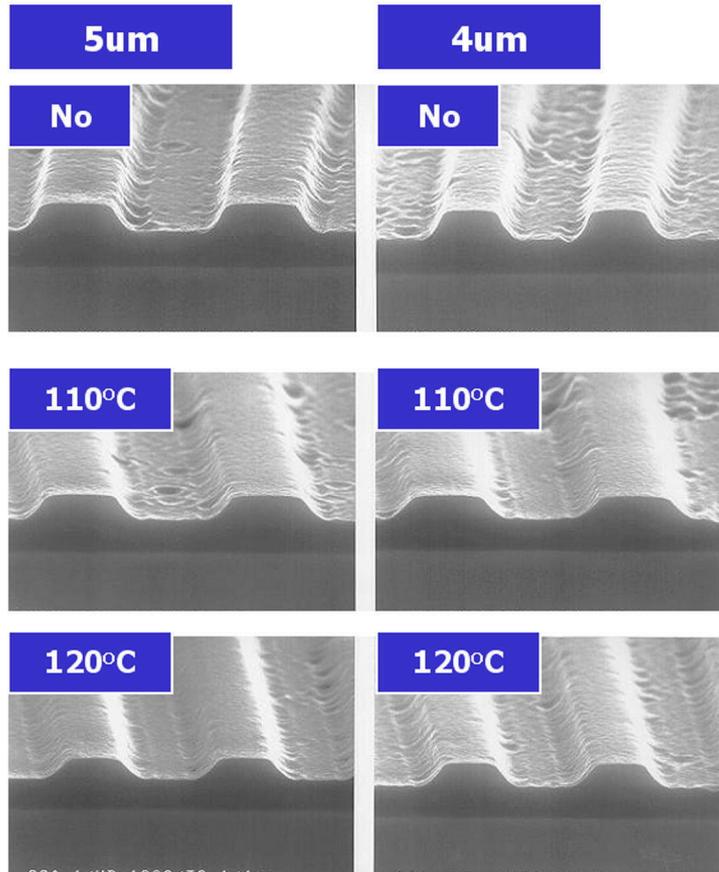


도면11



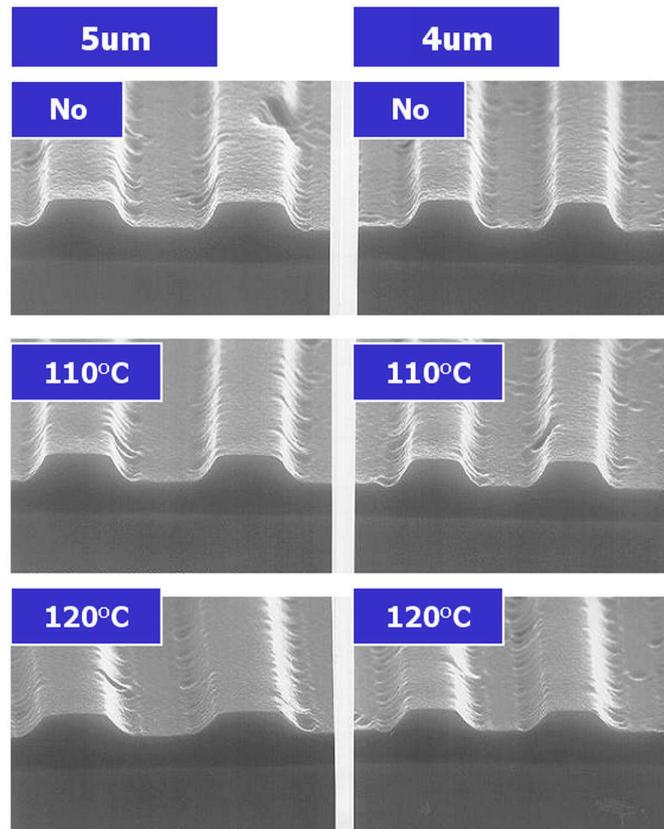
도면12a

SCA 1%



도면12b

SCA 10%



도면12c

SCA 15%

