

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2023-130352  
(P2023-130352A)

(43)公開日 令和5年9月20日(2023.9.20)

(51)国際特許分類	F I			
H 0 1 L 29/786 (2006.01)	H 0 1 L	29/78	6 1 4	
G 0 9 F 9/30 (2006.01)	G 0 9 F	9/30	3 3 8	
H 0 1 L 21/822 (2006.01)	H 0 1 L	27/04		H
H 0 1 L 27/06 (2006.01)	H 0 1 L	27/06	3 1 1 C	
G 0 2 F 1/1368(2006.01)	G 0 2 F	1/1368		
審査請求 有 請求項の数 1 O L (全48頁) 最終頁に続く				

(21)出願番号	特願2023-96339(P2023-96339)	(71)出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22)出願日	令和5年6月12日(2023.6.12)	(72)発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(62)分割の表示	特願2022-69536(P2022-69536)の 分割	(72)発明者	秋元 健吾 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
原出願日	平成21年9月10日(2009.9.10)	(72)発明者	小森 茂樹 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(31)優先権主張番号	特願2008-235581(P2008-235581)	(72)発明者	魚地 秀貴 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(32)優先日	平成20年9月12日(2008.9.12)		
(33)優先権主張国・地域又は機関	日本国(JP)		最終頁に続く

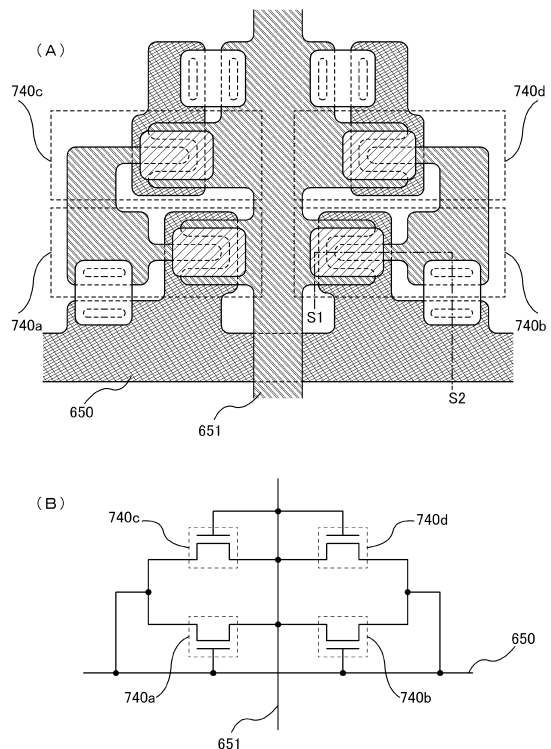
(54)【発明の名称】 表示装置

(57)【要約】 (修正有)

【課題】画素部と、画素部の外側に保護回路を備えた表示装置を提供する。

【解決手段】表示装置において、保護回路は、第1乃至第4のトランジスタ(非線形素子)を有し、第1のトランジスタ740aのゲート及び第1のトランジスタの第2端子は第1の配線650と電気的に接続され、第2のトランジスタ740bのゲート及び第2端子は第1の配線と、第2のトランジスタの第1端子は第2の配線651と電気的に接続され、第3のトランジスタ740cのゲート及び第1端子は第2の配線と、第3のトランジスタの第2端子は第1の配線と電気的に接続され、第4のトランジスタ740dのゲート及び第1端子は第2の配線と、第4のトランジスタの第2端子は第1の配線と電気的に接続されている。

【選択図】図28



## 【特許請求の範囲】

## 【請求項 1】

画素部と、前記画素部の外側の保護回路と、を有し、

前記保護回路は、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、を有する表示装置であって、

前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 1 のトランジスタのゲートと常に導通し、

前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 3 のトランジスタのソースまたはドレインの一方と常に導通し、

前記第 1 のトランジスタのソースまたはドレインの他方は、前記第 2 のトランジスタのソースまたはドレインの一方と常に導通し、

前記第 1 のトランジスタのソースまたはドレインの他方は、前記第 3 のトランジスタのゲートと常に導通し、

前記第 2 のトランジスタのソースまたはドレインの他方は、前記第 2 のトランジスタのゲートと常に導通し、

前記第 2 のトランジスタのソースまたはドレインの他方は、前記第 3 のトランジスタのソースまたはドレインの他方と常に導通している表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、酸化物半導体を用いる表示装置に関する。

## 【背景技術】

## 【0002】

液晶表示装置に代表されるように、ガラス基板等の平板に形成される薄膜トランジスタは、アモルファスシリコン、多結晶シリコンによって作製されている。アモルファスシリコンを用いた薄膜トランジスタは、電界効果移動度が低いもののガラス基板の大面积化に対応することができ、一方、多結晶シリコンを用いた薄膜トランジスタは電界効果移動度は高いものの、レーザアニール等の結晶化工程が必要であり、ガラス基板の大面积化には必ずしも適応しないといった特性を有している。

## 【0003】

これに対し、酸化物半導体を用いて薄膜トランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体膜として酸化亜鉛 (ZnO) や、In-Ga-Zn-O系酸化物半導体を用いて薄膜トランジスタを作製し、画像表示装置のスイッチング素子などに用いる技術が特許文献 1 及び特許文献 2 で開示されている。

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献 1】特開 2007 - 123861 号公報

【特許文献 2】特開 2007 - 96055 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

酸化物半導体をチャネル形成領域とする薄膜トランジスタは、アモルファスシリコンを用いた薄膜トランジスタよりも動作速度が速く、多結晶シリコンを用いた薄膜トランジスタよりも製造工程が簡単であるといった特性を有している。すなわち、酸化物半導体を用いることによって、300 以下の低温であっても、電界効果移動度が高い薄膜トランジスタを作製することが可能である。

## 【0006】

動作特性に優れ低温で製造可能な酸化物半導体を用いた表示装置の特性を活かすには、適

10

20

30

40

50

切な構成を備えた保護回路等が必要となる。また、酸化物半導体を用いた表示装置の信頼性を保証することが重要となってくる。

【0007】

本発明の一態様は、保護回路として適した構造を提供することを目的の一とする。

【0008】

本発明の一態様は、酸化物半導体の他、絶縁膜及び導電膜を積層して作製される各種用途の表示装置において、保護回路の機能を高め動作の安定化を図ることを目的の一とする。

【課題を解決するための手段】

【0009】

本発明の一態様は、酸化物半導体を用いて構成される非線形素子で保護回路が形成された表示装置である。この非線形素子は酸素の含有量が異なる酸化物半導体を組み合わせて構成されている。

10

【0010】

本発明の例示的な一態様は、絶縁表面を有する基板上に走査線と信号線が交差して設けられ、画素電極がマトリクス状に配列する画素部と、該画素部の外側領域に酸化物半導体で形成された非線形素子を有する表示装置である。画素部は、第1酸化物半導体層にチャンネル形成領域が形成される薄膜トランジスタを有する。画素部の薄膜トランジスタは、走査線と接続するゲート電極と、信号線と接続し第1酸化物半導体層に接する第1配線層と、画素電極と接続し第1酸化物半導体層に接する第2配線層とを有する。また、基板の周辺部に配設される信号入力端子と画素部の間には非線形素子が設けられている。非線形素子は、ゲート電極及び該ゲート電極を被覆するゲート絶縁層と、ゲート絶縁層上においてゲート電極と端部が重畳し、導電層と第2酸化物半導体層が積層された一对の第1配線層及び第2配線層と、少なくともゲート電極と重畳しゲート絶縁層と該第1配線層及び該第2配線層における導電層の側面部と第2酸化物半導体層の側面部及び上面部と接する第1酸化物半導体層とを有している。非線形素子のゲート電極は走査線又は信号線と接続され、非線形素子の第1配線層又は第2配線層が、ゲート電極の電位が第1配線層又は第2配線層に印加されるように第3配線層によってゲート電極に接続されている。

20

【0011】

本発明の例示的な一態様は、絶縁表面を有する基板上に走査線と信号線が交差して設けられ、画素電極がマトリクス状に配列する画素部と、該画素部の外側領域に保護回路を有する表示装置である。画素部は、第1酸化物半導体層にチャンネル形成領域が形成される薄膜トランジスタを有している。画素部の薄膜トランジスタは、走査線と接続するゲート電極と、信号線と接続し第1酸化物半導体層に接する第1配線層と、画素電極と接続し第1酸化物半導体層に接する第2配線層とを有している。また、画素部の外側領域には、走査線と共通配線を接続する保護回路と、信号線と共通配線を接続する保護回路とが設けられている。保護回路は、ゲート電極及び該ゲート電極を被覆するゲート絶縁層と、ゲート絶縁層上においてゲート電極と端部が重畳し、導電層と第2酸化物半導体層が積層された一对の第1配線層及び第2配線層と、少なくともゲート電極と重畳しゲート絶縁層と該第1配線層及び該第2配線層における導電層の側面部と第2酸化物半導体層の側面部及び上面部と接する第1酸化物半導体層とを有する非線形素子を有している。また、非線形素子のゲート電極と、第1配線層又は第2配線層が第3配線層によって接続されている。

30

40

【0012】

ここで、第1酸化物半導体層の酸素濃度は第2酸化物半導体層の酸素濃度よりも高く含まれている。すなわち、第1酸化物半導体層は酸素過剰型であり、第2酸化物半導体層は酸素欠乏型である。第1酸化物半導体層の電気伝導度は第2酸化物半導体層の電気伝導度よりも低いものである。第1酸化物半導体層は非晶質構造であり、第2酸化物半導体層は非晶質構造の中にナノクリスタルを含まれる場合がある。

【0013】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称

50

を示すものではない。

【0014】

また、本明細書において、In、Ga、及びZnを含む酸化物半導体膜を用いて形成された半導体膜を「IGZO半導体膜」、半導体層を「IGZO半導体層」とも記す。

【発明の効果】

【0015】

本発明の一態様によれば、酸化物半導体を用いた非線形素子で保護回路を構成することにより、保護回路として適した構造を有する表示装置を得ることができる。非線形素子の第1酸化物半導体層と配線層との接続構造において、第1酸化物半導体層よりも電気伝導度が高い第2酸化物半導体層と接合する領域を設けることで、金属配線の場合に比べて、安定動作をさせることが可能となる。それにより保護回路の機能を高め動作の安定化を図ることができる。

10

【図面の簡単な説明】

【0016】

【図1】表示装置を構成する、信号入力端子、走査線、信号線、非線形素子を含む保護回路及び画素部の位置関係を説明する図。

【図2】保護回路の一例を示す図。

【図3】保護回路の一例を示す図。

【図4】保護回路の一例を示す平面図。

【図5】保護回路の一例を示す断面図。

20

【図6】保護回路の作製工程を説明する断面図。

【図7】保護回路の作製工程を説明する断面図。

【図8】保護回路の作製工程を説明する断面図。

【図9】保護回路の作製工程を説明する断面図。

【図10】電子ペーパーの断面図。

【図11】半導体装置のブロック図を説明する図。

【図12】信号線駆動回路の構成を説明する図。

【図13】信号線駆動回路の動作を説明するタイミングチャート。

【図14】信号線駆動回路の動作を説明するタイミングチャート。

【図15】シフトレジスタの構成を説明する図。

30

【図16】図14に示すフリップフロップの接続構成を説明する図。

【図17】実施の形態の半導体装置を説明する上面図及び断面図。

【図18】実施の形態の半導体装置を説明する断面図。

【図19】実施の形態の半導体装置の画素等価回路を説明する図。

【図20】実施の形態の半導体装置を説明する図。

【図21】実施の形態の半導体装置を説明する上面図及び断面図。

【図22】電子ペーパーの使用形態の例を説明する図。

【図23】電子書籍の一例を示す外観図。

【図24】テレビジョン装置およびデジタルフォトフレームの例を示す外観図。

【図25】遊技機の例を示す外観図。

40

【図26】携帯電話機の一例を示す外観図。

【図27】保護回路の一例を示す平面図。

【図28】保護回路の一例を示す平面図。

【発明を実施するための形態】

【0017】

本発明の一態様を例示する実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細をさまざまに変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

50

## 【 0 0 1 8 】

(実施の形態 1)

本形態は、画素部とその周辺に非線形素子を含む保護回路が形成された表示装置の一態様を図面を参照して説明する。

## 【 0 0 1 9 】

図 1 は表示装置を構成する、信号入力端子、走査線、信号線、非線形素子を含む保護回路及び画素部の位置関係を説明する図である。絶縁表面を有する基板 10 上に走査線 13 と信号線 14 が交差して画素部 17 が構成されている。

## 【 0 0 2 0 】

画素部 17 は複数の画素 18 がマトリクス状に配列して構成されている。画素 18 は走査線 13 と信号線 14 に接続する画素トランジスタ 19、保持容量部 20、画素電極 21 を含んで構成されている。

10

## 【 0 0 2 1 】

ここで例示する画素構成において、保持容量部 20 は一方の電極が画素トランジスタ 19 と接続し、他方の電極が容量線 22 と接続する場合を示している。また、画素電極 21 は表示素子（液晶素子、発光素子、コントラスト媒体（電子インク）など）を駆動する一方の電極を構成する。これらの表示素子の他方の電極は共通端子 23 に接続される。

## 【 0 0 2 2 】

保護回路は画素部 17 と、走査線入力端子 11 及び信号線入力端子 12 との間に配設されている。本形態では複数の保護回路を配設して、走査線 13、信号線 14 及び容量バス線 27 に静電気等によりサージ電圧が印加され、画素トランジスタ 19 などが破壊されないように構成されている。そのため、保護回路にはサージ電圧が印加されたときに、共通配線 29 又は共通配線 28 に電荷を逃がすように構成されている。

20

## 【 0 0 2 3 】

本形態では、走査線 13 側に保護回路 24、信号線 14 側に保護回路 25、容量バス線 27 側に保護回路 26 を配設する例を示している。尤も、保護回路の構成はこれに限定されない。

## 【 0 0 2 4 】

図 2 は保護回路の一例を示す。この保護回路は、走査線 13 を挟んで並列に配置された非線形素子 30 及び非線形素子 31 によって構成されている。非線形素子 30 及び非線形素子 31 は、ダイオードのような二端子素子又はトランジスタのような三端子素子で構成される。例えば、非線形素子は画素部の画素トランジスタと同じ工程で形成することも可能であり、例えば非線形素子のゲート端子とドレイン端子を接続することによりダイオードと同様の特性を持たせることができる。

30

## 【 0 0 2 5 】

非線形素子 30 の第 1 端子（ゲート）と第 3 端子（ドレイン）は走査線 13 に接続され、第 2 端子（ソース）は共通配線 29 に接続されている。また、非線形素子 31 の第 1 端子（ゲート）と第 3 端子（ドレイン）は共通配線 29 に接続され、第 2 端子（ソース）は走査線 13 に接続されている。すなわち、図 2 で示す保護回路は、走査線 13 に対して二つのトランジスタのそれぞれが、整流方向を互いに逆向きにして、走査線 13 と共通配線 29 を接続する構成である。言い換えると、走査線 13 と共通配線 29 の間に、整流方向が走査線 13 から共通配線 29 に向かうトランジスタと整流方向が共通配線 29 から走査線 13 に向かうトランジスタを接続する構成である。

40

## 【 0 0 2 6 】

図 2 で示す保護回路は、共通配線 29 に対し、走査線 13 が静電気等により正又は負に帯電した場合、その電荷を打ち消す方向に電流が流れる。例えば、走査線 13 が正に帯電した場合は、その正電荷を共通配線 29 に逃がす方向に電流が流れる。この動作により、帯電した走査線 13 に接続している画素トランジスタ 19 の静電破壊又はしきい値電圧のシフトを防止することができる。また、帯電している走査線 13 と絶縁層を介して交差する他の配線との間で、絶縁膜の絶縁破壊を防止することができる。

50

## 【 0 0 2 7 】

なお、図 2 は走査線 1 3 に第 1 端子（ゲート）を接続した非線形素子 3 0 と、共通配線 2 9 に第 1 端子（ゲート）を接続した非線形素子 3 1、すなわち整流方向が逆向きの二個一組の非線形素子を用い、それぞれの第 2 端子（ソース）と第 3 端子（ドレイン）で共通配線 2 9 と走査線 1 3 を並列に接続している。他の構成として、さらに並列して接続する非線形素子を付加して、保護回路の動作安定性を高めても良い。例えば、図 3 は走査線 1 3 と共通配線 2 9 との間に設けられた、非線形素子 3 0 a と非線形素子 3 0 b 及び非線形素子 3 1 a と非線形素子 3 1 b により構成される保護回路を示す。この保護回路は、共通配線 2 9 に第 1 端子（ゲート）を接続した二つの非線形素子（3 0 b、3 1 b）と、走査線 1 3 に第 1 端子（ゲート）を接続した二つの非線形素子（3 0 a、3 1 a）の計四つの非線形素子を用いている。すなわち、整流方向が互いに逆向きになるよう 2 つの非線形素子を接続した一組を、共通配線 2 9 と走査線 1 3 の間に二組接続している。言い換えると、走査線 1 3 と共通配線 2 9 の間に、整流方向が走査線 1 3 から共通配線 2 9 に向かう 2 つのトランジスタと、整流方向が共通配線 2 9 から走査線 1 3 に向かう 2 つのトランジスタを接続する構成である。このように、共通配線 2 9 と走査線 1 3 を四つの非線形素子で接続することで、走査線 1 3 にサージ電圧が印加された場合のみならず、共通配線 2 9 静電気等により帯電した場合であっても、その電荷がそのまま走査線 1 3 に流れ込んでしまうのを防止することができる。なお、図 2 8 に、4 つの非線形素子 7 4 0 a、7 4 0 b、7 4 0 c、7 4 0 d を基板上に配置する場合の一態様を等価回路図と共に示す。また、図 2 8 において 6 5 0 は走査線、6 5 1 は共通配線を示す。

10

20

## 【 0 0 2 8 】

また、奇数個の非線形素子を使った保護回路の例として、非線形素子の基板への配置例を図 2 7 ( A ) に、等価回路を図 2 7 ( B ) に示す。この回路では非線形素子 7 3 0 c に対し、非線形素子 7 3 0 b、非線形素子 7 3 0 a がスイッチング素子として接続している。このように非線形素子を直列に接続することで、保護回路を構成する非線形素子に加わる瞬間的な負荷を分散できる。なお、図 2 7 において 6 5 0 は走査線、6 5 1 は共通配線を示す。

## 【 0 0 2 9 】

図 2 は走査線 1 3 側に設ける保護回路の例を示すが、同様な構成の保護回路は信号線 1 4 側においても適用することができる。

30

## 【 0 0 3 0 】

図 4 ( A ) は保護回路の一例を示す平面図であり、( B ) はその等価回路図を示す。また、図 4 ( A ) 中に示される Q 1 - Q 2 切断線に対応した断面図を図 5 に示す。以下の説明では図 4 及び図 5 を参照して保護回路の一構成例を説明する。

## 【 0 0 3 1 】

非線形素子 3 0 a 及び非線形素子 3 0 b は、走査線 1 3 と同じ層で形成されるゲート電極 1 5 及びゲート電極 1 6 を有している。ゲート電極 1 5 及びゲート電極 1 6 上にはゲート絶縁層 3 7 が形成されている。ゲート絶縁層 3 7 上にはゲート電極 1 5 上で相対するように第 1 配線層 3 8 及び第 2 配線層 3 9 が設けられている。なお、非線形素子 3 0 a 及び非線形素子 3 0 b は主要部において同じ構成を有している。

40

## 【 0 0 3 2 】

第 1 酸化物半導体層 3 6 は、相対する第 1 配線層 3 8 及び第 2 配線層 3 9 の間を被覆するように設けられている。すなわち第 1 酸化物半導体層 3 6 は、ゲート電極 1 5 と重畳し、ゲート絶縁層 3 7、第 1 配線層 3 8 及び第 2 配線層 3 9 における導電層 4 1 の側面部と第 2 酸化物半導体層 4 0 の側面部及び上面部と接するように設けられている。ここで、第 1 配線層 3 8 及び第 2 配線層 3 9 は、ゲート絶縁層 3 7 側から導電層 4 1 と第 2 酸化物半導体層 4 0 とが積層された構成を有している。ゲート絶縁層 3 7 は、酸化シリコン又は酸化アルミニウムなどの酸化物で形成される。

## 【 0 0 3 3 】

第 1 酸化物半導体層 3 6 の酸素濃度は第 2 酸化物半導体層 4 0 よりも高い酸素濃度を有し

50

ている。換言すれば、第1酸化半導体層36は酸素過剰型であり、第2酸化半導体層40は酸素欠乏型である。第1酸化半導体層36の酸素濃度を高めることでドナー型欠陥を低減させることができ、キャリアのライフタイムや移動度が向上するといった効果が得られる。一方、第2酸化半導体層40は、酸素濃度を第1酸化半導体層36と比べて低くすることでキャリア濃度を高めることができ、ソース領域及びドレイン領域を形成するために利用することができる。

【0034】

酸化半導体の構造的には、第1酸化半導体層36は非晶質構造であり、第2酸化半導体層40は非晶質構造の中にナノクリスタルが含まれている場合がある。そして、第1酸化半導体層36は第2酸化半導体層40よりも電気伝導度が低いという特性を有している。それゆえ、本形態の非線形素子30a及び非線形素子30bにおいて第1配線層38及び第2配線層39の構成要素として用いられる第2酸化半導体層40は、トランジスタのソース領域及びドレイン領域と同様の機能を発現する。

10

【0035】

第1酸化半導体層36及び第2酸化半導体層40は、酸化半導体として代表的には酸化亜鉛(ZnO)又は、In、Ga、及びZnを含む酸化半導体材料によって形成される。

【0036】

第1酸化半導体層36はゲート絶縁層37と接して設けられ、また、第1酸化半導体層36は第1酸化半導体層36よりも電気伝導度が高い第2酸化半導体層40と接して設けられる。上記のように物性の異なる酸化半導体層同士の接合構造を非線形素子30a及び非線形素子30bに設けることにより、第1配線層38及び第2配線層39が金属層のみである場合に形成されるショットキー接合に比べて安定動作をさせることが可能となる。すなわち、金属配線のみの場合に比べて、熱的安定性が増し、安定動作をさせることが可能となる。それにより保護回路の機能を高め動作の安定化を図ることができる。また、接合リークが低減し、非線形素子30a及び非線形素子30bの特性を向上させることができる。

20

【0037】

第1配線層38及び第2配線層39の構成として、金属材料で形成される導電層41の上層に第2酸化半導体層40を設け、該第2酸化半導体層40の上面部と第1酸化半導体層36が接する構造とすることで、接合部の面積が増大し、非線形素子30aの電流が流れやすくなる作用がある。それにより、非線形素子30aを保護回路に用いた場合、信号線等にサージ電圧が印加されても、帯電した電荷をより速く共通配線に流してしまいうことができる。

30

【0038】

第1酸化半導体層36上には層間絶縁層42が設けられている。層間絶縁層42は、酸化シリコン又は酸化アルミニウムなどの酸化物で形成される。また、酸化シリコン又は酸化アルミニウム上に窒化シリコン、窒化アルミニウム、酸化窒化シリコン又は酸化窒化アルミニウムを積層することで、保護膜としてより機能を高めることができる。

【0039】

いずれにしても、第1酸化半導体層36と接する層間絶縁層42を酸化物とすることで、第1酸化半導体層36から酸素が引き抜かれ、酸素欠乏型に変質してしまうことを防ぐことができる。また、第1酸化半導体層36が窒化物による絶縁層と直接的に接しない構成とすることで、窒化物中の水素が拡散して第1酸化半導体層36に水酸基などに起因する欠陥を生成するのを防ぐことができる。

40

【0040】

層間絶縁層42にはコンタクトホール43が設けられており、ゲート電極15と同じ層で形成される走査線13と、非線形素子30aの第三端子(ドレイン)とが接続される。この接続は、画素部の画素電極と同じ材料で形成される第3配線層44で形成される。第3配線層44は、酸化インジウム・ズズ(ITO: indium tin oxide)、

50

酸化亜鉛 ( $ZnO$ )、酸化スズ ( $SnO_2$ ) などの透明電極を形成する材料で形成される。これにより第3配線層44は、金属材料で形成される配線と比べて高抵抗化することになる。このような抵抗成分を含む配線を保護回路に含ませることで、過大な電流が流れて非線形素子30aが破壊されるのを防ぐことができる。

【0041】

なお、図4及び図5では走査線13に設けられる保護回路の一例を示すが、同様の保護回路を信号線、容量バス線などに適用することができる。

【0042】

このように、本実施の形態によれば、酸化物半導体を用いた非線形素子で保護回路を設けることにより、保護回路として適した構造を有する表示装置を得ることができる。そして酸化物半導体用いた非線形素子により保護回路の機能を高め動作の安定化を図ることができる。

10

【0043】

(実施の形態2)

本実施の形態は、実施の形態1において図4(A)に示した保護回路の作製工程の様態を図6及び図7を参照して説明する。図6及び図7は図4(A)中のQ1-Q2切断線に対応した断面図を表している。

【0044】

図6(A)において、透光性を有する基板100には市販されているバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス及びアルミノシリケートガラスなどのガラス基板を用いることができる。例えば、成分比としてホウ酸 ( $B_2O_3$ ) よりも酸化バリウム ( $BaO$ ) を多く含み、歪み点が730以上のガラス基板を用いると好ましい。酸化物半導体層を700程度の高温で熱処理する場合でも、ガラス基板が歪まないで済むからである。

20

【0045】

次いで、導電層を基板100全面に形成した後、第1のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極(ゲート電極101を含むゲート配線、容量配線、及び端子)を形成する。このとき少なくともゲート電極101の端部にテーパー形状が形成されるようにエッチングする。また、ゲート電極101と同じ層で走査線108を形成する。

30

【0046】

ゲート電極101を含むゲート配線と容量配線、端子部の端子は、アルミニウム ( $Al$ ) や銅 ( $Cu$ ) などの低抵抗導電性材料で形成することが望ましいが、 $Al$  単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせ形成する。耐熱性導電性材料としては、チタン ( $Ti$ )、タンタル ( $Ta$ )、タングステン ( $W$ )、モリブデン ( $Mo$ )、クロム ( $Cr$ )、 $Nd$  (ネオジム) から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物で形成する。なお、この段階の断面図を図6(A)に示す。

【0047】

次いで、ゲート電極101上にゲート絶縁層102を全面に成膜する。ゲート絶縁層102はスパッタ法などを用い、膜厚を50~250nmとする。

40

【0048】

例えば、ゲート絶縁層102としてスパッタ法により酸化シリコン膜を用い、100nmの厚さで形成する。勿論、ゲート絶縁層102はこのような酸化シリコン膜に限定されるものでなく、酸化窒化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

【0049】

次に、ゲート絶縁層102上に金属材料からなる導電膜をスパッタ法や真空蒸着法で形成する。導電膜の材料としては、 $Al$ 、 $Cr$ 、 $Ta$ 、 $Ti$ 、 $Mo$ 、 $W$  から選ばれた元素、ま

50



たは上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。ここでは、導電膜としてTi膜と、そのTi膜上に重ねてアルミニウム(Al)膜を積層し、さらにその上にTi膜を成膜する3層構造とする。また、導電膜は、2層構造としてもよく、アルミニウム膜上にチタン膜を積層してもよい。また、導電膜は、シリコンを含むアルミニウム膜の単層構造や、チタン膜の単層構造としてもよい。

#### 【0050】

次に、ゲート絶縁層102上に第2酸化物半導体膜をスパッタ法で成膜する。ここでは、酸化インジウム( $\text{In}_2\text{O}_3$ )と、酸化ガリウム( $\text{Ga}_2\text{O}_3$ )と、酸化亜鉛( $\text{ZnO}$ )の組成比を1:1:1(= $\text{In}_2\text{O}_3$ : $\text{Ga}_2\text{O}_3$ : $\text{ZnO}$ )としたターゲットを用い、成膜室の圧力を0.4Paとし、電力を500Wとし、成膜温度を室温とし、アルゴンガス流量40sccmを導入してスパッタ成膜を行う。これにより、第2酸化物半導体膜として、In、Ga、Zn及び酸素を成分とする半導体膜が形成される。組成比を1:1:1(= $\text{In}_2\text{O}_3$ : $\text{Ga}_2\text{O}_3$ : $\text{ZnO}$ )としたターゲットを意図的に用いているにも関わらず、成膜直後で大きさ1nm~10nmの結晶粒を含む酸化物半導体膜がしばしば形成される。なお、ターゲットの成分比、成膜圧力(0.1Pa~2.0Pa)、電力(250W~3000W:8インチ)、温度(室温~100)など、反応性スパッタの成膜条件を適宜調節することで結晶粒の有無や、結晶流の密度や、直径サイズは、1nm~10nmの範囲で調節されうると言える。第2酸化物半導体膜の膜厚は、5nm~20nmとする。勿論、膜中に結晶粒が含まれる場合、含まれる結晶粒のサイズが膜厚を超える大きさとならない。本実施の形態では第2酸化物半導体膜の膜厚は、5nmとする。

10

20

#### 【0051】

ゲート絶縁層、導電膜、及び第2酸化物半導体膜は、スパッタ法で、チャンバーに導入するガス並びに設置するターゲットを適宜切り替えることにより、ゲート絶縁層、導電膜、及び第2酸化物半導体膜を、大気に触れることなく連続成膜すると、不純物の混入を防止することができる。また、大気に触れることなく連続成膜する場合、マルチチャンバー方式の製造装置を用いることが好ましい。

#### 【0052】

次に、第2のフォトリソグラフィ工程を行い、レジストマスクを形成し、第2酸化物半導体膜をエッチングする。ここではITO07N(関東化学社製)を用いたウェットエッチングにより、不要な部分を除去して第2酸化物半導体層111a、111bを形成する。なお、ここでのエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

30

#### 【0053】

次に、第2酸化物半導体膜のエッチング工程に用いたレジストマスクを用いて、エッチングによりゲート絶縁層上の導電膜の不要な部分を除去してソース電極層105a及びドレイン電極層105bを形成する。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。ここでは、 $\text{SiCl}_4$ と $\text{Cl}_2$ と $\text{BCl}_3$ の混合ガスを反応ガスとしたドライエッチングにより、Ti膜とAl膜とTi膜を積層した導電膜をエッチングしてソース電極層105a及びドレイン電極層105bを形成する。なお、レジストマスクを除去した後の断面図を図6(B)に示す。

40

#### 【0054】

次に、プラズマ処理を行う。ここでは酸素ガスとアルゴンガスを成膜室に導入してプラズマを発生させる逆スパッタを行い、露出しているゲート絶縁層に酸素ラジカル又は酸素を照射する。こうして、表面に付着しているゴミを除去し、さらにゲート絶縁層表面を酸素過剰領域に改質する。ゲート絶縁層の表面に酸素ラジカル処理を行い、表面を酸素過剰領域とすることは、その後の工程での信頼性向上のための熱処理(200~600)において、第1酸化物半導体層界面の改質のための酸素の供給源を作る上で有効である。なお、この段階での断面図を図6(C)に示す。

#### 【0055】

なお、プラズマ処理の条件によっては、露呈しているソース電極層105a及びドレイン

50

電極層 105b の側面に酸化膜（図示しない）が形成されるが、本構造においてはソース電極層 105a 及びドレイン電極層 105b がチャンネル形成領域と直接接する構造とするのではないため問題ないと言える。むしろ、この酸化膜が形成されることにより、ソース電極層 105a 及びドレイン電極層 105b が第 2 酸化物半導体層からなるソース領域またはドレイン領域を介してチャンネル形成領域と電氣的に接続する構造となる。また、ソース電極層及びドレイン電極層上に第 2 酸化物半導体層からなるソース領域及びドレイン領域を形成した後にプラズマ処理を行うので、ソース電極層及びドレイン電極層の露出している端部しか酸化されない。他の領域は酸化されないため、ソース電極層及びドレイン電極層を低抵抗に保つことができる。また、第 2 酸化物半導体層からなるソース領域及びドレイン領域と第 1 半導体層との接触面積が広いので、ソース領域またはドレイン領域は半導体層と電氣的に良好な接続ができる。

10

#### 【0056】

次いで、プラズマ処理された基板を大気に曝すことなく第 1 酸化物半導体膜を成膜する。プラズマ処理された基板を大気に曝すことなく第 1 酸化物半導体膜を成膜することにより、ゲート絶縁層と半導体膜の界面にゴミや水分が付着する不具合を防ぐことができる。ここでは、直径 8 インチの In、Ga、及び Zn を含む酸化物半導体ターゲット（組成比として、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ ）を用いて、基板とターゲットの間との距離を 170 mm、圧力 0.4 Pa、直流（DC）電源 0.5 kW、酸素雰囲気下で成膜する。なお、パルス直流（DC）電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。第 1 酸化物半導体膜の膜厚は、5 nm ~ 200 nm とする。本実施の形態では第 1 酸化物半導体膜の膜厚は、100 nm とする。

20

#### 【0057】

第 1 酸化物半導体膜は、第 2 酸化物半導体膜の成膜条件と異ならせることで、第 2 酸化物半導体膜と異なる組成を有し、一例として第 2 酸化物半導体膜中の酸素濃度より多くの酸素を第 1 酸化物半導体膜中に含ませる。例えば、第 2 酸化物半導体膜の成膜条件における酸素ガス流量のアルゴンガス流量に対する比よりも、第 1 酸化物半導体膜の成膜条件における酸素ガス流量の比を大きくする。具体的には、第 2 酸化物半導体膜の成膜条件は、希ガス（アルゴン、又はヘリウムなど）雰囲気下（または酸素ガス 10% 以下、アルゴンガス 90% 以上）とし、第 1 酸化物半導体膜の成膜条件は、酸素雰囲気下（又は酸素ガス流量がアルゴンガス流量以上の混合ガス）とする。多くの酸素を第 1 酸化物半導体膜中に含ませることによって、第 2 酸化物半導体膜よりも導電率を低くすることができる。また、多くの酸素を第 1 酸化物半導体膜中に含ませることによってオフ電流の低減を図ることができるため、オン・オフ比の高い薄膜トランジスタを得ることができる。

30

#### 【0058】

第 1 酸化物半導体膜の成膜は、先に逆スパッタを行ったチャンバーと同一チャンバーを用いてもよいし、大気に曝すことなく成膜できるのであれば、先に逆スパッタを行ったチャンバーと異なるチャンバーで成膜してもよい。

#### 【0059】

次いで、200 ~ 600、代表的には 300 ~ 500 の熱処理を行うことが好ましい。ここでは炉に入れ、窒素雰囲気下で 350、1 時間の熱処理を行う。この熱処理により IGZO 半導体膜の原子レベルの再配列が行われる。この熱処理によりキャリアの移動を阻害する歪が解放されるため、ここでの熱処理（光アニールも含む）は重要である。なお、熱処理を行うタイミングは、第 1 酸化物半導体膜の成膜後であれば特に限定されず、例えば画素電極形成後に行ってもよい。

40

#### 【0060】

次に、第 3 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して第 1 酸化物半導体層 103 を形成する。ここでは ITO07N（関東化学社製）を用いたウェットエッチングにより、第 1 酸化物半導体層 103 を形成する。なお、第 1 酸化物半導体膜と第 2 酸化物半導体膜は同じエッチャントに溶解するため、ここでのエッチングにより第 2 酸化物半導体膜の一部が除去される。すなわち、レジ

50

ストマスクと第1酸化物半導体膜で覆われた第2酸化物半導体膜（IGZO半導体膜）は保護されるが、露呈している第2酸化物半導体膜はエッチングされ、ソース領域104a及び、ドレイン領域104bが形成される。なお、第1酸化物半導体層103のエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。レジストマスクを除去して、以上の工程で第1酸化物半導体層103をチャンネル形成領域とする非線形素子30aが作製できる。この段階での断面図を図7（A）に示す。

【0061】

次いで、非線形素子30aを覆う保護絶縁膜107を形成する。保護絶縁膜107はスパッタ法などを用いて得られる窒化シリコン膜、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などを用いることができる。

10

【0062】

次に、第4のフォトリソグラフィ工程を行い、レジストマスクを形成し、保護絶縁膜107をエッチングしてドレイン電極層105bに達するコンタクトホール125を形成する。さらに、同じレジストマスクを用いてゲート絶縁層102をエッチングしてゲート電極に達するコンタクトホール126も形成すると、フォトマスクの数を削減できるため好ましい。レジストマスクを除去し、この段階での断面図を図7（B）に示す。

【0063】

次いで、第3配線層128を成膜する。透明導電膜を用いると、第3配線層と画素電極を形成できる。透明導電膜の材料としては、酸化インジウム（ $\text{In}_2\text{O}_3$ ）や酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3$   $\text{SnO}_2$ 、ITOと略記する）などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3$   $\text{ZnO}$ ）を用いても良い。このように透明導電膜をエッチングして第3配線層128を形成する。

20

【0064】

次に、第5のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより透明導電膜の不要な部分を除去して、図示していない画素部に画素電極を形成する。

【0065】

また、この第5のフォトリソグラフィ工程において、図示していない容量部にゲート絶縁層102及び保護絶縁膜107を誘電体として、容量配線と画素電極とで保持容量を形成する。

30

【0066】

また、この第5のフォトリソグラフィ工程において、レジストマスクで端子部を覆い端子部に形成された透明導電膜を残す。透明導電膜はFPCとの接続に用いられる電極または配線や、ソース配線の入力端子として機能する接続用の端子電極などになる。

【0067】

また、本実施の形態においては、透明導電膜からなる第3配線層128が非線形素子30aのドレイン電極層105bと走査線108をコンタクトホール125および126を介して接続する。

【0068】

次いで、レジストマスクを除去する。この段階での断面図を図7（C）に示す。

40

【0069】

こうして5回のフォトリソグラフィ工程により、5枚のフォトマスクを使用して、複数の非線形素子を有する（本実施の形態では、30aおよび30bの二つの非線形素子を有する）保護回路を完成させることができる。また、本実施の形態によれば、非線形素子の形成と共に、同様な方法で複数のTFTを作製できるので、ボトムゲート型のnチャンネル型TFTを有する画素部の作製と保護回路の作製を同時におこなうことができる。すなわち、本実施の形態に示した工程に従えば、保護ダイオードを搭載したアクティブマトリクス型の表示装置用基板を作製することができる。

【0070】

50

(実施の形態3)

本実施の形態では、実施の形態1において図4(A)に示した保護回路を実施の形態2とはことなる構造の非線形素子を用いて形成する。すなわち、ソース領域及びドレイン領域をソース電極層及びドレイン電極層の上下に設ける非線形素子の例である。実施の形態2と異なる構造を有する薄膜トランジスタ及びその作製工程について、図8及び図9を用いて説明する。

【0071】

本実施の形態では、実施の形態1と一部異なるだけであるため、図6及び図7と同じ箇所には同じ符号を用い、同じ工程の繰り返しの説明は省略して以下に説明する。

【0072】

まず、実施の形態2と同様に、基板100上に導電層を形成した後、第1のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極(ゲート電極101を含むゲート配線、容量配線、及び第1の端子)を形成する。この段階での断面図が図8(A)である。

【0073】

次いで、実施の形態2と同様に、ゲート電極101上にゲート絶縁層102を全面に成膜する。ゲート絶縁層102はスパッタ法などを用い、膜厚を50~250nmとする。例えば、ゲート絶縁層102としてスパッタ法により酸化シリコン膜を用い、110nmの厚さで形成する。

【0074】

次に、ゲート絶縁層102上に第3酸化物半導体膜をスパッタ法で成膜する。ここでは、酸化インジウム( $\text{In}_2\text{O}_3$ )と、酸化ガリウム( $\text{Ga}_2\text{O}_3$ )と、酸化亜鉛( $\text{ZnO}$ )の組成比を1:1:1(= $\text{In}_2\text{O}_3$ : $\text{Ga}_2\text{O}_3$ : $\text{ZnO}$ )としたターゲットを用い、成膜条件は、圧力を0.4Paとし、電力を500Wとし、成膜温度を室温とし、アルゴンガス流量40sccmを導入してスパッタ成膜を行う。組成比を1:1:1(= $\text{In}_2\text{O}_3$ : $\text{Ga}_2\text{O}_3$ : $\text{ZnO}$ )としたターゲットを意図的に用いているにも関わらず、成膜直後で大きさ1nm~10nmの結晶粒を含むIGZO半導体膜が形成されることがある。なお、ターゲットの成分比、成膜圧力(0.1Pa~2.0Pa)、電力(250W~3000W:8インチ)、温度(室温~100)、反応性スパッタの成膜条件などを適宜調節することで結晶粒の有無や、結晶粒の密度や、直径サイズは、1nm~10nmの範囲で調節されうると言える。第3酸化物半導体膜の膜厚は、5nm~20nmとする。勿論、膜中に結晶粒が含まれる場合、含まれる結晶粒のサイズが膜厚を超える大きさとならない。本実施の形態では第3酸化物半導体膜としてのIGZO半導体膜の膜厚は、5nmとする。

【0075】

次に、第3酸化物半導体膜上に金属材料からなる導電膜をスパッタ法や真空蒸着法で形成する。導電膜の材料としては、Al、Cr、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。ここでは、導電膜としてシリコンを含むアルミニウム膜の単層構造とする。また、導電膜は、積層構造としてもよく、アルミニウム膜上にチタン膜を積層してもよい。また、導電膜としてTi膜と、そのTi膜上に重ねてアルミニウム(Al)膜を積層し、さらにその上にTi膜を成膜する3層構造としてもよい。

【0076】

次に、導電膜上に第2酸化物半導体膜をスパッタ法で成膜する。この第2酸化物半導体膜は、第3酸化物半導体膜と同じ成膜条件を用いて形成することができる。第3酸化物半導体膜と同様な条件で成膜した第2酸化物半導体膜は、成膜直後で大きさ1nm~10nmの結晶粒を含むIGZO半導体膜が形成されることがある。第2酸化物半導体膜の膜厚は、5nm~20nmとする。本実施の形態では第2酸化物半導体膜の膜厚は、5nmとする。

【0077】

10

20

30

40

50

ゲート絶縁層、第3酸化半導体膜、導電膜、及び第2酸化半導体膜は、スパッタ法で、チャンバーに導入するガス並びに設置するターゲットを適宜切り替えることにより、ゲート絶縁層、第3酸化半導体膜、導電膜、及び第2酸化半導体膜を大気に触れることなく連続成膜することができる。大気に触れることなく連続成膜すると、不純物の混入を防止することができる。大気に触れることなく連続成膜する場合、マルチチャンバー方式の製造装置を用いることが好ましい。

【0078】

次に、第2のフォトリソグラフィ工程を行い、第2酸化半導体膜上にレジストマスクを形成し、エッチングにより第3酸化半導体膜、導電膜、及び第2酸化半導体膜の不要な部分を除去して第1のソース領域106a及び第1のドレイン領域106b、ソース電極層105a及びドレイン電極層105b、第2酸化半導体層111a、111bを形成する。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。ここでは、ITO07N（関東化学社製）を用いたウェットエッチングにより、第2酸化半導体層111a及び111bを形成した後、SiCl<sub>4</sub>とCl<sub>2</sub>とBCl<sub>3</sub>の混合ガスを反応ガスとしたドライエッチングにより、シリコンを含むアルミニウム膜からなる導電膜をエッチングしてソース電極層105a及びドレイン電極層105bを形成する。その後、同じレジストマスクを用いてITO07N（関東化学社製）を用いたウェットエッチングにより、第1のソース領域106a及び第1のドレイン領域106bを形成する。レジストマスクを除去した後の断面図を図8(B)に示す。

10

【0079】

また、図示しないが容量部においては、容量配線と重なるIGZO半導体膜は除去される。また、端子部においては、第3酸化半導体層が残存する。

20

【0080】

次に、プラズマ処理を行う。ここでは酸素ガスとアルゴンガスを成膜室に導入してプラズマを発生させる逆スパッタを行い、露出しているゲート絶縁層に酸素ラジカル又は酸素を照射する。こうして、表面に付着しているゴミを除去し、さらにゲート絶縁層表面を酸素過剰領域に改質する。ゲート絶縁層の表面にプラズマ処理を行い、表面を酸素過剰領域とすることは、その後の工程での信頼性向上のための熱処理(200～600)において、第1酸化半導体層界面の改質のための酸素の供給源を作る上で有効である。この段階での断面図を図8(C)に示す。

30

【0081】

また、ソース電極層105a及びドレイン電極層105bの下に第1のソース領域106a及び第1のドレイン領域106bが設けられているため、第1のソース領域106a及び第1のドレイン領域106bが受けるプラズマダメージが低減される。また、ソース電極層105a及びドレイン電極層105bの上に第2酸化半導体層111a及び111bが設けられているため、ソース電極層105a及びドレイン電極層105bの酸化による配線抵抗の増大を抑えることができる。

【0082】

なお、プラズマ処理の条件によっては、露呈しているソース電極層105a及びドレイン電極層105bの側面は酸化膜(図示しない)が形成されるが、本構造においてはソース電極層105a及びドレイン電極層105bがチャンネル形成領域と直接接する構造ではないため問題ないと言える。むしろ、この酸化膜の存在により、ソース電極層105a及びドレイン電極層105bがソース領域またはドレイン領域を介してチャンネル形成領域と電氣的に接続する構造となる。

40

【0083】

次いで、プラズマ処理された基板を大気に曝すことなく第1酸化半導体膜を成膜する。プラズマ処理された基板を大気に曝すことなく第1酸化半導体膜を成膜することにより、ゲート絶縁層と半導体膜の界面にゴミや水分が付着する不具合を防ぐことができる。ここでは、直径8インチのIn、Ga、及びZnを含む酸化半導体ターゲット(組成比として、In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:1)を用いて、基板とターゲットの間

50

との距離を170mm、圧力0.4Pa、直流(DC)電源0.5kW、酸素雰囲気下で成膜する。なお、パルス直流(DC)電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。第1酸化物半導体膜の膜厚は、5nm~200nmとする。本実施の形態では第1酸化物半導体膜の膜厚は、100nmとする。

【0084】

第1酸化物半導体膜は、第2及び第3酸化物半導体膜の成膜条件と異ならせることで、第2及び第3酸化物半導体膜と異なる組成を有し、一例として第2及び第3酸化物半導体膜の膜中の酸素濃度より多くの酸素を第1酸化物半導体膜中に含ませる。例えば、第2及び第3酸化物半導体膜の成膜雰囲気に占める酸素ガスの比率よりも第1酸化物半導体膜の成膜雰囲気に占める酸素ガスの比率が高い条件とする。

10

【0085】

具体的には、第2及び第3酸化物半導体膜の成膜条件は、希ガス(アルゴン、又はヘリウムなど)雰囲気下(または酸素ガス10%以下、アルゴンガス90%以上)とし、第1酸化物半導体膜の成膜条件は、酸素雰囲気下(又は酸素ガス流量がアルゴンガス流量以上であって、その比が1:1以上)とする。

【0086】

多くの酸素を第1酸化物半導体膜としてのIGZO半導体膜中に含ませることによって、第2及び第3酸化物半導体膜としてのIGZO半導体膜よりも導電率を低くすることができる。また、多くの酸素を第1酸化物半導体膜としてのIGZO半導体膜中に含ませることによってオフ電流の低減を図ることができる。その結果、オン・オフ比の高い薄膜トランジスタを得ることができる。

20

【0087】

第1酸化物半導体膜の成膜は、先に逆スパッタを行ったチャンバーと同一チャンバーを用いてもよいし、大気に曝すことなく成膜できるのであれば、先に逆スパッタを行ったチャンバーと異なるチャンバーで成膜してもよい。

【0088】

次いで、200~600、代表的には300~500の熱処理を行うことが好ましい。ここでは炉に入れ、窒素雰囲気下で350、1時間の熱処理を行う。この熱処理によりIGZO半導体膜の原子レベルの再配列が行われる。この熱処理によりキャリアの移動を阻害する歪が解放されるため、ここでの熱処理(光アニールも含む)は重要である。

30

【0089】

次に、第3のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して第1酸化物半導体層103を形成する。ここではITO07N(関東化学社製)を用いたウェットエッチングにより、第1酸化物半導体膜の不要な部分を除去して第1酸化物半導体層103を形成する。なお、第1酸化物半導体膜、第2酸化物半導体膜、及び第3酸化物半導体膜は同じエッチャントに溶解するため、ここでのエッチングにより第2酸化物半導体膜の一部及び第3酸化物半導体膜の一部が除去される。レジストマスクと第1酸化物半導体膜で覆われ、残存した第2酸化物半導体膜は、第2のソース領域104a、及び第2のドレイン領域104bとなる。また、第3酸化物半導体膜の第1酸化物半導体膜で覆われた側面は保護されるが、図9(A)に示すように、第3酸化物半導体膜のもう一方の側面は露呈しているため、若干エッチングされて端面の形状が変化する。なお、第1酸化物半導体層103のエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。以上の工程で第1酸化物半導体層103をチャンネル形成領域とする非線形素子30aが作製できる。この段階での断面図を図9(A)に示す。

40

【0090】

次いで、非線形素子30aを覆う保護絶縁膜107を形成する。以降の工程は、実施の形態2と同一であるため、ここでは簡略な説明のみとする。

50

## 【 0 0 9 1 】

保護絶縁膜 1 0 7 を形成した後、第 4 のフォトリソグラフィ工程を行い、レジストマスクを形成し、保護絶縁膜 1 0 7 のエッチングによりコンタクトホール 1 2 5 及び 1 2 6 を形成する。レジストマスクを除去した後の断面図を図 9 ( B ) に示す。

## 【 0 0 9 2 】

次いで、透明導電膜を成膜した後、第 5 のフォトリソグラフィ工程を行い、レジストマスクを形成する。エッチングにより透明導電膜の不要な部分を除去して図示されていない画素電極を形成する。

## 【 0 0 9 3 】

また、本実施の形態においては、透明導電膜からなる第 3 配線層 1 2 8 が非線形素子 3 0 a のドレイン電極層 1 0 5 b と走査線 1 0 8 をコンタクトホール 1 2 5 および 1 2 6 を介して接続する。この段階での断面図を図 9 ( C ) に示す。

## 【 0 0 9 4 】

こうして 5 回のフォトリソグラフィ工程により、5 枚のフォトマスクを使用して、複数の非線形素子を有する（本実施の形態では、3 0 a および 3 0 b の二つの非線形素子を有する）保護回路を完成させることができる。また、本実施の形態によれば、非線形素子の形成と共に、同様な方法で複数の T F T を作製できるので、ボトムゲート型の n チャンネル型 T F T を有する画素部の作製と保護回路の作製を同時におこなうことができる。すなわち、本実施の形態に示した工程に従えば、薄膜の剥がれに起因する保護回路の不良の少ない保護ダイオードを搭載したアクティブマトリクス型の表示装置用基板を作製することができる。

## 【 0 0 9 5 】

また、ゲート絶縁層 1 0 2 と第 3 酸化物半導体層からなるソース領域 1 0 6 a 及びドレイン領域 1 0 6 b の接着は良好であり、薄膜の剥がれが生じにくい。すなわち、ゲート絶縁層 1 0 2 に接してアルミニウムなどの金属配線を直接形成する場合に比べて、ソース電極層 1 0 5 a 及びドレイン電極層 1 0 5 b の密着性が向上するので、薄膜の剥がれに起因する保護回路の不良を防止することができる。

## 【 0 0 9 6 】

（実施の形態 4）

本実施の形態では、本発明の一態様を適用した表示装置として、保護回路と画素部に配置する T F T を同一基板上に有する電子ペーパーの例を示す。

## 【 0 0 9 7 】

図 1 0 は、本発明の一態様を適用した表示装置の例としてアクティブマトリクス型の電子ペーパーを示す。表示装置に用いられる薄膜トランジスタ 5 8 1 としては、実施の形態 2 で示す非線形素子と同様に作製できる。薄膜トランジスタ 5 8 1 は、プラズマ処理されたゲート絶縁層と、酸素欠乏の I G Z O 半導体膜からなるソース領域及びドレイン領域と、ソース領域及びドレイン領域に接するソース電極層及びドレイン電極層と、ソース領域及びドレイン領域に接する酸素過剰の I G Z O 半導体層を有する電気特性の高い薄膜トランジスタである。

## 【 0 0 9 8 】

図 1 0 の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第 1 の電極層及び第 2 の電極層の間に配置し、第 1 の電極層及び第 2 の電極層に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方法である。

## 【 0 0 9 9 】

薄膜トランジスタ 5 8 1 はボトムゲート構造の薄膜トランジスタであり、ソース電極層又はドレイン電極層が第 1 の電極層 5 8 7 と、絶縁層 5 8 5 に形成される開口で接して電氣的に接続している。第 1 の電極層 5 8 7 と第 2 の電極層 5 8 8 との間には黒色領域 5 9 0 a と白色領域 5 9 0 b と、黒色領域 5 9 0 a と白色領域 5 9 0 b の周りに設けられ液体で満たされているキャピティ 5 9 4 とを有する球形粒子 5 8 9 が設けられており、球形粒子

10

20

30

40

50

589の周囲は樹脂等の充填材595で充填されている(図10参照。)。なお、図10において580は基板、583は層間絶縁層、584は保護膜、596は基板である。

【0100】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10 $\mu$ m~200 $\mu$ m程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能である。従って、例えば電源供給源となる電波発信源から表示機能付き半導体装置(単に表示装置、又は表示装置を具備する半導体装置ともいう)を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

10

【0101】

本実施の形態によれば、酸化物半導体を用いた非線形素子で保護回路を構成することにより、保護回路として適した構造を有する表示装置を得ることができる。非線形素子の第1酸化物半導体層と配線層との接続構造において、第1酸化物半導体層よりも電気伝導度が高い第2酸化物半導体層と接合する領域を設けることで、金属配線の場合に比べて、安定動作をさせることが可能となる。それにより保護回路の機能を高め動作の安定化を図ることができる。このように、本実施の形態によれば、表示装置として信頼性の高い電子ペーパーを作製することができる。また、実施の形態3と同様の構成を用いることにより薄膜の剥がれに起因する不良が起こりにくい非線形素子からなる保護回路を搭載した信頼性の高い表示装置を作製することができる。

20

【0102】

本実施の形態は、実施の形態1に記載した構成と適宜組み合わせることで実施することが可能である。

【0103】

(実施の形態5)

本実施の形態では、本発明の一態様の半導体装置の一例である表示装置において、同一基板上に少なくとも保護回路と、駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

30

【0104】

画素部に配置する薄膜トランジスタは、実施の形態2又は3で示す非線形素子と同様に形成する。また、形成した薄膜トランジスタはnチャネル型TFTであるため、駆動回路のうち、nチャネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

【0105】

本発明の一態様の半導体装置の一例であるアクティブマトリクス型液晶表示装置のブロック図の一例を図11(A)に示す。図11(A)に示す表示装置は、基板5300上に表示素子を備えた画素を複数有する画素部5301と、各画素を選択する走査線駆動回路5302と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路5303とを有する。

40

【0106】

画素部5301は、信号線駆動回路5303から列方向に伸張して配置された複数の信号線S1~Sm(図示せず。)により信号線駆動回路5303と接続され、走査線駆動回路5302から行方向に伸張して配置された複数の走査線G1~Gn(図示せず。)により走査線駆動回路5302と接続され、信号線S1~Sm並びに走査線G1~Gnに対応してマトリクス状に配置された複数の画素(図示せず。)を有する。そして、各画素は、信

50



号線  $S_j$  (信号線  $S_1 \sim S_m$  のうちいずれか一)、走査線  $G_i$  (走査線  $G_1 \sim G_n$  のうちいずれか一) と接続される。

【0107】

また、実施の形態 2 又は 3 で示す非線形素子と同様の方法で形成できる薄膜トランジスタは、 $n$ チャネル型 TFT であり、 $n$ チャネル型 TFT で構成する信号線駆動回路について図 12 を用いて説明する。

【0108】

図 12 に示す信号線駆動回路は、ドライバ IC 5601、スイッチ群 5602\_\_1 ~ 5602\_\_M、第 1 の配線 5611、第 2 の配線 5612、第 3 の配線 5613 及び配線 5621\_\_1 ~ 5621\_\_M を有する。スイッチ群 5602\_\_1 ~ 5602\_\_M それぞれは、第 1 の薄膜トランジスタ 5603 a、第 2 の薄膜トランジスタ 5603 b 及び第 3 の薄膜トランジスタ 5603 c を有する。

10

【0109】

ドライバ IC 5601 は第 1 の配線 5611、第 2 の配線 5612、第 3 の配線 5613 及び配線 5621\_\_1 ~ 5621\_\_M に接続される。そして、スイッチ群 5602\_\_1 ~ 5602\_\_M それぞれは、第 1 の配線 5611、第 2 の配線 5612、第 3 の配線 5613 及びスイッチ群 5602\_\_1 ~ 5602\_\_M それぞれに対応した配線 5621\_\_1 ~ 5621\_\_M に接続される。そして、配線 5621\_\_1 ~ 5621\_\_M それぞれは、第 1 の薄膜トランジスタ 5603 a、第 2 の薄膜トランジスタ 5603 b 及び第 3 の薄膜トランジスタ 5603 c を介して、3 つの信号線に接続される。例えば、 $J$  列目の配線 5621\_\_J (配線 5621\_\_1 ~ 配線 5621\_\_M のうちいずれか一) は、スイッチ群 5602\_\_J が有する第 1 の薄膜トランジスタ 5603 a、第 2 の薄膜トランジスタ 5603 b 及び第 3 の薄膜トランジスタ 5603 c を介して、信号線  $S_{j-1}$ 、信号線  $S_j$ 、信号線  $S_{j+1}$  に接続される。

20

【0110】

なお、第 1 の配線 5611、第 2 の配線 5612、第 3 の配線 5613 には、それぞれ信号が入力される。

【0111】

なお、ドライバ IC 5601 は、単結晶基板上に形成されていることが望ましい。さらに、スイッチ群 5602\_\_1 ~ 5602\_\_M は、画素部と同一基板上に形成されていることが望ましい。したがって、ドライバ IC 5601 とスイッチ群 5602\_\_1 ~ 5602\_\_M とは FPC などを通して接続するとよい。

30

【0112】

次に、図 12 に示した信号線駆動回路の動作について、図 13 のタイミングチャートを参照して説明する。なお、図 13 のタイミングチャートは、 $i$  行目の走査線  $G_i$  が選択されている場合のタイミングチャートを示している。さらに、 $i$  行目の走査線  $G_i$  の選択期間は、第 1 のサブ選択期間  $T_1$ 、第 2 のサブ選択期間  $T_2$  及び第 3 のサブ選択期間  $T_3$  に分割されている。さらに、図 12 の信号線駆動回路は、他の行の走査線が選択されている場合でも図 13 と同様の動作をする。

【0113】

なお、図 13 のタイミングチャートは、 $J$  列目の配線 5621\_\_J が第 1 の薄膜トランジスタ 5603 a、第 2 の薄膜トランジスタ 5603 b 及び第 3 の薄膜トランジスタ 5603 c を介して、信号線  $S_{j-1}$ 、信号線  $S_j$ 、信号線  $S_{j+1}$  に接続される場合について示している。

40

【0114】

なお、図 13 のタイミングチャートは、 $i$  行目の走査線  $G_i$  が選択されるタイミング、第 1 の薄膜トランジスタ 5603 a のオン・オフのタイミング 5703 a、第 2 の薄膜トランジスタ 5603 b のオン・オフのタイミング 5703 b、第 3 の薄膜トランジスタ 5603 c のオン・オフのタイミング 5703 c 及び  $J$  列目の配線 5621\_\_J に入力される信号 5721\_\_J を示している。

50

## 【0115】

なお、配線5621\_\_1～配線5621\_\_Mには第1のサブ選択期間T1、第2のサブ選択期間T2及び第3のサブ選択期間T3において、それぞれ別のビデオ信号が入力される。例えば、第1のサブ選択期間T1において配線5621\_\_Jに入力されるビデオ信号は信号線S<sub>j-1</sub>に入力され、第2のサブ選択期間T2において配線5621\_\_Jに入力されるビデオ信号は信号線S<sub>j</sub>に入力され、第3のサブ選択期間T3において配線5621\_\_Jに入力されるビデオ信号は信号線S<sub>j+1</sub>に入力される。さらに、第1のサブ選択期間T1、第2のサブ選択期間T2及び第3のサブ選択期間T3において、配線5621\_\_Jに入力されるビデオ信号をそれぞれData\_\_j-1、Data\_\_j、Data\_\_j+1とする。

10

## 【0116】

図13に示すように、第1のサブ選択期間T1において第1の薄膜トランジスタ5603aがオンし、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621\_\_Jに入力されるData\_\_j-1が、第1の薄膜トランジスタ5603aを介して信号線S<sub>j-1</sub>に入力される。第2のサブ選択期間T2では、第2の薄膜トランジスタ5603bがオンし、第1の薄膜トランジスタ5603a及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621\_\_Jに入力されるData\_\_jが、第2の薄膜トランジスタ5603bを介して信号線S<sub>j</sub>に入力される。第3のサブ選択期間T3では、第3の薄膜トランジスタ5603cがオンし、第1の薄膜トランジスタ5603a及び第2の薄膜トランジスタ5603bがオフする。この

20

## 【0117】

以上のことから、図12の信号線駆動回路は、1ゲート選択期間を3つに分割することで、1ゲート選択期間中に1つの配線5621から3つの信号線にビデオ信号を入力することができる。したがって、図12の信号線駆動回路は、ドライバIC5601が形成される基板と、画素部が形成されている基板との接続数を信号線の数に比べて約1/3にすることができる。接続数が約1/3になることによって、図12の信号線駆動回路は、信頼性、歩留まりなどを向上できる。

## 【0118】

なお、図12のように、1ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいて、ある1つの配線から複数の信号線それぞれにビデオ信号を入力することができれば、薄膜トランジスタの配置や数、駆動方法などは限定されない。

30

## 【0119】

例えば、3つ以上のサブ選択期間それぞれにおいて1つの配線から3つ以上の信号線それぞれにビデオ信号を入力する場合は、薄膜トランジスタ及び薄膜トランジスタを制御するための配線を追加すればよい。ただし、1ゲート選択期間を4つ以上のサブ選択期間に分割すると、1つのサブ選択期間が短くなる。したがって、1ゲート選択期間は、2つ又は3つのサブ選択期間に分割されることが望ましい。

## 【0120】

別の例として、図14のタイミングチャートに示すように、1つの選択期間をプリチャージ期間T<sub>p</sub>、第1のサブ選択期間T1、第2のサブ選択期間T2、第3のサブ選択期間T3に分割してもよい。さらに、図14のタイミングチャートは、i行目の走査線G<sub>i</sub>が選択されるタイミング、第1の薄膜トランジスタ5603aのオン・オフのタイミング5803a、第2の薄膜トランジスタ5603bのオン・オフのタイミング5803b、第3の薄膜トランジスタ5603cのオン・オフのタイミング5803c及びJ列目の配線5621\_\_Jに入力される信号5821\_\_Jを示している。図14に示すように、プリチャージ期間T<sub>p</sub>において第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオンする。このとき、配線5621\_\_Jに入力されるプリチャージ電圧V<sub>p</sub>が第1の薄膜トランジスタ5603a、第2の薄膜ト

40

50

ランジスタ 5603b 及び第 3 の薄膜トランジスタ 5603c を介してそれぞれ信号線  $S_{j-1}$ 、信号線  $S_j$ 、信号線  $S_{j+1}$  に入力される。第 1 のサブ選択期間  $T_1$  において第 1 の薄膜トランジスタ 5603a がオンし、第 2 の薄膜トランジスタ 5603b 及び第 3 の薄膜トランジスタ 5603c がオフする。このとき、配線 5621 $\_j$  に入力される  $Data_{j-1}$  が、第 1 の薄膜トランジスタ 5603a を介して信号線  $S_{j-1}$  に入力される。第 2 のサブ選択期間  $T_2$  では、第 2 の薄膜トランジスタ 5603b がオンし、第 1 の薄膜トランジスタ 5603a 及び第 3 の薄膜トランジスタ 5603c がオフする。このとき、配線 5621 $\_j$  に入力される  $Data_j$  が、第 2 の薄膜トランジスタ 5603b を介して信号線  $S_j$  に入力される。第 3 のサブ選択期間  $T_3$  では、第 3 の薄膜トランジスタ 5603c がオンし、第 1 の薄膜トランジスタ 5603a 及び第 2 の薄膜トランジスタ 5603b がオフする。このとき、配線 5621 $\_j$  に入力される  $Data_{j+1}$  が、第 3 の薄膜トランジスタ 5603c を介して信号線  $S_{j+1}$  に入力される。

10

## 【0121】

以上のことから、図 14 のタイミングチャートを適用した図 12 の信号線駆動回路は、サブ選択期間の前にプリチャージ期間を設けることによって、信号線をプリチャージできるため、画素へのビデオ信号の書き込みを高速に行うことができる。なお、図 14 において、図 13 と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

## 【0122】

また、走査線駆動回路の構成について説明する。走査線駆動回路は、シフトレジスタ、バッファを有している。また場合によってはレベルシフトを有していても良い。走査線駆動回路において、シフトレジスタにクロック信号 (CLK) 及びスタートパルス信号 (SP) が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1 ライン分の画素のトランジスタのゲート電極が接続されている。そして、1 ライン分の画素のトランジスタを一斉に ON にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

20

## 【0123】

走査線駆動回路の一部に用いるシフトレジスタの一形態について図 15 及び図 16 を用いて説明する。

30

## 【0124】

図 15 にシフトレジスタの回路構成を示す。図 15 に示すシフトレジスタは、複数のフリップフロップ (フリップフロップ 5701 $\_1$  ~ 5701 $\_n$ ) で構成される。また、第 1 のクロック信号、第 2 のクロック信号、スタートパルス信号、リセット信号が入力されて動作する。

## 【0125】

図 15 のシフトレジスタの接続関係について説明する。図 15 のシフトレジスタは、 $i$  段目のフリップフロップ 5701 $\_i$  (フリップフロップ 5701 $\_1$  ~ 5701 $\_n$  のうちいずれか) は、図 16 に示した第 1 の配線 5501 が第 7 の配線 5717 $\_{i-1}$  に接続され、図 16 に示した第 2 の配線 5502 が第 7 の配線 5717 $\_{i+1}$  に接続され、図 16 に示した第 3 の配線 5503 が第 7 の配線 5717 $\_i$  に接続され、図 16 に示した第 6 の配線 5506 が第 5 の配線 5715 に接続される。

40

## 【0126】

また、図 16 に示した第 4 の配線 5504 が奇数段目のフリップフロップでは第 2 の配線 5712 に接続され、偶数段目のフリップフロップでは第 3 の配線 5713 に接続され、図 16 に示した第 5 の配線 5505 が第 4 の配線 5714 に接続される。

## 【0127】

ただし、1 段目のフリップフロップ 5701 $\_1$  の図 16 に示す第 1 の配線 5501 は第 1 の配線 5711 に接続され、 $n$  段目のフリップフロップ 5701 $\_n$  の図 16 に示す第 2 の配線 5502 は第 6 の配線 5716 に接続される。

50

## 【 0 1 2 8 】

なお、第 1 の配線 5 7 1 1、第 2 の配線 5 7 1 2、第 3 の配線 5 7 1 3、第 6 の配線 5 7 1 6 を、それぞれ第 1 の信号線、第 2 の信号線、第 3 の信号線、第 4 の信号線と呼んでもよい。さらに、第 4 の配線 5 7 1 4、第 5 の配線 5 7 1 5 を、それぞれ第 1 の電源線、第 2 の電源線と呼んでもよい。

## 【 0 1 2 9 】

次に、図 1 5 に示すフリップフロップの詳細について、図 1 6 に示す。図 1 6 に示すフリップフロップは、第 1 の薄膜トランジスタ 5 5 7 1、第 2 の薄膜トランジスタ 5 5 7 2、第 3 の薄膜トランジスタ 5 5 7 3、第 4 の薄膜トランジスタ 5 5 7 4、第 5 の薄膜トランジスタ 5 5 7 5、第 6 の薄膜トランジスタ 5 5 7 6、第 7 の薄膜トランジスタ 5 5 7 7 及び第 8 の薄膜トランジスタ 5 5 7 8 を有する。なお、第 1 の薄膜トランジスタ 5 5 7 1、第 2 の薄膜トランジスタ 5 5 7 2、第 3 の薄膜トランジスタ 5 5 7 3、第 4 の薄膜トランジスタ 5 5 7 4、第 5 の薄膜トランジスタ 5 5 7 5、第 6 の薄膜トランジスタ 5 5 7 6、第 7 の薄膜トランジスタ 5 5 7 7 及び第 8 の薄膜トランジスタ 5 5 7 8 は、n チャネル型トランジスタであり、ゲート・ソース間電圧 ( $V_{gs}$ ) がしきい値電圧 ( $V_{th}$ ) を上回ったとき導通状態になるものとする。

10

## 【 0 1 3 0 】

次に、図 1 6 に示すフリップフロップの接続構成について、以下に示す。

## 【 0 1 3 1 】

第 1 の薄膜トランジスタ 5 5 7 1 の第 1 の電極 (ソース電極またはドレイン電極の一方) が第 4 の配線 5 5 0 4 に接続され、第 1 の薄膜トランジスタ 5 5 7 1 の第 2 の電極 (ソース電極またはドレイン電極の他方) が第 3 の配線 5 5 0 3 に接続される。

20

## 【 0 1 3 2 】

第 2 の薄膜トランジスタ 5 5 7 2 の第 1 の電極が第 6 の配線 5 5 0 6 に接続され、第 2 の薄膜トランジスタ 5 5 7 2 の第 2 の電極が第 3 の配線 5 5 0 3 に接続される。

## 【 0 1 3 3 】

第 3 の薄膜トランジスタ 5 5 7 3 の第 1 の電極が第 5 の配線 5 5 0 5 に接続され、第 3 の薄膜トランジスタ 5 5 7 3 の第 2 の電極が第 2 の薄膜トランジスタ 5 5 7 2 のゲート電極に接続され、第 3 の薄膜トランジスタ 5 5 7 3 のゲート電極が第 5 の配線 5 5 0 5 に接続される。

30

## 【 0 1 3 4 】

第 4 の薄膜トランジスタ 5 5 7 4 の第 1 の電極が第 6 の配線 5 5 0 6 に接続され、第 4 の薄膜トランジスタ 5 5 7 4 の第 2 の電極が第 2 の薄膜トランジスタ 5 5 7 2 のゲート電極に接続され、第 4 の薄膜トランジスタ 5 5 7 4 のゲート電極が第 1 の薄膜トランジスタ 5 5 7 1 のゲート電極に接続される。

## 【 0 1 3 5 】

第 5 の薄膜トランジスタ 5 5 7 5 の第 1 の電極が第 5 の配線 5 5 0 5 に接続され、第 5 の薄膜トランジスタ 5 5 7 5 の第 2 の電極が第 1 の薄膜トランジスタ 5 5 7 1 のゲート電極に接続され、第 5 の薄膜トランジスタ 5 5 7 5 のゲート電極が第 1 の配線 5 5 0 1 に接続される。

40

## 【 0 1 3 6 】

第 6 の薄膜トランジスタ 5 5 7 6 の第 1 の電極が第 6 の配線 5 5 0 6 に接続され、第 6 の薄膜トランジスタ 5 5 7 6 の第 2 の電極が第 1 の薄膜トランジスタ 5 5 7 1 のゲート電極に接続され、第 6 の薄膜トランジスタ 5 5 7 6 のゲート電極が第 2 の薄膜トランジスタ 5 5 7 2 のゲート電極に接続される。

## 【 0 1 3 7 】

第 7 の薄膜トランジスタ 5 5 7 7 の第 1 の電極が第 6 の配線 5 5 0 6 に接続され、第 7 の薄膜トランジスタ 5 5 7 7 の第 2 の電極が第 1 の薄膜トランジスタ 5 5 7 1 のゲート電極に接続され、第 7 の薄膜トランジスタ 5 5 7 7 のゲート電極が第 2 の配線 5 5 0 2 に接続される。第 8 の薄膜トランジスタ 5 5 7 8 の第 1 の電極が第 6 の配線 5 5 0 6 に接続され

50

、第 8 の薄膜トランジスタ 5 5 7 8 の第 2 の電極が第 2 の薄膜トランジスタ 5 5 7 2 のゲート電極に接続され、第 8 の薄膜トランジスタ 5 5 7 8 のゲート電極が第 1 の配線 5 5 0 1 に接続される。

【 0 1 3 8 】

なお、第 1 の薄膜トランジスタ 5 5 7 1 のゲート電極、第 4 の薄膜トランジスタ 5 5 7 4 のゲート電極、第 5 の薄膜トランジスタ 5 5 7 5 の第 2 の電極、第 6 の薄膜トランジスタ 5 5 7 6 の第 2 の電極及び第 7 の薄膜トランジスタ 5 5 7 7 の第 2 の電極の接続箇所をノード 5 5 4 3 とする。さらに、第 2 の薄膜トランジスタ 5 5 7 2 のゲート電極、第 3 の薄膜トランジスタ 5 5 7 3 の第 2 の電極、第 4 の薄膜トランジスタ 5 5 7 4 の第 2 の電極、第 6 の薄膜トランジスタ 5 5 7 6 のゲート電極及び第 8 の薄膜トランジスタ 5 5 7 8 の第 2 の電極の接続箇所をノード 5 5 4 4 とする。

10

【 0 1 3 9 】

なお、第 1 の配線 5 5 0 1、第 2 の配線 5 5 0 2、第 3 の配線 5 5 0 3 及び第 4 の配線 5 5 0 4 を、それぞれ第 1 の信号線、第 2 の信号線、第 3 の信号線、第 4 の信号線と呼んでもよい。さらに、第 5 の配線 5 5 0 5 を第 1 の電源線、第 6 の配線 5 5 0 6 を第 2 の電源線と呼んでもよい。

【 0 1 4 0 】

また、信号線駆動回路及び走査線駆動回路を、実施の形態 2 又は 3 で示す非線形素子と共に同様の方法で形成できる n チャネル型 T F T のみをつかって作製することも可能である。実施の形態 2 又は 3 で示す非線形素子と共に同様の方法で形成できる n チャネル型 T F T はトランジスタの移動度が大きいため、駆動回路の駆動周波数を高くすることが可能となる。また、実施の形態 2 又は 3 で示す非線形素子と共に同様の方法で形成できる n チャネル型 T F T はインジウム、ガリウム、及び亜鉛を含む酸素欠乏酸化物半導体層であるソース領域又はドレイン領域により寄生容量が低減されるため、周波数特性 ( f 特性と呼ばれる ) が高い。例えば、実施の形態 2 又は 3 で示す非線形素子と共に同様の方法で形成できる n チャネル型 T F T を用いた走査線駆動回路は、高速に動作させることが出来るため、フレーム周波数を高くすること、または、黒画面挿入を実現することなども実現することが出来る。

20

【 0 1 4 1 】

さらに、走査線駆動回路のトランジスタのチャンネル幅を大きくすることや、複数の走査線駆動回路を配置することなどによって、さらに高いフレーム周波数を実現することが出来る。複数の走査線駆動回路を配置する場合は、偶数行の走査線を駆動する為の走査線駆動回路を片側に配置し、奇数行の走査線を駆動するための走査線駆動回路をその反対側に配置することにより、フレーム周波数を高くすることを実現することが出来る。

30

【 0 1 4 2 】

また、本発明の一態様を適用した半導体装置の一例であるアクティブマトリクス型発光表示装置を作製する場合、少なくとも一つの画素に複数の薄膜トランジスタを配置するため、走査線駆動回路を複数配置することが好ましい。アクティブマトリクス型発光表示装置のブロック図の一例を図 1 1 ( B ) に示す。

【 0 1 4 3 】

図 1 1 ( B ) に示す発光表示装置は、基板 5 4 0 0 上に表示素子を備えた画素を複数有する画素部 5 4 0 1 と、各画素を選択する第 1 の走査線駆動回路 5 4 0 2 及び第 2 の走査線駆動回路 5 4 0 4 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 5 4 0 3 とを有する。

40

【 0 1 4 4 】

図 1 1 ( B ) に示す発光表示装置の画素に入力されるビデオ信号をデジタル形式とする場合、画素はトランジスタのオンとオフの切り替えによって、発光もしくは非発光の状態となる。よって、面積階調法または時間階調法を用いて階調の表示を行うことができる。面積階調法は、1 画素を複数の副画素に分割し、各副画素を独立にビデオ信号に基づいて駆動させることによって、階調表示を行う駆動法である。また時間階調法は、画素が発光す

50

る期間を制御することによって、階調表示を行う駆動法である。

【0145】

発光素子は、液晶素子などに比べて応答速度が高いので、液晶素子よりも時間階調法に適用している。具体的に時間階調法で表示を行なう場合、1フレーム期間を複数のサブフレーム期間に分割する。そしてビデオ信号に従い、各サブフレーム期間において画素の発光素子を発光または非発光の状態にする。複数のサブフレーム期間に分割することによって、1フレーム期間中に画素が実際に発光する期間のトータルの長さを、ビデオ信号により制御することができ、階調を表示することができる。

【0146】

なお、図11(B)に示す発光表示装置では、一つの画素にスイッチング用TFTと、電流制御用TFTとの2つを配置する場合、スイッチング用TFTのゲート配線である第1の走査線に入力される信号を第1走査線駆動回路5402で生成し、電流制御用TFTのゲート配線である第2の走査線に入力される信号を第2の走査線駆動回路5404で生成している例を示しているが、第1の走査線に入力される信号と、第2の走査線に入力される信号とを、共に1つの走査線駆動回路で生成するようにしても良い。また、例えば、スイッチング素子が有する各トランジスタの数によって、スイッチング素子の動作を制御するのに用いられる第1の走査線が、各画素に複数設けられることもあり得る。この場合、複数の第1の走査線に入力される信号を、全て1つの走査線駆動回路で生成しても良いし、複数の各走査線駆動回路で生成しても良い。

【0147】

また、発光表示装置においても、駆動回路のうち、nチャンネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成することができる。また、信号線駆動回路及び走査線駆動回路を実施の形態2又は3で示す非線形素子と共に同様の方法で形成できるnチャンネル型TFTのみで作製することも可能である。

【0148】

また、上述した駆動回路は、液晶表示装置や発光表示装置に限らず、スイッチング素子と電氣的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置(電気泳動ディスプレイ)も呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【0149】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの(無色を含む)とする。

【0150】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。電気泳動ディスプレイは、液晶表示装置には必要な偏光板、対向基板も必要なく、厚さや重さが半減する。

【0151】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0152】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態2又は3で示す非

10

20

30

40

50

線形素子と共に同様の方法で形成できる薄膜トランジスタによって得られるアクティブマトリクス基板を用いることができる。

【0153】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【0154】

本実施の形態によれば、酸化物半導体を用いた非線形素子で保護回路を構成することにより、保護回路として適した構造を有する表示装置を得ることができる。非線形素子の第1酸化物半導体層と配線層との接続構造において、第1酸化物半導体層よりも電気伝導度が高い第2酸化物半導体層と接合する領域を設けることで、金属配線の場合に比べて、安定動作をさせることが可能となる。それにより保護回路の機能を高め動作の安定化を図ることができる。このように、本実施の形態によれば、信頼性の高い表示装置を作製することができる。また、実施の形態3と同様の構成を用いることにより薄膜の剥がれに起因する不良が起こりにくい非線形素子からなる保護回路を搭載した信頼性の高い表示装置を作製することができる。

10

【0155】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

20

【0156】

(実施の形態6)

本発明の一態様の非線形素子と共に薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置(表示装置ともいう)を作製することができる。また、本発明の一態様の非線形素子と薄膜トランジスタを駆動回路の一部または全体に用い、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0157】

表示装置は表示素子を含む。表示素子としては液晶素子(液晶表示素子ともいう)、発光素子(発光表示素子ともいう)を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL(Electro Luminescence)、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

30

【0158】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに本発明の一態様は、該表示装置を作製する過程における、表示素子が完成する前の形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

40

【0159】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源(照明装置含む)を指す。また、コネクタ、例えばFPC(Flexible printed circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG(Chip On Glass)方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。

【0160】

50

本実施の形態では、本発明の一態様の表示装置の一形態に相当する液晶表示パネルの外観及び断面について、図17を用いて説明する。図17は、非線形素子と共に同様の方法で作成できる電気特性の高い薄膜トランジスタ4010、4011、及び液晶素子4013を、第1の基板4001と第2の基板4006との間にシール材4005によって封止したパネルの上面図であり、図17(B)は、図17(A1)(A2)のM-Nにおける断面図に相当する。

【0161】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001と第2の基板4006との間のシール材4005によって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

10

【0162】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図17(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図17(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

20

【0163】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図17(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4020、4021が設けられている。

【0164】

薄膜トランジスタ4010、4011はプラズマ処理されたゲート絶縁層と、酸素欠乏のIGZO半導体膜からなるソース領域及びドレイン領域と、ソース領域及びドレイン領域に接するソース電極層及びドレイン電極層と、ソース領域及びドレイン領域に接する酸素過剰のIGZO半導体層を有する電気特性の高い薄膜トランジスタであって、実施の形態2で示す非線形素子と共に同様に作製できる。また、本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

30

【0165】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

40

【0166】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiber glass - Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【0167】

また4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するため

50



に設けられている。なお球状のスペーサを用いても良い。

【0168】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008を形成する。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が $10\mu\text{s}$ ~ $100\mu\text{s}$ と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

【0169】

なお本実施の形態は透過型液晶表示装置の例であるが、本発明の一態様は反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

【0170】

また、本実施の形態の液晶表示装置では、基板の外側(視認側)に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

【0171】

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、実施の形態2で示す非線形素子と、非線形素子と同様の方法で形成できる薄膜トランジスタを保護膜や平坦化絶縁膜として機能する絶縁層(絶縁層4020、絶縁層4021)で覆う構成となっている。なお、保護膜は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護膜は、スパッタ法を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、又は窒化酸化アルミニウム膜の単層、又は積層で形成すればよい。本実施の形態では保護膜をスパッタ法で形成する例を示すが、特に限定されず種々の方法で形成すればよい。

【0172】

ここでは、保護膜として積層構造の絶縁層4020を形成する。ここでは、絶縁層4020の一層目として、スパッタ法を用いて酸化珪素膜を形成する。保護膜として酸化珪素膜を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム膜のヒロック防止に効果がある。

【0173】

また、絶縁層4020の二層目として、スパッタ法を用いて窒化珪素膜を形成する。保護膜として窒化珪素膜を用いると、ナトリウム等の可動イオンが半導体領域中に侵入して、TFTの電気特性を変化させることを抑制することができる。

【0174】

また、保護膜を形成した後に、IGZO半導体層のアニール(300~400)を行ってもよい。

【0175】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(low-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることができる。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、またはアリアル基のうち少なくとも1種を有していてもよい。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

【0176】

10

20

30

40

50

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成された Si - O - Si 結合を含む樹脂に相当する。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、または芳香族炭化水素のうち、少なくとも 1 種を有していてもよい。

【0177】

絶縁層 4021 の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG 法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層 4021 を材料液を用いて形成する場合、ベークする工程で同時に、IGZO 半導体層のアニール（300 ~ 400）を行ってもよい。絶縁層 4021 の焼成工程と IGZO 半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

10

【0178】

画素電極層 4030、対向電極層 4031 は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITO と示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0179】

また、画素電極層 4030、対向電極層 4031 として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が 10000 / 以下、波長 550 nm における透光率が 70% 以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が 0.1 · cm 以下であることが好ましい。

20

【0180】

導電性高分子としては、いわゆる電子共役系導電性高分子を用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの 2 種以上の共重合体などがあげられる。

【0181】

また別途形成された信号線駆動回路 4003 と、走査線駆動回路 4004 と画素部 4002 に与えられる各種信号及び電位は、FPC 4018 から供給されている。

30

【0182】

本実施の形態では、接続端子電極 4015 が、液晶素子 4013 が有する画素電極層 4030 と同じ導電膜から形成され、端子電極 4016 は、薄膜トランジスタ 4010、4011 のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【0183】

接続端子電極 4015 は、FPC 4018 が有する端子と、異方性導電膜 4019 を介して電氣的に接続されている。

【0184】

また図 17 においては、信号線駆動回路 4003 を別途形成し、第 1 の基板 4001 に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

40

【0185】

図 18 は、本発明の一態様を適用して作製される TFT 基板 2600 を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

【0186】

図 18 は液晶表示モジュールの一例であり、TFT 基板 2600 と対向基板 2601 がシール材 2602 により固着され、その間に TFT 等を含む画素部 2603、液晶層を含む表示素子 2604、着色層 2605 が設けられ表示領域を形成している。着色層 2605 はカラー表示を行う場合に必要であり、RGB 方式の場合は、赤、緑、青の各色に対応し

50

た着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

#### 【0187】

液晶表示モジュールには、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment)、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) などを用いることができる。

10

#### 【0188】

本実施の形態によれば、酸化物半導体を用いた非線形素子で保護回路を構成することにより、保護回路として適した構造を有する表示装置を得ることができる。非線形素子の第1酸化物半導体層と配線層との接続構造において、第1酸化物半導体層よりも電気伝導度が高い第2酸化物半導体層と接合する領域を設けることで、金属配線の場合に比べて、安定動作をさせることが可能となる。それにより保護回路の機能を高め動作の安定化を図ることができる。このように、本実施の形態によれば、表示装置として信頼性の高い液晶表示パネルを作製することができる。また、実施の形態3と同様の構成を用いることにより薄膜の剥がれに起因する不良が起こりにくい非線形素子からなる保護回路を搭載した信頼性の高い液晶表示パネルを作製することができる。

20

#### 【0189】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

#### 【0190】

(実施の形態7)

本実施の形態では、本発明の一態様の表示装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を例示する。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

30

#### 【0191】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア(電子および正孔)が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

40

#### 【0192】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

50

## 【 0 1 9 3 】

図 19 は、本発明の一態様を適用した半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

## 【 0 1 9 4 】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは実施の形態 2 又は 3 で示す非線形素子と同様の方法で形成できる I G Z O 半導体層をチャンネル形成領域に用いる n チャンネル型のトランジスタを 1 つの画素に 2 つ用いる例を示す。

## 【 0 1 9 5 】

画素 6 4 0 0 は、スイッチング用トランジスタ 6 4 0 1、駆動用トランジスタ 6 4 0 2、発光素子 6 4 0 4 及び容量素子 6 4 0 3 を有している。スイッチング用トランジスタ 6 4 0 1 はゲートが走査線 6 4 0 6 に接続され、第 1 電極（ソース電極及びドレイン電極の一方）が信号線 6 4 0 5 に接続され、第 2 電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ 6 4 0 2 のゲートに接続されている。駆動用トランジスタ 6 4 0 2 は、ゲートが容量素子 6 4 0 3 を介して電源線 6 4 0 7 に接続され、第 1 電極が電源線 6 4 0 7 に接続され、第 2 電極が発光素子 6 4 0 4 の第 1 電極（画素電極）に接続されている。発光素子 6 4 0 4 の第 2 電極は共通電極 6 4 0 8 に相当する。

10

## 【 0 1 9 6 】

なお、発光素子 6 4 0 4 の第 2 電極（共通電極 6 4 0 8）には低電源電位が設定されている。なお、低電源電位とは、電源線 6 4 0 7 に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えば G N D、0 V などが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子 6 4 0 4 に印加して、発光素子 6 4 0 4 に電流を流して発光素子 6 4 0 4 を発光させるため、高電源電位と低電源電位との電位差が発光素子 6 4 0 4 の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

20

## 【 0 1 9 7 】

なお、容量素子 6 4 0 3 は駆動用トランジスタ 6 4 0 2 のゲート容量を代用して省略することも可能である。駆動用トランジスタ 6 4 0 2 のゲート容量については、チャンネル領域とゲート電極との間で容量が形成されていてもよい。

## 【 0 1 9 8 】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ 6 4 0 2 のゲートには、駆動用トランジスタ 6 4 0 2 が十分にオンするか、オフするかとの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ 6 4 0 2 は線形領域で動作させる。駆動用トランジスタ 6 4 0 2 は線形領域で動作させるため、電源線 6 4 0 7 の電圧よりも高い電圧を駆動用トランジスタ 6 4 0 2 のゲートにかける。なお、信号線 6 4 0 5 には、（電源線電圧 + 駆動用トランジスタ 6 4 0 2 の  $V_{th}$ ）以上の電圧をかける。

30

## 【 0 1 9 9 】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図 19 と同じ画素構成を用いることができる。

## 【 0 2 0 0 】

アナログ階調駆動を行う場合、駆動用トランジスタ 6 4 0 2 のゲートに発光素子 6 4 0 4 の順方向電圧 + 駆動用トランジスタ 6 4 0 2 の  $V_{th}$  以上の電圧をかける。発光素子 6 4 0 4 の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ 6 4 0 2 が飽和領域で動作するようなビデオ信号を入力することで、発光素子 6 4 0 4 に電流を流すことができる。駆動用トランジスタ 6 4 0 2 を飽和領域で動作させるため、電源線 6 4 0 7 の電位は、駆動用トランジスタ 6 4 0 2 のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子 6 4 0 4 にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

40

## 【 0 2 0 1 】

なお、図 19 に示す画素構成は、これに限定されない。例えば、図 19 に示す画素に新た

50

にスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

【0202】

次に、発光素子の構成について、図20を用いて説明する。ここでは、駆動用TFTがn型の場合を例に挙げて、画素の断面構造について説明する。図20(A)(B)(C)の半導体装置に用いられる駆動用TFT7001、7011、7021は、実施の形態2で示す非線形素子と共に同様の方法で形成できる薄膜トランジスタであり、プラズマ処理されたゲート絶縁層と、酸素欠乏のIGZO半導体膜からなるソース領域及びドレイン領域と、ソース領域及びドレイン領域に接するソース電極層及びドレイン電極層と、ソース領域及びドレイン領域に接する酸素過剰のIGZO半導体層を有する電気特性の高い薄膜トランジスタである。

10

【0203】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側の面及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の一態様の画素構成はどの射出構造の発光素子にも適用することができる。

【0204】

上面射出構造の発光素子について図20(A)を用いて説明する。

【0205】

図20(A)に、駆動用TFT7001がn型で、発光素子7002から発せられる光が陽極7005側(基板とは反対側)に抜ける場合の、画素の断面図を示す。図20(A)では、発光素子7002の陰極7003と駆動用TFT7001が電氣的に接続されており、陰極7003上に発光層7004、陽極7005が順に積層されている。陰極7003は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々な材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。そして発光層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

20

30

【0206】

陰極7003及び陽極7005で発光層7004を挟んでいる領域が発光素子7002に相当する。図20(A)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように陽極7005側に射出する。

【0207】

次に、下面射出構造の発光素子について図20(B)を用いて説明する。駆動用TFT7011がn型で、発光素子7012から発せられる光が陰極7013側(基板側)に射出する場合の、画素の断面図を示す。図20(B)では、駆動用TFT7011と電氣的に接続された透光性を有する導電膜7017上に、発光素子7012の陰極7013が成膜されており、陰極7013上に発光層7014、陽極7015が順に積層されている。なお、陽極7015が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜7016が成膜されていてもよい。陰極7013は、図20(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウム膜を、陰極7013として用いることができる。そして発光層7014は、図20(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要は

40

50

ないが、図 20 (A) と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜 7016 は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

【0208】

陰極 7013 及び陽極 7015 で、発光層 7014 を挟んでいる領域が発光素子 7012 に相当する。図 20 (B) に示した画素の場合、発光素子 7012 から発せられる光は、矢印で示すように陰極 7013 側に射出する。

【0209】

次に、両面射出構造の発光素子について、図 20 (C) を用いて説明する。図 20 (C) では、駆動用 T F T 7021 と電氣的に接続された透光性を有する導電膜 7027 上に、発光素子 7022 の陰極 7023 が成膜されており、陰極 7023 上に発光層 7024、陽極 7025 が順に積層されている。陰極 7023 は、図 20 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 20 nm の膜厚を有する Al を、陰極 7023 として用いることができる。そして発光層 7024 は、図 20 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7025 は、図 20 (A) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

10

【0210】

陰極 7023 と、発光層 7024 と、陽極 7025 とが重なっている部分が発光素子 7022 に相当する。図 20 (C) に示した画素の場合、発光素子 7022 から発せられる光は、矢印で示すように陽極 7025 側と陰極 7023 側の両方に射出する。

20

【0211】

なお、ここでは、発光素子として有機 E L 素子について述べたが、発光素子として無機 E L 素子を設けることも可能である。

【0212】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ (駆動用 T F T) と発光素子が電氣的に接続されている例を示したが、駆動用 T F T と発光素子との間に電流制御用 T F T が接続されている構成であってもよい。

【0213】

なお本実施の形態で示す半導体装置は、図 20 に示した構成に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

30

【0214】

次に、本発明の一態様の半導体装置の一形態に相当する発光表示パネル (発光パネルともいう) の外観及び断面について、図 21 を用いて説明する。図 21 (A) は、本発明の一態様の非線形素子と共に同様の方法で第 1 の基板上に作製できる電気特性の高い薄膜トランジスタ及び発光素子を第 1 の基板と第 2 の基板との間にシール材によって封止したパネルの上面図であり、図 21 (B) は、図 21 (A) の H - I における断面図に相当する。

【0215】

第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503 a、4503 b、及び走査線駆動回路 4504 a、4504 b を囲むようにして、シール材 4505 が設けられている。また画素部 4502、信号線駆動回路 4503 a、4503 b、及び走査線駆動回路 4504 a、4504 b の上に第 2 の基板 4506 が設けられている。よって画素部 4502、信号線駆動回路 4503 a、4503 b、及び走査線駆動回路 4504 a、4504 b は、第 1 の基板 4501 とシール材 4505 と第 2 の基板 4506 とによって、充填材 4507 と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム (貼り合わせフィルム、紫外線硬化樹脂フィルム等) やカバー材でパッケージング (封入) することが好ましい。

40

【0216】

また、第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503 a、

50

4503b、及び走査線駆動回路4504a、4504bは、薄膜トランジスタを複数有しており、図21(B)では、画素部4502に含まれる薄膜トランジスタ4510と、信号線駆動回路4503aに含まれる薄膜トランジスタ4509とを例示している。

【0217】

薄膜トランジスタ4509、4510は、プラズマ処理されたゲート絶縁層と、酸素欠乏のIGZO半導体膜からなるソース領域及びドレイン領域と、ソース領域及びドレイン領域に接するソース電極層及びドレイン電極層と、ソース領域及びドレイン領域に接する酸素過剰のIGZO半導体層を有する電気特性の高い薄膜トランジスタであって、実施の形態2で示す非線形素子と共に同様に作製できる。また、本実施の形態において、薄膜トランジスタ4509、4510はnチャネル型薄膜トランジスタである。

10

【0218】

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、薄膜トランジスタ4510のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子4511の構成は、第1の電極層4517、電界発光層4512、第2の電極層4513の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

【0219】

隔壁4520は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極層4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

20

【0220】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0221】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、DLC膜等を形成することができる。

【0222】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

30

【0223】

本実施の形態では、接続端子電極4515が、発光素子4511が有する第1の電極層4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509、4510が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

【0224】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電氣的に接続されている。

【0225】

発光素子4511からの光の取り出し方向に位置する第2の基板4506は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

40

【0226】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。本実施の形態は充填材として窒素を用いる。

【0227】

50

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ / 4 板、 / 2 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

#### 【0228】

信号線駆動回路 4503 a、4503 b、及び走査線駆動回路 4504 a、4504 b は、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図 21 の構成に限定されない。

10

#### 【0229】

本実施の形態によれば、酸化物半導体を用いた非線形素子で保護回路を構成することにより、保護回路として適した構造を有する表示装置を得ることができる。非線形素子の第 1 酸化物半導体層と配線層との接続構造において、第 1 酸化物半導体層よりも電気伝導度が高い第 2 酸化物半導体層と接合する領域を設けることで、金属配線の場合に比べて、安定動作をさせることが可能となる。それにより保護回路の機能を高め動作の安定化を図ることができる。このように、本実施の形態によれば、表示装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。また、実施の形態 3 と同様の構成を用いることにより薄膜の剥がれに起因する不良が起こりにくい非線形素子からなる保護回路を搭載した信頼性の高い発光表示装置（表示パネル）を作製することができる。

20

#### 【0230】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

#### 【0231】

（実施の形態 8）

本発明の一態様の表示装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図 22、図 23 に示す。

30

#### 【0232】

図 22（A）は、電子ペーパーで作られたポスター 2631 を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、本発明の一態様を適用した電子ペーパーを用いれば短時間で広告の表示を変えることができる。また、表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

#### 【0233】

また、図 22（B）は、電車などの乗り物の車内広告 2632 を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、本発明の一態様を適用した電子ペーパーを用いれば人手を多くかけることなく短時間で広告の表示を変えることができる。また表示も崩れることなく安定した画像が得られる。なお、社内広告は無線で情報を送受信できる構成としてもよい。

40

#### 【0234】

また、図 23 は、電子書籍 2700 の一例を示している。例えば、電子書籍 2700 は、筐体 2701 および筐体 2703 の 2 つの筐体で構成されている。筐体 2701 および筐体 2703 は、軸部 2711 により一体とされており、該軸部 2711 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

#### 【0235】

筐体 2701 には表示部 2705 が組み込まれ、筐体 2703 には表示部 2707 が組み

50



込まれている。表示部 2705 および表示部 2707 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図 23 では表示部 2705）に文章を表示し、左側の表示部（図 23 では表示部 2707）に画像を表示することができる。

【0236】

また、図 23 では、筐体 2701 に操作部などを備えた例を示している。例えば、筐体 2701 において、電源 2721、操作キー 2723、スピーカ 2725などを備えている。操作キー 2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2700 は、電子辞書としての機能を持たせた構成としてもよい。

10

【0237】

また、電子書籍 2700 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0238】

本実施の形態の様に、酸化物半導体を用いた非線形素子で機能を高め動作の安定化を図られた保護回路を有する表示装置を電子機器に搭載することにより、信頼性の高い電子機器を提供できる。また、実施の形態 3 と同様の構成を用いることにより、薄膜の剥がれに起因する不良が起こりにくい非線形素子からなる保護回路を搭載した信頼性の高い表示装置を搭載した電子機器を作製することができる。

20

【0239】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0240】

（実施の形態 9）

本発明の一態様に係る半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

30

【0241】

図 24（A）は、テレビジョン装置 9600 の一例を示している。テレビジョン装置 9600 は、筐体 9601 に表示部 9603 が組み込まれている。表示部 9603 により、映像を表示することが可能である。また、ここでは、スタンド 9605 により筐体 9601 を支持した構成を示している。

【0242】

テレビジョン装置 9600 の操作は、筐体 9601 が備える操作スイッチや、別体のリモコン操作機 9610 により行うことができる。リモコン操作機 9610 が備える操作キー 9609 により、チャンネルや音量の操作を行うことができ、表示部 9603 に表示される映像を操作することができる。また、リモコン操作機 9610 に、当該リモコン操作機 9610 から出力する情報を表示する表示部 9607 を設ける構成としてもよい。

40

【0243】

なお、テレビジョン装置 9600 は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

50

## 【 0 2 4 4 】

図 2 4 ( B ) は、デジタルフォトフレーム 9 7 0 0 の一例を示している。例えば、デジタルフォトフレーム 9 7 0 0 は、筐体 9 7 0 1 に表示部 9 7 0 3 が組み込まれている。表示部 9 7 0 3 は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

## 【 0 2 4 5 】

なお、デジタルフォトフレーム 9 7 0 0 は、操作部、外部接続用端子 ( U S B 端子、U S B ケーブルなどの各種ケーブルと接続可能な端子など )、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部 9 7 0 3 に表示させることができる。

## 【 0 2 4 6 】

また、デジタルフォトフレーム 9 7 0 0 は、無線で情報を送受信出来る構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

## 【 0 2 4 7 】

図 2 5 ( A ) は携帯型遊技機であり、筐体 9 8 8 1 と筐体 9 8 9 1 の 2 つの筐体で構成されており、連結部 9 8 9 3 により、開閉可能に連結されている。筐体 9 8 8 1 には表示部 9 8 8 2 が組み込まれ、筐体 9 8 9 1 には表示部 9 8 8 3 が組み込まれている。また、図 2 5 ( A ) に示す携帯型遊技機は、その他、スピーカ部 9 8 8 4、記録媒体挿入部 9 8 8 6、LED ランプ 9 8 9 0、入力手段 ( 操作キー 9 8 8 5、接続端子 9 8 8 7、センサ 9 8 8 8 ( 力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの )、マイクロフォン 9 8 8 9 ) 等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本発明の一態様に係る半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図 2 5 ( A ) に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図 2 5 ( A ) に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

## 【 0 2 4 8 】

図 2 5 ( B ) は大型遊技機であるスロットマシン 9 9 0 0 の一例を示している。スロットマシン 9 9 0 0 は、筐体 9 9 0 1 に表示部 9 9 0 3 が組み込まれている。また、スロットマシン 9 9 0 0 は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン 9 9 0 0 の構成は上述のものに限定されず、少なくとも本発明の一態様に係る半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

## 【 0 2 4 9 】

図 2 6 は、携帯電話機 1 0 0 0 の一例を示している。携帯電話機 1 0 0 0 は、筐体 1 0 0 1 に組み込まれた表示部 1 0 0 2 の他、操作ボタン 1 0 0 3、外部接続ポート 1 0 0 4、スピーカ 1 0 0 5、マイク 1 0 0 6などを備えている。

## 【 0 2 5 0 】

図 2 6 に示す携帯電話機 1 0 0 0 は、表示部 1 0 0 2 を指などで触れることで、情報を入力することができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部 1 0 0 2 を指などで触れることにより行うことができる。

## 【 0 2 5 1 】

表示部 1 0 0 2 の画面は主として 3 つのモードがある。第 1 は、画像の表示を主とする表示モードであり、第 2 は、文字等の情報の入力を主とする入力モードである。第 3 は表示モードと入力モードの 2 つのモードが混合した表示 + 入力モードである。

## 【 0 2 5 2 】

10

20

30

40

50

例えば、電話を掛ける、或いはメールを作成する場合は、表示部 1 0 0 2 を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部 1 0 0 2 の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

【 0 2 5 3 】

また、携帯電話機 1 0 0 0 内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機 1 0 0 0 の向き（縦か横か）を判断して、表示部 1 0 0 2 の画面表示を自動的に切り替えるようにすることができる。

【 0 2 5 4 】

また、画面モードの切り替えは、表示部 1 0 0 2 を触れること、又は筐体 1 0 0 1 の操作ボタン 1 0 0 3 の操作により行われる。また、表示部 1 0 0 2 に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

10

【 0 2 5 5 】

また、入力モードにおいて、表示部 1 0 0 2 の光センサで検出される信号を検知し、表示部 1 0 0 2 のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【 0 2 5 6 】

表示部 1 0 0 2 は、イメージセンサとして機能させることもできる。例えば、表示部 1 0 0 2 に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

20

【 0 2 5 7 】

本実施の形態の様に、酸化物半導体を用いた非線形素子で機能を高め動作の安定化が図られた保護回路を有する表示装置を電子機器に搭載することにより、信頼性の高い電子機器を提供できる。また、実施の形態 3 と同様の構成を用いることにより、薄膜の剥がれに起因する不良が起こりにくい非線形素子からなる保護回路を搭載した信頼性の高い表示装置を搭載した電子機器を作製することができる。

【 0 2 5 8 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

30

【 符号の説明 】

【 0 2 5 9 】

- 1 0 基板
- 1 1 走査線入力端子
- 1 2 信号線入力端子
- 1 3 走査線
- 1 4 信号線
- 1 5 ゲート電極
- 1 6 ゲート電極
- 1 7 画素部
- 1 8 画素
- 1 9 画素トランジスタ
- 2 0 保持容量部
- 2 1 画素電極
- 2 2 容量線
- 2 3 共通端子
- 2 4 保護回路
- 2 5 保護回路
- 2 6 保護回路

40

50

2 7	容量バス線	
2 8	共通配線	
2 9	共通配線	
3 0	非線形素子	
3 0 a	非線形素子	
3 0 b	非線形素子	
3 1	非線形素子	
3 1 a	非線形素子	
3 1 b	非線形素子	
3 6	酸化物半導体層	10
3 7	ゲート絶縁層	
3 8	配線層	
3 9	配線層	
4 0	酸化物半導体層	
4 1	導電層	
4 2	層間絶縁層	
4 3	コンタクトホール	
4 4	配線層	
1 0 0	基板	
1 0 1	ゲート電極	20
1 0 2	ゲート絶縁層	
1 0 3	酸化物半導体層	
1 0 4 a	ソース領域	
1 0 4 b	ドレイン領域	
1 0 5 a	ソース電極層	
1 0 5 b	ドレイン電極層	
1 0 6 a	ソース領域	
1 0 6 b	ドレイン領域	
1 0 7	保護絶縁膜	
1 0 8	走査線	30
1 1 1 a	酸化物半導体層	
1 2 5	コンタクトホール	
1 2 6	コンタクトホール	
1 2 8	配線層	
5 8 0	基板	
5 8 1	薄膜トランジスタ	
5 8 3	層間絶縁膜	
5 8 4	絶縁層	
5 8 5	絶縁層	
5 8 7	電極層	40
5 8 8	電極層	
5 8 9	球形粒子	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
5 9 4	キャビティ	
5 9 5	充填材	
5 9 6	基板	
6 5 0	走査線	
6 5 1	共通配線	
7 3 0 a	非線形素子	50

7 3 0 b	非線形素子	
7 3 0 c	非線形素子	
7 4 0 a	非線形素子	
7 4 0 b	非線形素子	
7 4 0 c	非線形素子	
7 4 0 d	非線形素子	
1 0 0 0	携帯電話機	
1 0 0 1	筐体	
1 0 0 2	表示部	
1 0 0 3	操作ボタン	10
1 0 0 4	外部接続ポート	
1 0 0 5	スピーカ	
1 0 0 6	マイク	
2 6 0 0	T F T 基板	
2 6 0 1	対向基板	
2 6 0 2	シール材	
2 6 0 3	画素部	
2 6 0 4	表示素子	
2 6 0 5	着色層	
2 6 0 6	偏光板	20
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	
2 6 1 2	回路基板	
2 6 1 3	拡散板	
2 6 3 1	ポスター	
2 6 3 2	車内広告	
2 7 0 0	電子書籍	30
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	
4 0 0 1	基板	
4 0 0 2	画素部	40
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	50

4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 0 3 3	絶縁層	
4 0 3 5	スペーサ	
4 5 0 1	基板	10
4 5 0 2	画素部	
4 5 0 3 a	信号線駆動回路	
4 5 0 3 b	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	
4 5 0 3 b	信号線駆動回路	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	20
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	電極層	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 8 a	F P C	
4 5 1 8 b	F P C	
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	30
5 3 0 0	基板	
5 3 0 1	画素部	
5 3 0 2	走査線駆動回路	
5 3 0 3	信号線駆動回路	
5 4 0 0	基板	
5 4 0 1	画素部	
5 4 0 2	走査線駆動回路	
5 4 0 3	信号線駆動回路	
5 4 0 4	走査線駆動回路	
5 5 0 1	配線	40
5 5 0 2	配線	
5 5 0 3	配線	
5 5 0 4	配線	
5 5 0 5	配線	
5 5 0 6	配線	
5 5 4 3	ノード	
5 5 4 4	ノード	
5 5 7 1	薄膜トランジスタ	
5 5 7 2	薄膜トランジスタ	
5 5 7 3	薄膜トランジスタ	50

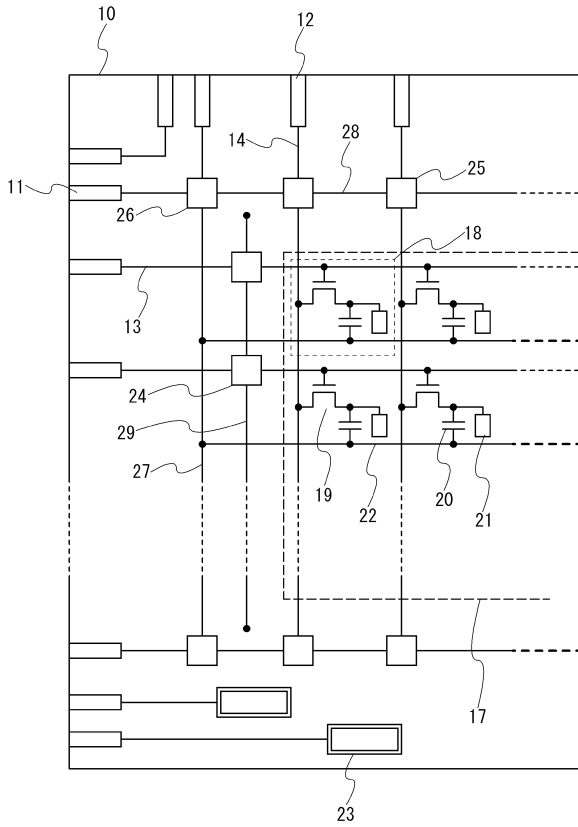
5 5 7 4	薄膜トランジスタ	
5 5 7 5	薄膜トランジスタ	
5 5 7 6	薄膜トランジスタ	
5 5 7 7	薄膜トランジスタ	
5 5 7 8	薄膜トランジスタ	
5 6 0 1	ドライバ I C	
5 6 0 2	スイッチ群	
5 6 0 3 a	薄膜トランジスタ	
5 6 0 3 b	薄膜トランジスタ	
5 6 0 3 c	薄膜トランジスタ	10
5 6 1 1	配線	
5 6 1 2	配線	
5 6 1 3	配線	
5 6 2 1	配線	
5 7 0 1	フリップフロップ	
5 7 0 3 a	タイミング	
5 7 0 3 b	タイミング	
5 7 0 3 c	タイミング	
5 7 1 1	配線	
5 7 1 2	配線	20
5 7 1 3	配線	
5 7 1 4	配線	
5 7 1 5	配線	
5 7 1 6	配線	
5 7 1 7	配線	
5 7 2 1	信号	
5 8 0 3 a	タイミング	
5 8 0 3 b	タイミング	
5 8 0 3 c	タイミング	
5 8 2 1	信号	30
6 4 0 0	画素	
6 4 0 1	スイッチング用トランジスタ	
6 4 0 2	駆動用トランジスタ	
6 4 0 3	容量素子	
6 4 0 4	発光素子	
6 4 0 5	信号線	
6 4 0 6	走査線	
6 4 0 7	電源線	
6 4 0 8	共通電極	
7 0 0 1	駆動用 T F T	40
7 0 0 2	発光素子	
7 0 0 3	陰極	
7 0 0 4	発光層	
7 0 0 5	陽極	
7 0 1 1	駆動用 T F T	
7 0 1 2	発光素子	
7 0 1 3	陰極	
7 0 1 4	発光層	
7 0 1 5	陽極	
7 0 1 6	遮蔽膜	50

7 0 1 7	導電膜	
7 0 2 1	駆動用 T F T	
7 0 2 2	発光素子	
7 0 2 3	陰極	
7 0 2 4	発光層	
7 0 2 5	陽極	
7 0 2 7	導電膜	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	10
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	
9 6 1 0	リモコン操作機	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	
9 7 0 3	表示部	
9 8 8 1	筐体	
9 8 8 2	表示部	
9 8 8 3	表示部	20
9 8 8 4	スピーカ部	
9 8 8 5	操作キー	
9 8 8 6	記録媒体挿入部	
9 8 8 7	接続端子	
9 8 8 8	センサ	
9 8 8 9	マイクロフォン	
9 8 9 0	L E D ランプ	
9 8 9 1	筐体	
9 8 9 3	連結部	
9 9 0 0	スロットマシン	30
9 9 0 1	筐体	
9 9 0 3	表示部	

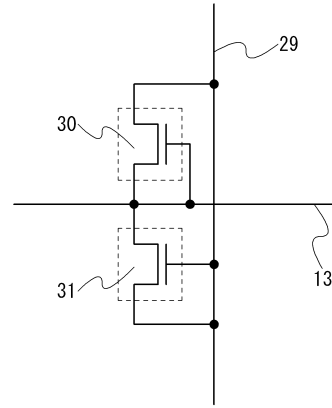


【 図面 】

【 図 1 】



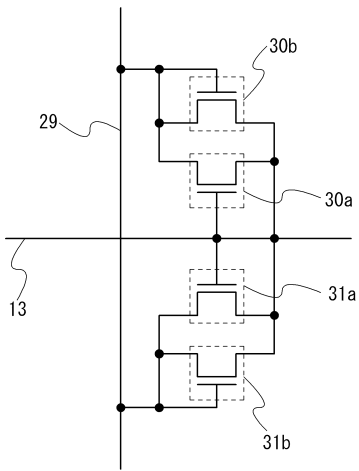
【 図 2 】



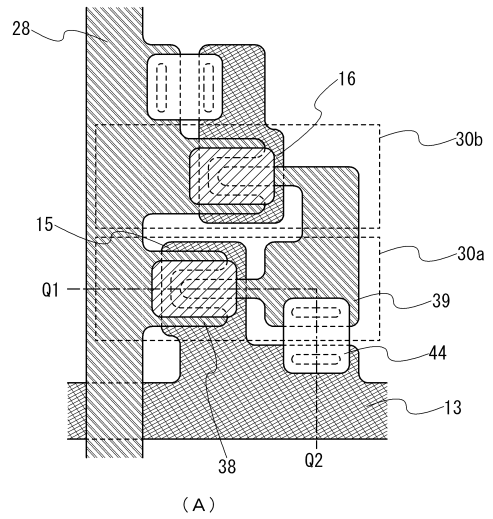
10

20

【 図 3 】

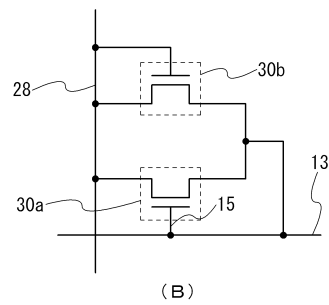


【 図 4 】



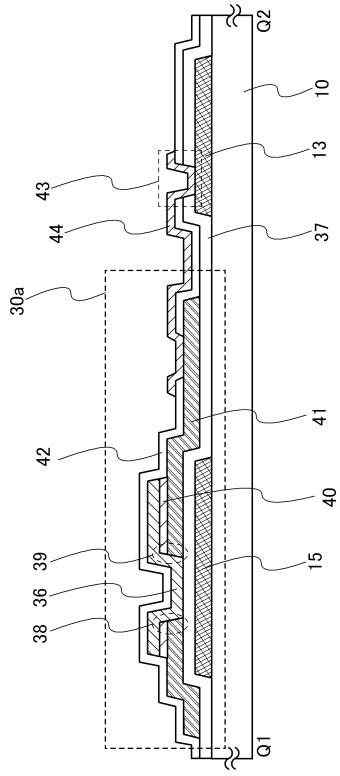
30

40

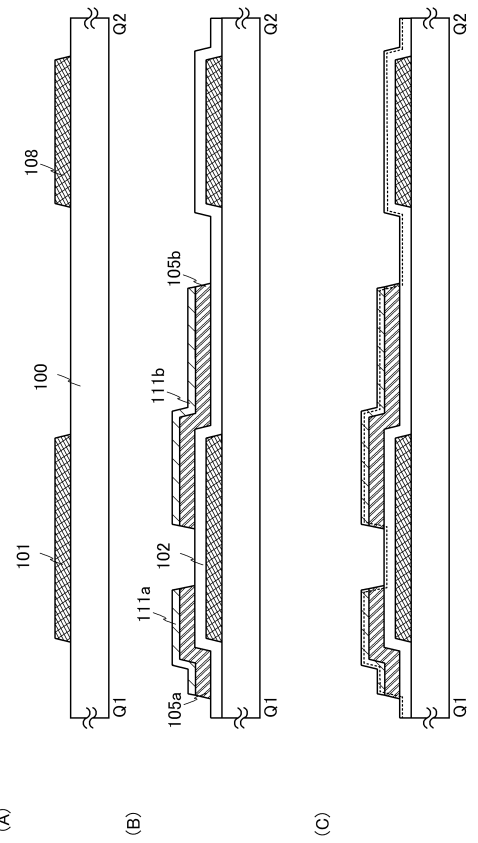


50

【 図 5 】

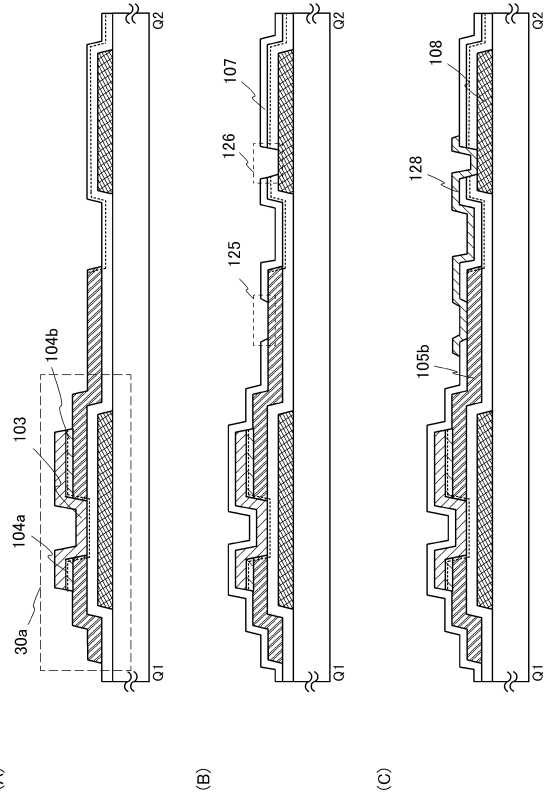


【 図 6 】



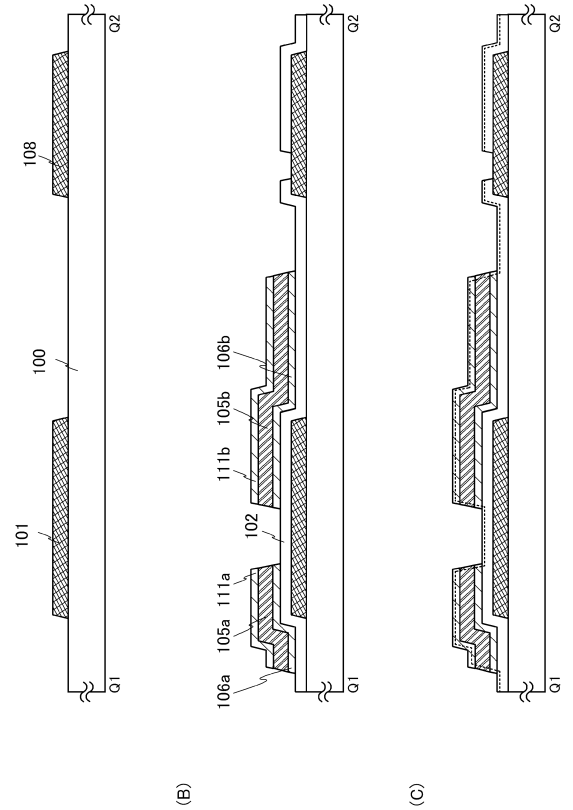
10  
20

【 図 7 】



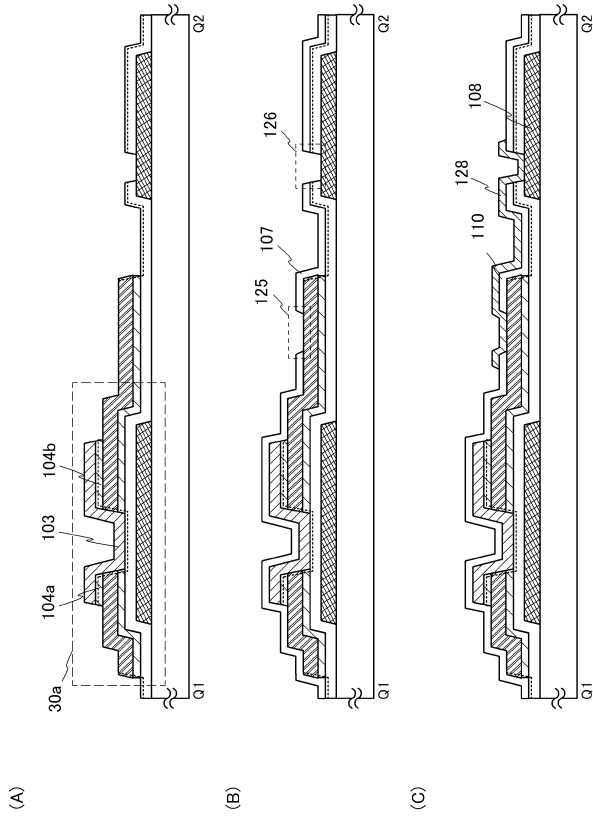
30  
40

【 図 8 】

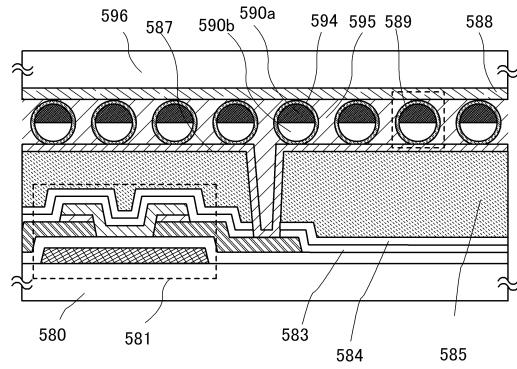


50

【 図 9 】



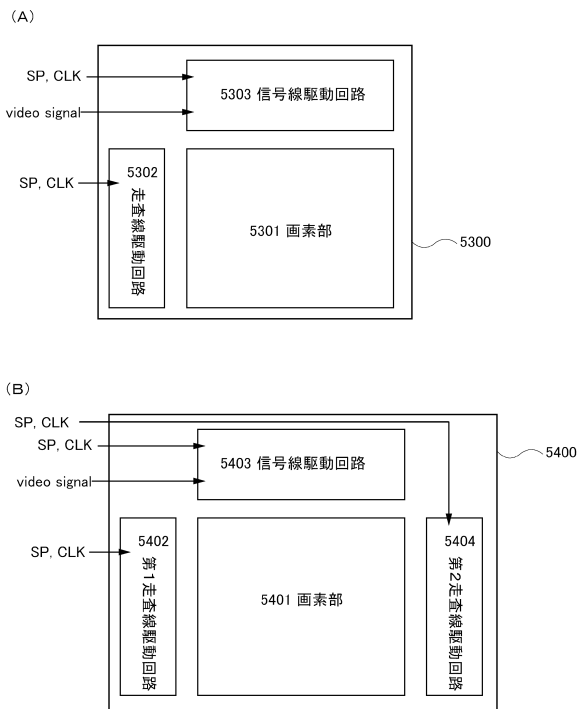
【 図 10 】



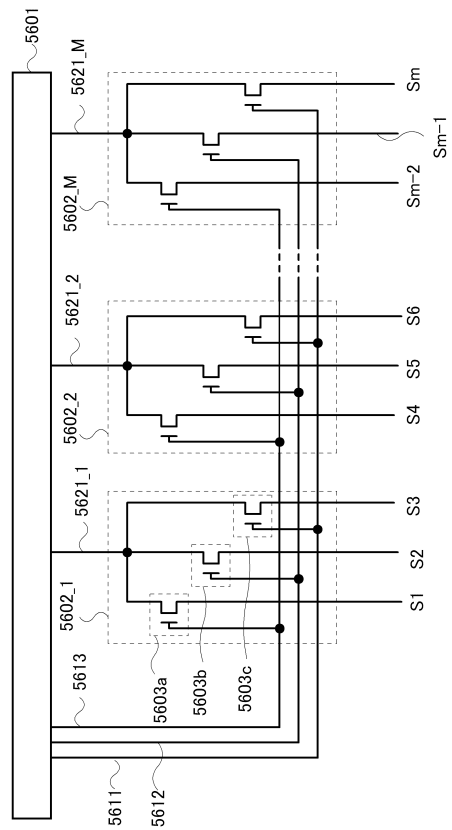
10

20

【 図 11 】



【 図 12 】

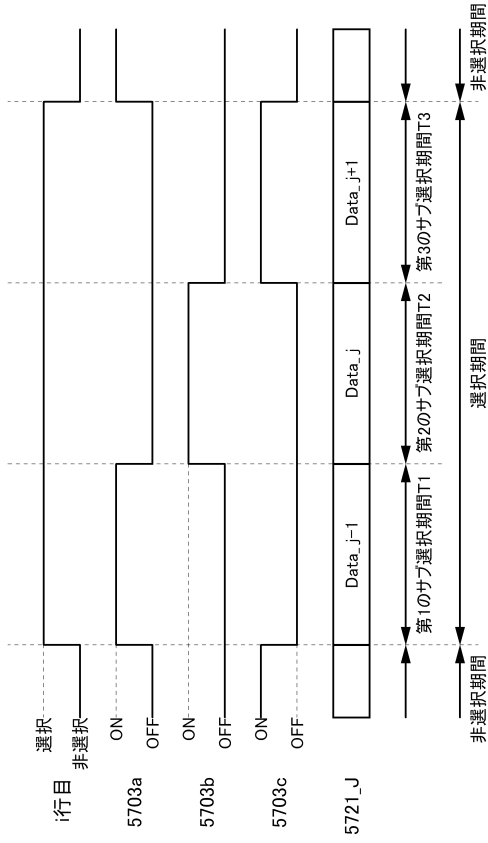


30

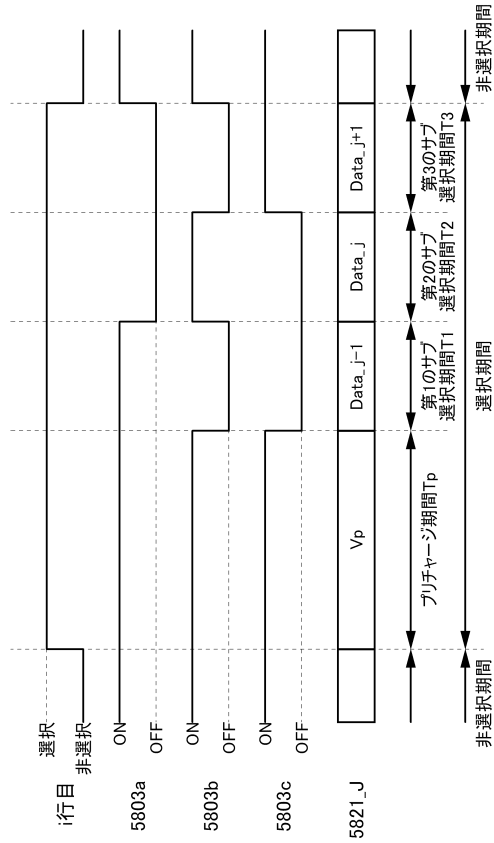
40

50

【 図 1 3 】



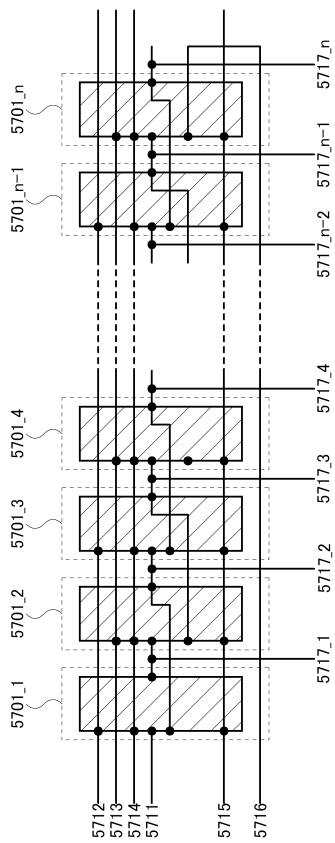
【 図 1 4 】



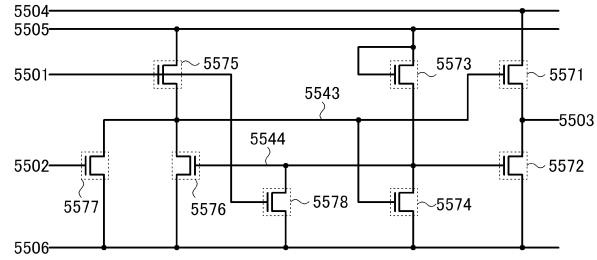
10

20

【 図 1 5 】



【 図 1 6 】

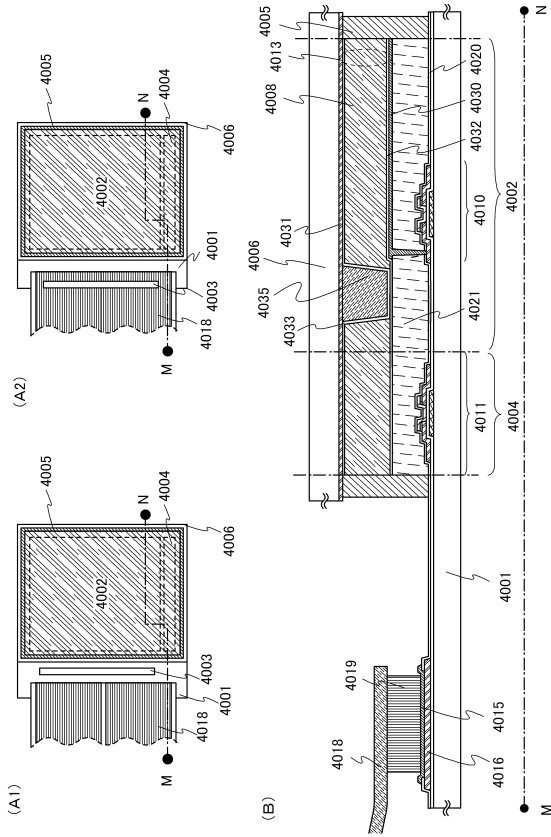


30

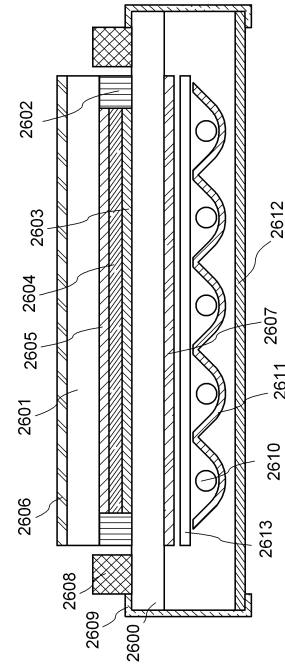
40

50

【 図 1 7 】



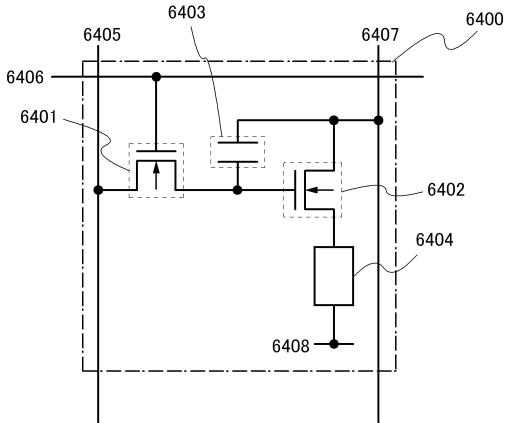
【 図 1 8 】



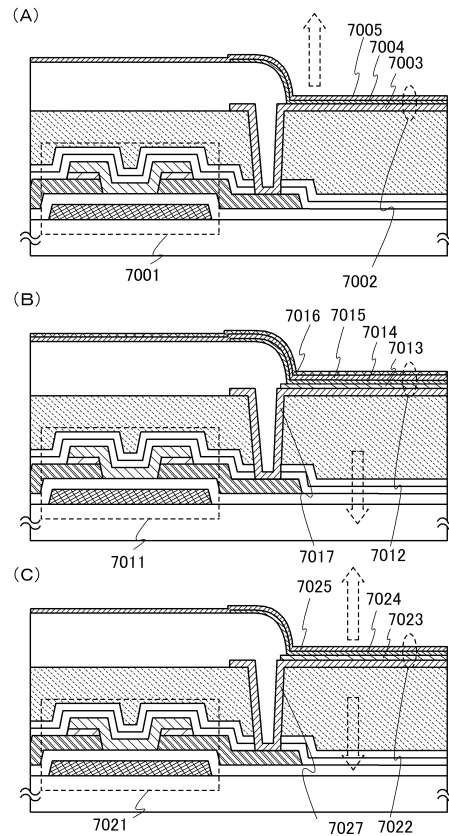
10

20

【 図 1 9 】



【 図 2 0 】

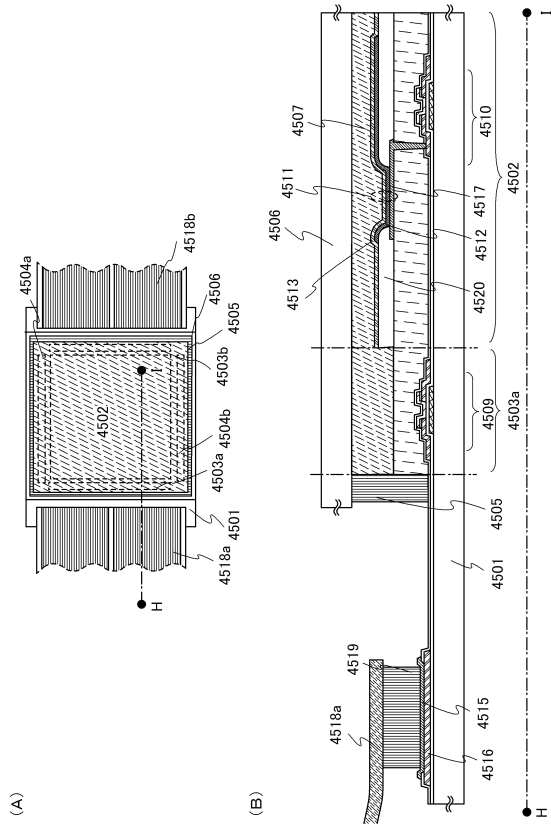


30

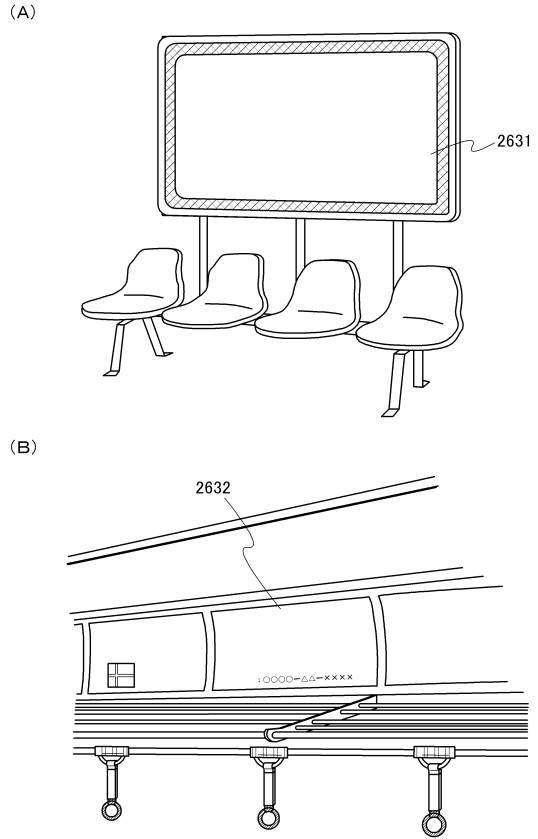
40

50

【 2 1 】



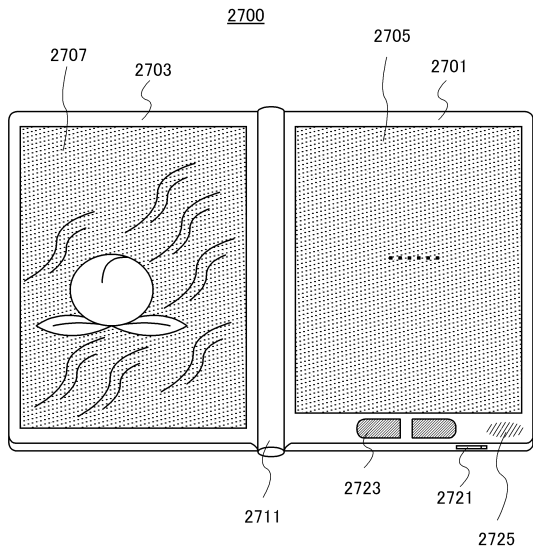
【 2 2 】



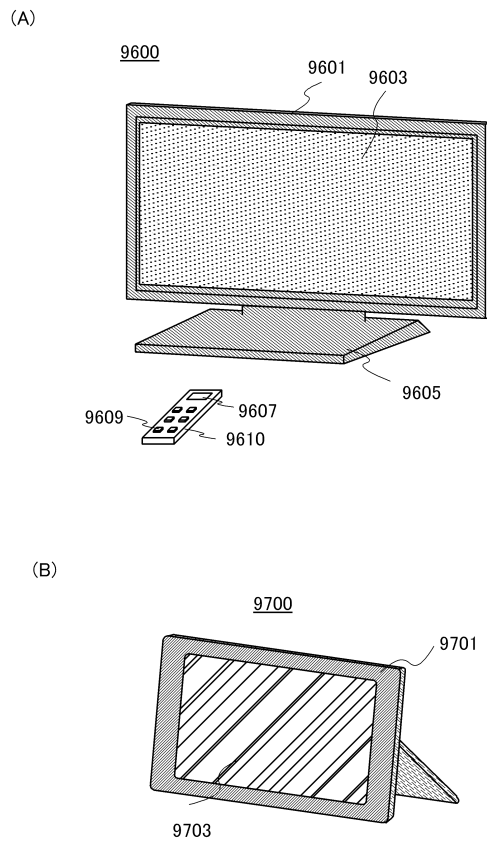
10

20

【 2 3 】



【 2 4 】



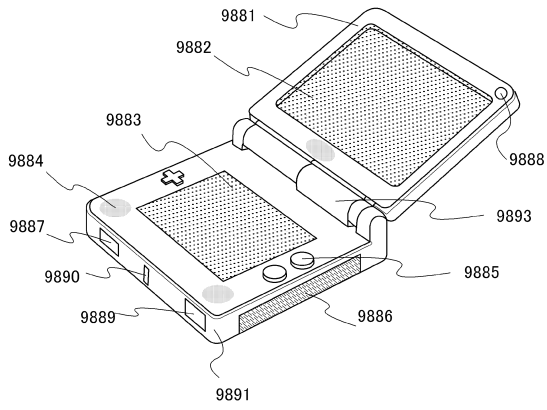
30

40

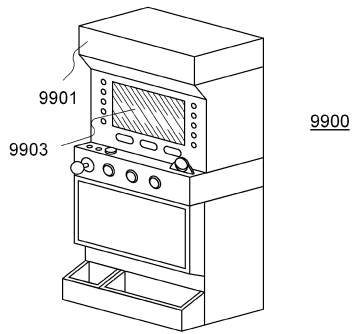
50

【 図 2 5 】

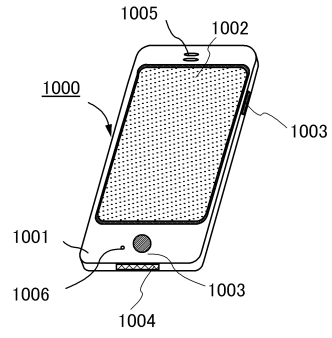
(A)



(B)



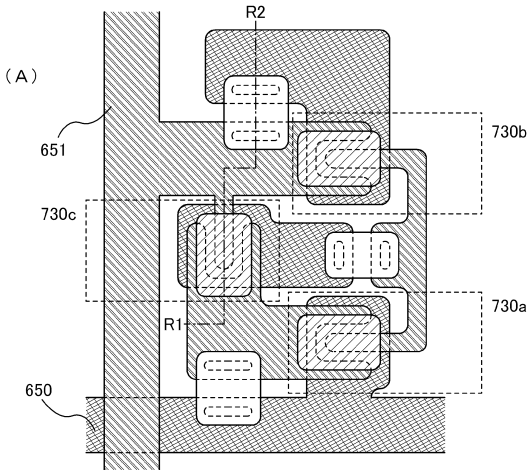
【 図 2 6 】



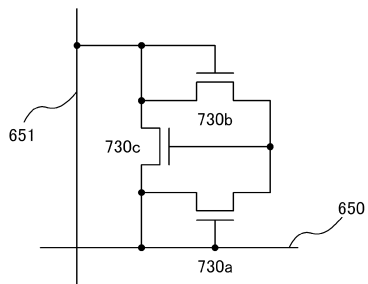
10

20

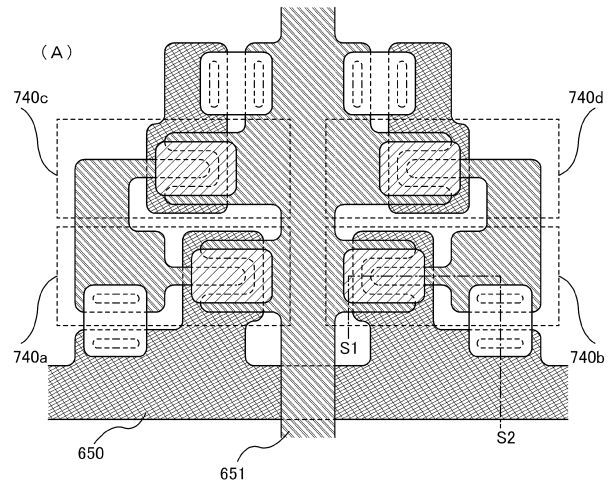
【 図 2 7 】



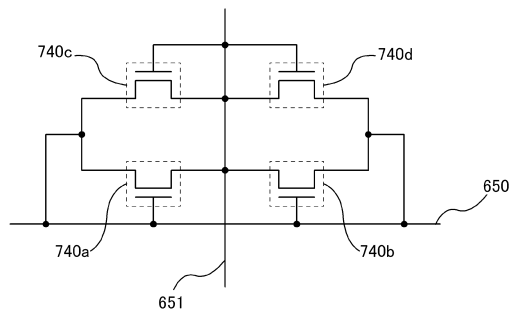
(B)



【 図 2 8 】



(B)



30

40

50

---

フロントページの続き

(51)国際特許分類

**H 0 1 L 21/336(2006.01)**

F I

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 1 2 B

H 0 1 L 29/78 6 1 8 F

H 0 1 L 29/78 6 1 8 E

H 0 1 L 29/78 6 1 8 A

(72)発明者 二村 智哉

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 笠原 崇廣

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内