

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5520122号
(P5520122)

(45) 発行日 平成26年6月11日(2014.6.11)

(24) 登録日 平成26年4月11日(2014.4.11)

(51) Int.Cl.		F I			
HO4N 1/41	(2006.01)	HO4N 1/41		B	
HO4N 19/60	(2014.01)	HO4N 7/133		Z	

請求項の数 7 (全 27 頁)

(21) 出願番号	特願2010-93309 (P2010-93309)	(73) 特許権者	000001007
(22) 出願日	平成22年4月14日 (2010.4.14)		キヤノン株式会社
(65) 公開番号	特開2011-223519 (P2011-223519A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成23年11月4日 (2011.11.4)	(74) 代理人	100076428
審査請求日	平成25年3月22日 (2013.3.22)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 データ変換装置

(57) 【特許請求の範囲】

【請求項1】

画像データの符号化のため、予め設定された画素数で表わされるブロックを単位に直交変換するデータ変換装置であって、

直交変換対象の画像データを記憶する記憶手段と、

該記憶手段から前記ブロックを単位に読み込むアクセス手段と、

該アクセス手段を介して読出した、前記記憶手段に記憶された画像データにおける前記ブロックを入力して直交変換し、1つの直流成分のみを算出し、出力する第1の変換手段と、

前記アクセス手段を介して読出した前記ブロック、又は、前記第1の変換手段からの、前記ブロックに含まれる画素数と同数の直流成分のデータのいずれか一方を選択出力する選択手段と、

該選択手段が出力した前記ブロックに含まれる画素数と同数のデータを直交変換し、1つの直流成分又は複数の交流成分のいずれか一方を出力する第2の変換手段と、

前記アクセス手段、前記選択手段、前記第2の変換手段を制御して、

前記選択手段が前記第1の変換手段からの直流成分を選択し、前記第2の変換手段に対しては直交変換で得られた1つの直流成分を出力させる第1の設定、

前記選択手段が前記第1の変換手段からの直流成分を選択し、前記第2の変換手段に対しては直交変換で得られた複数の交流成分を出力させる第2の設定、

前記選択手段が前記アクセス手段により読み込んだ画像データのブロックを選択し、前

記第 2 の変換手段に対しては直交変換で得られた複数の交流成分を出力させる第 3 の設定のいずれかを実行させる制御手段とを備えることを特徴とするデータ変換装置。

【請求項 2】

画像データの符号化のため、予め設定された画素数で表わされるブロックを単位に直交変換するデータ変換装置であって、

直交変換対象の画像データを記憶する第 1 の記憶手段と、

該第 1 の記憶手段から前記ブロックを単位に読み込むアクセス手段と、

該アクセス手段を介して読出した、前記第 1 の記憶手段に記憶された画像データにおける前記ブロックを入力して直交変換し、1つのブロックから1つの直流成分のみを算出して、出力する第 1 の変換手段と、

10

前記アクセス手段を介して読出した前記ブロック、又は、前記第 1 の変換手段からの、前記ブロックに含まれる画素数と同数の直流成分のいずれか一方を選択出力する第 1 の選択手段と、

該第 1 の選択手段が出力した前記ブロックに含まれる画素数と同数のデータを直交変換し、1つの直流成分、及び、複数の交流成分を出力する第 2 の変換手段と、

該第 2 の変換手段で得られた前記複数の交流成分を記憶する第 2 の記憶手段と、

前記第 2 の変換手段で得られた前記直流成分、前記第 2 の記憶手段に記憶された前記複数の交流成分のいずれか一方を選択し、出力する第 2 の選択手段と、

前記アクセス手段、前記第 1 の選択手段、前記第 2 の選択手段、前記第 2 の変換手段を制御して、

20

前記第 1 の選択手段が前記第 1 の変換手段からの直流成分を選択し、前記第 2 の選択手段が前記第 2 の変換手段で得られた直流成分を選択し、出力する第 1 の設定、

前記第 1 の選択手段が前記第 1 の変換手段からの直流成分を選択し、前記第 2 の選択手段が前記第 2 の記憶手段に格納された前記複数の交流成分を選択し、出力する第 2 の設定

、前記第 1 の選択手段が前記アクセス手段により読み込んだ画像データのブロックを選択し、前記第 2 の選択手段が前記第 2 の変換手段で算出された前記複数の交流成分を選択し、出力させる第 3 の設定

のいずれかを実行させる制御手段と

30

を備えることを特徴とするデータ変換装置。

【請求項 3】

画像データの符号化のため、予め設定された画素数で表わされるブロックを単位に直交変換するデータ変換装置であって、

直交変換対象の画像データを記憶する記憶手段と、

該記憶手段から前記ブロックを単位に読み込むアクセス手段と、

該アクセス手段を介して読出した、前記記憶手段に記憶された画像データにおける前記ブロックを入力して直交変換し、1つの直流成分のみを算出し、出力する第 1 の変換手段と、

前記アクセス手段を介して読出した前記ブロック、又は、前記第 1 の変換手段からの、前記ブロックに含まれる画素数と同数の直流成分のデータのいずれか一方を選択出力する第 1 の選択手段と、

40

該第 1 の選択手段が出力した前記ブロックに含まれる画素数と同数のデータを直交変換し、複数の交流成分を出力する第 2 の変換手段と、

前記第 1 の変換手段が出力した前記ブロックに含まれる画素数と同数の直流成分を直交変換し、1つの直流成分のみを算出し、出力する第 3 の変換手段と、

前記第 3 の変換手段で得られた前記直流成分、前記第 2 の変換手段で得られた前記複数の交流成分のいずれか一方を選択し、出力する第 2 の選択手段と、

前記アクセス手段、前記第 1 の選択手段、前記第 2 の選択手段を制御して、

前記第 2 の選択手段が前記第 3 の変換手段で得られた直流成分を選択し、出力させる第

50

1 の設定、

前記第 1 の選択手段が前記第 1 の変換手段からの直流成分を選択し、前記第 2 の選択手段が前記第 2 の変換手段で得られた前記複数の交流成分を選択し、出力させる第 2 の設定

、
前記第 1 の選択手段が前記アクセス手段により読み込んだ画像データのブロックを選択し、前記第 2 の選択手段が前記第 2 の変換手段で得られた前記複数の交流成分を選択し、出力させる第 3 の設定

のいずれかを実行させる制御手段と
を備えることを特徴とするデータ変換装置。

【請求項 4】

画像データの符号化のため、予め設定された画素数で表わされるブロックを単位に直交変換するデータ変換装置であって、

直交変換対象の画像データを記憶する第 1 の記憶手段と、

該第 1 の記憶手段から前記ブロックを単位に読み込むアクセス手段と、

該アクセス手段を介して読出した、前記第 1 の記憶手段に記憶された画像データにおける前記ブロックを入力して直交変換し、1つのブロックから1つの直流成分のみを算出して、出力する第 1 の変換手段と、

前記アクセス手段を介して読出した前記ブロック、又は、前記第 1 の変換手段からの、前記ブロックに含まれる画素数と同数の直流成分のいずれか一方を選択出力する第 1 の選択手段と、

該第 1 の選択手段が出力した前記ブロックに含まれる画素数と同数のデータを直交変換し、複数の交流成分を出力する第 2 の変換手段と、

該第 2 の変換手段で得られた前記複数の交流成分を記憶する第 2 の記憶手段と、

前記第 1 の変換手段が出力した前記ブロックに含まれる画素数と同数の直流成分を直交変換し、1つの直流成分のみを算出し、出力する第 3 の変換手段と、

前記第 3 の変換手段で得られた前記直流成分、前記第 2 の記憶手段に記憶された複数の交流成分、前記第 2 の変換手段からダイレクトに出力された前記複数の交流成分のいずれか一方を選択し、出力する第 2 の選択手段と、

前記アクセス手段、前記第 1 の選択手段、前記第 2 の選択手段を制御して、

前記第 2 の選択手段が前記第 3 の変換手段で得られた直流成分を選択し、出力させる第 1 の設定、

前記第 1 の選択手段が前記第 1 の変換手段からの直流成分を選択し、前記第 2 の選択手段が前記第 2 の記憶手段に格納された前記複数の交流成分を選択し、出力する第 2 の設定

、
前記第 1 の選択手段が前記アクセス手段により読み込んだ画像データのブロックを選択し、前記第 2 の選択手段が前記第 2 の変換手段からダイレクトに出力された前記複数の交流成分を選択し、出力させる第 3 の設定

のいずれかを実行させる制御手段と
を備えることを特徴とするデータ変換装置。

【請求項 5】

前記制御手段は、

前記ブロックを複数内包するものをマクロブロック、マクロブロックを複数内包するものをタイルとし、当該タイルに対する符号化データのデータ構造が、各マクロブロックの直流成分、各マクロブロックのローパス係数、各マクロブロックのハイパス係数の順番となる符号化モードが選択された場合、

第 1 の段階では、前記タイル内の全マクロブロックの直流成分が出力されるまで前記第 1 の設定による直交変換を行なわせ、

前記第 1 の段階に後続する第 2 の段階では、前記タイル内の全マクロブロックのローパス係数が出力されるまで前記第 2 の設定による直交変換を行なわせ、

前記第 2 の段階に後続する第 3 の段階では、前記タイル内の全マクロブロックのハイパ

10

20

30

40

50

ス係数が出力されるまで前記第3の設定による直交変換を行なわせる

ことを特徴とする請求項1乃至4のいずれか1項に記載のデータ変換装置。

【請求項6】

前記ブロックは4×4個の画素で構成されるサイズであって、

前記第1の変換手段は、前記ブロックを予め設定された4個の係数データで構成される4つのサブブロックに区分し、サブブロック毎に、それぞれのサブブロックを構成する4個の係数データの総和値が偶数か奇数かを表わす0又は1のいずれかの値を持つパリティ値を生成する生成手段と、

前記ブロックを構成する画素値の総和に、各サブブロックのパリティ値を加算する加算手段と、

該加算手段で得られた値を、4で除算して得られた整数部分を、前記ブロックの直流成分として出力する演算手段と

を備えることを特徴とする請求項1乃至5のいずれか1項に記載のデータ変換装置。

【請求項7】

請求項1乃至6のいずれか1項に記載のデータ変換装置と、

当該データ変換装置で得られたタイルの直流成分、ローパス係数、ハイパス係数をエントロピー符号化する符号化手段とを備えることを特徴とする画像符号化装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像データの符号化する際の直交変換技術に関するものである。

【背景技術】

【0002】

近年、センサーや表示機器、編集ツールの進歩により、1色成分あたりを表現するビット数が8ビットを超えるHDR(High Dynamic Range)画像が増えている。さらに、4k2k、または、8k4kなど、ハイビジョン、もしくは、スーパーハイビジョンと呼ばれる高解像度化が進んでいる。そのため、画像のデータ量は非常に大きいものとなっている。そして、このような画像データを保存するため、あるいは、短時間で転送するため、圧縮符号化技術は欠かせないものである。

【0003】

HDRの高解像度画像データを効率よく圧縮する標準方式として『JPEG XR』がある。JPEG XRでは、画像データは複数のタイルから構成されるものであり、タイルは複数のMB(マクロブロック)から構成されるものとして定義している。そして、JPEG XRのストリームは、複数のタイルの符号化データから構成される。さらに、その下位階層の符号化データの配列形式には、SpatialモードとFrequencyモードの2つの構成が定義されている。

【0004】

Spatialモードは、タイル内の各MBの符号化データを、そのマクロブロックを単位にラスタ順序に並べたデータ構造である。各MBのストリームは、DC係数のストリーム、LP係数のストリーム、および、HP係数のストリームの順に構成される(図7(b)参照)。

【0005】

これに対し、Frequencyモードは、タイルの符号化データを係数の階層(DC、LP、HP)毎に並べたデータ構造である。すなわち、このFrequencyモードのストリームは、まず、各MBのDC係数のストリームで構成されるパッケージを形成し、それに後続してLP係数のストリームで構成されたタイルが続く。さらに、その後に、HP係数の上位ビットのストリームで構成されたタイルが続き、最後に、HP係数の下位ビット(FLEX)のストリームで構成されたタイルが続く(図7(a)参照)。なお、JPEG XRにおける上記DC係数、LP係数、HP係数の詳細については、後述する直交変換処理の処理フローの中で説明する。

10

20

30

40

50

【 0 0 0 6 】

さて、J P E G X Rの符号化処理は、色変換、および、サブサンプリングなどの前処理、直交変換、量子化、係数予測、および、エントロピー符号化の順序で構成される（図9参照）。エントロピー符号化では、可変長符号化する有意データ（非零）の発生する数を各MBで一定にするように、係数予測誤差を上位ビットと下位ビットに分割する。係数予測誤差の上位ビットは可変長符号化して符号をストリームに出力し、下位ビットは固定長データとして、符号化せずにそのままストリームに出力する。

【 0 0 0 7 】

J P E G X Rにおける符号化処理は、 16×16 画素で構成されたマクロブロック（MB）を単位に行うが、その際の直交変換は 4×4 画素の小ブロックを単位に行う。J P E G X Rでは、この直交変換をP C T変換と言う。1つの小ブロックに対するP C T変換により、1個の小ブロックDC係数（後述するD P d c）と、15個のAC係数（H P係数）が生成される。1つのマクロブロックには、 4×4 個の小ブロックが含まれるので、1つマクロブロックからは 4×4 個の小ブロックDC係数と、 $4 \times 4 \times 15 (= 240)$ 個のAC係数が算出される。後者のAC係数が、先に示した「H P係数」である。

【 0 0 0 8 】

次に、 4×4 個の小ブロックDC係数に対して、再びP C T変換を行う。この結果、1個のDC係数と15個のAC係数が得られる。前者がマクロブロックの「DC係数」であり、後者がマクロブロックの「LP係数」である。

【 0 0 0 9 】

では、F r e q u e n c yモードのストリームを生成するための直交変換の構成について、図2を用いて説明する。

【 0 0 1 0 】

撮像素子などで撮影されたデジタル画像データは、画像記憶部206に記憶される。符号化が開始されると、まずDC係数のストリームで構成されるタイルを生成するために、DC係数を算出する。

【 0 0 1 1 】

具体的には、画像記憶部206に記憶されたデジタル画像データは、符号化処理を施すために、所望の矩形サイズに分割されたタイル単位に格納されているものと見なす。さらに、各タイルは、その中にMBがラスタ順序に並んでいるものと見なす。このMBが符号化処理の処理単位となる（図8（a）参照）。さらに、MBは、 4×4 画素の小ブロックで構成されているものと見なす。この小ブロック単位で符号化処理が施される。

【 0 0 1 2 】

画像記憶部206に格納された画像データは、メモリ制御部205を通じて、第1の変換部201へ送出される。

【 0 0 1 3 】

第1の変換部201は、送出されたMBの各小ブロックに対して、可逆の直交変換（P C T変換）を施し、1つの直流成分（H P d c）と15の交流成分（H P）の周波数係数を算出する処理部である。得られた係数はメモリ制御部205へと送出され、画像記憶部206に書き戻される。1つのMBには、 4×4 個の小ブロックが含まれているので、この処理を16回行うことになる。1つのMBに対する第1の変換部201による処理が終わると、画像記憶部206には 4×4 個のH P d c係数データと、240個のH P係数データが格納されることになる。

【 0 0 1 4 】

次に、DC係数を算出するため、メモリ制御部205は、画像記憶部206から先ほど書き込んだ同一MBに属する 4×4 個のH P d c係数データを読み出して、第2の変換部202へ送出する。

【 0 0 1 5 】

第2の変換部202は、同一MBに属する 4×4 個のH P d c係数データに対して、第1の変換部201と同様の周波数変換を施し、1個のDC係数と15個のLP係数を算出

10

20

30

40

50

する。第2の変換部202で算出されたDC係数は選択器203を通じて、直交変換部から次の処理(量子化部)へと送出する。一方、15個のLP係数は、メモリ制御部205を通じて画像記憶部206へ書き戻される。そして、LP係数は、タイル内の全MBのDC係数の出力を終えるまで、保持される。

【0016】

選択器203が、タイル内の全MBのDC係数を全て出力し終わると、メモリ制御部205は、画像記憶部206から各MBの『LP係数』を読み出して、選択器203へ出力する。そして、選択器203は、入力された『LP係数』を直交変換部から次の処理(量子化部)へと送出する。

【0017】

選択器203が、タイル内の全LP係数を全て出力し終わると、画像記憶部206からタイル内の全MBの『HP係数』を読み出し、選択器203から出力する。そして、選択器203は、入力された『HP係数』を直交変換部から次の処理(量子化部)へと送出する。ここで、選択器203における出力データの切り替えは、階層制御部204が担う。

【0018】

上記の説明からわかるように、JPEG XRの直交変換の算出過程では、まず、『HP係数』が算出され、次いで、『DC係数』、および、『LP係数』がMB単位で算出される。一方、JPEG XRのFrequencyモードにおける、1つタイルにおける符号化ストリームは、DC係数、LP係数、HP係数の順の並びでなければならない。このように、符号化処理の順序と、符号化ストリームのデータの順序が異なるため、各演算過程で算出されたLP係数、および、HP係数を一度画像記憶部206に書き戻して、ストリームの順序に従って、直交変換から出力されるよう並び替える必要があることが理解できよう。

【先行技術文献】

【特許文献】

【0019】

【特許文献1】特開2006-197572号公報

【特許文献2】特開2001-78190号公報

【発明の概要】

【発明が解決しようとする課題】

【0020】

先に説明したように、従来の直交変換方法では、Frequencyモードのストリームを生成しようとする、直交変換部から係数をストリームの構成順序で出力するように並び替えが必要となる。そのため、算出されたHP係数とLP係数を画像記憶部等のメモリに書き戻す処理を行わなければならない。

【0021】

ここで、簡単のため、符号化対象の画像が1色成分だけのモノクロ画像の場合を想定する。JPEG XRでは、画像データを構成するタイルの最大サイズは、その画像データの画素数を同じであっても構わない。その場合、FrequencyモードでのHP係数とLP係数の画像記憶部206への書き戻すデータ数は、画像データの画素数と同数である。また、HP係数の1係数あたりのビット幅は画像サンプルに対して5ビット多い。さらに、LP係数を書き戻すデータ数は、画像データの画素数の約1/16である。さらに、LP係数の1係数あたりのビット幅は画像サンプルに対して7ビット多い。

【0022】

上記が何を意味するかと言えば、第1には、メモリの使用量が増加する点である。そして、第2には、そのメモリからの読み出しと書き込みの回数が非常に多くなり、且つ、読み書きの際のデータのビット数が増えることにより、符号化処理全体の性能をも低下してしまう、ということである。また、符号化処理を搭載した装置の部品コストの増加にもつながる。

【0023】

10

20

30

40

50

本発明はかかる点に鑑みなされたものであり、直交変換に係る画像データを格納しているメモリへのアクセス回数を少なくし、高速に符号化用の直交変換係数を生成することを可能にする技術を提供しようとするものである。また、他の発明は、かかる課題を達成するだけでなく、J P E G X RにおけるF r e q u e n c yモードに基づく好適な並びの直交変換係数の生成する技術を提供するものである。

【課題を解決するための手段】

【0024】

この課題を解決するため、例えば本発明のデータ変換装置は以下の構成を備える。すなわち、

画像データの符号化のため、予め設定された画素数で表わされるブロックを単位に直交変換するデータ変換装置であって、

直交変換対象の画像データを記憶する記憶手段と、

該記憶手段から前記ブロックを単位に読み込むアクセス手段と、

該アクセス手段を介して読出した、前記記憶手段に記憶された画像データにおける前記ブロックを入力して直交変換し、1つの直流成分のみを算出し、出力する第1の変換手段と、

前記アクセス手段を介して読出した前記ブロック、又は、前記第1の変換手段からの、前記ブロックに含まれる画素数と同数の直流成分のデータのいずれか一方を選択出力する選択手段と、

該選択手段が出力した前記ブロックに含まれる画素数と同数のデータを直交変換し、1つの直流成分又は複数の交流成分のいずれか一方を出力する第2の変換手段と、

前記アクセス手段、前記選択手段、前記第2の変換手段を制御して、

前記選択手段が前記第1の変換手段からの直流成分を選択し、前記第2の変換手段に対しては直交変換で得られた1つの直流成分を出力させる第1の設定、

前記選択手段が前記第1の変換手段からの直流成分を選択し、前記第2の変換手段に対しては直交変換で得られた複数の交流成分を出力させる第2の設定、

前記選択手段が前記アクセス手段により読み込んだ画像データのブロックを選択し、前記第2の変換手段に対しては直交変換で得られた複数の交流成分を出力させる第3の設定のいずれかを実行させる制御手段とを備える。

【発明の効果】

【0025】

本発明によれば、交流成分の係数をフレームメモリに書き戻すことなく、ストリームを構成する順番に係数を算出することが可能になる。従って、係数を階層の順番に出力する必要がある直交変換に適用した場合には、メモリ帯域を削減し、符号化処理を高速化させることが可能になる。

【図面の簡単な説明】

【0026】

【図1】第1の実施形態における直交変換部のブロック構成図。

【図2】従来技術における直交変換部のブロック構成図。

【図3】第3の実施形態における直交変換部のブロック構成図。

【図4】実施形態における第2の変換部のブロック構成図。

【図5】デジタルカメラのブロック構成図。

【図6】実施形態における第1の変換部のブロック構成図。

【図7】J P E G X Rのストリーム構成図。

【図8】ブロック内のデータの配列とマクロブロックとの関係を示す図。

【図9】J P E G X Rの画像符号化処理フロー。

【図10】第2の実施形態における直交変換部のブロック構成図。

【図11】第4の実施形態における直交変換部のブロック構成図。

【図12】F r e q u e n c yモードにおける直交変換のフローチャート。

【図13】図12のS2の処理を示すフローチャート。

【図14】図12のS10の処理を示すフローチャート。

【図15】Spatialモードにおける直交変換のフローチャート。

【発明を実施するための形態】

【0027】

以下、添付図面を参照し、本発明の好適な実施形態について説明する。

【0028】

まず、本実施形態が産業上利用され得る形態として、画像を符号化する機能、符号化された画像を復号する機能を有する画像処理装置について説明する。一例としては、デジタルカメラやデジタルカムコーダが挙げられよう。ネットワークを介して受信した画像を符号化する装置であっても構わない。

10

【0029】

ここでは、図5の構成を有するデジタルカメラを例に説明する。撮像対象の像は、レンズ501を介して、CCDやCMOSセンサーなどの撮像素子502上に結像される。撮像素子502は、この結像された像をアナログ信号に変換し、このアナログ信号を後段のA/D変換器503に送出する。

【0030】

A/D変換器503は、撮像素子502から受けたアナログ信号をデジタル信号に変換する。メモリ制御部507は、この変換されたデジタル信号をデータ(画像データ)としてA/D変換器503から取得すると、この画像データを画像処理部504に送出する。画像処理部504は、この画像データに対して周知の画像補間処理や色変換処理などを施す。

20

【0031】

メモリ制御部507は、画像処理部504による処理後の画像データをこの画像処理部504から取得すると、この取得した画像データをメモリ505に格納する。メモリ505は、撮像された静止画像や動画のデータを一時的に格納するためのメモリであって、所定枚数の静止画像(所定フレーム数分の静止画像)を格納するための領域を有する。このメモリ505は読み書き可能なメモリであるので、メモリ制御部507は、メモリ505に対するデータ書き込み専用の複数のメモリ制御部と、メモリ505に対するデータ読み出し専用の複数のメモリ制御部と、を有する。

【0032】

メモリ505に格納された画像データはメモリ制御部507によって再度読み出され、D/A変換器508と符号化部511に送出される。D/A変換器508は、この画像データをアナログ信号に変換し、この変換したアナログ信号を画像表示部509に送出する。これにより、画像表示部509の表示画面上には、このアナログ信号が示す画像(撮像された画像)が表示される(再生される)ことになる。

30

【0033】

一方で、符号化部511は、メモリ制御部507から受けた画像データ(入力画像)から符号化ストリームを生成する。メモリ制御部507は、符号化部511が生成した符号化ストリームを記憶媒体506に記録する。記憶媒体506には、SDカード等の、画像処理装置に着脱可能なリムーバブルな媒体が利用される。

40

【0034】

ここで、このデジタルカメラには、ユーザが操作する為のモードダイアル521が備わっている。モードダイアル521は、撮像モード、再生モードの何れかを選択するためのものである。ユーザがモードダイアル521を操作して撮像モードを選択すると、システム制御部520は画像処理装置を構成する各部の動作制御を行い、撮影処理が開始可能な状態になる。即ち、レンズ501を介して得た像の画像データに基づく画像を画像表示部509に表示させる。さらに、モードダイアル521は撮影モードが選択された状態で、撮影記録スイッチ523が投入されると、撮影処理が開始される。即ち、レンズ501を介して得た像の画像データを符号化部511が符号化し、符号化ストリームとして記憶媒体506に記録する処理を実現する。

50

【 0 0 3 5 】

一方、ユーザがモードダイアル521を操作して再生モードを選択すると、システム制御部520は、ユーザから指定された符号化モードの判定、並びに、画像処理装置を構成する各部の動作制御を行い、以下に説明する各処理を実現する。

【 0 0 3 6 】

メモリ制御部507は、記憶媒体506に記録されている符号化ストリームを順次読み出し、読み出した符号化ストリームを復号部513に送出する。復号部513は、メモリ制御部507から取得した符号化ストリームを復号する。ROM522には、画像処理装置の設定データや、システム制御部520による実行対象のコンピュータプログラムが格納されている。更に、ROM522には、以下に説明する処理において既知のデータとして説明するものについても格納されている。即ち、システム制御部520は、このROM522に格納されているコンピュータプログラムやデータを用いて処理を実行することで、デジタルカメラを構成する各部の動作制御を行う。これにより、本実施形態に係るデジタルカメラは、以下に説明する符号化処理を実現することになる。

10

【 0 0 3 7 】

[符号化部 5 1 1]

図9は、図5の符号化部511の詳細な機能構成例を示すブロック図である。図9に示した各部はハードウェアでもって構成されているものとするが、その一部、若しくは全部をコンピュータプログラムで実現しても良い。

【 0 0 3 8 】

図5の符号化部511に入力される画像データは、1以上のタイルを有する。このタイルは、 16×16 画素で構成されるマクロブロックを複数内包し、各マクロブロックは、タイル内にラスタ順に並んでいるものと見なす。また、1つのマクロブロックは、 4×4 画素で構成される小ブロックを複数内包(16個内包する)する。

20

【 0 0 3 9 】

図5の符号化部511に入力された画像データは、直交変換部901に送出する。直交変換部901以降の処理は、MB単位で処理が施される。以下では、1つのMBを符号化する為の符号化の動作について説明するが、同様の動作は、他のMBに対しても行われることになる点に注意されたい。

【 0 0 4 0 】

直交変換部901は取得したMBの画像データに対して直交変換を施し、色空間データから周波数空間の変換係数を出力する。さらに、色空間データへの非可逆符号化で良いのであれ、量子化部902において、変換係数を量子化処理して、変換係数のダイナミックレンジを小さくする。さらに、画像のデータパターンが複数ブロックにまたいでいる場合は、係数予測部903において、量子化された変換係数を各周波数係数の階層に応じて係数間予測することで、さらに変換係数のレベルを小さくする。ただし、量子化値がブロック内の係数位置によって異なっている場合や参照係数がタイルをまたいでいる場合は、画像のデータパターンが複数ブロックにまたいでいても、係数予測の処理を省いてもかまわない。このようにして算出された係数予測誤差はエントロピー符号化される。

30

【 0 0 4 1 】

次に、JPEG XRのエントロピー符号化の処理手順を説明する。

40

【 0 0 4 2 】

分割部904は、前記係数予測部903から入力された係数予測誤差を上位ビットと下位ビットに分割する。上位ビットは可変長符号化され、下位ビットは符号化されず、そのままストリームに出力される。尚、符号化済みMBの可変長符号化された上位ビットの有意データ(非零)の発生頻度から、因果的に係数予測誤差を分割するビット位置を変更する。

【 0 0 4 3 】

可変長符号化905に入力された係数予測誤差の上位ビットは、 4×4 画素(画素数が16)の2次元の小ブロックで構成されている。そこで、可変長符号化905は、2次元

50

のデータをスキャンして、符号化効率が高い1次元データに並べ替える。このときの理想的な並び替えは、有意データを前方に、非有意データ(ラン(零))を後方に連続するようにすることである。このようにして並び替えた1次元データを可変長符号(ランレングス符号)に変換する。

【0044】

このようにして得られた係数予測誤差の上位ビットの可変長符号と下位ビットは、シンボル結合部906において、定められた順序で連結され、符号化ストリームが生成される。

【0045】

以上の手順により、図5の符号化部511は、画像を符号化ストリームに変換し、図5のメモリ制御部507へ送出する。

【0046】

尚、ブロック毎に直交変換する方式としては、可逆の整数演算を2段階に行い、MB内の空間画像データを3つ以上の階層の周波数係数に変換する方式が適している。また、以降の説明を簡単にするため、図5の符号化部511について、特に、エントロピー符号化の処理について、JPEG XRの処理手順で説明したが、これは一例に過ぎない。エントロピー符号化は、JPEGやMPEGなどで知られる周知のエントロピー符号化の処理が用いられても構わない。

【0047】

また、以下に説明する各実施形態の特徴は、上述した図5の符号化部511内の、JPEG XRに適応したデータ構造の符号化ストリーム(Frequencyモード、及び、Spatialモード)を生成するための直交変換901を改良した点にある。

【0048】

[第1の実施形態]

以下、本発明における第1の実施形態を図1を用いて説明する。図1は、図9における直交変換部901(データ変換装置)内の一部の構成である。まず、図1の構成と、各構成部の機能について説明する。また、以下では、JPEG XRにおけるFrequencyモード(その符号化データのデータ構造は図7(a))に適用した場合を説明し、Spatialモード(図7(b))についてはその後で説明する。

【0049】

直交変換部901は、画像記憶部106、メモリ制御部105、第1の変換部101、選択部102、第2の変換部103、および、階層制御部104から構成される。画像記憶部106は、符号化対象となる画像データを一時的に記憶するためのメモリである。メモリ制御部105は、画像記憶部106から符号化対象画像(正確には、直交変換対象の画像データ)を所望のブロック単位で読み出して出力する。第1の変換部101は、入力された4×4画素の小ブロックのデータから可逆変換における直流成分DCのみを演算して出力する。すなわち、第1の変換部101は交流成分の演算は行なわない。選択部102は、階層制御部104からの制御信号に従い、第1の変換部101から入力された直流成分DC、メモリ制御部105からダイレクトに入力された画像データのいずれか一方を選択し、出力する。

【0050】

但し、図1のメモリ制御部105は、図5のメモリ制御部507に対応し、図1の画像記憶部106は、図5のメモリ505に対応する。

【0051】

第2の変換部103は、階層制御部104からの制御信号に従い、入力された小ブロックのデータから可逆変換であるPCTを施し、1つの直流成分、もしくは、15個の交流成分のいずれか一方を送出する。階層制御部104は、生成すべきタイミングに応じて選択部102と第2の変換部103の出力データを指示する信号を出力する。尚、メモリ制御部105は、図5のメモリ制御部507に対応し、画像記憶部106は、図5のメモリ505に対応している。

10

20

30

40

50

【 0 0 5 2 】

J P E G X RにおけるF r e q u e n c yモードのストリームを生成するため、本発明における直交変換部 9 0 1 は、F r e q u e n c yモードのストリームの構造と同じように、D C 係数、L P 係数（ローパス係数）、H P 係数（ハイパス係数）の順番で、各係数をタイル単位で出力する。

【 0 0 5 3 】

以下、D C、L P、H Pまで全ての係数を符号化する場合の構成と処理手順について説明する。以下では、1つのM Bを符号化する為の符号化の動作について説明するが、同様の動作は、タイル内の他のM Bに対しても行われることになる点に注意されたい。

【 0 0 5 4 】

まず、図9の直交変換部 9 0 1 が1タイル分のD Cを出力するように、メモリ制御部 1 0 5 は、画像記憶部 1 0 6 から符号化対象となる画像を読み出し、第1の変換部 1 0 1 に送出する。第1の変換部 1 0 1 は、4 × 4の小ブロック単位の画素データに対して変換処理を施し、1つの直流成分のみを算出して出力する。演算方法の詳細については、後述する。

10

【 0 0 5 5 】

このとき、階層制御部 1 0 4 は、直交変換部 9 0 1 がD Cを演算して出力するために、選択部 1 0 2 が第1の変換部 1 0 1 から入力されたデータを出力するように選択信号を送出する。

【 0 0 5 6 】

第2の変換部 1 0 3 は、選択部 1 0 2 を通じて、第1の変換部 1 0 1 からの、小ブロック内の画素数と同数に直流成分を入力するまで待ち、P C T演算を施し、P C T演算によって得られた直流成分をマクロブロックの『D C係数』として出力する。第2の変換部 1 0 3 の演算方法についても後述する。

20

【 0 0 5 7 】

以上の処理が、タイルに内包される全マクロブロックのD C係数を出力するまで繰り返される。

【 0 0 5 8 】

さて、図9の直交変換部 9 0 1 が、1タイル分のD Cを出力終了した後、続けて、1タイル分のL Pを出力できるように、図1のメモリ制御部 1 0 5 は、画像記憶部 1 0 6 から符号化対象となる画像を再び読み出し、第1の変換部 1 0 1 に送出する。

30

【 0 0 5 9 】

第1の変換部 1 0 1 は、再び変換処理を施し、各ブロックの直流成分を送出する。また、第2の変換部 1 0 3 は、選択部 1 0 2 を通じて、第1の変換部 1 0 1 の小ブロックに含まれる画素数と同数の直流成分を取得するのを待って、P C T演算を施す。このとき、第2の変換部 1 0 3 は、算出した15個の交流成分を『L P係数』として送出し、このP C T演算によって得られた直流成分は破棄する。

【 0 0 6 0 】

言うまでもないが、階層制御部 1 0 4 は、L P係数を送出するために、選択部 1 0 2 が第1の変換部から入力されたデータを送出するよう選択信号を送出する。以上の操作をタイル内のL P係数を全て出力するまで繰り返す。

40

【 0 0 6 1 】

さらに、図9の直交変換部 9 0 1 が、1タイル分のL P係数出力に続いて、1タイル分のH P係数を出力できるように、メモリ制御部 1 0 5 は、画像記憶部 1 0 6 から符号化対象となる画像を再び読み出す。このとき、階層制御部 1 0 4 は、選択部 1 0 2 がメモリ制御部 1 0 5 から入力された画像データから入力されたデータを、第2の変換部 1 0 3 に出力するよう選択信号を送出する。第2の変換部 1 0 3 は、取得した画像データに対してP C T演算を施し、算出した15の交流成分を『H P係数』として送出する。このとき、P C T演算によって得られた直流成分は破棄される。以上の操作をタイル内のH P係数を全て出力するまで繰り返す。

50

【 0 0 6 2 】

尚、J P E G X RにおけるH Pの下位ビットであるF L E Xをストリームに挿入する場合は、先に説明したH P係数の処理手順と同様の手順で処理を施せばよい。

【 0 0 6 3 】

以上、J P E G X RにおけるF r e q u e n c yモードのストリームを生成するため、全係数をタイル単位で出力する構成、および、処理手順について説明した。

【 0 0 6 4 】

第1の実施形態では、メモリ制御部105は、画像記憶部106から符号化対象となる画像(タイル)を出力する係数の階層分だけ、符号化対象画像を読み出すことになる。例えば、D C係数からH P係数まで全ての係数を符号化する場合は、3回符号化対象画像を読み出すことになる。一方、D C係数のみを符号化する場合は、上記処理手順のD C係数の処理手順のみを行えばよい。すなわち、メモリ制御部105による画像記憶部106からの符号化対象画像の読出しは、1回のみとなる。また、H P係数を符号化しない場合、すなわち、D C係数、および、L P係数のみを符号化する場合は、上記処理手順のD C係数の処理手順、および、L P係数の処理手順のみを行えばよい。このとき、メモリ制御部105による画像記憶部106からの符号化対象画像の読出しは、2回となる。

【 0 0 6 5 】

次に、第1の変換部101と第2の変換部103の演算方法について説明する。ここでは、説明を簡単にするため、第2の変換部103の構成と処理手順を先に説明する。

【 0 0 6 6 】

第2の変換部103の構成について、図4を用いて説明する。第2の変換部103は、取得した 4×4 個のデータを第1のアダマール変換部401へ送出する。第1のアダマール変換部401は、小ブロックをさらに、 2×2 画素の単位で可逆アダマール変換を施す。第1のアダマール変換部401から送出された係数は、各周波数帯(D C、A C 1、A C 2、A C 3)で個別のバッファに格納される。小ブロック内の4つの 2×2 サイズのブロックに対してアダマール変換を施すと、バッファ402、404、406、および、408には、小ブロック内の各々周波数帯の係数が保持される。バッファ402に保持された直流成分D Cは、第2のアダマール変換403で、可逆アダマール変換が再び施される。一方、バッファ404に保持された交流成分A C 1は、第1の回轉變換部405で、可逆回轉變換が施される。同様に、バッファ406に保持された交流成分A C 2は、第2の回轉變換部407で、可逆回轉變換が施される。さらに、バッファ408に保持された交流成分A C 3は、第3の回轉變換部409で、可逆回轉變換が施される。

【 0 0 6 7 】

このようにして、処理が施された小ブロックのデータは全てスキャン変換部410へ送出され、スキャン変換410は、取得した小ブロック内の係数を予め定められた2次元の順序に並び替える。以上、順序で小ブロックに対するP C T演算が施される。

【 0 0 6 8 】

次に、第1の変換部101の構成について、図6を用いて説明する。

【 0 0 6 9 】

第1の変換部101は、第2の変換部103と同様にP C T演算を施すが、これまでの説明から明らかなように、第1の変換部101は 4×4 個のデータから、1個の直流成分のみを算出すれば良く、交流成分の算出は不要である。換言すれば、交流成分にかかる算出が不要になるので、直流成分算出に特化した高速演算を実現するようにした。

【 0 0 7 0 】

まず、第1のアダマール変換部601において、 4×4 個の小ブロックのデータ中の 2×2 個の係数で構成されるサブブロックについて可逆アダマール変換を施し、サブブロックの直流成分を算出する。具体的には、サブブロックを構成する 2×2 個のデータの総和を2で除算することで、サブブロックの直流成分を算出する。このとき、可逆アダマール変換を実現するため、除算による余りは、四捨五入する。

【 0 0 7 1 】

或る整数 A を 2 で除算し、小数点以下を四捨五入の単純な処理は、以下のようにすればよいであろう。

(i) . 整数 A が偶数か奇数かのパリティ判定を行う (回路的には、整数 A の L S B が 0 か 1 かを利用すれば良い) 。

(i i) . 判定結果が、整数 A が奇数であることを示す場合には A を “ 1 ” だけ増加させる。整数 A が偶数であることを示すばあいには A に何も加算しない (もしくは 0 を加算する) 。具体的には、整数 A に整数 A の L S B を加算して、整数 A を更新する。

(i i i) . 更新された整数 A を 2 で除算し、その整数部分のみを出力する。2 の除算は、単に対象となる値を、1 ビットだけ下位方向にシフト (右シフト) すれば良い。

【 0 0 7 2 】

入力した 4 × 4 個の入力データには、4 個のサブブロックが存在するので、第 1 アダマール変換部 6 0 1 は、上記処理を 4 回行う。この結果、4 つ (2 × 2 個) のサブブロック直流成分が算出され、第 2 アダマール変換部 6 0 3 に送出されることになる。

【 0 0 7 3 】

第 2 のアダマール変換部 6 0 2 は、取得した 4 つのサブブロック直流成分から、再び 2 × 2 の可逆アダマール変換を施し、直流成分 (マクロブロック直流成分) を算出する。具体的には、2 × 2 個の入力データの総和を 2 で除算する (1 ビット右シフトする) 。このとき、可逆アダマール変換を実現するため、除算による余は、切り捨てられる。

【 0 0 7 4 】

なお、上記では、第 1 のアダマール変換部 6 0 1 でサブブロックの合計値を 1 ビット右シフトし、第 2 のアダマール変換部 6 0 3 で再度 1 ビット右シフトしているが、ビットシフト処理を 1 箇所で行うようにしても良い。すなわち、第 1 のアダマール変換部 6 0 1 は、先に示した (i) , (i i) のみを行い、(i i i) を行なわない。そして、第 2 のアダマール変換部 6 0 3 は、合計値の 2 ビット右シフト処理 (4 で除算する) を行う。

【 0 0 7 5 】

第 2 の変換部 6 0 3 で算出された直流成分は、第 1 の変換部 1 0 1 から送出される。尚、図 6 を用いて説明した第 1 の変換部 1 0 1 の演算方法は、一例である。

【 0 0 7 6 】

本発明では、第 1 の変換部 1 0 1 は、可逆変換によって直流成分のみを出力する変換処理部であればよく、本発明は、第 1 の変換部の演算方法を限定したものではない。また、本実施形態では J P E G X R の P C T 演算に対応して変換するブロックサイズを 4 × 4 としているが、これは一例であり、本発明はブロックサイズを限定するものではない。

【 0 0 7 7 】

このようにして、第 1 の実施形態の直交変換部は、各階層の係数予測誤差をタイル毎に符号化する F r e q u e n c y モードにおいて、エントロピー符号化に必要な係数を画像記憶部に書き戻すことなく、高速に演算して出力することが可能になる。

【 0 0 7 8 】

一方、S p a c i a l モードの場合は、1 つのマクロブロックを単位に、1 個の D C 係数、1 5 個の L P 係数、2 4 0 個の H P 係数の順に出力することを、着目タイル内の全マクロブロックについて実行すれば良い。

【 0 0 7 9 】

以下、上記の説明をまとめるため、図 1 の階層制御部 1 0 4 の処理手順を図 1 2 乃至図 1 5 のフローチャートに従って説明する。

【 0 0 8 0 】

< F r e q u e n c y モードにおける処理手順 >

システム制御部 5 2 0 は、ユーザが指定した符号化モード (F r e q u e n c y モード、S p a t i a l モードのいずれか) を判定し、その判定結果を制御信号として、階層制御部 1 0 4 に供給する。以下に説明する処理は、システム制御部 5 2 0 からの信号が F r e q u e n c y モードを示す場合の階層制御部 1 0 4 の処理である。階層制御部 1 0 4 は、図 1 2 のフローチャートに従って、J P E G X R における直交変換を実行する。なお

10

20

30

40

50

、ここでは、1つのタイル内に含まれるマクロブロック(16×16画素)の数はNであるものとして説明する。

【0081】

また、以下の説明から明らかなように、階層制御部104は、メモリ制御部105、選択部102、第2の変換部103への設定の種類として3つある。

【0082】

1つ目は、選択部102が選択するのが第1の変換部101からの直流成分を選択し、第2の変化部が直流成分を出力する設定(第1の設定)である。2つ目は、選択部102が選択するのが第1の変換部101からの直流成分を選択し、第2の変化部が交流成分を出力する設定(第2の設定)である。そして、3つ目は、選択部102がメモリ制御部105からの小ブロックを選択し、第2の変化部が交流成分を出力する設定(第3の設定)である。そして、Frequencyモードでは、3つの段階に分けて、タイルに対する変換係数を出力する。すなわち、第1の段階では、タイルに包含される各マクロブロックの直流成分を出力し、それに後続する第2の段階では、タイルに包含される各マクロブロックのLP係数を出力する。そして、第2の段階に後続する第3の段階では、タイルに包含される各マクロブロックのHP係数を出力する。以下は、その具体的な処理例である。

【0083】

まず、階層制御部104はマクロブロックを特定する変数*i*を“1”で初期化する(S1)。次いで、階層制御部104は、選択部102が第1の変換部101からのデータを選択出力するための制御信号を出力し、且つ、第2の変換部103に対してはPCT変換によるDC係数のみを出力するよう制御信号を出力する。そして、階層制御部104はメモリ制御部105に対して、第*i*番目のマクロブロック(16×16画素)を読出すよう制御信号を出力する。この結果、第1の変換部101は、第*i*番目のマクロブロック内の4×4個の各小ブロックのDC係数を算出し、第2の変換部103は4×4個の小ブロックDC係数からマクロブロックのDC係数を算出し、出力することになる(S2)。この後、階層制御部104は、変数*i*を“1”だけ増加させ(S3)、着目タイル内の全マクロブロックのDC係数の算出&出力を終えたか否かを判断する(S4)。否の場合には、上記のS2乃至S4を繰り返す。

【0084】

着目タイル内の全マクロブロックのDC係数の算出及び出力を終えると、階層制御部104は、変数*i*を再び“1”に初期化する(S5)。そして、階層制御部104は、選択部102が第1の変換部101からのデータを選択出力するための制御信号を出力し、且つ、第2の変換部103に対してはPCT変換によるAC係数のみを出力するよう制御信号を出力する。そして、階層制御部104はメモリ制御部105に対して、第*i*番目のマクロブロックを読出すよう制御信号を出力する。この結果、第1の変換部101は、第*i*番目のマクロブロック内の4×4個の各小ブロックのDC係数を算出し、第2の変換部103は4×4個の小ブロックDC係数からマクロブロックのLP係数を算出し、出力することになる(S6)。この後、階層制御部104は、変数*i*を“1”だけ増加させ(S7)、着目タイル内の全マクロブロックのLP係数の算出&出力を終えたか否かを判断する(S8)。否の場合には、上記のS6乃至S8を繰り返す。

【0085】

着目タイル内の全マクロブロックのLP係数の算出及び出力を終えると、階層制御部104は、変数*i*を再び“1”に初期化する(S9)。そして、階層制御部104は、選択部102がメモリ制御部105からのデータを選択出力するための制御信号を出力し、且つ、第2の変換部103に対してはPCT変換によるAC係数のみを出力するよう制御信号を出力する。そして、階層制御部104はメモリ制御部105に対して、第*i*番目のマクロブロックを読出すよう制御信号を出力する。この結果、第2の変換部103はマクロブロック内の4×4画素を単位に、PCT変換し、その結果得られた15個のAC成分をHP係数の一部として出力することになる(S10)。この後、階層制御部104は、変数*i*を“1”だけ増加させ(S11)、着目タイル内の全マクロブロックのHP係数の算

10

20

30

40

50

出 & 出力を終えたか否かを判断する (S 1 2)。否の場合には、上記の S 1 0 乃至 S 1 2 を繰り返し、是なら着目タイルに対する直交変換処理を終える。

【 0 0 8 6 】

ここで、上記のステップ S 2 の詳細を、図 1 3 のフローチャートに従って説明する。まず、階層制御部 1 0 4 は変数 j を “ 1 ” で初期化する (S 2 1)。この変数 j は、着目マクロブロック (図 1 2 の第 i 番目のマクロブロック) 内の小ブロック (4 × 4 画素) を特定するための変数である。次に、階層制御部 1 0 4 は、第 j 番目の小ブロックの画像データを第 1 の変換部 1 0 1 に供給することで、その小ブロックの D C 係数を算出させる (S 2 2)。

【 0 0 8 7 】

第 1 の変換部 1 0 1 は、先に説明したように、 P C T 変換における D C 係数のみを高速に算出するため、それに特化した回路構成となっている。 J P E G - X R によると、 4 × 4 画素で構成される小ブロックを 4 画素で構成される 4 つのサブブロックに区分し、各サブブロック毎にアダマール変換を行って 4 つのサブブロック D C 係数を算出し、更に、得られた 4 つのサブブロック D C 係数に対して再度アダマール変換を行うことで、小ブロックに対する 1 個の D C 係数を算出することが求められる。

【 0 0 8 8 】

本願発明者等は、 1 つのサブブロックに着目したとき、そのサブブロック内のデータの総和値が偶数であるなら、その総和値を 2 で割った値と、そのサブブロックのサブブロック D C 係数データが示す値は等しいことを見出した。つまり、着目サブブロックに対する、 1 段目の整数可逆アダマール変換では丸め誤差が発生しない。更に、本願発明者等は、着目サブブロックにおけるデータの総和値が奇数の場合、その総和値を 2 で割った値には、 0 . 5 の小数データが付く。この小数点を切り上げた値が、 J P E G - X R と互換性のある整数のサブブロック D C 係数データの値になることを見出した。そして、本願発明者等は、各サブブロックの D C 係数の総和を 2 で除算した整数部分が、小ブロックの D C 係数と等しいことを見出した。

【 0 0 8 9 】

奇数が偶数かの判定は、パリティ判定であると言える。そこで、 4 × 4 画素で構成される小ブロック内をラスタースキャンした際の各画素値を D a t a [0] 乃至 D a t a [1 5] とし、 4 つのサブブロックのパリティを P 0 乃至 P 3 (偶数の場合に 0、奇数の場合に 1) としたとき、求める小ブロックの D C 係数は以下のように算出できることを見出した。。

```
sum0 = Data[0] + Data[3] + Data[12] + Data[15];
sum1 = Data[1] + Data[2] + Data[13] + Data[14];
sum2 = Data[4] + Data[7] + Data[8] + Data[11];
sum3 = Data[5] + Data[6] + Data[9] + Data[10];
P0 = sum0 & 1;
P1 = sum1 & 1;
P2 = sum2 & 1;
P3 = sum3 & 1;
sum = sum0 + sum1 + sum2 + sum3 + P0 + P1 + P2 + P3;
DC = sum >> 2;
... ( 1 )
```

(ここで、“ & ” はビットどうしの論理積を示す演算子、“ + ” は加算を示す演算子、“ >> ” はビットシフト演算子を示す。すなわち、“ x >> 2 ” は、 x を下位方向に 2 ビットシフトした際の整数部分を返す。)

上記式 (1) は、要するに 4 × 4 画素の小ブロックの画素値の合計に、各サブブロックのパリティ値を加算し、その結果を 4 で除算して小数部を切り捨てれば、結果的に小ブロックの D C 係数を算出できることを意味する。そして、式 (1) の演算は、交流成分には適用できないものの、 J P E G - X R における P C T 演算と比較して、遥かに単純な回路で、しかも高速に直流成分 D C を演算できることを示しているのは、当業者であれば容易

10

20

30

40

50

に理解できよう。特に、2ビットシフトに係る構成は、算出した「sum」のデータバスの信号線2本(2ビット)をずらして配線すれば良いだけなので、格別なハードウェアは必要ないし、そのためにクロックを消費することもない。

【0090】

図13のフローチャートの説明に戻る。1つの小ブロックのDC係数の算出&出力を終え、階層制御部104は、変数jを“1”だけ増加させる(S23)。1つのマクロブロックには4×4個の小ブロックが含まれる。そこで、階層制御部104は、変数jと“16”とを比較することで、第1の変換部101による、着目マクロブロック内の全小ブロックのDC係数の算出&出力を終えたか否かを判断する(S24)。否の場合には、上記のS22乃至S24を繰り返す。また、階層制御部104が、着目マクロブロック内の全小ブロックのDC係数の算出&出力を終えたか否かを判断した場合、4×4個の小ブロックのDC係数が揃ったことになるので、第2の変換部103によるPCT変換を行なわせ、その際に得られた1個のDC係数を、着目マクロブロックのDC係数として出力する。

10

【0091】

図12におけるS6の処理は、図13のフローチャートにおけるS25が異なるだけである。すなわち、階層制御部104は、第2の変換部103に対して、PCT変換した際に得られた15個のAC成分をLP成分として出力する制御信号を発行(代わりにDC成分は破棄)すればよい。

【0092】

次に、図12におけるS10の詳細を、図14のフローチャートに従って説明する。まず、階層制御部104は変数jを“1”で初期化する(S31)。この変数jは、着目マクロブロック内の小ブロックを特定するための変数である。次に、階層制御部104は、第j番目の小ブロックの画像データを第2の変換部103に供給することで、その小ブロックの15個のAC成分を算出させ、算出した15個のAC成分をHP係数として出力させる。(S32)。1つの小ブロックのHP係数の算出&出力を終え、階層制御部104は、変数jを“1”だけ増加させる(S33)。そして、階層制御部104は、第1の変換部102による、変数jと“16”とを比較することで、第2の変換部103による、着目マクロブロック内の全小ブロックのHP係数の算出&出力を終えたか否かを判断する(S34)。否の場合には、上記のS32乃至S24を繰り返す。また、階層制御部104が、着目マクロブロック内の全小ブロックのHP係数の算出&出力を終えたか否かを判断した場合、本処理を終える。

20

30

【0093】

< Spatialモードにおける処理手順 >

次にシステム制御部520からの信号がSpatialモードを示す場合の階層制御部104の処理を図15のフローチャートに従って説明する。ここでも、1つのタイル内に含まれるマクロブロック(16×16画素)の数はNであるものとして説明する。

【0094】

まず、階層制御部104はマクロブロックを特定する変数iを“1”で初期化する(S41)。次いで、階層制御部104は、選択部102が第1の変換部101からのデータを選択出力するための制御信号を出力し、且つ、第2の変換部103に対してはPCT変換によるDC係数のみを出力するよう制御信号を出力する。そして、階層制御部104はメモリ制御部105に対して、第i番目のマクロブロック(16×16画素)を読み出すよう制御信号を出力する。この結果、第1の変換部101は、第i番目のマクロブロック内の4×4個の各小ブロックのDC係数を算出し、第2の変換部103は4×4個の小ブロックDC係数からマクロブロックのDC係数を算出し、出力することになる(S42)。次いで、階層制御部104は、選択部102が第1の変換部101からのデータを選択出力するための制御信号を出力し、且つ、第2の変換部103に対してはPCT変換によるAC係数のみを出力するよう制御信号を出力する。そして、階層制御部104はメモリ制御部105に対して、第i番目のマクロブロックを読み出すよう制御信号を出力する。この結果、第1の変換部101は、第i番目のマクロブロック内の4×4個の各小ブロックの

40

50

DC係数を算出し、第2の変換部103は4×4個の小ブロックDC係数からマクロブロックのAC係数を算出し、それをLP係数データとして出力することになる(S43)。次いで、階層制御部104は、選択部102がメモリ制御部105からのデータを選択出力するための制御信号を出力し、且つ、第2の変換部103に対してはPCT変換によるAC係数のみを出力するよう制御信号を出力する。そして、階層制御部104はメモリ制御部105に対して、第i番目のマクロブロックを読み出すよう制御信号を出力する。この結果、第2の変換部103は4×4個の小ブロックからAC成分を算出し、それをHP係数データとして出力することになる(S44)。

【0095】

この後、階層制御部104は、変数iを“1”だけ増加させ(S45)、着目タイル内の全マクロブロックの係数の算出&出力を終えたか否かを判断する(S46)。否の場合には、上記のS42乃至S45を繰り返す。

【0096】

上記の処理において、S42の処理は、S2の処理と同じである。また、S43の処理はS6と同じであり、S44の処理はS10の処理と同じである。

【0097】

ただし、上記のS42、43のいずれか一方を省略しても良い。すなわち、他方の処理における第2の変換部103によるPCT変換で得られた着目マクロブロックのDC係数、AC係数をその順番に出力するようにしても良いからである。

【0098】

以降に説明する第2の実施形態以降では、主としてFrequencyモードを説明する。FrequencyモードとSpatialモードとの違いは、図12と図15に示すように、タイル単位にDC、LP、HPの係数をこの順番に出力するか、マクロブロック単位にDC、LP、HPの係数をこの順番に出力するかの違いである。従って、当業者であれば、以下に説明する第2の実施形態におけるSpatialモードは、それぞれのFrequencyモードの説明と図15のフローチャートから容易に理解できるであろうから、Spatialモードについては省略することとする。

【0099】

以上説明したように、本第1の実施形態によれば、1マクロブロックに対する直交変換で、マクロブロックの直流成分、LP成分、HP成分を得るために、画像記憶部106に対して1画素当たり最大でも3回のアクセス(読出し)で実現できる。また、Frequencyモードにおいても、このアクセス回数で実現できることになり、高速な符号化処理が実現できる。特に第1の変換部101は、PCT変換における直流成分のみの算出に特化した構成とすることで、その直流成分の算出はこれまでと比べて遥かに短時間(少ないクロック数)で算出でき、符号化速度を更に短縮できる。

【0100】

[第2の実施形態]

本発明における第2の実施形態を説明する。図10が、本第2の実施形態における直交変換部901内の一部の構成である。本第2の実施形態における直交変換部901は、画像記憶部1006、メモリ制御部1005、第1の変換部1001、第1の選択部1002、第2の変換部1002、階層制御部1004、LP記憶部1007、及び、第2の選択部1008から構成される。

【0101】

但し、図10のメモリ制御部1005は、図5のメモリ制御部507に対応し、図1の画像記憶部1006は、図5のメモリ505に対応する。

【0102】

ここでは、説明を簡単にするため、第1の実施形態における図1との差違について説明する。図10に示すように、本第2の実施形態の場合、2つの記憶部を有する。第1の記憶部は画像記憶部1006に対応し、第2の記憶部はLP記憶部1007に対応する。画像記憶部1006は、図1の画像記憶部106(図5のメモリ505)に対応する。メモ

10

20

30

40

50

リ制御部 1005 は、図 1 のメモリ制御部 105 (図 5 のメモリ制御部 507) に対応する。第 1 の変換部 1001 は、図 1 の第 1 の変換部 101 に対応する。第 1 の選択部 1002 は、図 1 の選択部 102 に対応する。

【0103】

第 2 の変換部 1003 は、入力された 4×4 個のデータに対して可逆変換である PCT を施し、タイルの DC 係数、または、HP に相当する係数を第 2 の選択部へ出力し、LP に相当する係数を LP 記憶部 1007 へ出力し記憶させる。階層制御部 1004 は、図 1 の階層制御部 104 に対応する。LP 記憶部 1007 は、第 2 の変換部から出力された LP に相当する係数 (15 個) を記憶する。第 2 の選択部 1008 は、第 2 の変換部 1003 から出力された係数データ (DC、or、HP)、もしくは、LP 記憶部 1007 から読み出された LP 係数のいずれか一方を出力する。

10

【0104】

以下、本第 2 の実施形態における DC から HP まで全ての係数を符号化する場合の構成と処理手順について説明する。以下では、1 つの MB を符号化する為の符号化の動作について説明するが、同様の動作は、タイル内の他の MB に対しても行われることになる点に注意されたい。尚、説明を簡単にするため、図 1 と同様の処理部については、説明を省略する。

【0105】

まず、タイル内の DC の演算、および、出力手順について説明する。

【0106】

第 1 の変換部 1001 は、メモリ制御部 1005 が読み出した画像記憶部 1006 に記憶された符号化対象画像から、 4×4 画素で構成される小ブロックを入力し、その小ブロックの直流成分のみを算出して出力する。この第 1 の変換部 1001 は、PCT 演算の DC 係数のみを算出する部分だけと言えば分かりやすい。第 2 の変換部 1003 は、選択部 1002 を通じて、第 1 の変換部 1001 からの直流成分が 4×4 個になるたびに、PCT 演算を施す。そして、第 2 の変換部 1003 は、PCT 演算によって得られた直流成分 (DC 係数) を第 2 の選択部 1008 へ送出し、交流成分 (LP 係数) を LP 記憶部 1007 へ送出手続する。第 2 の選択部 1008 は、第 2 の変換部 1003 から取得された DC を出力する。このとき、階層制御部 1004 は、第 1 の選択部 1002 が第 1 の変換部 1001 から入力されたデータを選択出力し、第 2 の選択部 1008 が第 2 の変換部 1003 から入力された DC 係数を選択出力するように選択信号を送出する。以上の操作を着目タイル内の全マクロブロックの DC 係数を全て出力するまで繰り返す。

20

30

【0107】

次に、タイル内の LP 係数の演算、および、出力手順について説明する。第 2 の変換部 1003 では、各マクロブロック DC 係数の演算と同時に、LP の演算を行い、LP 係数を LP 記憶部 1007 で記憶している。そのため、タイル内の全マクロブロックの DC 係数を出力が終わると同時に、LP 記憶部 1007 から LP 係数を読出し、第 2 の選択部 1008 を通じて LP 係数を出力する。このとき、階層制御部 1004 は、第 2 の選択部 1008 が LP 記憶部 1007 から読出した LP 係数を選択出力するよう制御する。以上の操作をタイル内の LP 係数を全て出力するまで繰り返す。

40

【0108】

次に、タイル内の HP 係数の演算、および、出力手順について説明する。メモリ制御部 1005 は、画像記憶部 1006 から符号化対象となる画像を読出す。第 2 の変換部 1003 は、第 1 の選択部 1002 を通じて、メモリ制御部 1005 から取得した画像データに対して PCT 演算を施す。第 2 の変換部 1003 は、PCT 演算によって得られた交流成分 (HP 係数) を第 2 の選択部 1008 へ送出し、算出された直流成分は破棄する。このとき、階層制御部 1004 は、第 2 の選択部 1008 が第 2 の変換部 1003 から取得した HP 係数を出力するよう制御する。以上の操作をタイル内の HP 係数を全て出力するまで繰り返す。

【0109】

50

以上、J P E G X RにおけるF r e q u e n c yモードのストリームを生成する全係数をタイル単位で出力する構成、および、処理手順について説明した。

【 0 1 1 0 】

第2の実施形態では、例えば、D C係数からH P係数まで全ての階層の係数を符号化する場合は、画像記憶部1 0 0 6から符号化対象画像を2回読み出すことになる。一方、D C係数のみを符号化する場合は、上記D C係数の処理手順のみを行えばよく、メモリ制御部1 0 0 5による画像記憶部1 0 0 6からの符号化対象画像の読出し回数は、1回のみとなる。また、H P係数を符号化しない場合、すなわち、D C係数、および、L P係数のみを符号化する場合は、上記D C係数の処理手順、および、L P係数の処理手順のみを行い、メモリ制御部1 0 0 5による画像記憶部1 0 0 6の符号化対象画像の読出し回数は1回

10

【 0 1 1 1 】

このように、第2の実施形態の直交変換部9 0 1は、各階層の係数予測誤差をタイル毎に符号化するF r e q u e n c yモードにおいて、L P係数算出のためだけに、符号化対象画像を画像記憶部1 0 0 6から読み出すことはない。そのため、第1の実施形態よりもメモリ容量は増えるが、メモリ帯域を削減することを可能になり、高速に処理することが可能になる。

【 0 1 1 2 】

[第3の実施形態]

本発明における第3の実施形態を説明する。図3が、本第3の実施形態における直交変換部9 0 1内の一部の構成である。本第3の実施形態における直交変換部9 0 1は、画像記憶部3 0 6、メモリ制御部3 0 5、第1の変換部3 0 1、第1の選択部3 0 2、第2の変換部3 0 4、第3の変換部3 0 3、第2の選択部3 0 7、および、階層制御部3 0 8から構成される。

20

【 0 1 1 3 】

画像記憶部3 0 6は、図1の画像記憶部1 0 6に対応する。メモリ制御部3 0 5は、図1のメモリ制御部1 0 5に対応する。第1の変換部3 0 1は、図1の第1の変換部1 0 1に対応する。第1の選択部3 0 2は、図1の選択部1 0 2に対応する。第2の変換部3 0 4は、入力データに対して4 × 4の可逆変換であるP C Tを施して、交流成分を出力する。第3の変換部3 0 3は、入力データに対してP C Tの直流成分のみを算出して出力する。第2の選択部3 0 7は、第3の変換部3 0 3から入力された直流成分、もしくは、第2の変換部3 0 4から入力された交流成分のいずれか一方を出力する。階層制御部3 0 8は、処理対象階層に応じて、第1の選択部3 0 2、および、第2の選択部3 0 7を制御する。尚、メモリ制御部3 0 5は、図5のメモリ制御部5 0 7に対応し、画像記憶部3 0 6は、図5のメモリ5 0 5に対応している。

30

【 0 1 1 4 】

では、第3の実施形態の処理手順について説明する。

【 0 1 1 5 】

以下、図5の構成に基づき、D C係数からH P係数まで全ての係数を符号化する場合の構成と処理手順について説明する。以下では、1つのM Bを符号化する為の符号化の動作について説明するが、同様の動作は、タイル内の他のM Bに対しても行われることになる点に注意されたい。また、ここでは、説明を簡単にするため、第1の実施形態における図1との差違について説明する。

40

【 0 1 1 6 】

まず、タイル内のD C係数の演算、および、出力手順について説明する。第1の変換部3 0 1は、メモリ制御部3 0 5が読み出した画像記憶部3 0 6に記憶された符号化対象画像中の着目マクロブロックM Bから、4 × 4画素で構成される小ブロックを入力し、その小ブロックの直流成分のみを算出して出力する。第3の変換部3 0 3は、第1の変換部3 0 1から入力された同一M B属する4 × 4個の小ブロックの直流成分でブロックを構成し、再び直流成分のみを算出して送出する。さらに、第2の選択部3 0 7は、第3の変換部

50

303から入力されたデータをマクロブロックの『DC係数』として出力する。このとき、階層制御部308は、第2の選択部303が第2の変換部304から入力されたDC係数を出力するよう制御する。以上の操作をタイル内の全マクロブロックのDC係数を全て出力するまで繰り返す。

【0117】

次に、タイル内のLP係数の演算、および、出力手順について説明する。第1の変換部301は、メモリ制御部305が読み出した画像記憶部306に記憶された符号化対象画像から、直流成分のみを算出して出力する。第2の変換部304では、第1の選択部302を通じて、第1の変換部301から取得した4×4個の小ブロックの直流成分からブロックを構成し、PCT演算を施し、交流成分のみを出力する。このとき、階層制御部308は、第1の選択部302が第1の変換部からの入力データを出力し、第2の選択部307が第2の変換部304からの入力データを出力するように選択信号を送出する。以上の操作をタイル内のLP係数を全て出力するまで繰り返す。

10

【0118】

そして、タイル内のHP係数の演算、および、出力手順について説明する。メモリ制御部305は、画像記憶部306から符号化対象となる画像を読み出す。第2の変換部304は、第1の選択部302を通じて、メモリ制御部305から取得した画像データに対してPCT演算を施し、交流成分（HP係数）のみを第2の選択部302に出力する。このとき、階層制御部308は、第1の選択部302はメモリ制御部305からの入力画像データを出力し、第2の選択部307は第2の変換部304からの入力データであるHP係数を出力するよう選択信号を送出する。以上の操作をタイル内のHP係数を全て出力するまで繰り返す。

20

【0119】

以上、JPEG XRにおけるFrequencyモードのストリームを生成するため、全係数をタイル単位で出力する構成、および、処理手順について説明した。

【0120】

本第3の実施形態では、例えば、DC係数からHP係数まで全ての係数を符号化する場合は、3回符号化対象画像を読み出すことになる。一方、DCのみを符号化する場合は、上記処理手順のDC係数の処理手順のみを行えばよく、メモリ制御部105による画像記憶部306からの符号化対象画像の読み出し回数は、1回のみとなる。また、HP係数を符号化しない場合、すなわち、DC係数、および、LP係数のみを符号化する場合は、上記処理手順のDC係数の処理手順、および、LP係数の処理手順のみを行う。このとき、メモリ制御部305による画像記憶部306からの符号化対象画像の読み出し回数は、2回となる。このようにして、第3の実施形態の直交変換部は、各階層の係数予測誤差をタイル毎に符号化するFrequencyモードにおいて、符号化に必要となる階層係数を無駄なく高速に演算することが可能となる。

30

【0121】

[第4の実施形態]

本発明における第4の実施形態を説明する。図11が、本第3の実施形態における直交変換部901内の一部の構成である。本第3の実施形態における直交変換部901は、画像記憶部1106、メモリ制御部1105、第1の変換部1101、第1の選択部1102、第2の変換部1104、第3の変換部1103、第2の選択部1109、LP記憶部1107、および、階層制御部1108から構成される。

40

【0122】

但し、図11のメモリ制御部1105は、図5のメモリ制御部507に対応し、図1の画像記憶部1106は、図5のメモリ505に対応する。

【0123】

ここで、画像記憶部1106は、図3の画像記憶部306に対応する。メモリ制御部1105は、図3のメモリ制御部305に対応する。第1の変換部1101は、図3の第1の変換部301に対応する。第1の選択部1102は、図3の第1の選択部302に対応

50

する。第2の変換部1104は、図3の第2の変換部304に対応する。第3の変換部1103は、図3の第3の変換部303に対応する。LP記憶部1107は、第2の変換部1104から入力されたLPに相当する交流成分を記憶する。

【0124】

第2の選択部1109は、第3の変換部303から入力されたDC、もしくは、LP記憶部1107から入力されたLP、もしくは、第3の変換部1104から入力されたHPのいずれかを選択出力する。

【0125】

階層制御部1108は、各処理対象階層のタイミングに応じて、第1の選択部1102、および、第2の選択部1109を制御する制御信号を出力する。尚、メモリ制御部1105は、図5のメモリ制御部507に対応し、画像記憶部1106は、図5のメモリ505に対応している。では、第4の実施形態の処理手順について説明する。

【0126】

以下では、1つのMBを符号化する為の符号化の動作について説明するが、同様の動作は、タイル内の他のMBに対しても行われることになる点に注意されたい。

【0127】

まず、タイル内のDC係数の演算、および、出力手順について説明する。第1の変換部1101は、メモリ制御部1105が読み出した画像記憶部1106に記憶された符号化対象画像中の着目マクロブロックMBから、4×4画素で構成される小ブロックを入力し、その小ブロックの直流成分のみを算出する。そして、第1の変換部1101は、算出した小ブロックの直流成分を第3の変換部1103に出力する。そして、第3の変換部1103は、第1の変換部301から入力された4×4個の直流成分から小ブロックを構成し、再び直流成分のみを算出して出力する。この直流成分が着目マクロブロックの『DC係数』に相当する。

【0128】

一方、第2の変換部1104では、第1の選択部1102を通じて、第1の変換部1101から取得された直流成分からブロックを構成してPCT処理を施し、交流成分のみを出力する。そして、LP記憶部1107は、第2の変換部1104から取得した交流成分、すなわち、『LP係数』を記憶する。このとき、階層制御部1108は、第1の選択部1102が第1の変換部1101から取得した直流成分を出力し、第2の選択部1109が第3の変換部1103から取得したDC係数を出力するよう制御する。つまり、第3の変換部1103と第2の変換部1104は、並列に処理することになる。そして、以上の操作をタイル内の全マクロブロックのDCを全て出力するまで繰り返す。

【0129】

次に、タイル内のLPの演算、および、出力手順について説明する。第2の選択部1109は、先のDC係数の演算過程でLP記憶部1107に記憶したLP係数を出力する。言うまでもないが、このとき、階層制御部1108は、第2の選択部1109がLP記憶部から入力されたLP係数を出力するように選択信号を送出する。以上の操作をタイル内の全マクロブロックのLP係数が出力されるまで繰り返す。

【0130】

次に、タイル内のHP係数の演算、および、出力手順について説明する。メモリ制御部1105は、画像記憶部1106から符号化対象となる画像を読み出す。第2の変換部1104は、第1の選択部1102を通じて、メモリ制御部1105から入力された画像データに対してPCT演算を施す。第2の変換部1104は、PCT演算によって得られた交流成分(HP係数)のみを出力する。このとき、階層制御部1108は、第1の選択部1102はメモリ制御部1105から入力された画像データを出力し、第2の選択部1109は第2の変換部1104から入力されたHP係数を出力するよう制御する。以上の操作をタイル内のHP係数を全て出力するまで繰り返す。

【0131】

以上、JPEG XRにおけるFrequencyモードのストリームを生成するため、

10

20

30

40

50

全階層の係数をタイル単位で出力する構成、および、処理手順について説明した。

【 0 1 3 2 】

第 4 の実施形態では、例えば、DC 係数から HP 係数まで全ての係数を符号化する場合は、2 回符号化対象画像を読み出すことになる。一方、DC 係数のみを符号化する場合は、上記処理手順の DC 演算出力の手順のみを行えばよく、メモリ制御部 1 1 0 5 による画像記憶部 1 1 0 6 からの符号化対象画像の読出し回数は、1 回のみとなる。また、HP 係数を符号化しない場合、すなわち、DC 係数、および、LP 係数のみを符号化する場合は、上記処理手順の DC 係数の処理手順、および、LP 係数の処理手順のみを行う。そのため、メモリ制御部 1 1 0 5 による画像記憶部 1 1 0 6 からの符号化対象画像の読出し回数は、1 回となる。

10

【 0 1 3 3 】

このようにして、第 4 の実施形態の直交変換部は、各階層の係数予測誤差をタイル毎に符号化する F r e q u e n c y モードにおいて、符号化に必要となる階層係数を無駄なく演算し、メモリ帯域を削減することが可能となる。なお、第 4 の実施形態における第 3 の変換部 1 1 0 3 は、入力した 4×4 個の小ブロック DC 係数から、直流成分のみを算出すればよいので、この第 3 の変換部 1 1 0 3 は第 1 の変換部 1 1 0 1 (第 1 の実施形態の第 1 の変換部 1 0 1) と同じ構成で実現できる。

【 0 1 3 4 】

(その他の実施例)

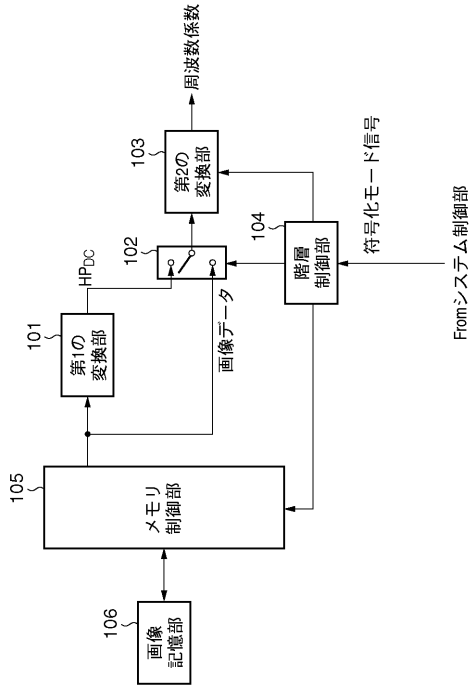
また、本発明は、以下の処理を実行することによっても実現される。即ち、上述した実施形態の機能を実現するソフトウェア (プログラム) を、ネットワーク又は各種記憶媒体を介してシステム或いは装置に供給し、そのシステム或いは装置のコンピュータ (または CPU や MPU 等) がプログラムを読み出して実行する処理である。

20

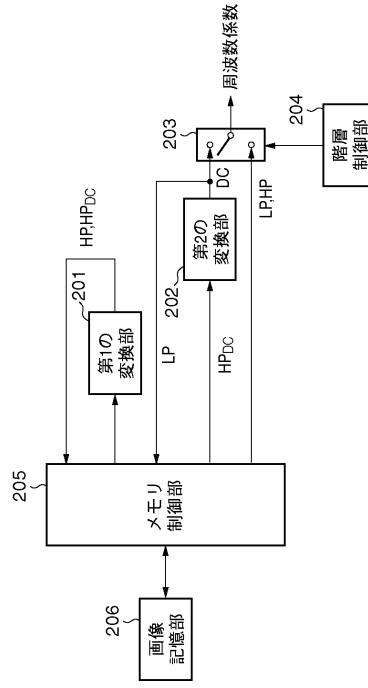
【 0 1 3 5 】

また、上記実施形態では、デジタルカメラの符号化部に適用する例を説明したが、符号化対象の画像データの発生源は撮像素子に限らず、無圧縮の画像ファイルでも良い。また、符号化後の画像データの出力先も記憶媒体のみ限らず、ネットワーク上に送信する形態でも構わない。すなわち、本願発明は、一般に画像符号化装置に適用できる。

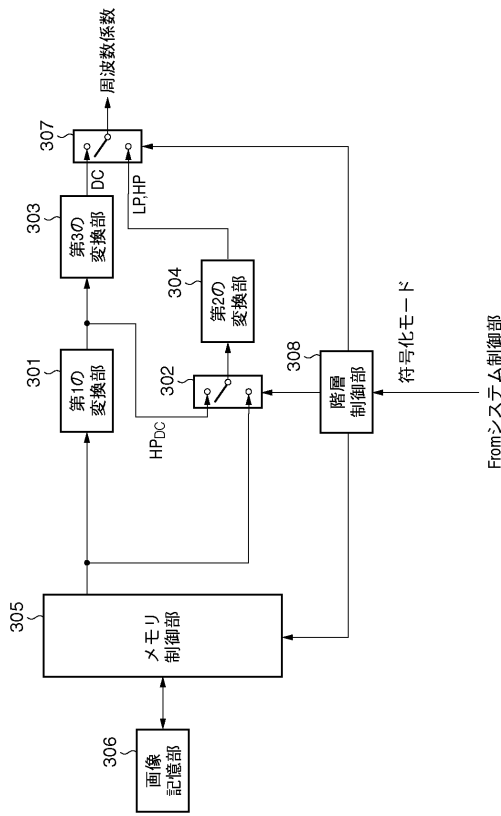
【図1】



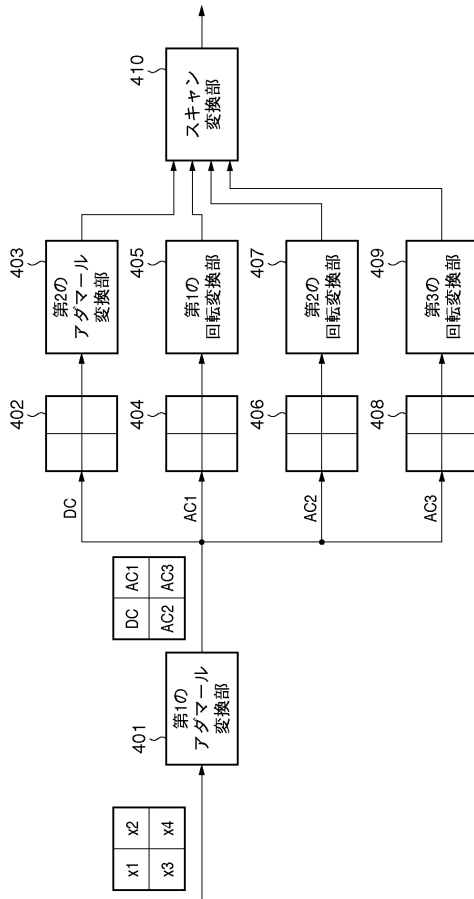
【図2】



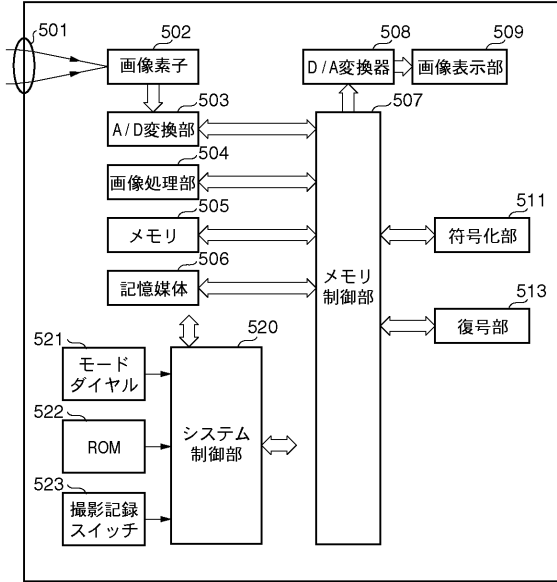
【図3】



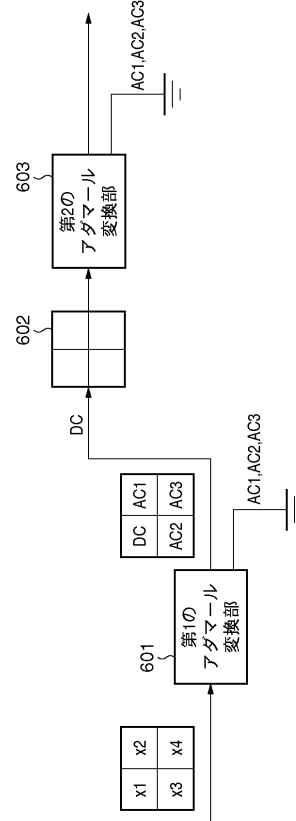
【図4】



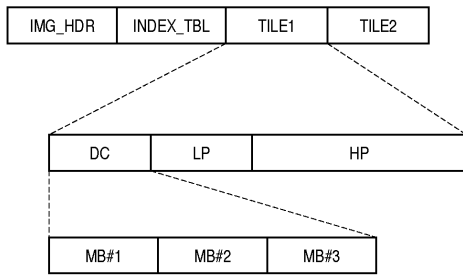
【図5】



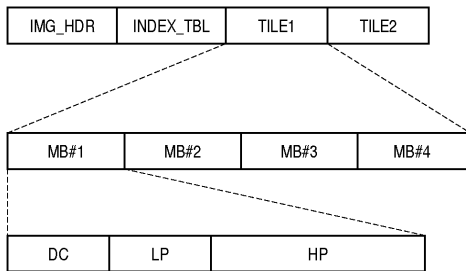
【図6】



【図7】

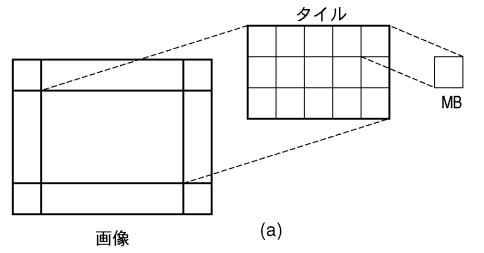


(a)

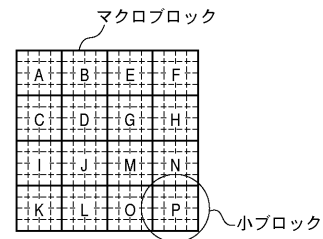


(b)

【図8】

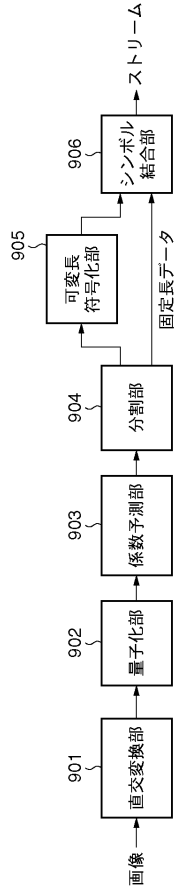


(a)

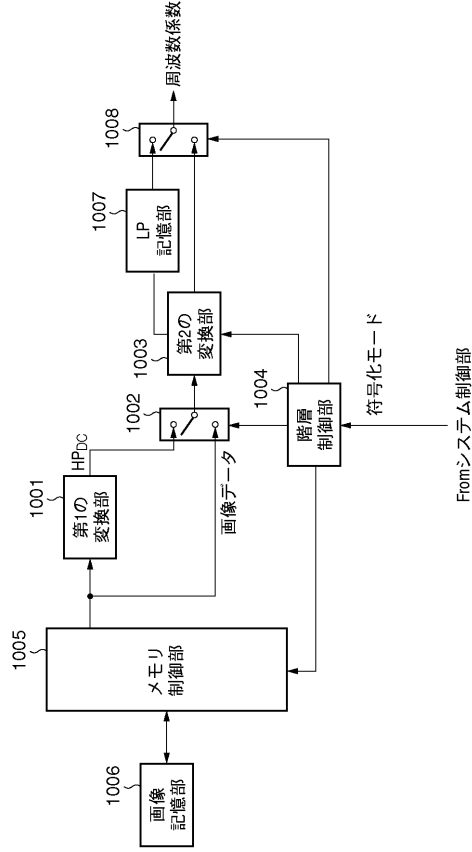


(b)

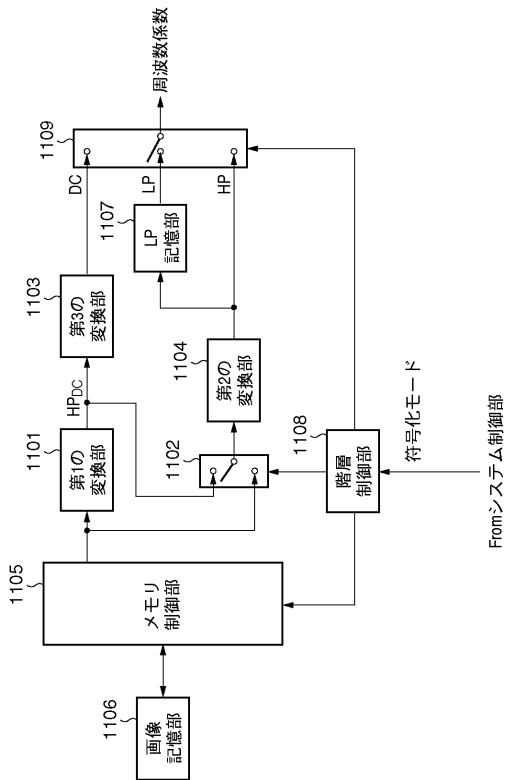
【図9】



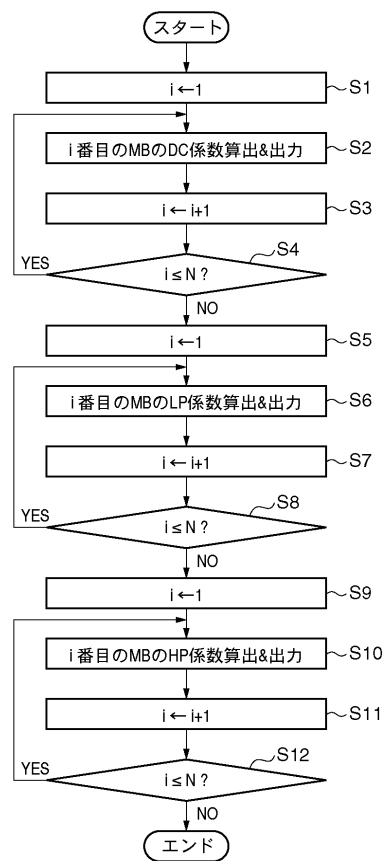
【図10】



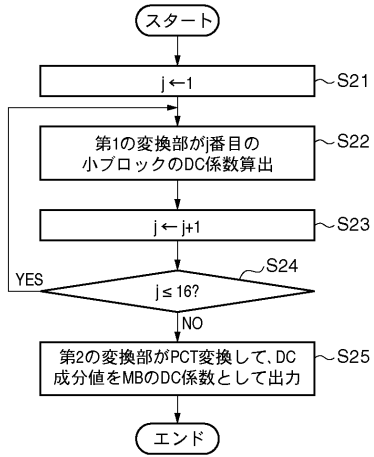
【図11】



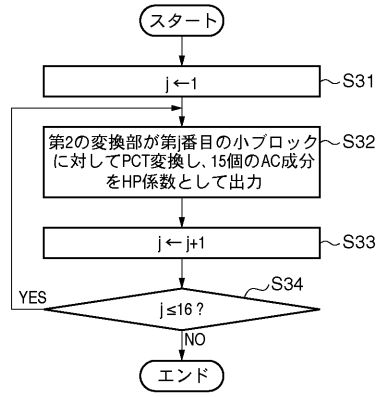
【図12】



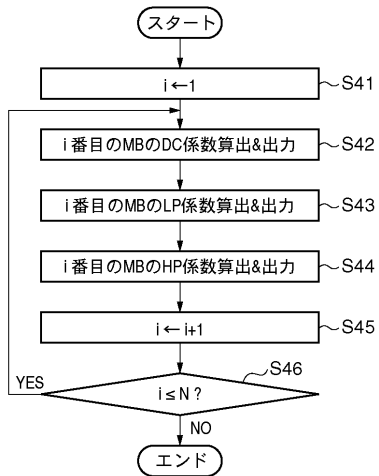
【図 13】



【図 14】



【図 15】



フロントページの続き

- (72)発明者 藤野 玲子
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 中山 忠義
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 堀井 啓明

- (56)参考文献 特開2009-100330(JP,A)
特開2010-045589(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H04N1/41-1/419
H04N19/00-19/98