



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년02월16일  
(11) 등록번호 10-2363598  
(24) 등록일자 2022년02월11일

(51) 국제특허분류(Int. Cl.)  
G11C 11/4091 (2006.01) G11C 7/06 (2021.01)  
(52) CPC특허분류  
G11C 11/4091 (2013.01)  
G11C 7/065 (2013.01)  
(21) 출원번호 10-2020-0077603  
(22) 출원일자 2020년06월25일  
심사청구일자 2020년06월25일  
(65) 공개번호 10-2022-0000079  
(43) 공개일자 2022년01월03일  
(56) 선행기술조사문헌  
KR1020000004477 A\*  
US20150269978 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
원본드 일렉트로닉스 코퍼레이션  
중화민국 대만 428 타이청 카운티 센트럴 타이완  
사이언스 파크 다야 타운쉽 케야 로드 아이 넘버  
8  
(72) 발명자  
카도와키, 타쿠야  
일본 카나가와 222-0033 요코하마 고히쿠구 신요  
코하마 2-3-12 신요코하마 스퀘어 빌딩 9F  
(74) 대리인  
특허법인 무한

전체 청구항 수 : 총 10 항

심사관 : 손윤식

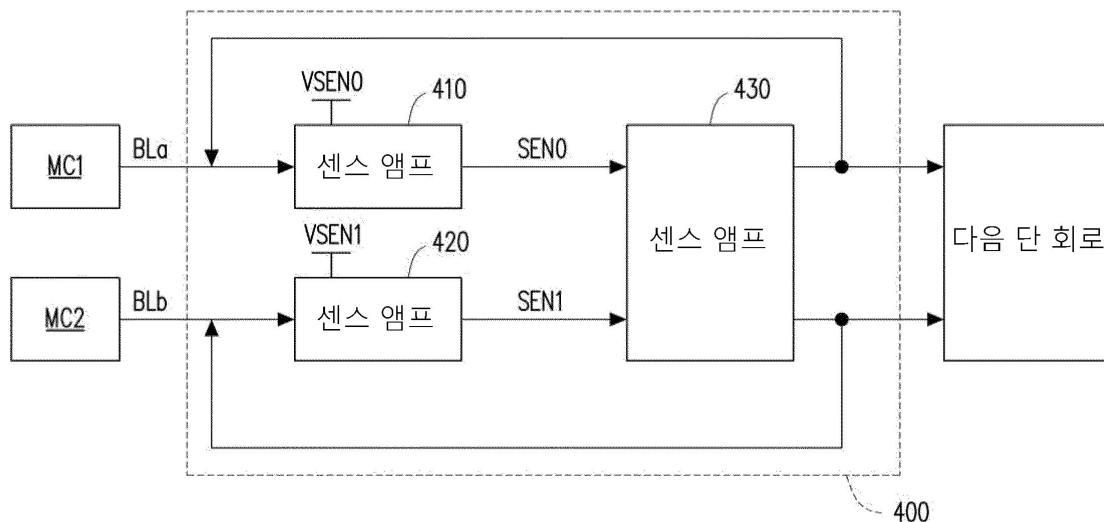
(54) 발명의 명칭 센스 앰프 장치

(57) 요약

[목적] 비트선의 데이터를 감지(독출)하기 위한 센스 앰프 장치를 제공한다.

[해결수단] 센스 앰프 장치는, 제1 센스 앰프와, 제2 센스 앰프와, 제3 센스 앰프를 포함한다. 제1 센스 앰프의 입력 단자는, 제1 비트선에 접속된다. 제2 센스 앰프의 입력 단자는, 제2 비트선에 접속된다. 제3 센스 앰프는, 차동 입력쌍과 차동 출력쌍을 가지고, 차동 입력쌍의 제1 입력 단자는, 제1 센스 앰프의 출력 단자에 접속되고, 차동 입력쌍의 제2 입력 단자는, 제2 센스 앰프의 출력 단자에 접속되고, 차동 출력쌍의 제1 출력 단자는, 제1 센스 앰프의 입력 단자에 접속되고, 차동 출력쌍의 제2 출력 단자는, 제2 센스 앰프의 입력 단자에 접속된다.

대표도



**명세서**

**청구범위**

**청구항 1**

센스 앰프 장치에 있어서,

제1 비트선에 접속되는 입력 단자를 가지는 제1 센스 앰프와,

제2 비트선에 접속되는 입력 단자를 가지는 제2 센스 앰프와,

차동 입력쌍과 차동 출력쌍을 가지고, 상기 차동 입력쌍의 제1 입력 단자가, 상기 제1 센스 앰프의 출력 단자에 접속되고, 상기 차동 입력쌍의 제2 입력 단자가, 상기 제2 센스 앰프의 출력 단자에 접속되고, 상기 차동 출력쌍의 제1 출력 단자가, 상기 제1 센스 앰프의 상기 입력 단자에 접속되고, 상기 차동 출력쌍의 제2 출력 단자가, 상기 제2 센스 앰프의 상기 입력 단자에 접속된 제3 센스 앰프

를 포함하고,

상기 제1 센스 앰프가,

제1 단자가, 제1 기준 전압에 접속되고, 제2 단자가, 상기 제1 센스 앰프의 상기 출력 단자에 접속되고, 제어 단자가, 제1 제어 신호에서 제어되는 제1 트랜지스터와,

제1 단자가, 상기 제1 센스 앰프의 상기 입력 단자에 접속되고, 제2 단자가, 상기 제1 트랜지스터의 상기 제2 단자에 접속되고, 제어 단자가, 제2 제어 신호에서 제어되는 제2 트랜지스터

를 포함하는 센스 앰프 장치.

**청구항 2**

제1항에 있어서,

상기 제1 센스 앰프 및 상기 제2 센스 앰프의 각각이, 비차동 신호 앰프이고,

상기 제3 센스 앰프가, 차동 신호 앰프인

센스 앰프 장치.

**청구항 3**

삭제

**청구항 4**

제1항에 있어서,

상기 제1 트랜지스터가, PMOS 트랜지스터를 포함하고,

상기 제2 트랜지스터가, NMOS 트랜지스터를 포함하는

센스 앰프 장치.

**청구항 5**

제1항에 있어서,

워드선 인에이블 기간 전(前)의 비트선 프리차지 기간에서, 상기 제1 제어 신호가, 상기 제1 트랜지스터를 온 하고, 상기 제2 제어 신호가, 상기 제2 트랜지스터를 구동하여, 상기 제1 비트선을 프리차지 하고,

상기 워드선 인에이블 기간의 초기화 기간에서, 상기 제1 제어 신호가, 상기 제1 트랜지스터를 온 하고, 상기 제2 제어 신호가, 상기 제2 트랜지스터를 절단하고,

상기 초기화 기간 후(後)의 상기 워드선 인에이블 기간의 감지 기간에서, 상기 제1 제어 신호가, 상기 제1 트랜

지스터를 절단하고, 상기 제2 제어 신호가, 상기 제2 트랜지스터를 구동하여, 상기 제1 비트선을 감지하는 센스 앰프 장치.

**청구항 6**

제5항에 있어서,  
 상기 감지 기간, 또한 상기 제1 비트선의 데이터가 제1 논리 상태인 상황에서, 상기 제2 트랜지스터가 절단되고,  
 상기 감지 기간, 또한 상기 제1 비트선의 데이터가 제2 논리 상태인 상황에서, 상기 제2 트랜지스터가 온 하는  
 센스 앰프 장치.

**청구항 7**

제1항에 있어서,  
 상기 제2 센스 앰프가 상기 제2 비트선을 감지하는 기간에서,  
 상기 제1 제어 신호가, 상기 제1 트랜지스터를 온 하고, 상기 제2 제어 신호가, 상기 제2 트랜지스터를 절단하  
 는  
 센스 앰프 장치.

**청구항 8**

제1항에 있어서,  
 상기 제1 센스 앰프가,  
 입력 단자가, 상기 제1 센스 앰프의 상기 입력 단자에 접속되고, 상기 제2 제어 신호를 생성하여, 상기 제2 트  
 랜지스터의 상기 제어 단자에 공급하기 위해 사용되고, 상기 제1 센스 앰프의 상기 입력 단자의 레벨에 근거하  
 여, 상기 제2 제어 신호를 동적으로 조정하는 제어 회로  
 를 더 포함하는 센스 앰프 장치.

**청구항 9**

제8항에 있어서,  
 상기 제어 회로가,  
 제1 단자가, 제3 제어 신호를 수신하고, 제2 단자가, 상기 제어 회로의 출력 단자에 접속되고, 상기 제2 제어  
 신호를 생성하여, 상기 제2 트랜지스터의 상기 제어 단자에 공급하고, 제어 단자가, 제2 기준 전압에서 제어되  
 는 제3 트랜지스터와,  
 제1 단자가, 제4 제어 신호를 수신하고, 제2 단자가, 상기 제3 트랜지스터의 상기 제2 단자에 접속되고, 제어  
 단자가, 상기 제어 회로의 상기 입력 단자에 접속된 제4 트랜지스터  
 를 포함하는 센스 앰프 장치.

**청구항 10**

제9항에 있어서,  
 상기 제3 트랜지스터가, PMOS 트랜지스터를 포함하고,  
 상기 제4 트랜지스터가, NMOS 트랜지스터  
 를 포함하는 센스 앰프 장치.

**청구항 11**

제1항에 있어서,

상기 제3 센스 앰프가,

제1 단자가, 제1 전압에 접속되고, 제2 단자가, 상기 제3 센스 앰프의 상기 제1 출력 단자에 접속되고, 제어 단자가, 상기 제3 센스 앰프의 상기 제2 출력 단자에 접속된 제1 트랜지스터와,

제1 단자가, 상기 제1 전압에 접속되고, 제2 단자가, 상기 제3 센스 앰프의 상기 제2 출력 단자에 접속되고, 제어 단자가, 상기 제3 센스 앰프의 상기 제1 출력 단자에 접속된 제2 트랜지스터와,

제1 단자가, 제2 전압에 접속되고, 제2 단자가, 상기 제3 센스 앰프의 상기 제1 출력 단자에 접속되고, 제어 단자가, 상기 제3 센스 앰프의 상기 제2 입력 단자에 접속된 제3 트랜지스터와,

제1 단자가, 상기 제2 전압에 접속되고, 제2 단자가, 상기 제3 센스 앰프의 상기 제2 출력 단자에 접속되고, 제어 단자가, 상기 제3 센스 앰프의 상기 제1 입력 단자에 접속된 제4 트랜지스터

를 포함하는 센스 앰프 장치.

### 발명의 설명

### 기술 분야

[0001] 본 발명은, 신호 증폭 회로에 관한 것으로, 특히, 센스 앰프 장치에 관한 것이다.

### 배경 기술

[0002] 도 1은, DRAM(dynamic random access memory)(100) 내의 메모리 셀 어레이(memory cell array)의 회로 블록 개략도이다. DRAM(100)의 메모리 셀 어레이는, 복수의 서브 어레이(sub-array)(110~140)를 포함한다. 서브 어레이(110~140)의 각각은, 복수의 비트선(bit-line)(BL0와 BL1), 복수의 워드선(word-line, 도시하지 않음), 및 복수의 메모리 셀(memory cell, 도시하지 않음)을 가진다. 설계 요구에 따라, 이들 서브 어레이(110~140)는, 주지의 메모리 셀 또는 그 외의 메모리 셀이어도 무방하기 때문에, 여기에서는 자세히 설명하지 않는다.

[0003] 도 1에 도시한 DRAM(100)은, 복수의 센스 앰프(sense amplifier)(SA)를 더 포함한다. 2개의 서브 어레이의 비트선은, 1개의 센스 앰프를 공유한다. 이들 센스 앰프의 각각은, 차동(差動) 신호 앰프이다. 즉, 이들 센스 앰프의 각각은, 차동쌍을 가진다. 상기 차동쌍의 제1 단자와 제2 단자는, 각각 다른 서브 어레이의 1개의 비트선에 접속된다. 예를 들면, 센스 앰프(150)의 차동쌍의 제1 단자는, 서브 어레이(110)의 비트선(BL0)에 접속되고, 센스 앰프(150)의 차동쌍의 제2 단자는, 서브 어레이(120)의 비트선(BL1)에 접속된다.

[0004] 도 1에 도시한 센스 앰프(150)의 상기 차동쌍의 제1 단자와 제2 단자는, 동일한 비트선 용량을 가지고, 고정밀의 차동 센싱(differential sensing)을 위해 부하 용량이 매칭되어 있다. 엣지 서브 어레이(edge sub-array, 예를 들면, 서브 어레이(110 또는 140))의 일측에는, 부하 용량 매칭을 할 수 없기 때문에, 센스 앰프가 없다. 엣지 서브 어레이(110 또는 140)는, 더미 비트선(dummy bit-line, 과선으로 도시된다) 및 더미 비트선에 접속된 복수의 더미 메모리 셀(dummy memory cell, 도시하지 않음)을 포함한다. 일반적으로, 더미 메모리 셀은, 아이들링(idling)이 불필요한 메모리 셀이다. 따라서, 엣지 서브 어레이 중 절반의 메모리 셀은, 사용 불가(unavailable)이다.

[0005] 도 2는, 도 1에 도시한 센스 앰프(150), 비트선(BL0), 및 비트선(BL1)을 도시한 것이다. 도 3은, 도 2에 도시한 워드선(WL), 제어 신호(CSP), 제어 신호(CSN), 데이터(SN), 비트선(BL0), 및 비트선(BL1)의 과형 개략도이다. 도 3의 가로축은, 시간을 나타내고, 세로축은, 신호의 레벨을 나타낸다. 도 2 및 도 3이 참조하기를 바란다. 도 2에 도시한 센스 앰프(150)의 제1 전원 단자는, 제어 신호(CSP)를 수신하고, 센스 앰프(150)의 제2 전원 단자는, 제어 신호(CSN)를 수신한다. 도 2에 도시한 컨텐서(C<sub>BL</sub>)는, 비트선(BL0)과 비트선(BL1)의 기생(寄生) 용량을 나타낸다. 도 2에 도시한 메모리 셀(MC)은, 서브 어레이(120)에서 비트선(BL1)에 접속된 복수의 메모리 셀 중 하나를 나타낸다. 메모리 셀(MC)은, 등가 회로를 나타내고, 스위치(SW)와 기억 소자(C<sub>SN</sub>)를 포함한다. 스위치(SW)의 제1 단자는, 비트선(BL1)에 접속된다. 스위치(SW)의 제2 단자는, 기억 소자(C<sub>SN</sub>)에 접속된다. 스위치(SW)의 제어 단자는, 서브 어레이(120) 내의 복수의 워드선 중 1개의 워드선(WL)에 접속된다. 워드선(WL)이 스위치(SW)를 온(turn-on) 했을 때, 센스 앰프(150)는, 비트선(BL1)에 의해 메모리 셀(MC)의 데이터(SN)를 감지(感知)(독출)하고, 데이터(SN)의 레벨을 증폭한다. 감지 신호(비트선(BL0)과 비트선(BL1)의 사이

의 레벨 차)는, 
$$dV_{SIG} = \frac{C_{SN}}{C_{SN}+C_{BL}} \cdot dV_{SN}$$
 로 나타낼 수 있다.

[0006] 센스 앰프(150)는 NMOS쌍(NMOS pair)과 PMOS쌍(PMOS pair)을 포함한다. 프로세스의 편차에 따라, 센스 앰프(150)에서 쌍으로 된 트랜지스터 사이의  $V_{th}$  미스매치(mismatch)가 생긴다. 감지 신호( $dV_{SIG}$ )가  $V_{th}$  미스매치 보다 크지 않으면, 센스 앰프(150)는, 감지 신호( $dV_{SIG}$ )를 정확하게 감지할 수 없다. 그렇지만, 프로세스가 축소하면, 셀 기억 노드(cell storage node, CSN)의 용량이 감소해, 감지 신호( $dV_{SIG}$ )가 작아진다. 또, 칩 상의 센스 앰프의 수량이 증가하는 것에 따라,  $V_{th}$  미스매치도, 통계상, 증가한다. 따라서, 프로세스가 축소하는 것에 따라, 감지 신호 마진(sense signal margin)이 감소한다.

[0007] 주의해야 할 것으로, 「선행기술」의 단락의 내용은, 본 발명을 이해하기 쉽게 하기 위한 것이다. 「선행기술」의 단락이 개시하는 내용(또는 모든 내용)은, 본 발명이 속하는 기술 분야에서 통상의 지식을 가지는 사람이 알고 있는 주지의 기술이 아닐 가능성이 있다. 「선행기술」의 단락이 개시하는 내용은, 상기 내용이 본 발명의 출원 전에 본 발명이 속하는 기술 분야에서 통상의 지식을 가지는 사람에게 있어 이미 알려져 있음을 나타내는 것은 아니다.

**발명의 내용**

**해결하려는 과제**

[0008] 본 발명은, 비트선의 데이터를 감지(독출)하기 위한 센스 앰프 장치를 제공한다.

**과제의 해결 수단**

[0009] 본 발명의 하나의 실시 형태에서, 상술한 센스 앰프 장치는, 제1 센스 앰프와, 제2 센스 앰프와, 제3 센스 앰프를 포함한다. 제1 센스 앰프의 입력 단자는, 제1 비트선에 접속된다. 제2 센스 앰프의 입력 단자는, 제2 비트선에 접속된다. 제3 센스 앰프는, 차동(差動) 입력쌍과 차동 출력쌍을 가지고, 차동 입력쌍의 제1 입력 단자는, 제1 센스 앰프의 출력 단자에 접속되고, 차동 입력쌍의 제2 입력 단자는, 제2 센스 앰프의 출력 단자에 접속되고, 차동 출력쌍의 제1 출력 단자는, 제1 센스 앰프의 입력 단자에 접속되고, 차동 출력쌍의 제2 출력 단자는, 제2 센스 앰프의 입력 단자에 접속된다.

**발명의 효과**

[0010] 이상과 같이, 본 발명의 실시 형태의 제1 센스 앰프 및(또는) 제2 센스 앰프는, 비트선 상의 작은 신호를 증폭할 수 있다. 상술한 제3 센스 앰프는, 증폭된 차동 신호를 수신할 수 있다. 따라서, 이 센스 앰프 장치는, 비트선의 데이터를 감지(독출)할 수 있다.

[0011] 본 발명의 상기 및 다른 목적, 특징 및 이점을 보다 알기 쉽게 하기 위해, 도면에 맞춘 몇개의 실시 형태를 이하에 설명한다.

**도면의 간단한 설명**

[0012] 첨부 도면은, 본 발명의 원리가 한층 더 이해되도록 포함되어 있고, 본 명세서에 조입되고 또한 그 일부를 구성하는 것이다. 도면은, 본 발명의 실시 형태를 예시하고 있고, 설명과 함께, 본 발명의 원리를 설명하는 역할을 이루고 있다.

[도 1] DRAM 내의 메모리 셀 어레이의 회로 블록(circuit block) 개략도이다.

[도 2] 도 1에 도시한 센스 앰프 및 비트선을 도시한 것이다.

[도 3] 도 2에 도시한 워드선, 제어 신호, 데이터, 및 비트선의 파형 개략도이다.

[도 4] 본 발명의 하나의 실시 형태에 따른 센스 앰프 장치의 회로 블록 개략도이다.

[도 5] 본 발명의 하나의 실시 형태에 따른 센스 앰프의 회로 개략도이다.

[도 6] 본 발명의 하나의 실시 형태에 따른 도 5에 도시한 신호를 설명하는 시퀀스 개략도이다.

[도 7] 본 발명의 다른 실시 형태에 따른 센스 앰프의 회로 개략도이다.

[도 8] 본 발명의 하나의 실시 형태에 따른 도 7에 도시한 신호를 설명하는 시퀀스 개략도이다.

[도 9] 본 발명의 또 다른 실시 형태에 따른 전압 발생 회로 개략도이다.

[도 10] 본 발명의 또 다른 실시 형태에 따른 도 4에 도시한 센스 앰프를 설명하는 회로 개략도이다.

[도 11] 본 발명의 하나의 실시 형태에 따른 도 10에 도시한 신호를 설명하는 시퀀스 개략도이다.

[도 12] 본 발명의 또 다른 실시 형태에 따른 도 4에 도시한 센스 앰프를 설명하는 회로 개략도이다.

[도 13] 본 발명의 하나의 실시 형태에 따른 도 12에 도시한 신호를 설명하는 시퀀스 개략도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0013] 본원의 명세서 전문(청구항을 포함한다)에서 사용하고 있는 「접속(연접(連接))」이라는 어구(語句)는, 직접적 또는 간접적인 어떠한 접속 수단도 가리킬 수 있다. 예를 들어 설명하면, 문(文) 중에서, 제1 장치가 제2 장치에 접속(연접)된다고 기술되고 있는 경우, 상기 제1 장치가 직접 상기 제2 장치에 접속되고 있다고 해석해도 무방하고, 혹은 상기 제1 장치가 그 외의 장치 또는 어떤 종류의 접속 수단에 의해 간접적으로 상기 제2 장치에 접속되고 있다고 해석해도 무방하다. 또, 가능한, 도면 및 실시 형태에서, 같은 부호의 소자/부재/스텝을 사용하여, 같거나 유사한 부분을 나타내는 것으로 한다. 다른 실시 형태에서 같은 부호를 사용하거나, 혹은 같은 용어의 소자/부재/스텝을 사용함으로써, 서로 관련 설명을 참조할 수 있다.
- [0014] 도 4는, 본 발명의 하나의 실시 형태에 따른 센스 앰프 장치(400)의 회로 블록(circuit block) 개략도이다. 센스 앰프 장치(400)는, 2단 센스 앰프(2 stages sense amplifier)여도 무방하다. 도 4의 실시 형태에서, 센스 앰프 장치(400)는, 센스 앰프(410~430)를 포함한다. 센스 앰프(410)의 입력 단자는, 비트선(BLa)에 접속된다. 센스 앰프(420)의 입력 단자는, 비트선(BLb)에 접속된다. 비트선(BLa)과 비트선(BLb)은, 도 1과 도 2에 도시한 비트선(bit-line)(BL0)과 비트선(BL1)의 관련 설명을 참조해 유추할 수 있다.
- [0015] 비트선(BLa)은, DRAM(dynamic random access memory) 내의 메모리 셀 어레이(memory cell array)의 하나의 서브 어레이(sub-array) 중의 복수의 메모리 셀(memory cell, 예를 들면, 메모리 셀(MC1))에 접속되고, 비트선(BLb)은, 상기 메모리 셀 어레이의 다른 서브 어레이 중의 복수의 메모리 셀(예를 들면, 메모리 셀(MC2))에 접속된다. 상기 서브 어레이는, 도 1에 도시한 서브 어레이(110~140)의 관련 설명을 참조해 유추할 수 있고, 메모리 셀(MC1)과 메모리 셀(MC2)은, 도 2에 도시한 메모리 셀(MC)의 관련 설명을 참조해 유추할 수 있기 때문에, 여기에서는 설명을 생략한다.
- [0016] 센스 앰프(410) 및 센스 앰프(420)는, 비(非)차동 신호 앰프(싱글 엔드 신호 앰프) 또는 임의 적절한 종류의 앰프여도 무방하다. 센스 앰프(410)는, 비트선(BLa) 상의 신호를 감지해 증폭하고, 증폭된 신호를 노드(SEN0)에 출력할 수 있고, 센스 앰프(420)는, 비트선(BLb) 상의 신호를 감지해 증폭하고, 증폭된 신호를 노드(SEN1)에 출력할 수 있다. 센스 앰프(410)가 비트선(BLa) 상의 신호에 대응하는 증폭된 신호를 노드(SEN0)에 출력했을 때, 센스 앰프(420)는, 노드(SEN1)를 기준 전압(VSEN1)의 레벨(예를 들면, 1.2 V)로 설정할 수 있다. 센스 앰프(420)가 비트선(BLb) 상의 신호에 대응하는 증폭된 신호를 노드(SEN1)에 출력했을 때, 센스 앰프(410)는, 노드(SEN0)를 기준 전압(VSEN0)의 레벨(예를 들면, 1.2 V)로 설정할 수 있다.
- [0017] 센스 앰프(430)는, 차동 신호 앰프여도 무방하다. 센스 앰프(430)는, 차동 입력쌍과 차동 출력쌍을 가진다. 상기 차동 입력쌍의 제1 입력 단자는, 노드(SEN0)를 통해 센스 앰프(410)의 출력 단자에 접속되고, 상기 차동 입력쌍의 제2 입력 단자는, 노드(SEN1)를 통해 센스 앰프(420)의 출력 단자에 접속된다. 센스 앰프(430)의 차동 출력쌍은, 비트선(BLa)과 비트선(BLb)에 대한 감지 결과를 다음 단(次段, nest step) 회로(예를 들면, A/D 컨버터)에 제공할 수 있다. 또, 상기 차동 출력쌍의 제1 출력 단자는, 센스 앰프(410)의 입력 단자에 접속되고, 상기 차동 출력쌍의 제2 출력 단자는, 센스 앰프(420)의 입력 단자에 접속된다. 따라서, 센스 앰프(430)는, 노드(SEN0)와 노드(SEN1)의 사이의 차동 전압(differential voltage)을 감지해 증폭하고, 증폭된 신호를 비트선(BLa)과 비트선(BLb)에 출력할 수 있다.
- [0018] 상술한 2단 센스 앰프(센스 앰프 장치(400))에서, 비트선(비트선(BLa 또는 BLb)) 상의 작은 신호가 제1단 센스 앰프(센스 앰프(410 또는 420))에 증폭된 후, 증폭된 신호를 제2단 센스 앰프(센스 앰프(430))에 출력한다. 따라서, 센스 앰프(430)가 수신한 차동 신호의 강도는, 도 1에 도시한 센스 앰프(예를 들면, 센스 앰프(150))가 수신한 차동 신호의 강도 보다 크다. 따라서, 프로세스의 축소에도 불구하고, 도 4에 도시한 실시 형태는, 충



분한 감지 신호 마진(sense signal margin)을 실현할 수 있다. 따라서, 센스 앰프 장치(400)는, 미스매치에 대한 내성(immunity to mismatch)을 가진다. 또, 정확한 비트선 용량 매칭(bit-line capacitance match)을 필요로 하지 않는다. 따라서, 엣지 서브 어레이(edge sub-array, 예를 들면, 도 1에 도시한 서브 어레이(110 또는 140))는, 양측에서 센스 앰프 장치(400)를 배치할 수 있고, 엣지 서브 어레이의 메모리 셀을 사용할 수 있다.

[0019] 도 5는, 본 발명의 하나의 실시 형태에 따른 센스 앰프(500)의 회로 개략도이다. 센스 앰프(500)는, 도 4의 센스 앰프(410 및 420)에 적합하다. 도 5에 도시한 기준 전압(VSEN)은, 도 4에 도시한 기준 전압(VSEN0) 또는 기준 전압(VSEN1)과 비교할 수 있다. 도 5에 도시한 비트선(BL)은, 도 4에 도시한 비트선(BLa) 및 비트선(BLb)과 비교할 수 있다. 도 5에 도시한 노드(SEN)는, 도 4에 도시한 노드(SEN0) 또는 노드(SEN1)와 비교할 수 있다. 도 5에 도시한 기준 전압(VSEN), 제어 신호(SENC), 및 제어 신호(BLC)는, 그 외의 장치(도시하지 않음, 예를 들면, 컨트롤러, 기준 전압 생성 회로 등)에 의해 제공할 수 있다.

[0020] 도 5에 도시한 센스 앰프(500)는, 트랜지스터(510)와, 트랜지스터(520)를 포함한다. 도 5의 실시 형태에서, 트랜지스터(510)는, PMOS(p-channel metal oxide semiconductor) 트랜지스터 또는 그 외의 트랜지스터를 포함하고, 트랜지스터(520)는, NMOS(n-channel metal oxide semiconductor) 트랜지스터 또는 그 외의 트랜지스터를 포함한다. 트랜지스터(510)의 제1 단자(예를 들면, 소스)는, 기준 전압(VSEN)에 접속된다. 트랜지스터(510)의 제2 단자(예를 들면, 드레인)는, 센스 앰프(500)의 출력 단자에 접속되고, 증폭된 신호(예를 들면, 기준 전압(VSEN))을 노드(SEN)에 출력한다. 트랜지스터(510)의 제어 단자(예를 들면, 게이트)는, 제어 신호(SENC)에서 제어된다. 트랜지스터(520)의 제1 단자(예를 들면, 소스)는, 센스 앰프(500)의 입력 단자에 접속되고, 비트선(BL)의 데이터 신호를 수신한다. 트랜지스터(520)의 제2 단자(예를 들면, 드레인)는, 트랜지스터(510)의 제2 단자에 접속된다. 트랜지스터(520)의 제어 단자(예를 들면, 게이트)는, 제어 신호(BLC)에서 제어된다.

[0021] 도 6은, 본 발명의 하나의 실시 형태에 따른 도 5에 도시한 신호를 설명하는 시퀀스 개략도이다. 도 6의 가로축은, 시간을 나타내고, 세로축은, 신호의 레벨을 나타낸다. 도 6은, 워드선(WL) 상의 제어 신호를 나타낸다. 워드선(WL) 상의 제어 신호가 고논리 레벨인 기간을, 워드선 인에이블 기간(WLE)이라고 칭한다. 워드선(WL) 상의 제어 신호가 고논리 레벨일 때, 비트선(BL)에 접속된 복수의 메모리 셀 중 하나의 대응하는 메모리 셀이 선택되고, 이 선택된 대응하는 메모리 셀은, 데이터를 비트선(BL)에 출력한다.

[0022] 도 5 및 도 6을 참조하기를 바란다. 비트선 프리차지(pre-charge) 기간(PC)에서, 제어 신호(SENC)가 트랜지스터(510)를 온(turn on)하고, 제어 신호(BLC)가 트랜지스터(520)를 구동하여, 비트선(BL)에 대해 프리차지(pre-charge)를 실시한다. 제어 신호(BLC)는, 트랜지스터(520)를 구동하여, 비트선(BL)의 레벨을 적절한 프리차지 레벨(예를 들면, 0.5 V)로 설정할 수 있다.

[0023] 계속해서, 워드선 인에이블 기간(WLE)의 초기화 기간(601)의 전(前)에, 제어 신호(SENC)가 트랜지스터(510)를 도통하고, 제어 신호(BLC)가 트랜지스터(520)를 절단(turn off)한다. 트랜지스터(510)는, 초기화 기간(601)에서, 노드(SEN)의 레벨을 프리차지 레벨(기준 전압(VSEN))로 설정할 수 있다. 트랜지스터(520)가 절단된 후, 워드선 인에이블 기간(WLE)의 초기화 기간(601)에서, 워드선(WL)은, 독출하려는 메모리 셀을 열기(turn on) 때문에, 독출하려는 메모리 셀은, 프리차지 된 비트선(BL) 상에 데이터를 출력할 수 있다. 데이터가 「1」인 상황에서, 비트선(BL)의 레벨은, 프리차지 레벨 보다 높아진다. 데이터가 「0」인 상황에서, 비트선(BL)의 레벨은, 프리차지 레벨 보다 낮아진다.

[0024] 초기화 기간(601)이 종료하면, 제어 신호(SENC)는, 트랜지스터(510)를 절단한다. 초기화 기간(601)의 후(後)의 워드선 인에이블 기간(WLE)의 감지 기간(602)에서, 제어 신호(SENC)가 트랜지스터(510)를 절단하고, 제어 신호(BLC)가 트랜지스터(520)를 구동하여, 비트선(BL)을 감지한다. 감지 기간(602), 또한 비트선(BL)의 데이터가 제1 논리 상태(예를 들면, 「1」)인 상황에서, 트랜지스터(520)가 절단되기 때문에, 노드(SEN)를 프리차지 레벨(예를 들면, 1.2 V)로 보관유지(保持)할 수 있다. 감지 기간(602), 또한 비트선(BL)의 데이터가 제2 논리 상태(예를 들면, 「0」)인 상황에서, 트랜지스터(520)가 온 한다. 노드(SEN)의 용량(capacitance)은, 비트선(BL)의 용량 보다 작기 때문에, 노드(SEN)는, 비트선(BL)의 레벨에 가까워질 때까지 방전된다.

[0025] 도 7은, 본 발명의 다른 실시 형태에 따른 센스 앰프(700)의 회로 개략도이다. 센스 앰프(700)는, 도 4의 센스 앰프(410 및 420)에 적합하다. 도 7에 도시한 기준 전압(VSEN)은, 도 4에 도시한 기준 전압(VSEN0) 또는 기준 전압(VSEN1)과 비교할 수 있다. 도 7에 도시한 비트선(BL)은, 도 4에 도시한 비트선(BLa) 및 비트선(BLb)과 비교할 수 있다. 도 7에 도시한 노드(SEN)는, 도 4에 도시한 노드(SEN0) 또는 노드(SEN1)와 비교할 수 있다. 도 7에 도시한 기준 전압(VSEN), 제어 신호(SENC), 제어 신호(PBLCs), 기준 전압(VREF\_BLC), 및 제어 신호(NBLCs)는, 그 외의 장치(도시하지 않음, 예를 들면, 컨트롤러, 기준 전압 생성 회로 등)에 의해 제공할 수 있다.

다. 설계의 요구에 따라, 기준 전압(VREF\_BLC)은, 고정 전압이어도 무방하다.

- [0026] 도 7에 도시한 센스 앰프(700)는, 제어 회로(710)와, 트랜지스터(720)와, 트랜지스터(730)를 포함한다. 도 7에 도시한 트랜지스터(720) 및 트랜지스터(730)는, 도 5에 도시한 트랜지스터(510) 및 트랜지스터(520)의 관련 설명을 참조해 유추할 수 있기 때문에, 여기에서는 설명을 생략한다. 트랜지스터(720)의 제1 단자(예를 들면, 소스)는, 기준 전압(VSEN)에 접속된다. 트랜지스터(720)의 제2 단자(예를 들면, 드레인)는, 센스 앰프(700)의 출력 단자에 접속되고, 증폭된 신호(예를 들면, 기준 전압(VSEN))를 노드(SEN)에 출력한다. 트랜지스터(720)의 제어 단자(예를 들면, 게이트)는, 제어 신호(SENC)에서 제어된다. 트랜지스터(730)의 제1 단자(예를 들면, 소스)는, 센스 앰프(700)의 입력 단자에 접속되고, 비트선(BL)의 데이터 신호를 수신한다. 트랜지스터(730)의 제2 단자(예를 들면, 드레인)는, 트랜지스터(720)의 제2 단자에 접속된다. 트랜지스터(730)의 제어 단자(예를 들면, 게이트)는, 제어 신호(BLC)에서 제어된다.
- [0027] 제어 회로(710)의 입력 단자는, 센스 앰프(700)의 입력 단자에 접속되고, 비트선(BL)의 데이터 신호를 수신한다. 제어 회로(710)는, 제어 신호(BLC)를 생성해 트랜지스터(730)의 제어 단자에 공급할 수 있다. 제어 회로(710)는, 센스 앰프(700)의 입력 단자의 레벨(비트선(BL)의 데이터 신호의 레벨)에 근거하여, 제어 신호(BLC)를 동적으로 조정할 수 있다.
- [0028] 도 7의 실시 형태에서, 제어 회로(710)는, 트랜지스터(711)와, 트랜지스터(712)를 포함한다. 도 7의 실시 형태에서, 트랜지스터(711)는, PMOS 트랜지스터 또는 그 외의 트랜지스터를 포함하고, 트랜지스터(712)는, NMOS 트랜지스터 또는 그 외의 트랜지스터를 포함한다. 트랜지스터(711)의 제1 단자(예를 들면, 소스)는, 제어 신호(PBLCS)를 수신한다. 트랜지스터(711)의 제2 단자(예를 들면, 드레인)는, 제어 회로(710)의 출력 단자에 접속되고, 제어 신호(BLC)를 생성해 트랜지스터(730)의 제어 단자에 공급한다. 트랜지스터(711)의 제어 단자(예를 들면, 게이트)는, 기준 전압(VREF\_BLC)에서 제어된다. 트랜지스터(712)의 제1 단자(예를 들면, 소스)는, 제어 신호(NBLCS)를 수신한다. 트랜지스터(712)의 제2 단자(예를 들면, 드레인)는, 트랜지스터(711)의 제2 단자에 접속된다. 트랜지스터(712)의 제어 단자(예를 들면, 게이트)는, 제어 회로(710)의 입력 단자에 접속되고, 비트선(BL)의 데이터 신호를 수신한다.
- [0029] 도 8은, 본 발명의 하나의 실시 형태에 따른 도 7에 도시한 신호를 설명하는 시퀀스 개략도이다. 도 7 및 도 8을 참조하기를 바란다. 비트선 프리차지 기간(PC)에서, 제어 신호(PBLCS)가 폴업(pull-up)되기 때문에, 트랜지스터(711)가 온 하고, 제어 신호(BLC)를 폴업한다. 비트선 프리차지 기간(PC)에서, 제어 신호(SENC)가 트랜지스터(720)를 온(turn on) 하고, 제어 신호(BLC)가 트랜지스터(730)를 구동하여, 비트선(BL)에 대해 프리차지를 실시한다. 트랜지스터(730)는, 비트선(BL)의 레벨을 적절한 프리차지 레벨(예를 들면, 0.5 V)로 설정할 수 있다. 비트선(BL)의 이 프리차지 레벨은, 트랜지스터(712)의 제어 단자에 피드백 되기 때문에, 트랜지스터(712)는, 비트선(BL)의 레벨에 근거하여, 제어 신호(BLC)의 레벨을 동적으로 조정할 수 있다.
- [0030] 비트선 프리차지 기간(PC)이 종료하면, 제어 신호(PBLCS)가 풀다운 되기 때문에, 트랜지스터(711)가 절단되고, 제어 신호(BLC)가 트랜지스터(712)에 의해 풀다운 된다. 계속해서, 워드선 인에이블 기간(WLE)의 초기화 기간(801)에서, 제어 신호(SENC)가 트랜지스터(720)를 온 하고, 제어 신호(BLC)가 트랜지스터(730)를 절단(turn off) 한다. 트랜지스터(720)는, 초기화 기간(801)에서, 노드(SEN)의 레벨을 프리차지 레벨(기준 전압(VSEN))로 설정할 수 있다. 트랜지스터(730)가 절단된 후, 워드선(WL)은, 독출하려는 메모리 셀을 온 하고, 프리차지 된 비트선(BL) 상에 데이터를 출력할 수 있다.
- [0031] 초기화 기간(801)이 종료하면, 제어 신호(SENC)가 트랜지스터(720)를 절단한다. 워드선 인에이블 기간(WLE)의 감지 기간(802)에서, 제어 신호(PBLCS)가 재차 폴업 되기 때문에, 트랜지스터(711)가 도통하고, 제어 신호(BLC)를 폴업한다. 감지 기간(802)에서, 제어 신호(SENC)가 트랜지스터(720)를 절단하고, 제어 신호(BLC)가 트랜지스터(730)를 구동하여, 비트선(BL)을 감지한다. 감지 기간(802), 또한 비트선(BL)의 데이터가 제1 논리 상태(예를 들면, 「1」)인 상황에서, 트랜지스터(730)가 절단되기 때문에, 노드(SEN)를 프리차지 레벨(예를 들면, 1.2 V)로 보관유지(保持)할 수 있다. 감지 기간(802), 또한 비트선(BL)의 데이터가 제2 논리 상태(예를 들면, 「0」)인 상황에서, 트랜지스터(730)가 온 하기 때문에, 노드(SEN)는, 비트선(BL)의 레벨에 가까워질 때까지 방전된다. 비트선(BL)의 레벨(데이터 전압의 레벨)은, 트랜지스터(712)의 제어 단자에 피드백 되기 때문에, 트랜지스터(712)는, 비트선(BL)의 레벨에 근거하여, 제어 신호(BLC)의 레벨을 동적으로 조정할 수 있다.
- [0032] 비트선 프리차지 기간(PC) 및 감지 기간(802)에서, 제어 회로(710)는, 비트선(BL)의 레벨에 근거하여, 제어 신호(BLC)를 동적으로 제어할 수 있다. 따라서, 센스 앰프(700)는, 고속 비트선 프리차지 및 센싱을 실현할 수 있다.



- [0033] 도 9는, 본 발명의 또 다른 실시 형태에 따른 전압 발생 회로의 회로 개략도이다. 도 9에 도시한 공급 전압(VP), 바이어스 전압(VBLP), 및 기준 전압(VSS)은, 그 외의 장치(도시하지 않음, 예를 들면, 컨트롤러, 기준 전압 생성 회로 등)에 의해 제공할 수 있다. 바이어스 전압(VBLP)은, 비트선 프리차지 레벨 타겟(예를 들면, 0.5 V)이어도 무방하다. 도 9에 도시한 전압 발생 회로는, 제어 회로(710)에 전압을 공급할 수 있고, 모든 센스 앰프가 전압 발생 회로를 공유한다. 도 9에 도시한 전압 발생기에서는, 공급 전압(VP)의 레벨은 제어 신호(PBLCS)의 고논리 레벨과 같고, 출력 전압(VN)의 레벨은 제어 신호(NBLCS)의 저논리 레벨과 같다. 바이어스 전압(VBLP)은, 기준 전압(VREF\_BLC)의 레벨 및 출력 전압(VN)의 레벨을 제어할 수 있고, 비트선 프리차지 레벨은, 바이어스 전압(VBLP)의 레벨과 같아진다.
- [0034] 트랜지스터(913)의 제1 단자(예를 들면, 소스)는, 공급 전압(VP)을 수신한다. 트랜지스터(913)의 제2 단자(예를 들면, 드레인)는, 트랜지스터(913)의 제어 단자(예를 들면, 게이트)에 접속되고, 기준 전압(VREF\_BLC)을 제공한다. 트랜지스터(914)의 제1 단자(예를 들면, 드레인)는, 트랜지스터(913)의 제2 단자에 접속된다. 트랜지스터(914)의 제2 단자(예를 들면, 소스)는, 전류원(IBLC)에 접속되어, 출력 전압(VN)을 제공한다. 트랜지스터(914)의 제어 단자(예를 들면, 게이트)는, 바이어스 전압(VBLP)을 수신한다. 전류원(IBLC)은, 기준 전압(VSS)에 더 접속된다. 전류원(IBLC)은, 센스 앰프의 제어 회로(710) 내의 전류 소비(current consumption)를 제어할 수 있다.
- [0035] 도 10은, 본 발명의 또 다른 실시 형태에 따른 도 4에 도시한 센스 앰프(410~430)를 설명하는 회로 개략도이다. 도 4에 도시한 센스 앰프(410), 센스 앰프(420), 및 센스 앰프(430)는, 도 10의 관련 설명을 참조해 유추할 수 있다. 도 10에 도시한 기준 전압(VSEN0~VSEN1), 제어 신호(SENCO~SENC1), 제어 신호(BLC0~BLC1), 전압(PCS), 전압(NCS), 및 제어 신호(EQ)는, 그 외의 장치(도시하지 않음, 예를 들면, 컨트롤러, 기준 전압 생성 회로 등)에 의해 제공할 수 있다.
- [0036] 도 10에 도시한 센스 앰프(410)는, 트랜지스터(411~412)를 포함한다. 트랜지스터(411)의 제1 단자(예를 들면, 소스)는, 기준 전압(VSEN0)에 접속된다. 트랜지스터(411)의 제2 단자(예를 들면, 드레인)는, 센스 앰프(410)의 출력 단자에 접속되고, 증폭된 신호(예를 들면, 기준 전압(VSEN0))를 노드(SEN0)에 출력한다. 트랜지스터(411)의 제어 단자(예를 들면, 게이트)는, 제어 신호(SENCO)에서 제어된다. 트랜지스터(412)의 제1 단자(예를 들면, 소스)는, 센스 앰프(410)의 입력 단자에 접속되고, 비트선(BLa)의 데이터 신호를 수신한다. 트랜지스터(412)의 제2 단자(예를 들면, 드레인)는, 트랜지스터(411)의 제2 단자에 접속된다. 트랜지스터(412)의 제어 단자(예를 들면, 게이트)는, 제어 신호(BLC0)에서 제어된다. 도 10에 도시한 센스 앰프(410), 트랜지스터(411), 및 트랜지스터(412)는, 도 5에 도시한 센스 앰프(500), 트랜지스터(510), 및 트랜지스터(520)의 관련 설명을 참조해 유추할 수 있기 때문에, 여기에서는 설명을 생략한다.
- [0037] 도 10에 도시한 센스 앰프(420)는, 트랜지스터(421)와, 트랜지스터(422)를 포함한다. 트랜지스터(421)의 제1 단자(예를 들면, 소스)는, 기준 전압(VSEN1)에 접속된다. 트랜지스터(421)의 제2 단자(예를 들면, 드레인)는, 센스 앰프(420)의 출력 단자에 접속되고, 증폭된 신호(예를 들면, 기준 전압(VSEN1))를 노드(SEN1)에 출력한다. 트랜지스터(421)의 제어 단자(예를 들면, 게이트)는, 제어 신호(SENC1)에서 제어된다. 트랜지스터(422)의 제1 단자(예를 들면, 소스)는, 센스 앰프(420)의 입력 단자에 접속되고, 비트선(BLb)의 데이터 신호를 수신한다. 트랜지스터(422)의 제2 단자(예를 들면, 드레인)는, 트랜지스터(421)의 제2 단자에 접속된다. 트랜지스터(422)의 제어 단자(예를 들면, 게이트)는, 제어 신호(BLC1)에서 제어된다. 도 10에 도시한 센스 앰프(420), 트랜지스터(421), 및 트랜지스터(422)는, 도 5에 도시한 센스 앰프(500), 트랜지스터(510), 및 트랜지스터(520)의 관련 설명을 참조해 유추할 수 있기 때문에, 여기에서는 설명을 생략한다.
- [0038] 도 10에 도시한 센스 앰프(430)는, 트랜지스터(431~435)를 포함한다. 트랜지스터(435)의 제1 단자 및 제2 단자(예를 들면, 소스 및 드레인)는, 각각 비트선(BLa) 및 비트선(BLb)에 접속된다. 트랜지스터(435)의 제어 단자(예를 들면, 게이트)는, 제어 신호(EQ)에서 제어된다.
- [0039] 트랜지스터(431)의 제1 단자(예를 들면, 소스) 및 트랜지스터(432)의 제1 단자(예를 들면, 소스)는, 전압(PCS)에 접속된다. 전압(PCS)의 레벨은, 설계 요구에 근거해서 결정할 수 있다. 트랜지스터(431)의 제2 단자(예를 들면, 드레인) 및 트랜지스터(432)의 제어 단자(예를 들면, 게이트)는, 센스 앰프(430)의 제1 출력 단자에 접속된다. 센스 앰프(430)의 상술한 제1 출력 단자는, 증폭된 신호를 센스 앰프(410)의 입력 단자에 피드백 할 수 있다. 트랜지스터(431)의 제어 단자(예를 들면, 게이트) 및 트랜지스터(432)의 제2 단자(예를 들면, 드레인)는, 센스 앰프(430)의 제2 출력 단자에 접속된다. 센스 앰프(430)의 상술한 제2 출력 단자는, 증폭된 신호를 센스 앰프(420)의 입력 단자에 피드백 할 수 있다.

[0040] 트랜지스터(433)의 제1 단자(예를 들면, 소스) 및 트랜지스터(434)의 제1 단자(예를 들면, 소스)는, 전압(NCS)에 접속된다. 전압(NCS)의 레벨은, 설계 요구에 근거해서 결정할 수 있다. 트랜지스터(433)의 제2 단자(예를 들면, 드레인)는, 센스 앰프(430)의 제1 출력 단자에 접속된다. 센스 앰프(430)의 상술한 제1 출력 단자는, 증폭된 신호를 센스 앰프(410)의 입력 단자에 피드백 할 수 있다. 트랜지스터(433)의 제어 단자(예를 들면, 게이트)는, 센스 앰프(430)의 제2 출력 단자에 접속되고, 노드(SEN1)로부터 증폭된 신호(또는 기준 전압(VSEN1))를 수신한다. 트랜지스터(434)의 제2 단자(예를 들면, 드레인)는, 센스 앰프(430)의 제2 출력 단자에 접속된다. 센스 앰프(430)의 상술한 제2 출력 단자는, 증폭된 신호를 센스 앰프(420)의 입력 단자에 피드백 할 수 있다. 트랜지스터(434)의 제어 단자(예를 들면, 게이트)는, 센스 앰프(430)의 제1 입력 단자에 접속되고, 노드(SEN0)로부터 증폭된 신호(또는 기준 전압(VSEN0))를 수신한다.

[0041] 도 11은, 본 발명의 하나의 실시 형태에 따른 도 10에 도시한 신호를 설명하는 시퀀스 개략도이다. 도 11에서, 점선의 파형은, 첨자 '0'을 가지는 신호(예를 들면, SENCO, VSEN0, BLC0, 및 SEN0)를 나타낸다. 실선의 파형은, 첨자 '1'을 가지는 신호(예를 들면, SENC1, VSEN1, BLC1, 및 SEN1)를 나타낸다. 도 10 및 도 11을 참조하기를 바란다. 비트선 프리차지 시간(PC)에서, 전압(PCS) 및 전압(NCS)이 풀업 되고(예를 들면, 0.3 V에서 0.5 V로 풀업 되고), 기준 전압(VSEN0)이 고(high) 레벨(예를 들면, 1.3 V)이 되고, 기준 전압(VSEN1)이 저(low) 레벨(예를 들면, 0.5 V)이 되고, 제어 신호(SENCO) 및 제어 신호(SENC1)가 모두 저 레벨(예를 들면, 0 V)이 되고, 제어 신호(BLC0)가 고 레벨이 되고, 제어 신호(BLC1)가 저 레벨이 된다. 따라서, 비트선 프리차지 시간(PC)에서, 트랜지스터(412)는, 비트선(BL0)에 대해 프리차지를 실시할 수 있고(예를 들면, 0.3 V에서 0.5 V로 프리차지 한다), 트랜지스터(411)는, 노드(SEN0)를 기준 전압(VSEN0)의 레벨(예를 들면, 1.3 V)로 설정할 수 있고, 트랜지스터(421)는, 노드(SEN1)를 기준 전압(VSEN1)의 레벨(예를 들면, 0.5 V)로 설정할 수 있다.

[0042] 비트선 프리차지 시간(PC)이 종료하면, 제어 신호(BLC0)가 풀다운 되기 때문에, 트랜지스터(412)가 절단된다. 트랜지스터(412 및 422)가 절단된 후, 워드선(WL)은, 독출하려는 메모리 셀을 온으로 하기 때문에, 독출하려는 메모리 셀은, 프리차지 된 비트선(BLa) 상에 데이터를 출력할 수 있다. 계속해서, 워드선 인에이블 기간(WLE)의 초기화 기간(1101)에서, 제어 신호(SENCO 및 SENC1)가 트랜지스터(411 및 421)를 온 하고, 제어 신호(BLC0 및 BLC1)가 트랜지스터(412 및 422)를 절단한다. 트랜지스터(411 및 421)는, 초기화 기간(1101)에서, 노드(SEN0 및 SEN1)의 레벨을 기준 전압(VSEN0 및 VSEN1)의 레벨로 설정할 수 있다.

[0043] 초기화 기간(1101)이 종료하면, 제어 신호(BLC0)가 풀업 되고(예를 들면, 0 V에서 1.3 V로 풀업 되고), 트랜지스터(411)를 절단한다. 워드선 인에이블 기간(WLE)의 감지 기간(1102)에서, 제어 신호(SENCO)가 고 레벨(예를 들면, 1.3 V)이 되고, 제어 신호(SENC1)가 저 레벨(예를 들면, 0 V)이 되기 때문에, 센스 앰프(410)가 비트선(BLa) 상의 신호에 대응하는 증폭된 신호를 노드(SEN0)에 출력했을 때, 트랜지스터(421)는, 노드(SEN1)를 기준 전압(VSEN1)의 레벨(예를 들면, 0.5 V)로 설정할 수 있다. 감지 기간(1102)에서, 제어 신호(BLC0)가 재차 풀업 되고, 제어 신호(BLC1)가 저 레벨을 유지하기 때문에, 트랜지스터(422)가 절단되고, 트랜지스터(412)는, 비트선(BLa)을 감지할 수 있다. 센스 앰프(410)가 비트선(BLa)을 감지하는 기간에서, 노드(SEN1)가 트랜지스터(421)를 온 하고, 제어 신호(BLC1)가 트랜지스터(422)를 절단한다.

[0044] 도 12는, 본 발명의 또 다른 실시 형태에 따른 도 4에 도시한 센스 앰프(410~430)를 설명하는 회로 개략도이다. 도 12에 도시한 센스 앰프(430) 및 트랜지스터(431~435)는, 도 10의 관련 설명을 참조해 유추할 수 있기 때문에, 여기에서는 설명을 생략한다. 도 12에 도시한 기준 전압(VSEN0~VSEN1), 제어 신호(SENCO~SENC1), 제어 신호(PBLCS0~PBLCS1), 기준 전압(VREF\_BLC), 제어 신호(NBLCS0~NBLCS1), 전압(PCS), 전압(NCS), 및 제어 신호(EQ)는, 그 외의 장치(도시하지 않음, 예를 들면, 컨트롤러, 기준 전압 생성 회로 등)에 의해 제공할 수 있다.

[0045] 도 12에 도시한 센스 앰프(410)는, 트랜지스터(411~414)를 포함한다. 트랜지스터(411)의 제1 단자(예를 들면, 소스)는, 기준 전압(VSEN0)에 접속된다. 트랜지스터(411)의 제2 단자(예를 들면, 드레인)는, 센스 앰프(410)의 출력 단자에 접속되고, 증폭된 신호(예를 들면, 기준 전압(VSEN0))를 노드(SEN0)에 출력한다. 트랜지스터(411)의 제어 단자(예를 들면, 게이트)는, 제어 신호(SENCO)에서 제어된다. 트랜지스터(412)의 제1 단자(예를 들면, 소스)는, 센스 앰프(410)의 입력 단자에 접속되고, 비트선(BLa)의 데이터 신호를 수신한다. 트랜지스터(412)의 제2 단자(예를 들면, 드레인)는, 트랜지스터(411)의 제2 단자에 접속된다. 트랜지스터(412)의 제어 단자(예를 들면, 게이트)는, 제어 신호(BLC0)에서 제어된다. 트랜지스터(413)의 제1 단자(예를 들면, 소스)는, 제어 신호(PBLCS0)를 수신한다. 트랜지스터(413)의 제2 단자(예를 들면, 드레인)는, 트랜지스터(412)의 제어 단자에 접속되고, 제어 신호(BLC0)를 제공한다. 트랜지스터(413)의 제어 단자(예를 들면, 게이트)는, 기준 전압(VREF\_BLC)에서 제어된다. 트랜지스터(414)의 제1 단자(예를 들면, 소스)는, 제어 신호(NBLCS0)를 수신한다. 트랜지스터(414)의 제2 단자(예를 들면, 드레인)는, 트랜지스터(413)의 제2 단자에 접속된다. 트랜

지스터(414)의 제어 단자(예를 들면, 게이트)는, 비트선(BLa)에 접속된다. 도 12에 도시한 센스 앰프(410) 및 트랜지스터(411~414)는, 도 7에 도시한 센스 앰프(700), 트랜지스터(720), 트랜지스터(730), 트랜지스터(711), 및 트랜지스터(712)의 관련 설명을 참조해 유추할 수 있기 때문에, 여기에서는 설명을 생략한다.

[0046] 도 12에 도시한 센스 앰프(420)는, 트랜지스터(421~424)를 포함한다. 트랜지스터(421)의 제1 단자(예를 들면, 소스)는, 기준 전압(VSEN1)에 접속된다. 트랜지스터(421)의 제2 단자(예를 들면, 드레인)는, 센스 앰프(420)의 출력 단자에 접속되고, 증폭된 신호(예를 들면, 기준 전압(VSEN1))를 노드(SEN1)에 출력한다. 트랜지스터(421)의 제어 단자(예를 들면, 게이트)는, 제어 신호(SENC1)에서 제어된다. 트랜지스터(422)의 제1 단자(예를 들면, 소스)는, 센스 앰프(420)의 입력 단자에 접속되고, 비트선(BLb)의 데이터 신호를 수신한다. 트랜지스터(422)의 제2 단자(예를 들면, 드레인)는, 트랜지스터(421)의 제2 단자에 접속된다. 트랜지스터(422)의 제어 단자(예를 들면, 게이트)는, 제어 신호(BLC1)에서 제어된다. 트랜지스터(423)의 제1 단자(예를 들면, 소스)는, 제어 신호(PBLCS1)를 수신한다. 트랜지스터(423)의 제2 단자(예를 들면, 드레인)는, 트랜지스터(422)의 제어 단자에 접속되고, 제어 신호(BLC1)를 제공한다. 트랜지스터(423)의 제어 단자(예를 들면, 게이트)는, 기준 전압(VREF\_BLC)에서 제어된다. 트랜지스터(424)의 제1 단자(예를 들면, 소스)는, 제어 신호(NBLCS1)를 수신한다. 트랜지스터(424)의 제2 단자(예를 들면, 드레인)는, 트랜지스터(423)의 제2 단자에 접속된다. 트랜지스터(424)의 제어 단자(예를 들면, 게이트)는, 비트선(BLb)에 접속된다. 도 12에 도시한 센스 앰프(420) 및 트랜지스터(421~424)는, 도 7에 도시한 센스 앰프(700), 트랜지스터(720), 트랜지스터(730), 트랜지스터(711), 및 트랜지스터(712)의 관련 설명을 참조해 유추할 수 있기 때문에, 여기에서는 설명을 생략한다.

[0047] 도 13은, 본 발명의 하나의 실시 형태에 따른 도 12에 도시한 신호를 설명하는 시퀀스 개략도이다. 도 13에서, 점선의 파형은, 첨자 '0'을 가지는 신호(예를 들면, SENC0, VSEN0, PBLCS0, BLC0, 및 SEN0)를 나타낸다. 실선의 파형은, 첨자 '1'을 가지는 신호(예를 들면, SENC1, VSEN1, PBLCS1, BLC1, 및 SEN1)를 나타낸다. 도 12 및 도 13을 참조하기를 바란다. 비트선 프리차지 기간(PC)에서, 전압(PCS) 및 전압(NCS)이 풀업 되고(예를 들면, 0.3 V에서 0.5 V로 풀업 되고), 기준 전압(VSEN0)이 고 레벨(예를 들면, 1.3 V)이 되고, 기준 전압(VSEN1)이 저 레벨(예를 들면, 0.5 V)이 되고, 제어 신호(SENC0) 및 제어 신호(SENC1)가 모두 저 레벨(예를 들면, 0 V)이 되고, 제어 신호(PBLCS0)가 고 레벨(예를 들면, 1.3 V)이 되고, 제어 신호(PBLCS1)가 저 레벨(예를 들면, 0 V)이 되고, 제어 신호(NBLCS0 및 NBLCS1)가 모두 저 레벨이 된다. 따라서, 비트선 프리차지 기간(PC)에서, 제어 신호(BLC0)가 풀업 되기 때문에, 트랜지스터(412)는, 비트선(BL0)에 대해 프리차지를 실시할 수 있고(예를 들면, 0.3 V에서 0.5 V로 프리차지 한다), 제어 신호(BLC)가 저 레벨(예를 들면, 0 V)을 유지하기 때문에, 트랜지스터(422)를 절단할 수 있다. 비트선 프리차지 기간(PC)에서, 트랜지스터(411)는, 노드(SEN0)를 기준 전압(VSEN0)의 레벨(예를 들면, 1.3 V)로 설정할 수 있고, 트랜지스터(421)는, 노드(SEN1)를 기준 전압(VSEN1)의 레벨(예를 들면, 0.5 V)로 설정할 수 있다.

[0048] 비트선 프리차지 기간(PC)이 종료하면, 제어 신호(BLC0)가 풀다운 되기 때문에, 트랜지스터(412)가 절단된다. 트랜지스터(412 및 422)가 절단된 후, 워드선(WL)은, 독출하려는 메모리 셀을 온으로 하기 때문에, 독출하려는 메모리 셀은, 프리차지 된 비트선(BLa) 상에 데이터를 출력할 수 있다. 계속해서, 워드선 인에이블 기간(WLE)의 초기화 기간(1301)에서, 제어 신호(SENC0 및 SENC1)가 트랜지스터(411 및 421)를 온 하고, 제어 신호(BLC0 및 BLC1)가 트랜지스터(412 및 422)를 절단한다. 트랜지스터(411 및 421)는, 초기화 기간(1301)에서, 노드(SEN0 및 SEN1)의 레벨을 기준 전압(VSEN0 및 VSEN1)의 레벨로 설정할 수 있다.

[0049] 초기화 기간(1301)이 종료하면, 제어 신호(SENC0)가 풀업 되고(예를 들면, 0 V에서 1.3 V로 풀업 되고), 트랜지스터(411)를 절단한다. 워드선 인에이블 기간(WLE)의 감지 기간(1302)에서, 제어 신호(SENC0)가 고 레벨(예를 들면, 1.3 V)이 되고, 제어 신호(SENC1)가 저 레벨(예를 들면, 0 V)이 되기 때문에, 센스 앰프(410)가 비트선(BLa) 상의 신호에 대응하는 증폭된 신호를 노드(SEN0)에 출력했을 때, 트랜지스터(421)는, 노드(SEN1)를 기준 전압(VSEN1)의 레벨(예를 들면, 0.5 V)로 설정할 수 있다. 감지 기간(1302)에서, 제어 신호(BLC0)가 재차 풀업 되고 제어 신호(BLC1)가 저 레벨을 유지하기 때문에, 트랜지스터(422)가 절단되고, 트랜지스터(412)는, 비트선(BLa)을 감지할 수 있다. 센스 앰프(410)가 비트선(BLa)을 감지하는 기간에서, 노드(SEN1)가 트랜지스터(421)를 온 하고, 제어 신호(BLC1)가 트랜지스터(422)를 절단한다.

[0050] 이상과 같이, 상술한 실시 형태는, 2단 센스 앰프(센스 앰프 장치(400))를 개시한다. 센스 앰프 장치(400)에서, 비트선(BLa 또는 BLb)의 작은 신호(데이터 신호)가 제1단 센스 앰프(센스 앰프(410 또는 420))에 증폭된 후, 증폭된 신호를 제2단 센스 앰프(센스 앰프(430))에 출력한다. 센스 앰프(430)는, 증폭된 차동 신호(센스 앰프(410) 및 센스 앰프(420)가 제공하는 증폭된 신호 및 기준 전압)을 수신하고, 이 증폭된 차동 신호에 대해 제2단 증폭 조작을 실시할 수 있다. 따라서, 센스 앰프 장치(400)는, 비트선(BLa) 및(또는) 비트선

(BLb)의 데이터를 감지(독출)할 수 있다. 센스 앰프(430)가 수신한 차동 신호의 강도는, 도 1에 도시한 센스 앰프(예를 들면, 센스 앰프(150))가 수신한 차동 신호의 강도 보다 크다. 제조 프로세스는 축소되지만, 센스 앰프 장치(400)는, 충분한 감지 신호 마진(sense signal margin)을 실현할 수 있다. 따라서, 센스 앰프 장치(400)는, 정확한 비트선 용량 매칭(bit-line capacitance match)을 필요로 하지 않는다. 엣지 서브 어레이(edge sub-array, 예를 들면, 도 1에 도시한 서브 어레이(110 또는 140))는, 양측에서 센스 앰프 장치(400)를 배치할 수 있고, 엣지 서브 어레이의 메모리 셀을 사용할 수 있다.

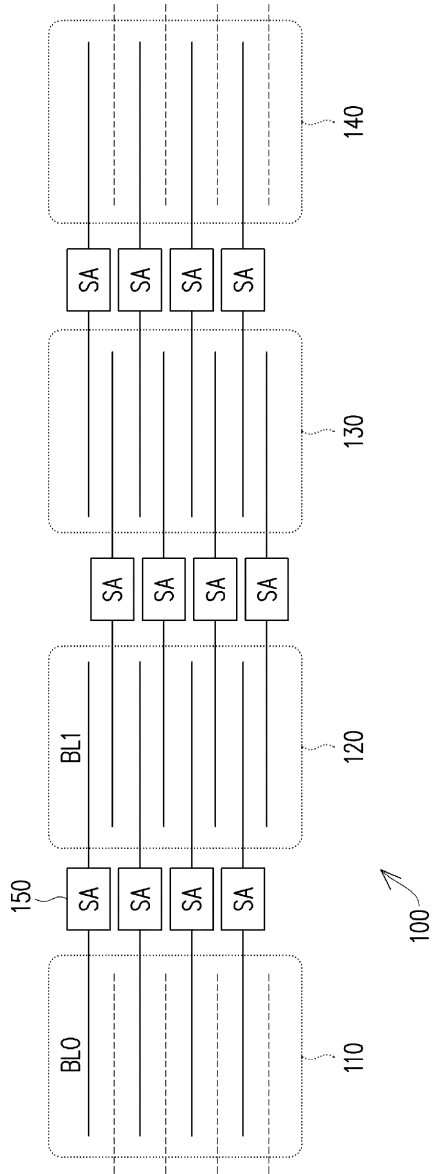
[0051] 이상과 같이, 이 발명을 실시 형태에 의해 개시했지만, 물론, 이 발명을 한정하기 위한 것이 아니며, 당업자라면 용이하게 이해할 수 있도록, 이 발명의 기술 사상의 범위 내에서, 적당한 변경 및 수정이 당연히 이루어질 수 있는 것이기 때문에, 그 특허 보호의 범위는, 특허 청구의 범위 및 그것과 균등인 영역을 기준으로서 정해야 한다.

**부호의 설명**

[0052] 100: DRAM  
 110, 120, 130, 140: 서브 어레이  
 150, 410, 420, 430, 500, 700: 센스 앰프  
 400: 센스 앰프 장치  
 411, 412, 413, 414, 421, 422, 423, 424, 431, 432, 433, 434, 435, 510, 520, 711, 712, 720, 730, 913, 914: 트랜지스터  
 601, 801, 1101, 1301: 초기화 기간  
 602, 802, 1102, 1302: 감지 기간  
 710: 제어 회로  
 BL, BL0, BL1, BLa, BLb: 비트선  
 BLC, BLC0, BLC1, CSP, CSN, EQ, NBLCS, NBLCS0, NBLCS1, PBLCS, PBLCS0, PBLCS1, SENC, SENC0, SENC1: 제어 신호  
 C<sub>BL</sub>: 커패시터  
 C<sub>SN</sub>: 기억 소자  
 IBLC: 전류원  
 MC, MC1, MC2: 메모리 셀  
 NCS, PCS: 전압  
 PC: 비트선 프리차지 기간  
 SEN, SEN0, SEN1: 노드  
 SN: 데이터  
 SW: 스위치  
 VBLP: 바이어스 전압  
 VN: 출력 전압  
 VP: 공급 전압  
 VREF\_BLC, VSEN, VSEN0, VSEN1, VSS: 기준 전압  
 WL: 워드선  
 WLE: 워드선 인에이블 기간

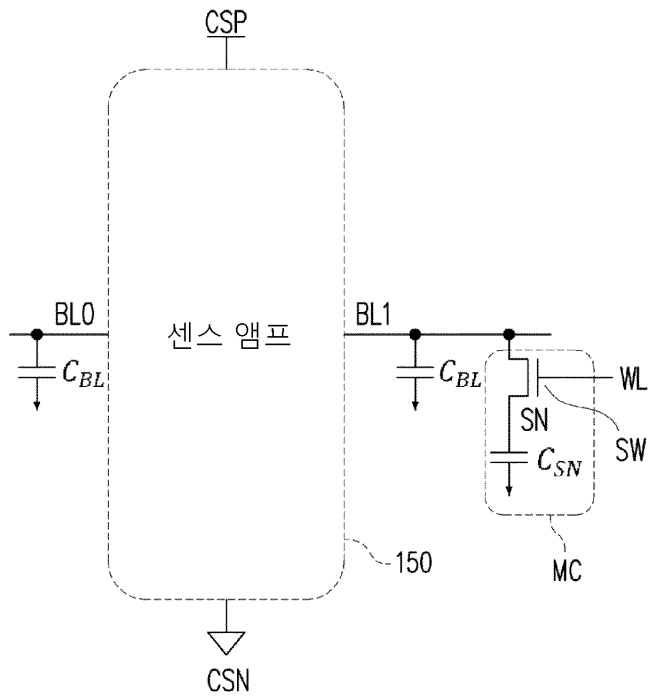
도면

도면1

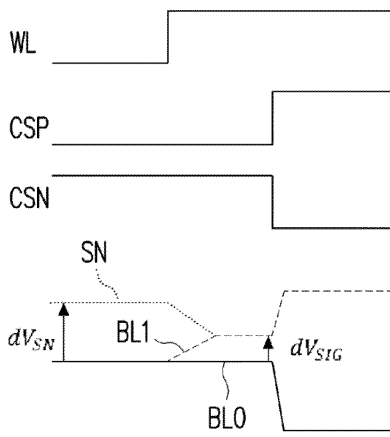




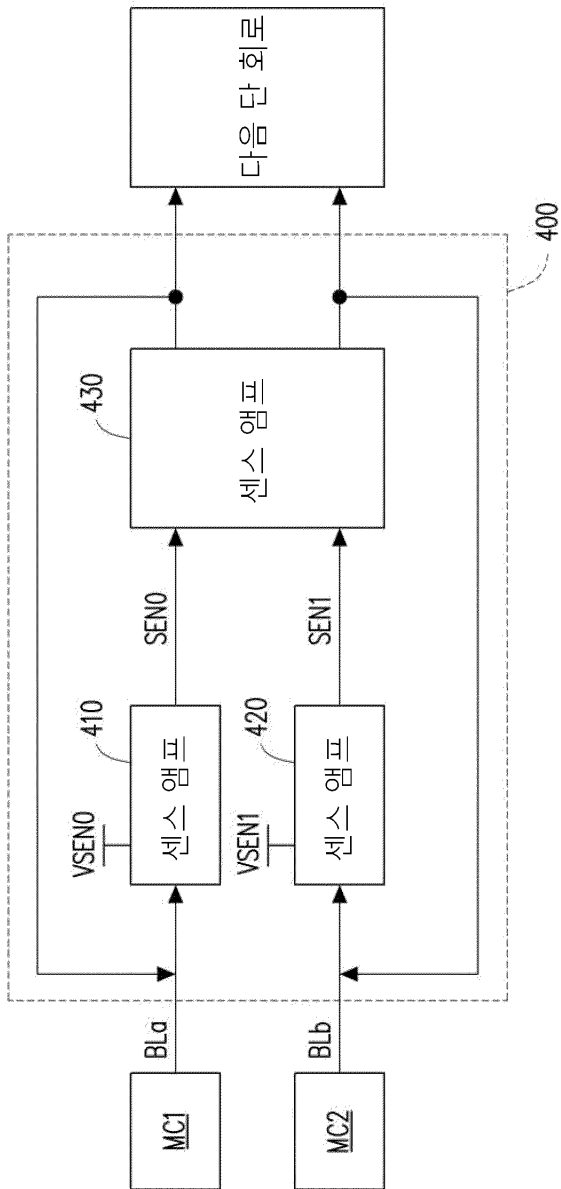
도면2



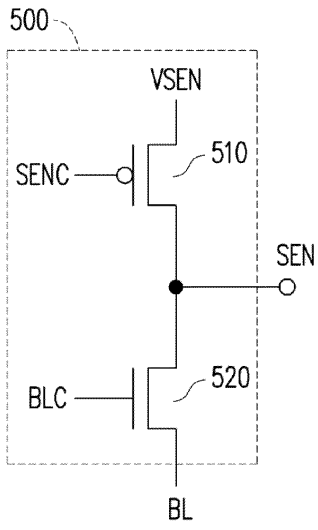
도면3



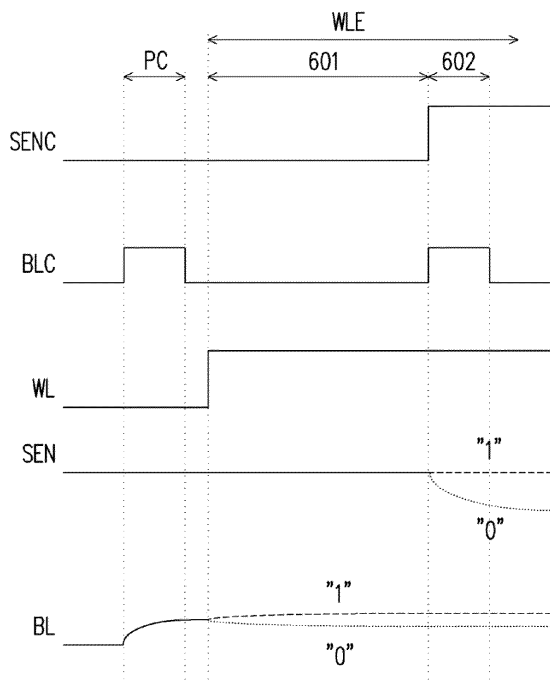
도면4



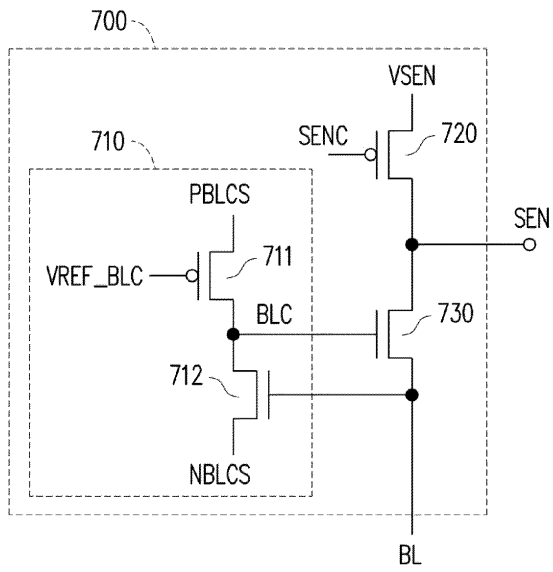
도면5



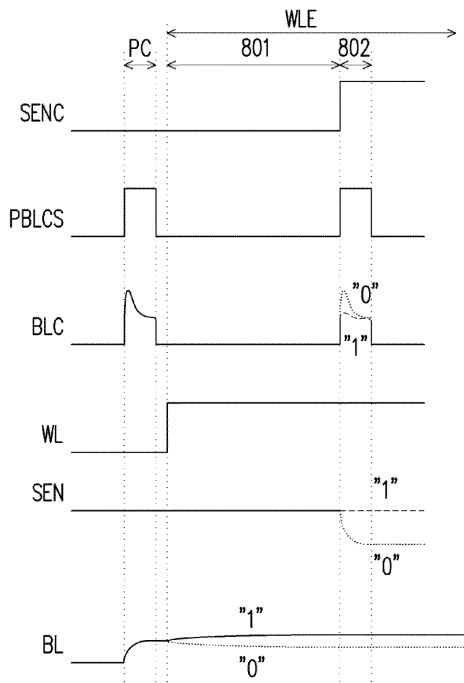
도면6



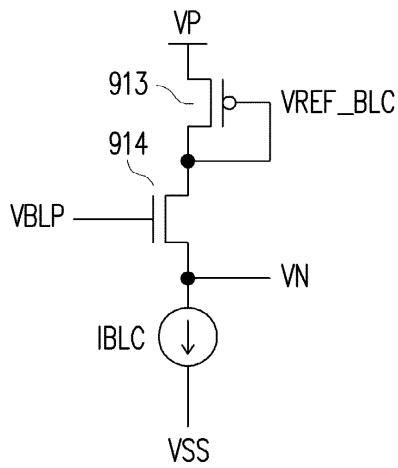
도면7



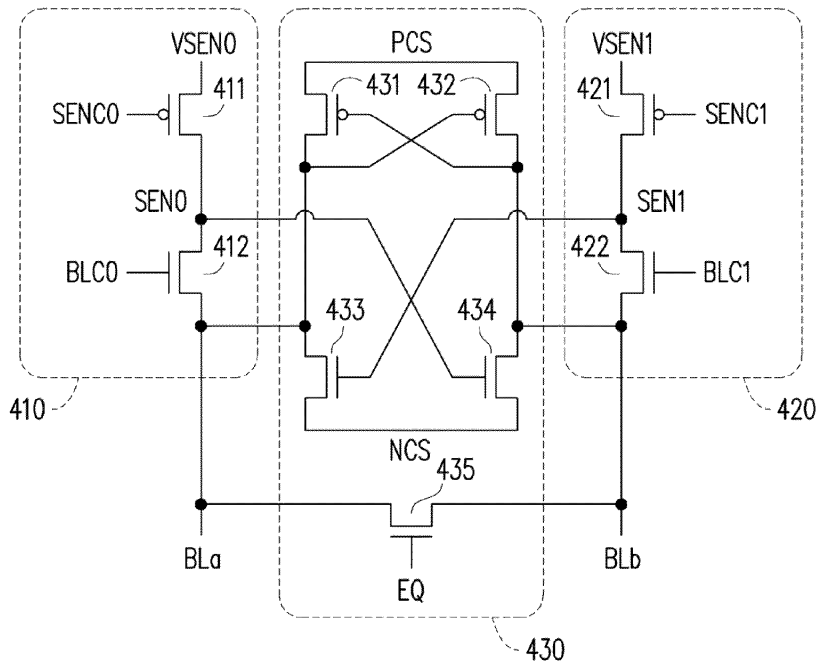
도면8



도면9

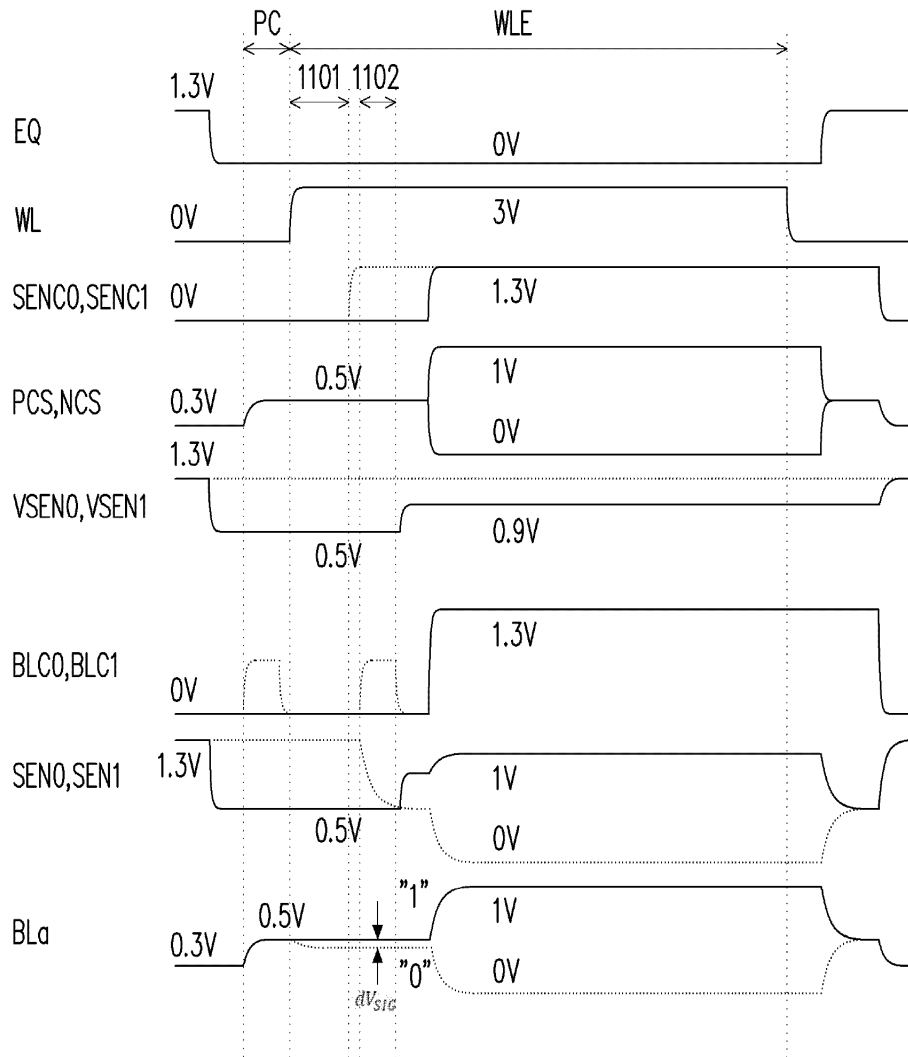


도면10

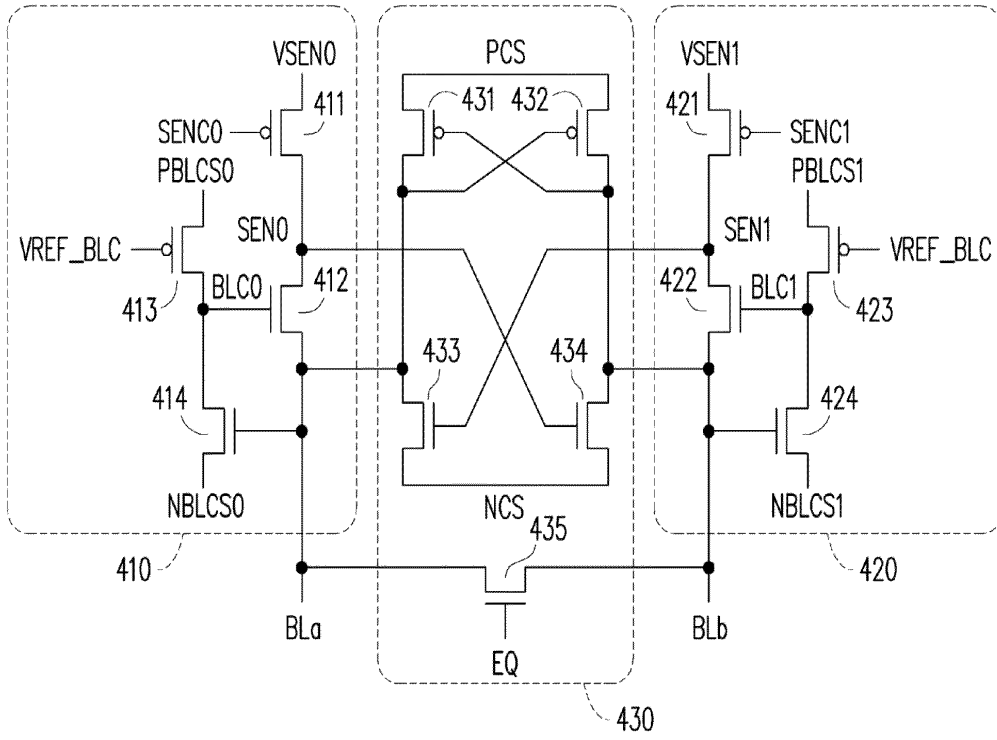




도면11



도면12



도면13

