

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4712303号  
(P4712303)

(45) 発行日 平成23年6月29日(2011.6.29)

(24) 登録日 平成23年4月1日(2011.4.1)

(51) Int.Cl. F I  
 HO 1 L 25/04 (2006.01) HO 1 L 25/04 Z  
 HO 1 L 25/18 (2006.01)

請求項の数 9 (全 8 頁)

<p>(21) 出願番号 特願2003-562997 (P2003-562997)</p> <p>(86) (22) 出願日 平成14年10月9日(2002.10.9)</p> <p>(65) 公表番号 特表2005-516398 (P2005-516398A)</p> <p>(43) 公表日 平成17年6月2日(2005.6.2)</p> <p>(86) 国際出願番号 PCT/US2002/032677</p> <p>(87) 国際公開番号 W02003/063236</p> <p>(87) 国際公開日 平成15年7月31日(2003.7.31)</p> <p>審査請求日 平成16年9月1日(2004.9.1)</p> <p>(31) 優先権主張番号 10/053,123</p> <p>(32) 優先日 平成14年1月18日(2002.1.18)</p> <p>(33) 優先権主張国 米国 (US)</p> <p>前置審査</p>	<p>(73) 特許権者 597161115                  インターナショナル レクティファイアー                  コーポレーション                  アメリカ合衆国 カリフォルニア州 90                  245 エル セガンド ノース セブル                  ヴェーダ ブールバード 101</p> <p>(74) 代理人 100147485                  弁理士 杉村 憲司</p> <p>(74) 代理人 100143568                  弁理士 英 貢</p> <p>(72) 発明者 マーティン・スタンディング                  イギリス・ケント・TN9・1XD・トン                  ブリッジ・バーデン・パーク・ロード・1                  9</p>
--	---

最終頁に続く

(54) 【発明の名称】 ワンパッケージ化されたダイを有する半導体装置

(57) 【特許請求の範囲】

【請求項1】

ウェブ部と、空間を形成するために該ウェブ部の端縁部から延在する複数の壁と、を有する外部導電クリップと；

少なくとも2つの主電極を有する第1半導体ダイであって、前記第1半導体ダイの主電極のそれぞれが該第1半導体ダイのそれぞれの主表面に配置された第1半導体ダイと；

前記第1半導体ダイの主電極のうちの一つを前記ウェブ部へ電氣的に接続する第1導電層と；

複数の壁を有するとともに、前記空間内にかつ前記ウェブ部上に配置された内部導電クリップと；

前記内部導電クリップ内に配置され、少なくとも2つの主電極を有する第2半導体ダイであって、前記第2半導体ダイの主電極のうちの一つが第2導電層を介して前記内部導電クリップと接続される、第2半導体ダイと；

を備え、

前記外部導電クリップは、該外部導電クリップの前記複数の壁のうちの対向する壁の2つの端縁部から延在する2つの隆起部を含み、各隆起部は、基板上の対応する第1電氣的コンタクトパッドと電氣的な接触を形成するための接触表面を含み、

前記内部導電クリップは、該内部導電クリップの前記複数の壁のうちの少なくとも一つから延在する部分を含み、該内部導電クリップの前記複数の壁のうちの少なくとも一つから延在する部分が、前記外部導電クリップの前記2つの隆起部の前記接触表面と同一平面

にあり、該内部導電クリップの前記複数の壁のうちの少なくとも一つから延在する部分が、前記基板上の対応する第2電氣的コンタクトパッドと電氣的な接触を形成するための接触表面を含み、

絶縁層が、前記内部導電クリップの基部と前記外部導電クリップの前記ウェブ部との間に配置されていて、

前記外部導電クリップは、金属缶であることを特徴とするワンパッケージ化された半導体装置。

【請求項2】

請求項1記載のワンパッケージ化された半導体装置において、

前記第1及び第2半導体ダイはMOSFETであることを特徴とするワンパッケージ化された半導体装置。

10

【請求項3】

請求項1記載のワンパッケージ化された半導体装置において、

前記第1半導体ダイは、前記ウェブ部へ接続されたドレイン電極を有するMOSFETであり、前記第2半導体ダイは、前記MOSFETを制御するための集積回路であることを特徴とするワンパッケージ化された半導体装置。

【請求項4】

請求項1記載のワンパッケージ化された半導体装置において、

前記内部導電クリップは、銅から形成されていることを特徴とするワンパッケージ化された半導体装置。

20

【請求項5】

請求項1記載のワンパッケージ化された半導体装置において、

前記内部導電クリップの外部表面は、絶縁性になるように処理されている、又は絶縁体で被覆されていることを特徴とするワンパッケージ化された半導体装置。

【請求項6】

請求項1記載のワンパッケージ化された半導体装置において、

前記内部導電クリップの内部表面は、銀で被覆されていることを特徴とするワンパッケージ化された半導体装置。

【請求項7】

請求項1記載のワンパッケージ化された半導体装置において、

前記内部導電クリップを前記ウェブ部へ接続する絶縁層をさらに備えることを特徴とするワンパッケージ化された半導体装置。

30

【請求項8】

請求項1記載のワンパッケージ化された半導体装置において、

前記第2半導体ダイは、前記第1半導体ダイよりも薄いことを特徴とするワンパッケージ化された半導体装置。

【請求項9】

請求項1記載のワンパッケージ化された半導体装置において、

前記第2半導体ダイは、導電性エポキシによって前記内部導電クリップへ電氣的に接続されていることを特徴とするワンパッケージ化された半導体装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置に関し、より詳細には、少なくとも2つのワンパッケージ化された半導体ダイを含む半導体装置に関する。

【背景技術】

【0002】

一般にコパック(copak)と称されるワンパッケージ化された装置が良く知られている。通常、そのような装置は、共通のハウジングにパッケージ化された2つ又はそれよりも多くの同一の又は異なる半導体装置を含む。そのような構成によって達成される利益は、

50

回路内の同一の機能に対して用いられる別々にパッケージ化された半導体ダイによって消費されるよりも、回路基盤上でより小さな空間を占める、よりコンパクトな電子パッケージである。この空間の節約によって、同一の空間により多くの電子部品を有する、よりコンパクトな装置及び/又はより複雑な装置の構築が無理なく可能になる。

【0003】

多くのコパック装置はモールドハウジングとリードフレームとを含む。リードフレームが半導体ダイを回路内の外部要素へ接続するために用いられる一方で、ハウジングは、水蒸気のような環境要素に対して半導体ダイへ保護を与える。したがって、この従来の構成は、コパックのコストに加わるだけでなく、コパックの製造を複雑にするいくつかの構成要素を必要とする。したがって、アSEMBリに要求される構成要素の数を減少させつつ、2つ又はそれよりも多くの装置を有するコパック装置が望まれている。

10

【発明の開示】

【課題を解決するための手段】

【0004】

この発明に係る半導体装置は、少なくとも2つの同一の又は異なる半導体ダイを含む。2つの半導体ダイは、これら半導体ダイのうちの少なくとも一つに対して外部コネクタとして役立つことのできる共通の外部金属クリップ内にワンパッケージ化されている。

【0005】

本発明の第1の側面によれば、2つの同一の又は異なる半導体ダイは、外部導電クリップ内に収容され、該外部導電クリップは、ダイのためのハウジングとダイのうちの一つを電子回路の外部構成要素へ接続するための電気コネクタとの両方に役立つ。

20

【0006】

特に、本発明に係るワンパッケージ化された半導体装置は、実質的に平らなウェブ部(web portion)と、空間を画定する複数の壁と、を有することができる。MOSFETとすることができる第1半導体ダイは、ドレイン電極で導電層によってウェブ部へ電氣的に接続されており、導電層は、はんだ層又は導電性エポキシとすることができる。外部導電クリップの2つの対向壁の端縁部から延在する2つの隆起部は、回路基盤のような基板上の対応する電気パッドへの接続を形成し、これによりMOSFETのドレイン電極が電子回路内の適切な箇所へ接続される。

【0007】

第2半導体ダイは内部導電クリップ内に配置され、該クリップは、絶縁層によって外部導電クリップのウェブ部に接続されているがウェブ部から絶縁されている。第2半導体ダイは第1半導体ダイと同一のMOSFET、又は第1半導体ダイの動作を制御するために半導体チップ上に形成された集積回路とすることができる。

30

【0008】

この発明の第1の側面によれば、第1半導体ダイの厚さと内部導電クリップ及び第2半導体ダイの全体の高さとは、それぞれの頂部表面が互いに同一平面に、かつ好適には隆起部の接触表面と同一平面にあるように等しい。この結果を達成するために、第2半導体ダイは、その厚さを減少させるために基部(ground)とすることができる。

【0009】

この発明に係る内部導電クリップは、基部プレートと、基部プレートの端縁部から実質的に垂直に延在する複数の壁と、を含む。内部導電クリップの壁の少なくとも一つは、外部導電クリップの隆起部と好ましくは同一平面にある接触表面を画定するために屈曲された拡張部を含む。内部導電クリップの接触表面は、第2半導体ダイを電子回路内の位置へ接続するために、基板上の適切なパッドと接触を形成する。好ましくは、内部導電クリップの外部表面は、絶縁表面を形成するよう化学的に処理されているか、又はポリイミドのような電氣的絶縁ポリマー層によって絶縁されている。内部導電クリップの内部表面は、銀のような導電性の高い金属で好ましくは被覆されている。内部導電クリップは、第2半導体ダイを少なくとも部分的に受ける実質的に垂直な壁を形成するために銅箔の端縁部を持ち上げることによって形成され得る。

40

50

## 【0010】

この発明の第2実施例に係るワンパッケージ化された半導体装置は、第1実施例で用いられたものと実質的に同様の金属缶とすることができる外部導電クリップを含む。第2実施例に係る半導体装置は、少なくとも2つの同一の又は異なる半導体ダイを含み、半導体ダイのそれぞれは、導電性はんだ層又は導電性エポキシによって外部導電クリップのウェブ部へ電氣的に接続された主電極のうちの少なくとも一つを有する。この実施例では、外部導電クリップは、半導体ダイのためのハウジングと、装置を電子回路内の外部構成要素へ接続するコネクタと、の両方として役に立つ。

## 【0011】

この発明の他の特徴及び優位点は、添付の図面を参照する本発明の次の記述から明らかとなる。

## 【発明を実施するための最良の形態】

## 【0012】

図1は、この発明の第1実施例に係る半導体装置10を示す。半導体装置10は、外部導電クリップ12を含む。外部導電クリップ12は、ウェブ部14と、空間を画定するためにウェブ部14の端縁部から延在する複数の壁16と、を含む金属缶である。外部導電クリップ12は銅から形成することができ、好ましくは銀で被覆される。第1半導体ダイ18は、外部導電クリップ12の壁16によって画定された空間内に配置されている。第1半導体ダイ18は、垂直導電性MOSFET、パワーダイオード、IGBT、又は同様のものとしてすることができる。この発明の第1実施例では、第1半導体装置18は、ソース電極20、ゲート電極22、及びドレイン電極24を有する垂直導電性MOSFET (vertical conduction MOSFET) である(図2)。

## 【0013】

図2を参照すると、第1半導体ダイ18のドレイン電極24は、導電材料層26によって外部導電クリップ12のウェブ部14へ電氣的に接続されており、導電材料層26ははんだ又は導電性エポキシとしてすることができる。第1実施例に係る半導体装置10はまた、外部導電クリップ12の壁16によって画定された空間内に配置された内部導電クリップ28をも含む。

## 【0014】

図3及び図4を参照すると、内部導電クリップ28は、銅のシートのような薄い導電性金属シートから好ましくは形成されており、基部プレート部32の周囲で空間を画定する好ましくは垂直に延在する壁30を含む。内部導電クリップ28はまた、クリップ28の壁30のうちの一つの端縁部から延在する拡張部34を含み、接触表面33を提供するよう曲げられている。内部導電クリップ28の内部表面は、銀のような導電性の高い材料で被覆することができ、外部表面は、絶縁を形成するよう化学的に処理され得るか、又はポリイミドのような絶縁接着フィルム (insulating adhesive film) で被覆され得る。内部導電クリップ28は、壁30を形成するために薄い銅箔の外部端縁部を持ち上げることによって好ましくは形成される。そのように形成された壁のうちの一つは、接触表面33として拡張部34の内部表面を露出させるために外側へ曲げられた拡張部34を有するべきである。内部導電クリップ28を形成するために用いられる銅箔は、外部導電クリップ12の深さよりも薄くするべきである。好ましい実施例では、例えば、外部導電クリップ12が約0.396mmの深さを有する箇所、約0.100mmの厚さの銅箔が用いられる。

## 【0015】

ここで図1及び図2を参照すると、第2半導体ダイ36は、内部導電クリップ28の壁30内の空間に備わっている。第1実施例では、第2半導体ダイは、導電層38によって内部導電クリップ28に電氣的に接続されたドレイン電極(不図示)を有するMOSFETとすることができる。導電層38は、はんだ、又は銀の加えられたエポキシのような導電性エポキシとしてすることができる。内部導電クリップ28の壁30は、はんだ又は導電性エポキシが外部導電クリップ12のウェブ部14にこぼれて接触するのを防止するためのダ

10

20

30

40

50

ムとして作用する。第2半導体ダイ36は、内部導電クリップ28の基部と外部導電クリップ12のウェブ部14との間に配置された絶縁層40によって外部導電クリップ12から絶縁されている。好ましい実施例では、第1半導体ダイ18は、約0.350の厚さを有し、導電材料26によって外部導電クリップ12の深さにおける頂部に持ち上げられる。第2半導体ダイ36はまた、その頂部表面が第1半導体ダイ18の頂部表面と同一平面となるように、内部導電クリップ28の内側で持ち上げられている。この結果を得るために、第1半導体ダイ18よりも薄いダイを用いる必要がある。好ましい実施例では、第2半導体ダイ36は0.200mmの厚さである。この厚さを達成するために、ダイの背部は、内部缶28に配置される準備ができる前に、所望の厚さに対する基部とすることができる。

10

## 【0016】

図7を参照すると、この発明の1側面によれば、外部導電クリップ12は、外部導電クリップ12の2つの対向壁の端縁部から立ち上がる少なくとも2つの隆起部42を含む。各隆起部42は、基板45上の対応する電気パッド43と電気的な接触を形成するための平らな接触表面を有する。隆起部42を介して、第1半導体ダイ18のドレイン電極24は、電子回路内の適切な箇所に電気的に接続される。したがって、外部導電クリップ12は、ハウジングと第1半導体ダイ12のための電気コネクタとの両方として役立つ。

## 【0017】

第1実施例に係る半導体装置10においては、拡張部34の接触表面33、第1半導体ダイ18のソース電極20、及び第2半導体ダイ36のソース電極35は、外部導電クリップ12の隆起部42の接触表面と同一平面である。接触表面33は、第2半導体ダイ36のドレイン電極を電子回路内の適切な位置へ接続するために、第2半導体ダイ36のドレイン電極を基板45上の適切な導電パッド47へ接続する。

20

## 【0018】

同様の数字が同様の構成要素と結び付けられる図5及び図6は、この発明の第2実施例に係る半導体装置44を示す。第2実施例に係る半導体装置44は、MOSFETとすることができる第1及び第2半導体装置18, 18を含む。しかしながら、パワーダイオード、IGBTs、及び同様のものもまた、MOSFETの代わりに用いることができる。第1及び第2半導体装置18, 18のドレイン電極24, 24は、導電層27, 27によって外部導電クリップ12のウェブ部14へ電気的に接続されている。共通の導電層がまた、独立した導電層27, 27の代わりに用いることができる。導電層27, 27は、はんだ、又は銀の加えられたエポキシのような導電性エポキシの層とすることができる。第1及び第2半導体装置18, 18のソース電極20, 20は、互いに同一平面にあり、好ましくは外部導電クリップ12の隆起部42と同一平面にある。第2実施例では、外部導電クリップ12は、ハウジングとして、及び半導体ダイのドレイン電極24, 24に対する共通のコネクタとして役立つ。図8に示すように、隆起部42は、ダイのドレイン電極24, 24を電子回路内の適切な箇所に接続するために、基板45上のパッド43と電気的な接触を形成する。ダイのソース電極20, 20はまた、基板45上のパッド49と電気的に接触しており、かくしてソース電極20, 20を、図8に示すように、回路内の適切な箇所へ接続する。

30

40

## 【0019】

当業者は、この発明が、明細書中で開示されるとともに、記述された実施例に関する例によって説明された発明の思想を用いて、様々な組み合わせの半導体ダイによって実施され得る、ということを理解されたい。例えば、第1実施例では第2半導体ダイ36は、ショットキーダイオード又は第1半導体ダイ18を制御するための制御ICと置き換えることができる。

## 【0020】

この発明は特定の実施例に関して述べられてきたが、多くの他の変形及び修正、及び他の使用は、当業者に明らかとなろう。したがってこの発明は、明細書中の特定の開示によってではなく、添付の特許請求の範囲によってのみ制限されることが好ましい。

50

【図面の簡単な説明】

【0021】

【図1】この発明の第1実施例に係る半導体装置の平面図である。

【図2】図1の1-1線方向に見たこの発明の第1実施例の断面図である。

【図3】この発明の1側面に係る内部導電クリップの側面図である。

【図4】図3に示された内部導電クリップの平面図である。

【図5】この発明の第2実施例に係る半導体装置の平面図である。

【図6】図5の2-2線方向に見たこの発明の第2実施例の断面図である。

【図7】基板に接続されたこの発明の第1実施例に係る半導体装置を示す図である。

【図8】基板に接続されたこの発明の第2実施例に係る半導体装置を示す図である。

10

【符号の説明】

【0022】

- 10 半導体装置
- 12 外部導電クリップ
- 14 ウェブ部
- 18 第1半導体ダイ
- 24 ドレイン電極
- 28 内部導電クリップ
- 33 接触表面
- 36 第2半導体ダイ
- 38 導電層
- 40 絶縁層
- 42 隆起部

20

【図1】

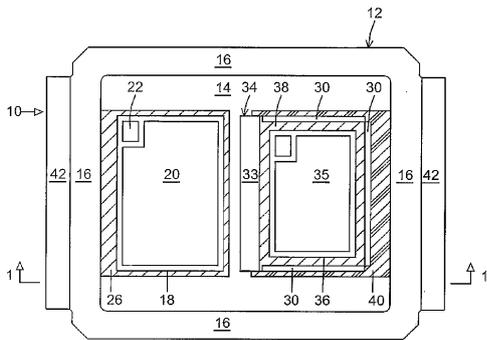


FIG.1

【図3】

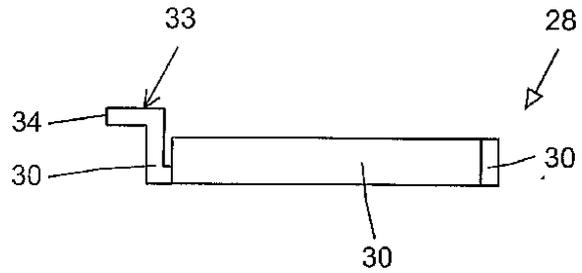


FIG.3

【図2】

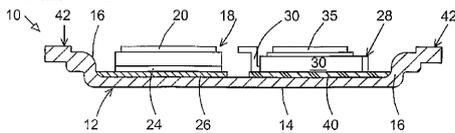


FIG.2

【図4】

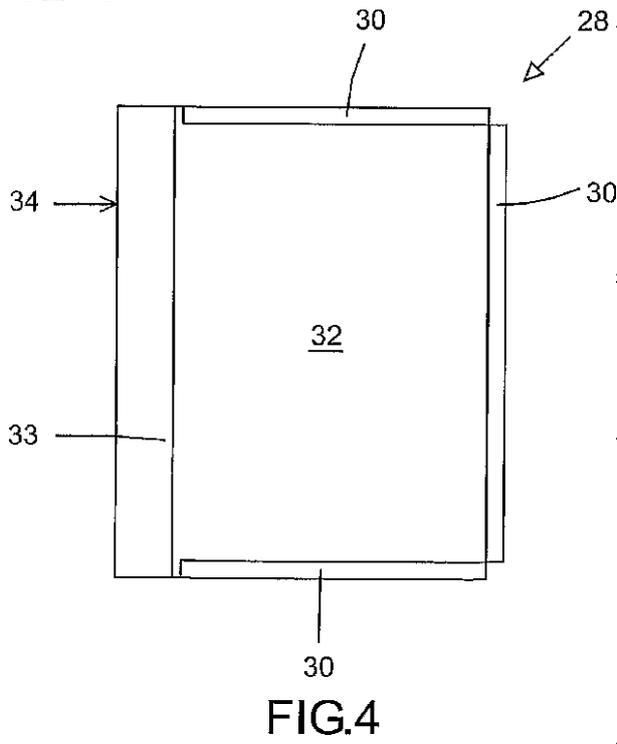


FIG.4

【図5】

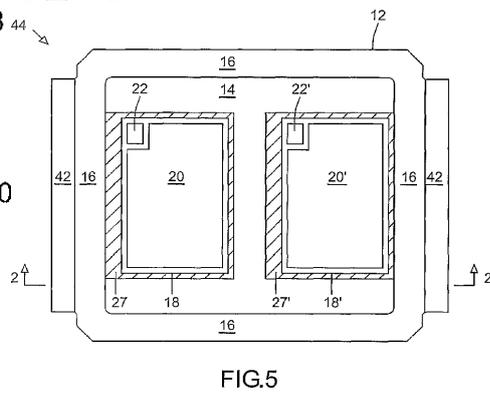


FIG.5

【図6】

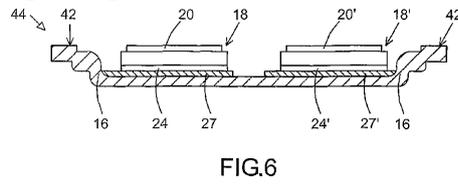


FIG.6

【図7】

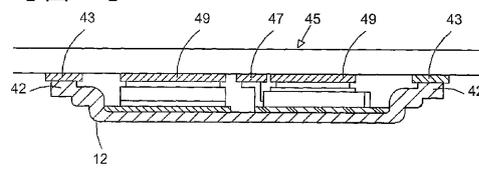


FIG.7

【図8】

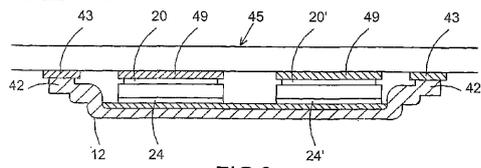


FIG.8

---

フロントページの続き

審査官 関根 崇

(56)参考文献 米国特許出願公開第2001/0048116 (US, A1)  
特開平10-150140 (JP, A)  
特開2002-217363 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/04

H01L 25/18

H01L 23/50

H01L 21/52