

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4571099号
(P4571099)

(45) 発行日 平成22年10月27日(2010.10.27)

(24) 登録日 平成22年8月20日(2010.8.20)

(51) Int.Cl.	F I	
HO 1 L 21/265 (2006.01)	HO 1 L 21/265	Z
HO 1 L 29/861 (2006.01)	HO 1 L 29/91	C
HO 1 L 21/329 (2006.01)	HO 1 L 29/91	A
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 2 G
HO 1 L 29/739 (2006.01)	HO 1 L 29/78	6 5 5 B
請求項の数 16 (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2006-159824 (P2006-159824)
 (22) 出願日 平成18年6月8日(2006.6.8)
 (65) 公開番号 特開2006-344977 (P2006-344977A)
 (43) 公開日 平成18年12月21日(2006.12.21)
 審査請求日 平成18年6月8日(2006.6.8)
 (31) 優先権主張番号 102005026408.5
 (32) 優先日 平成17年6月8日(2005.6.8)
 (33) 優先権主張国 ドイツ(DE)

(73) 特許権者 501209070
 インフィネオン テクノロジーズ アクチ
 エンゲゼルシャフト
 ドイツ連邦共和国 85579 ノイビー
 ベルク アム カンペオン 1-12
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (72) 発明者 ライナー, パーテルメス
 ドイツ連邦共和国 59494 ゴエスト
 ヴェステンヘルヴェーク 25
 (72) 発明者 アントン, マウダー
 ドイツ連邦共和国 83059 コルベル
 モーア ヴィルヘルム ツェル シュトラ
 ーセ 3アー

最終頁に続く

(54) 【発明の名称】 阻止ゾーンを半導体基板に製造する方法、および、阻止ゾーンを有する半導体部品

(57) 【特許請求の範囲】

【請求項1】

半導体基板(100)に、埋設された阻止ゾーンを形成する方法であって、
 第1及び第2の面(101, 102)を有し、第1伝導型の基本ドーピングがなされた半導体基板(100)を準備する工程と、

半導体基板(100)における第1及び第2の面(101, 102)の一方に、陽子を照射し、陽子が、照射面(101)と離間して配された、半導体基板(100)の第1の領域(111)に導入されるようにする工程と、

半導体基板(100)を所定時間、所定温度に加熱する加熱処理を行い、第1の領域(111)、及び該第1の領域(111)と照射面(101)で隣接する第2の領域の両方で、水素によって誘発されたドナーが生成されるようにする工程と、を含み、

第2の領域(112)におけるドーピング濃度を、第1の領域(111)における最大ドーピング濃度の5%よりも大きく、かつ50%よりも小さくする、方法。

【請求項2】

上記温度が200 と550 との間であり、上記時間が2時間と20時間との間である、請求項1に記載の方法。

【請求項3】

上記時間が2.5時間と12時間との間である、請求項2に記載の方法。

【請求項4】

上記温度が400 と500 との間である、請求項2または3に記載の方法。

【請求項 5】

第1の領域(111)と上記照射面との距離が $1\mu\text{m}$ と $250\mu\text{m}$ の間になるように、上記陽子の照射エネルギーを選択する、請求項1～4の何れか1項に記載の方法。

【請求項 6】

第1の領域(111)と上記照射面との距離が半導体基板(100)の厚さの5%と40%の間になるように、半導体基板(100)の厚さに応じて上記陽子の照射エネルギーを選択する、請求項1～5の何れか1項に記載の方法。

【請求項 7】

第1の領域(111)と上記照射面との距離が半導体基板(100)の厚さの10%と15%の間になるように、上記陽子の照射エネルギーを選択する、請求項6に記載の方法。

10

【請求項 8】

第1及び第2の面(101, 102)を有する半導体基板(100)を備え、
第1及び第2の面の一方の領域にエミッタゾーン(14, 31, 41)が配され、
エミッタゾーン(14, 31, 41)から、半導体基板に対し垂直方向に離間して、第1伝導型の阻止ゾーン(11)が配され、
阻止ゾーン(11)とエミッタゾーン(14, 31, 41)との間に第1伝導型の間ゾーン(12)が配され、
阻止ゾーン(11)に隣接してベースゾーン(13)が配され、このベースゾーンが阻止ゾーン(11)及び中間ゾーン(12)よりも弱くドーピングされた、半導体部品であって

20

中間ゾーン(12)におけるドーピング濃度が、阻止ゾーン(11)における最大ドーピング濃度の5%よりも大きく、かつ50%よりも小さくなっている、半導体部品。

【請求項 9】

中間ゾーン(12)におけるドーピング濃度が、ベースゾーン(13)におけるドーピング濃度の2倍以上になっている、請求項8に記載の半導体部品。

【請求項 10】

阻止ゾーン(11)から第1及び第2の面の一方の面までの距離が、半導体基板(100)の厚さの5%と40%の間になっている、請求項8または9に記載の半導体部品。

【請求項 11】

阻止ゾーン(11)から第1及び第2の面の一方の面までの距離が、半導体基板(100)の厚さの10%と15%の間になっている、請求項10に記載の半導体部品。

30

【請求項 12】

半導体基板(100)に対し垂直方向の中間ゾーン(12)の寸法が、半導体基板(100)の厚さの4%と35%の間になっている、請求項8～11の何れか1項に記載の半導体部品。

【請求項 13】

半導体基板(100)に対し上記垂直方向の中間ゾーン(12)の寸法が、半導体基板(100)の厚さの8%と14%の間になっている、請求項12に記載の半導体部品。

【請求項 14】

阻止ゾーン(11)及び中間ゾーン(12)が、水素によって誘発されたドナーを有している、請求項8～13の何れか1項に記載の半導体部品。

40

【請求項 15】

エミッタゾーン(14)が、阻止ゾーン(11)及び中間ゾーン(12)と同一の伝導型になっている、請求項8～14の何れか1項に記載の半導体部品。

【請求項 16】

エミッタゾーン(31, 41)は、阻止ゾーン(11)及び中間ゾーン(12)と相補して、ドーピングされている、請求項8～14の何れか1項に記載の半導体部品。

【発明の詳細な説明】

【発明の詳細な説明】

50

【0001】

本発明は、阻止ゾーンまたはフィールド阻止ゾーンを半導体基板に製造する方法、および、阻止ゾーンを有する半導体部品に関するものである。

【0002】

比較的弱くドーブされたベースゾーンを有するバイポーラ電源部品（例えば、パワーダイオード、パワーサイリスタ、または、電力IGBTなど）では、ベースゾーンに、ベースゾーンよりも強くドーブされた阻止ゾーンを設けることが知られている。上記阻止ゾーンは、部品がオフ状態である場合に、電場がベースゾーンへ伝播するのを制限する機能を果たし、ベースゾーンに隣接するより強くドーブされたエミッタゾーンまで電場が突き抜けるのを防止する。このような阻止ゾーンを有する電源部品は、例えばDE10048165A1に記載されている。

10

【0003】

US4517582には、ベースゾーンに阻止ゾーンがエミッタゾーンと離間させて配置された、縦型電源部品が記載されている。阻止ゾーンとエミッタゾーンとの間には、中間ゾーンが配置されている。この中間ゾーンでは、ドーピング濃度が、阻止ゾーンからエミッタゾーンの方向へ向かって、ベースゾーンのドーピング濃度のレベルまで下がっている。

【0004】

nドーブされた阻止ゾーンを半導体基板に製造するための方法は、DE10243758A1に記載されている。この方法は、阻止ゾーンを製造しようとする半導体基板の領域に、陽子を放射する工程を含んでいる。この照射工程の後に、加熱法を行う。この加熱法では、ハロゲンを含むドナーを生成するために、半導体基板を、1分～250分間、250～550の温度に加熱する。

20

【0005】

原則的には、バイポーラ電源部品がオフになっている場合、ベースゾーンへ流れる電流の一時的な勾配がターンオフ相の終点に向かうにつれて最小となるならば、すなわち、ベースゾーンへ流れる電流ができるだけ緩やかに減少するならば有利である。このことにより、部品に対する給電線のオフ動作の間に、寄生漏洩インダクタンスにおいて誘発される電圧を、最小にすることができる。なお、寄生漏洩インダクタンスの存在は避けられない。

30

【0006】

本発明の目的は、緩やかなオフ動作を保証する阻止ゾーンを製造するための方法、および、緩やかなオフ動作を保証するこのような阻止ゾーンを有する半導体部品を提供することである。

【0007】

この目的は、請求項1に記載の方法、及び請求項8に記載の半導体部品により、達成される。従属項は、本発明の有利な改良点に関する。

【0008】

埋設された阻止ゾーンを形成する方法は、第1及び第2の面を有し、第1伝導型の基本ドーピングがなされた半導体基板を準備する工程と、半導体基板における第1及び第2の面の一方に、陽子を照射し、陽子が、照射面と離間して配された、半導体基板の第1の領域に導入されるようにする工程とを含む。続いて、加熱処理が実行される。この加熱処理では、半導体基板を所定時間、所定温度に加熱する。この場合、加熱処理における上記所定時間及び所定温度は、後のアニーリング処理を参考として、第1の領域、及び該第1の領域と照射面で隣接する第2の領域の両方で、水素によって誘発されたドナーが生成されるように選択される。

40

【0009】

上記加熱処理中の温度は、200と550との間であり、時間が2時間と20時間との間である。上記加熱処理における上記時間は、2.5時間と12時間との間であることが好ましく、上記温度は、400と500との間であることが好ましい。

50

【0010】

陽子が導入された半導体基板の第1の領域と、照射面との距離は、導入される陽子の照射エネルギーに依存する。第1の領域と照射面との距離（後述の阻止ゾーンから照射面までの深さに対応する）は、半導体基板の全厚さの約5%と約40%との間であり、10%と15%の間であることが好ましい。このような場合、半導体基板の厚さは、絶縁耐力、すなわち部品の許容逆電圧に影響する。半導体基板の材料がシリコンである場合、所望の逆電圧100V当たりの上記厚さは、約6 μm と約20 μm との間であり、約11 μm と約20 μm との間であることが好ましい。例えば、部品の阻止容量限界が13kVである場合、厚さは約1500 μm であり、電場を阻止する浸透深度は約150 - 250 μm であることが典型である。

10

【0011】

陽子は、照射面から第1の領域に向かって、半導体基板中に照射欠陥を残す。

【0012】

アニーリング処理中に、陽子は第1の領域から拡散する。その結果、照射により引き起こされる欠陥により水素によって誘発されたドナーが生成される。一方、照射面と第1の領域との間に配された第2の領域にも、水素が生成される。この場合、第2の領域における水素によって誘発されたドナーのドーピング濃度は、第1の領域から照射面へ向かった陽子拡散により得られた陽子濃度に依存する。陽子の拡散、及び該陽子の上記欠陥との相互作用の結果、第2の領域におけるドナーの濃度は、通常、第1の領域の照射法または注入法により得られたドナー濃度よりも、遥かに低くなる。

20

【0013】

第2の領域における陽子の濃度は、特にアニーリング処理の時間、及びアニーリング処理中に用いられる温度に依存する。一方、第2の領域において顕著なドーピング濃度を実現するためには、アニーリング温度400以上、アニーリング時間2時間で十分である。それに対応して、より低いアニーリング温度、または第2の領域における垂直な広範囲に導く大きな注入エネルギーでは、より多くのアニーリング時間が必要になる。第2の面と対向する側において第1の領域と隣接する、半導体基板の領域では、陽子により誘発される基本ドーピングの増加が起きなくなる。なぜなら、この領域には、照射により引き起こされた欠陥が存在せず、ドナー形成を担う必須な構成要素が不足しているからである。

【0014】

本発明の方法により、2段階の電場阻止ゾーンを形成することが可能になる。この阻止ゾーンでは、第2の領域よりも第1の領域のほうが強くドーピングされている。そして、第1の領域及び第2の領域の両方におけるドーピング濃度が、半導体基板の基本ドーピングよりも高くなっている。このような阻止ゾーンを有する最終電源部品では、エミッタゾーンが、阻止ゾーンのより弱くドーピングされた第2の領域に隣接している。このエミッタゾーンは、部品に応じてnドーピングされていてもよいし、pドーピングされていてもよい。阻止ゾーンにおける第2の領域（この第2の領域は、エミッタゾーンに隣接しており、半導体基板の基本ドーピングよりも高くドーピングされている）は、部品のオフ動作中に、電荷担体の「プラズマ蓄積」を形成する。その結果、オフ動作全体を通して、十分な電荷担体を得られ、オフ動作の終了時においても、十分に低い電流勾配を維持できる。このために、より弱くドーピングされた第2の領域は、垂直方向で十分な範囲になっている必要がある。この範囲は、典型的には、半導体基板の全厚さの約4%と約35%との間であり、8%と14%との間が好ましい。

30

40

【0015】

以下で、図を参照して本発明をより詳しく説明する。

【0016】

図1は、半導体基板に2段階の阻止ゾーンを製造するための本発明の方法を示す図である。

【0017】

図2は、上記方法の終了後の図1の半導体基板のドーピング分布(profile)を示す図で

50

ある。

【 0 0 1 8 】

図 3 は、本発明の阻止ゾーンを有するパワーダイオードの断面を示す概略図である。

【 0 0 1 9 】

図 4 は、本発明の阻止ゾーンを有する I G B T の断面を示す概略図である。

【 0 0 2 0 】

図 5 は、本発明の阻止ゾーンを有する電源サイリスタの断面を示す概略図である。

【 0 0 2 1 】

図 6 は、半導体材料としてシリコンが使用されている場合の、ある半導体基板について、陽子を有する第 1 領域の照射面までの距離と粒子エネルギーの深度分布の標準偏差との関係を示す図である。

10

【 0 0 2 2 】

これらの図では、特に記載しない限り、同じ参照符号は、同じ意味を有する同じ部品の領域を指している。

【 0 0 2 3 】

2 段階のフィールド阻止ゾーンを製造するための本発明の方法について、図 1 A および図 1 B を参照して以下で説明する。

【 0 0 2 4 】

図 1 A を参照すると、例えばシリコンを含み、基本的なドーピングがなされた半導体基板 1 0 0 が設けられている。半導体基板 1 0 0 は、第 1 面 1 0 1 と第 2 面 1 0 2 とを備え、2 つの面の一方の面（この実施例では、第 1 面 1 0 1 ）から陽子が照射される。照射工程中に、陽子は、照射面 1 0 1 から離間して配置されている、半導体基板 1 0 0 の第 1 領域に導入される。上記第 1 領域 1 1 1 と、照射面 1 0 1 との間隔は、陽子照射を行う照射エネルギーに応じて決定される。上記第 1 領域 1 1 1 の垂直方向の寸法も同様に、照射エネルギーによって決定される。この場合、照射エネルギーが大きければ大きいほど、上記第 1 領域 1 1 1 の垂直方向の寸法がよりいっそう大きくなる、すなわち、陽子がより深く半導体基板 1 0 0 に浸透する、ということは事実である。第 1 領域 1 1 1 では、照射工程の終了後、上記領域 1 1 1 の垂直方向のほぼ中央において陽子の濃度が最大になる。

20

【 0 0 2 5 】

図 6 に、照射面 1 0 1 を起点とする陽子の浸透深度（ μm の単位で示す）が、半導体材料としてシリコンを使用する場合の照射エネルギー（ MeV 単位で示す）の関数としてプロットされている。図 6 では、浸透深度の標準偏差は、従来法で示されており、照射エネルギーの各値に縦線によりプロットされている。この曲線から分かるように、陽子の浸透深度は、約 6 MeV の照射エネルギーで、 $300\ \mu\text{m}$ にまで達する。照射エネルギーが低くなれば浸透深度も対応して低くなる。

30

【 0 0 2 6 】

半導体基板 1 0 0 の第 2 領域 1 1 2 は、照射面 1 0 1 と第 1 領域 1 1 1 との間に位置している。この第 2 領域 1 1 2 において、陽子は、半導体基板の結晶格子中の照射欠陥を残す。これらの欠陥は、図 1 A ではバツ印で概略的に表されており、参照符号 1 1 4 が付されている。第 1 領域 1 1 1 における結晶格子に導入された陽子は、丸印で概略的に表されており、参照符号 1 1 3 が付されている。第 1 領域には、当然、照射欠陥も存在している。なお、陽子は、第 1 領域 1 1 1 まで前進する。この領域では、照射欠陥の濃度は、導入される陽子の濃度よりも高い。

40

【 0 0 2 7 】

照射工程の後に、加熱プロセスまたはアニーリングプロセスが続く。加熱プロセスまたはアニーリングプロセスでは、半導体基板 1 0 0 を、2 時間 ~ 20 時間、好ましくは 2 . 5 時間 ~ 12 時間、 $200 \sim 550$ 、好ましくは $400 \sim 500$ の温度に加熱する。2 時間以上、好ましくは 2 . 5 時間以上続くこの加熱プロセスの間に、第 1 領域 1 1 1 の陽子は、上記第 1 領域 1 1 1 から、かなりの範囲で外側へ拡散する。さらに、アニーリングプロセスの間に、水素によって誘発されたドナーが、照射プロセス中に導入された

50

陽子によって、第1領域111に形成される。同じく、アニーリングプロセス中に、陽子が照射面101の方向に拡散することにより、第1領域111と照射面101との間に配置された第2領域112に、水素によって誘発されたドナーが発生する。第1領域から照射面101の方向へ拡散する陽子と、先に行われた陽子の照射によって第2領域に生じる照射欠陥とは、第2領域112における水素によって誘発されたドナーの生成に参与する。加熱段階中に、第1領域111の陽子も、照射面とは反対の面102の方向に出力拡散する。しかしながら、この方向において第1半導体領域111に隣接する半導体基板の領域には、水素によって誘発されるドナーが生じない。なぜなら、この領域には、このようなドナーの形成に必要な照射欠陥が存在していないからである。

【0028】

図1Bに、アニーリングプロセスを終了した後の半導体基板100を示す。この場合は、参照符号11は、高ドーピングされており、半導体基板100の第1領域111に配置されているnドーピング第1半導体ゾーンを示す。参照符号12は、半導体基板100の第2領域112に配置されており、第1ゾーン11よりも弱くドーピングされている第2半導体ゾーン12を示す。

【0029】

図2に、半導体基板100の垂直方向におけるドーピングの分布の一例を示す。この例では、半導体基板100が基本ドーピングを有している垂直位 X_0 を始点とし、照射面101の方向へ、ドーピングの分布がプロットされている。以下では、半導体基板100の基本ドーピングを、 N_{ref} によって表す。一方、 N_D は、第1および第2の半導体ゾーン11・12のドーピング濃度を示している。図2には、第1と第2の半導体ゾーン11・12のドーピング濃度 N_D と、基本ドーピング N_{ref} との関係がプロットされている。ドーピング濃度は、第1半導体ゾーン11において、基本ドーピングを有する半導体領域13を始点として、第1半導体ゾーン11の垂直方向のほぼ中央においてドーピング濃度が最大となるほぼ放物線状の分布を有している。この実施例では、長いアニーリングプロセス中に、陽子が照射面101の方向に拡散するので、第2半導体ゾーン12におけるドーピング濃度は、第1半導体ゾーン11を始点として照射面101の方向へいくほど線形に減少している。しかしながら、アニーリングの期間が非常に長い場合は、第2半導体ゾーン12におけるドーピングの分布を達成することができる。この場合は、ドーピング濃度は、第2半導体ゾーン12のどこにおいてもほぼ一定になるか、または、正面101の付近で再び上昇することさえある。

【0030】

第2半導体ゾーン12におけるドーピング濃度は、第1半導体ゾーン11における最大のドーピング濃度よりも著しく低い。図2に示すドーピングの分布では、第2半導体ゾーン12における上記ドーピング濃度は、第1半導体ゾーン11における最大のドーピング濃度の20%未満である。しかしながら、第2半導体ゾーン12のドーピング濃度は、基本ドーピングよりも著しく高く、この実施例では、基本ドーピングの約20倍である。

【0031】

上述の本発明の方法は、図3～図5を参照して以下で説明する任意のバイポーラ縦型電源部品に2段階の阻止ゾーンを製造するのに適している。

【0032】

図3に、パワーダイオードとして形成された半導体部品を示す。ダイオードは、半導体基板100に集積されており、nドーピングされたベースゾーン13を備えている。ベースゾーン13のドーピング濃度は、半導体基板100の基本ドーピングに相当している。強くnドーピングされた第1半導体ゾーン11は、上記ベースゾーン13に隣接している。第1半導体ゾーン11は、阻止ゾーンまたは第1阻止ゾーンセクションを形成している。第2半導体ゾーン12は、第1半導体ゾーン11よりも弱くドーピングされており、第1半導体ゾーン11に隣接している。この第2半導体ゾーン12は、中間ゾーンまたは第2阻止ゾーンセクション12を形成している。上記第2阻止ゾーンセクション12は、半導体基板の第1面101と、第1阻止ゾーンセクション11との間に配置されている。半導体基板10

10

20

30

40

50

0は、上記第1面101の領域に、非常に強くnドーブされた半導体セクション14を備え、半導体セクション14は、パワーダイオードのn型エミッタを形成している。n型エミッタを形成している上記半導体セクション14におけるドナー濃度は、第1阻止ゾーンセクションを形成している第1半導体ゾーン11における濃度よりも著しく高い。n型エミッタ14は、第1メタライゼーション21によって接触接続されている。第1メタライゼーション21は、パワーダイオードのカソードKを形成している。

【0033】

半導体基板100は、半導体基板100の第1面101の反対側の領域に、pドーブされた半導体セクション15を備えている。この半導体セクション15は、パワーダイオードのp型エミッタを形成しており、第2メタライゼーション22によって接触接続されている。上記第2メタライゼーションは、パワーダイオードのアノードAを形成している。

10

【0034】

部品がオフ状態である場合、すなわち、アノードAとカソードKとの間に負の電圧が存在しており、電場が、p型ベース15を始点としてベース13へ伝播する場合には、より強くドーブされた第1阻止ゾーンセクション11は、既知の方法で、次の効果を有している。すなわち、上記電場は、n型エミッタ14まで突き抜けてもよく、好ましくはダイオード、必然的にはIGBTまたはサイリスタでは、上記電場は、n型エミッタ14まで突き抜けてもよく、既に第2阻止ゾーンセクション12の領域で限界になる(end)。

【0035】

第2阻止ゾーンセクション12は、n型ベース13よりも強くドーブされているが、第1阻止ゾーンセクション11よりは弱くドーブされている。この利点は、以下で説明するように、予めオン状態で動作している部品をオフにする場合に得られる。パワーダイオードをオン状態で駆動するために、アノードAとカソードKとの間に正の電圧が印加されている。この電圧を、負の値にまで下げる場合、ダイオードはオフ状態の動作に切り替えられる。オン状態の間は、電荷担体プラズマが、ベース13と、第1および第2の阻止ゾーンセクション11・12とに存在している。このプラズマは、オフ動作中に、まずベースゾーン13において低減される。第2阻止ゾーンセクション12は、ベースゾーン13よりも高くドーブされており、次の効果を有している。すなわち、オフ動作が終了に向かう場合でさえ、オフ動作の終了時でもダイオードを流れる電流の勾配を十分に小さく維持するために、n型エミッタ14の前に十分に大きなプラズマの蓄積が存在する。このことにより、パワーダイオードのオフ挙動が穏やかになる。

20

30

【0036】

このような緩やかなターンオフ挙動には、第2阻止ゾーンセクション12のドーピング濃度が、ベースゾーンのドーピング濃度よりも高い、ということが必須である。このドーピング濃度は、ベースゾーンのドーピング濃度よりも、2倍以上高いことが好ましく、10倍以上高いことが理想的である。さらに、第2阻止ゾーンセクション12のドーピング濃度は、第1阻止ゾーンセクション11のドーピング濃度よりも低くなければならない。この場合は、第2阻止ゾーンセクション12のドーピング濃度は、第1阻止ゾーンセクション11の最大のドーピング濃度の5%を上回っているが、第1阻止ゾーンセクション11の最大のドーピング濃度の50%未満である。

40

【0037】

図4に、より強くドーブされた阻止ゾーンセクション11と、第1阻止ゾーンセクションよりも弱くドーブされているが、ベースゾーン13よりは強くドーブされている阻止ゾーンセクション12とを有する2段階の阻止ゾーンを、IGBTに応用したものを示す。このIGBTでは、参照符号31は、半導体基板100の第1面101の領域に配置されたp型エミッタを示している。このp型エミッタは、第1メタライゼーション36によって接触接続されている。第1メタライゼーション36を以下ではカソードと呼ぶ。図3に既に記載のように、参照符号13は、IGBTのn型ベースを示す。

【0038】

半導体基板100の第2面102は、この実施例ではいわゆる正面を形成しており、こ

50

の第2面102の領域に、複数のp型ベースゾーン32を含むセルアレイがある。p型ベースゾーン32の各々に、n型エミッタゾーン33が配置されている。n型エミッタゾーン33とn型ベース13との間のp型ベースゾーン32に、伝導チャネルを形成するために、ゲート電極34が存在している。ゲート電極34は、ゲート絶縁層35によって半導体基板100からは絶縁されて配置されている。n型エミッタゾーン33は、第2メタライゼーション37によって接触接続されている。第2メタライゼーション37は、原則的に知られている方法で、IGBTのエミッタ電極を形成している。

【0039】

図5を参照すると、2段階のフィールド阻止ゾーンの構想を、電源サイリスタにも応用できる。図5では、図3および図4の構想について説明したのと同様に、参照符号13がサイリスタのn型ベースを示し、参照符号11・12は、2段階の阻止ゾーンの第1および第2の阻止ゾーンセクションを示している。半導体基板100の第1面101は、この実施例ではサイリスタの背面を形成しており、この第1面101の領域に、pドーピングされた半導体ゾーン41が存在している。この半導体ゾーン41は、p型エミッタを形成しており、メタライゼーション46によって接触接続されている。メタライゼーション46は、以下ではカソードKと呼ばれる。

【0040】

サイリスタのために使用される半導体基板100は、第1面101とは反対の面102の領域に、p型ドーピング42を有している。p型ドーピングは、部品のp型ベースを形成している。上記p型ベース42に、n型エミッタゾーン43が配置されており、n型エミッタゾーン43は、第2メタライゼーション47によって接触接続されている。第2メタライゼーション47は、エミッタ電極を形成している。n型エミッタ43は、サイリスタの主要エミッタを形成しており、いわゆるエミッタ短絡回路47によって中断されている。これらのエミッタ短絡回路の領域において、p型ベースは、ちょうど電極47まで達している。この部品は、横方向にある軸A-Aに対して対称に形成されていてもよいし、いわゆる中央領域にBOD構造(BOD-Break Over Diode)を備えていてもよい。上記BOD構造は、中央領域において非常に湾曲したセクションを有するp型ベースによって形成されている。BOD構造とn型主要エミッタ43との間に、増幅構造がさらに備えられていてもよい。これらの増幅構造の各々は、p型ベースに埋設された補助エミッタ44と、補助エミッタ44およびp型ベース42に接触を行う補助電極とを備えている。これらの構造は、増幅ゲート構造とも呼ばれる。

【図面の簡単な説明】

【0041】

【図1A】半導体基板に2段階の阻止ゾーンを製造するための本発明の方法を示す図である。

【図1B】半導体基板に2段階の阻止ゾーンを製造するための本発明の方法を示す図である。

【図2】上記方法の終了後の図1A及び図1Bの半導体基板のドーピングの分布を示す図である。

【図3】本発明の阻止ゾーンを有する電源ダイオードの断面を示す概略図である。

【図4】本発明の阻止ゾーンを有するIGBTの断面を示す概略図である。

【図5】本発明の阻止ゾーンを有する電源サイリスタの断面を示す概略図である。

【図6】半導体材料としてシリコンが使用されている場合の、ある半導体基板について、陽子を有する第1領域の照射面までの距離と粒子エネルギーの深度分布の標準偏差との関係を示す図である。

【符号の説明】

【0042】

- 11 第1半導体ゾーン、第1ストップゾーンセクション
- 12 第2半導体ゾーン、第2ストップゾーンセクション
- 13 基本ドーピングを有する半導体ゾーン、ベースゾーン

10

20

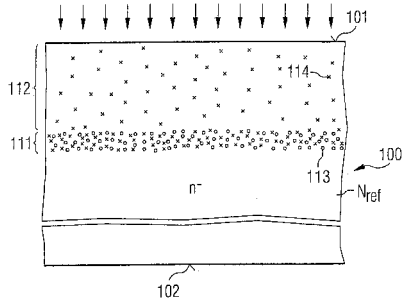
30

40

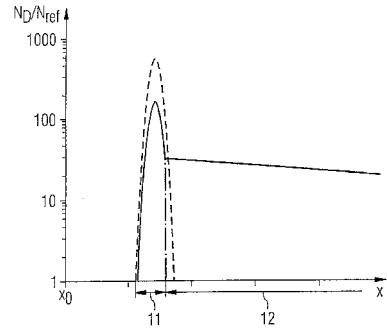
50

1 4	n 型エミッタ	
1 5	p 型エミッタ	
2 1 , 2 2	電極	
3 1	p 型エミッタ	
3 2	p 型ベース	
3 3	n 型エミッタ	
3 4	ゲート電極	
3 5	絶縁層、ゲート絶縁	
3 6 , 3 7	電極	
4 1	p 型エミッタ	10
4 2	p 型ベース	
4 3	n 型エミッタ	
4 4	補助エミッタ	
4 5	BOD 構造の領域における p 型ベースのセクション	
4 6 , 4 7	電極	
4 8	ゲート電極	
1 0 0	半導体基板	
1 0 1	第 1 面、正面	
1 0 2	第 2 面、背面	
1 1 1	半導体基板の第 1 領域	20
1 1 2	半導体基板の第 2 領域	
1 1 3	半導体基板の第 1 領域の陽子	
1 1 4	半導体基板の第 2 領域の欠陥	
A	アノード	
A - A	軸	
E	エミッタ	
G	ゲート	
K	カソード	
X ₀	垂直位	
N _{r e f}	基本ドーピング濃度	30
N _D	第 1 または第 2 の阻止ゾーンのドーピング濃度	

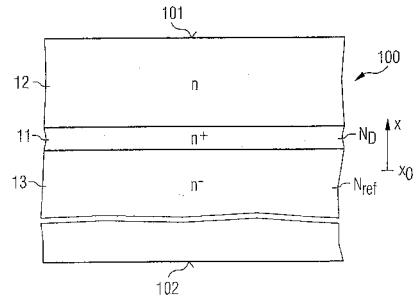
【図 1 A】



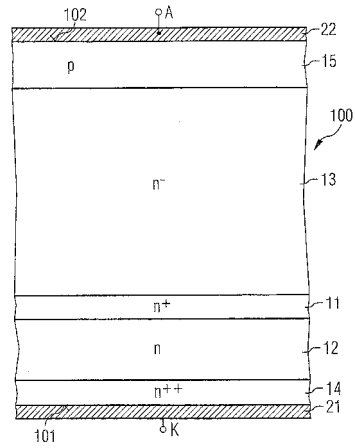
【図 2】



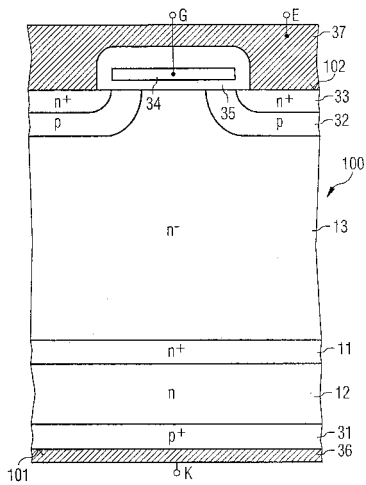
【図 1 B】



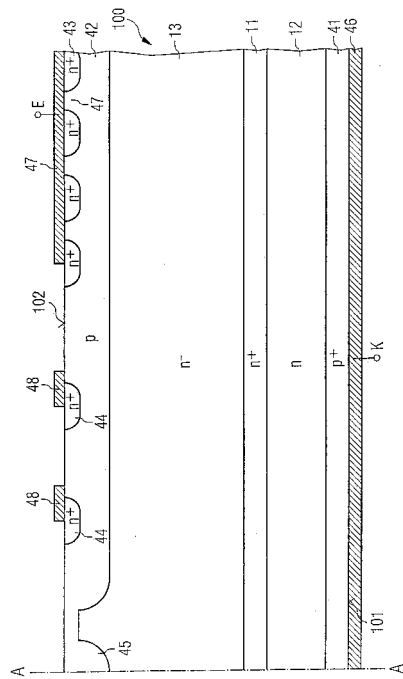
【図 3】



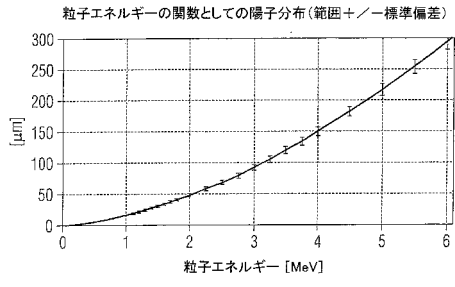
【図 4】



【図 5】



【図6】



フロントページの続き

(51)Int.Cl. F I
 H 0 1 L 21/336 (2006.01) H 0 1 L 29/78 6 5 8 A
 H 0 1 L 21/322 (2006.01) H 0 1 L 21/322 L

(72)発明者 フランツ ヨーゼフ, ニーデルンオストハイデ
 ドイツ連邦共和国 4 8 1 5 7 ミュンスター ファッハスヴェーク 1 6

(72)発明者 ハンス - ヨアヒム, シュルツェ
 ドイツ連邦共和国 8 5 5 2 1 オットーブルン オットーシュトラーセ 6 0 エフ

審査官 後谷 陽一

(56)参考文献 特開平07 - 050406 (J P , A)
 特開2003 - 152198 (J P , A)
 特開2002 - 305305 (J P , A)
 特開平02 - 196471 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

H 0 1 L 2 1 / 2 6 5
 H 0 1 L 2 1 / 3 2 9
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 9 / 7 3 9
 H 0 1 L 2 9 / 8 6 1
 H 0 1 L 2 9 / 7 4 9