



(12)发明专利申请

(10)申请公布号 CN 106542493 A

(43)申请公布日 2017.03.29

(21)申请号 201610712167.X

(22)申请日 2016.08.24

(30)优先权数据

14/855,684 2015.09.16 US

(71)申请人 日月光半导体制造股份有限公司

地址 中国台湾高雄市楠梓加工区经三路26号

(72)发明人 黄敬涵 詹勋伟 赖律名

(74)专利代理机构 北京律盟知识产权代理有限公司
11287

代理人 萧辅宽

(51)Int.Cl.

B81B 7/02(2006.01)

B81C 1/00(2006.01)

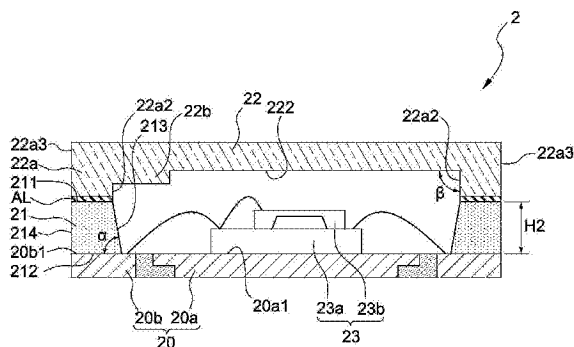
权利要求书2页 说明书8页 附图8页

(54)发明名称

半导体装置封装件及制造其之方法

(57)摘要

一种半导体装置封装件包括一载体、设置于所述载体之一顶表面上之一墙、一盖体,及一传感器元件。该盖体包括自所述盖体之一底表面突出之一部分,其中所述盖体之所述突出部分接触所述墙之一顶表面以界定一空间。所述传感器元件位于所述空间中。



1. 一种半导体装置封装件,其包含:
 - 一载体;
 - 一墙,其设置于所述载体之一顶表面上;
 - 一盖体,其包括自所述盖体之一底表面突出之一部分,所述盖体之所述突出部分接触所述墙之一顶表面以界定一空间;及
 - 一传感器元件,其设置于所述空间中。
2. 根据权利要求1所述的半导体装置封装件,其中所述墙之一侧表面及所述墙之一底表面界定小于90度之一角度。
3. 根据权利要求2所述的半导体装置封装件,其中所述墙之所述侧表面及所述墙之所述底表面所界定之所述角度在大约78度至大约83度的范围内。
4. 根据权利要求1所述的半导体装置封装件,其中所述盖体之所述突出部分具有一第一侧表面及相对于所述第一侧表面之一第二侧表面,且其中所述盖体之所述突出部分之所述第二侧表面实质上与所述墙之一侧表面共面。
5. 根据权利要求1所述的半导体装置封装件,其中所述突出部分之一侧表面及所述盖体之所述底表面界定大于90度之一角度。
6. 根据权利要求5所述的半导体装置封装件,其中所述突出部分之所述侧表面及所述盖体之所述底表面所界定之所述角度在大约93度至大约97度的范围内。
7. 根据权利要求1所述的半导体装置封装件,其进一步包含在所述盖体之所述突出部分之一侧表面及所述盖体之所述底表面上之一导电层。
8. 根据权利要求7所述的半导体装置封装件,其进一步包含至少一导电元件,其设置于所述墙内且电连接至所述导电层。
9. 根据权利要求1所述的半导体装置封装件,其进一步包含在所述盖体之一顶表面上之一导电层。
10. 根据权利要求1所述的半导体装置封装件,其进一步包含一加强元件,其接触所述盖体之所述底表面及所述盖体之所述突出部分。
11. 一种半导体装置封装件,其包含:
 - 一载体,其包含至少一衬垫;
 - 一主动组件,其设置于所述载体上;
 - 一盖体,其包含:
 - 一延伸部分;
 - 一顶部分,其耦接至所述延伸部分;及
 - 一加强元件,其耦接至所述延伸部分及所述顶部分;及
 - 一导电层,其设置于所述盖体之一下表面,其中所述盖体及所述载体形成一围绕所述主动组件之容纳空间,及其中所述导电层电连接至至少一衬垫。
12. 根据权利要求11所述的半导体装置封装件,其进一步包含设置于所述载体上之一墙,其中所述盖体设置于所述墙上,且其中所述盖体之所述延伸部分之一外侧表面实质上与所述墙之一外侧表面共面。
13. 根据权利要求11所述的半导体装置封装件,其中所述导电层为一第一导电层,其进

一步包含设置于所述盖体之一顶表面上之一第二导电层。

14. 根据权利要求11所述的半导体装置封装件,其中所述盖体包含一芳烃聚合物。

15. 一种制造半导体装置封装件之方法,其包含:

(a) 提供一载体;

(b) 将一墙置于所述载体之一顶表面上;

(c) 将一传感器元件置于所述载体上;及

(d) 将一盖体置于所述墙上,所述盖体包括自所述盖体之一底表面突出之一延伸部分,所述盖体之所述延伸部分接触所述墙之一顶表面。

16. 根据权利要求15所述的方法,其进一步包含于所述盖体之一顶表面上形成一导电层。

17. 根据权利要求15所述的方法,其进一步包含于所述盖体之所述延伸部分之一内侧表面及所述盖体之所述底表面上形成一导电层。

18. 根据权利要求15所述的方法,其进一步包含将所述墙电连接至所述载体。

19. 根据权利要求15所述的方法,其进一步包含将所述盖体之所述延伸部分电连接至所述墙。

20. 根据权利要求15所述的方法,其中所述盖体之所述延伸部分之一外侧表面实质上与所述墙之一外侧表面共面。

半导体装置封装件及制造其之方法

技术领域

[0001] 本发明涉及半导体装置封装件及制造其之方法。明确地说,本发明涉及具有微型机电系统(micro-electro-mechanical systems, MEMS)装置之半导体装置封装件及其制造方法。

背景技术

[0002] 相较于传统集成电路封装要求, MEMS装置(诸如MEMS晶粒)之封装要求更为复杂。举例而言,声音传感器封装应包括一孔隙(aperture)以允许音波之传输,同时阻挡灰尘、电磁干扰(electromagnetic interference, EMI)、及其他环境影响。

[0003] 对于封装MEMS装置之一种方式是将一金属盖置于MEMS装置上方,以保护MEMS装置不受环境影响,像是EMI及污染(像是灰尘及水)。然而,此方式可导致,例如,金属盖之侧壁及其上或其中设有MEMS装置之衬底之侧壁间有相对大的距离,以避免在分割期间锯片直接切割到金属盖之状况,使得锯片快速损耗。据此,金属盖可影响到封装件的大小,因此,具有金属盖的封装件不适用于希望高度缩减尺寸的消费者应用。此外,以金属盖覆盖封装件,像是藉由拾放技术,增加制造过程的时间及材料成本。

发明内容

[0004] 在一实施例中,一半导体装置封装件包括一载体、设置于所述载体之一顶表面上之一墙、一盖体,及一传感器元件。该盖体包括自所述盖体之一底表面突出之一部分,其中所述盖体之所述突出部分接触所述墙之一顶表面以界定一空间。所述传感器元件位于所述空间中。

[0005] 在一实施例中,一半导体装置封装件包括具有至少一衬垫之一载体、所述载体上之一主动组件、一盖体、及一导电层。所述盖体包括一延伸部分、耦接至所述延伸部分之一顶部分、及耦接至所述延伸部分及所述顶部分之一加强元件。所述导电层设置于所述盖体之一下表面。所述盖体及所述载体形成一围绕所述主动组件之容纳空间,且所述导电层电连接至若干衬垫中之至少一者。

[0006] 在一实施例中,一制造半导体装置封装件之方法包括(a)提供一载体;(b)将一墙置于所述载体之一顶表面上;(c)将一传感器元件置于所述载体上;及(d)将一盖体置于所述墙上。所述盖体包括自所述盖体之一底表面突出之一延伸部分,其中所述盖体之所述延伸部分接触所述墙之一顶表面。

附图说明

[0007] 图1A为根据本发明的一实施例的半导体装置封装件的截面图;

[0008] 图1B为根据本发明的一实施例的半导体装置封装件的截面图;

[0009] 图1C为根据本发明的一实施例的半导体装置封装件的截面图;

[0010] 图2为根据本发明的一实施例的半导体装置封装件的截面图;

- [0011] 图3A为根据本发明的一实施例的半导体装置封装件的截面图；
[0012] 图3B为根据本发明的一实施例的半导体装置封装件的上视图；
[0013] 图4A为根据本发明的一实施例的半导体装置封装件的透视图；
[0014] 图4B为根据本发明的一实施例的半导体装置封装件的截面图；
[0015] 图5A、5B、及5C说明根据本发明的一实施例的制造流程；
[0016] 图6A、6B、及6C说明根据本发明的一实施例的制造流程；
[0017] 图7A、7B、7C、及7D说明根据本发明的一实施例的制造流程；
[0018] 贯穿图式及详细描述使用共同参考数字以指示相同或类似元件。本发明的实施例将从结合附图进行的以下详细描述更显而易见。

具体实施方式

[0019] 因为外壳、金属盖及外罩增加半导体封装件的尺寸,这种外壳或外罩的使用是避免于小的半导体装置内实施。本发明说明适用于较小的MEMS装置封装件制造之技术,其亦可减少制造成本。

[0020] 图1A展示本发明的一实施例的半导体装置封装件1a的截面图。半导体封装件1a包括载体10、传感器元件11及盖体12。

[0021] 在一或多个实施例中,盖体10为预先模制引线框,其包括晶粒衬垫10a及引线10b。在一或多个实施例中,引线框为铜或铜合金,或包含铜或铜合金。在其他实施例中,引线框包括铁、铁合金、镍、镍合金、或其他金属或金属合金中之一者或组合物。在一或多个实施例中,引线框以银或铜层所涂布。

[0022] 在一或多个实施例中,载体10为衬底。衬底例如是印刷电路板(PCB),像是纸件基础铜箔层压板(paper-based copper foil laminate)、复合铜箔层压板、或聚合物浸渍玻璃纤维基础铜箔层压板(polymer-impregnated glass-fiber-based copper foil laminate)。衬底可包括核心层,其由双马来酰亚胺三嗪(bismaleimide-triazine,BT)树脂或玻璃强化环氧树脂复合物(例如FR-4复合物)制成。

[0023] 在一或多个实施例中,载体10为半导体晶粒。半导体晶粒可例如是专用集成电路(ASIC)晶粒。

[0024] 传感器元件11为主动组件,或包含主动组件。传感器元件11设置于载体10之晶粒衬垫10a之顶表面10a1上。如图1A之实施例所示,传感器元件11藉由焊线接合连接至引线10b。在另一实施例中,传感器元件11藉由倒装芯片接合电连接至晶粒衬垫10a。

[0025] 盖体12位于载体10之金属引线10b中之一者之顶表面10b1上。盖体12及载体10一同界定一空间以容纳传感器元件11及保护传感器元件11。在一或多个实施例中,盖体12为塑料盖体(例如液态结晶聚合物)。相较于金属盖,塑料盖体12可较少消耗锯片而被切割,故无须提供额外空间以允许锯片在分割期间避免塑料盖体12(对于金属盖而言,则导致较大的封装件尺寸)。故,在图1A之实施例中,盖体12之侧壁121及载体10之侧壁101在分割后为共面。在一或多个实施例中,盖体12之侧壁121在分割后实质上垂直于盖体12之上表面122。

[0026] 图1B展示本发明的一实施例的半导体装置封装件1b的截面图。除了图1A中之盖体12在图1B中由墙13及盖体14替换之外,半导体装置封装件1b类似于图1A中所示之半导体装置封装件1a。

[0027] 墙13设置于载体10之引线10b中之一者之顶表面10b1上。墙13可包括像是热固性聚合物或具有散布于其中之填充物之环氧基树脂。盖体14可包括类似于图1A之盖体12所讨论之材料。

[0028] 盖体14设置于墙13上。墙13之上表面为实质上平坦,使得盖体14易于设置在墙13上。盖体14、墙13及载体10共同界定一空间以容纳传感器元件11且保护传感器元件11。

[0029] 墙13具有高度H1。为容纳连接传感器元件11至引线之导线之回路高度,墙13是相对高的,如此一来,墙13对于环境压力而言是脆弱的。例如,墙上的压力依序致使墙13与盖体14之交点处之压力,其致使墙13之上缘或角落变得易碎。这样的易碎性导致半导体装置封装件1b之故障。

[0030] 图1C展示本发明的一实施例的半导体装置封装件1c的截面图。除了图1B中之墙13替换为两个堆栈的墙元件之外(在此为两个堆栈的PCB 15a,15b),半导体封装件1c类似于图1B所示之半导体装置封装件1b。在其他实施例中,额外堆栈的PCB包括两个堆栈PCB 15a,15b。

[0031] 堆栈PCB 15a,15b、盖体14及载体10共同界定一空间以容纳传感器元件11且保护传感器元件11。相较于图1B的实施例之墙13,堆栈PCB 15a,15b可具有相对更稳固的结构。例如,PCB 15a,15b中之一者上的压力不会致使PCB 15b与盖体14之交点处之压力足以在PCB 15b之上缘或角落处造成易碎性。即使堆栈PCB 15a,15b可改善可靠性,制造成本及复杂度会因其之使用而增加。

[0032] 图2展示本发明的一实施例的半导体装置封装件2的截面图。半导体装置封装件2包括载体20、墙21、盖体22、及传感器元件23。

[0033] 在一或多个实施例中,载体20为引线框,其包括晶粒衬垫20a及引线20b。在一或多个实施例中,引线框为铜或铜合金,或包含铜或铜合金。在其他实施例中,引线框包括铁、铁合金、镍、镍合金、或其他金属或金属合金中之一者或组合物。在一或多个实施例中,引线框以铜或银层所涂布。

[0034] 在一或多个实施例中,载体20为衬底。衬底例如是PCB,像是纸件基础铜箔层压板(paper-based copper foil laminate)、复合铜箔层压板、或聚合物浸渍玻璃纤维基础铜箔层压板(polymer-impregnated glass-fiber-based copper foil laminate)。衬底可包括核心层,其由BT树脂或FR-4复合物制成。

[0035] 在一或多个实施例中,载体20为半导体晶粒。半导体晶粒可例如是ASIC晶粒。

[0036] 传感器元件23为主动组件,或包含主动组件。传感器元件23设置于载体20之晶粒衬垫20a之顶表面20a1上。如图2之实施例所示,传感器元件23藉由焊线接合连接至引线20b。在另一实施例中,传感器元件23藉由倒装芯片接合电连接至晶粒衬垫20a。

[0037] 在一或多个实施例中,传感器组件23包括ASIC及MEMS装置中之一者或组合。例如,图2之传感器组件23包括ASIC 23a及MEMS装置23b(或MEMS装置23a及ASIC 23b)。ASIC 23a可例如用以读出由MEMS装置23b所获得之信息,且以模拟或数字模式传输所述信息或对所述信息做出结论。

[0038] 墙21设置于载体20之引线20b中之一者之顶表面20b1上。墙21包括像是热固性聚合物或具有散布于其中之填充物之环氧基树脂。角度 α 由墙21之第一侧表面213及墙21之底表面212所界定。角度 α 小于90度。在一实施例中,角度 α 在大约78度至大约83度的范围内。

[0039] 载体22包括自盖体22之底表面222所突出之延伸或突出部分22a。延伸部分22a可与盖体22之剩余部分为整体,或可被包含为来自盖体22之分离组件。在藉由射出成型制造盖体22时,盖体22之延伸部分22a可改善制造良率。盖体22之延伸部分22a藉由图2中标注‘AL’之黏合材料而衔接至墙21之顶表面211。黏合材料AL可为导电或不导电。盖体22、墙21及载体20共同界定一空间以容纳传感器元件23且保护传感器元件23。在一或多个实施例中,盖体22为芳烃聚合物材料(例如液态结晶聚合物)或包括芳烃聚合物材料(例如液态结晶聚合物)。

[0040] 盖体22之延伸部分22a具有第一侧表面22a2及相对于第一侧表面22a2之第二侧表面22a3。盖体22之延伸部分22a之第二侧表面22a3实质上与墙21之第二侧表面214共面。在一或多个实施例中,盖体22及墙21二者由高分子材料制成,且相较于图1A中展示之塑料盖体12及金属引线10b之使用,盖体22及墙21二者间具有较佳接合力。

[0041] 延伸部分22a之第一侧表面22a2及盖体22之底表面222界定为90度或更大的角度 β 。在一实施例中,角度 β 在大约93度至大约97度的范围内。

[0042] 在一或多个实施例中,盖体22包括加强元件22b,其接触盖体22之底表面222及盖体22之延伸部分22a。加强元件22b可与盖体22之剩余部分为整体,或可被包含为来自盖体22之分离组件。在藉由射出成型制造盖体22时,盖体22之延伸部分22b可改善制造良率。加强元件22b用以强化盖体22之结构。在一或多个实施例中,加强元件22b之高度(图2中所示之定向)小于延伸部分22a之高度。在其他实施例中,加强元件22b之高度大约等于或稍微大于延伸部分22a之高度。

[0043] 在一或多个实施例中,盖体22界定一或多个孔洞(未显示)以排出来自墙21及盖体22所界定之空间的内部周遭环境(像是空气或流体)。

[0044] 在一或多个实施例中,墙21为聚合材料。相较于图1A中所示之塑料盖体12及金属引线10b之使用,金属引线20b及聚合墙21间可形成相对大的接合力。

[0045] 由于盖体22之延伸部分22a,墙21之高度H2可相对小于图1B之墙13之高度H1。墙21之高度H2之减少可改善墙21之耐用性。例如,相较于图1B之墙13之顶表面,墙21之相对大的顶表面面积可提供相对大的耐久性以对抗环境压力。

[0046] 图3A展示本发明的一实施例的半导体装置封装件3的截面图。除了半导体装置封装件3进一步包括一或多个导电元件36及导电层35,35’,半导体封装件3类似于图2所示之半导体装置封装件2。

[0047] 导电元件36贯穿墙21且将导电接合材料AL与载体20之引线20b之顶表面20b1电连接。导电元件36以朝下圆锥状形成(图3A之定向)。

[0048] 导电层35’覆盖盖体22之上表面221。导电层35覆盖盖体22之底表面222、延伸部分22a之第一侧表面22a2、及加强组件22b之侧表面22b2。导电层35,35’经由导电接合材料AL及导电元件36电连接至接地引线(未显示于图3A),以形成接地路径。以导电层35,35’中之一者或二者所涂布之盖体22可作为EMI屏蔽件。

[0049] 图3B展示本发明的一实施例图3A的半导体装置封装件3的上视图。半导体装置封装件3不显示盖体22以促进对盖体22下之结构的理解。如图3B所示,导电组件36围绕载体20之周长安置以形成接地环。导电元件36经由引线20b之至少一接地引线而电连接至封装接地。

[0050] 图4A展示本发明的一实施例的半导体装置封装件4的透视图。半导体装置封装件4包括载体40、盖体41及传感器元件42。

[0051] 盖体41设置于载体40上以容纳且保护传感器元件42。盖体41包括延伸部分41e及顶部分41t,延伸部分41e围绕半导体装置封装件4的周边延伸,而顶部分41t耦接至(附接至、或与延伸部分41e一体成形)延伸部分41e。盖体41进一步包括强化加强元件41a,其于盖体41之内表面之预定位置处耦接至(附接至、或与顶部分41t及/或延伸部分41e一体成形)顶部分41t及/或延伸部分41e。加强元件41a用以强化盖体41之结构。

[0052] 盖体41界定盖体41之顶表面411上之孔洞41h。孔洞41h贯穿盖体41。孔洞41h设置远离强化元件41a。盖体41之孔洞41h用以排出来自盖体41及载体40所界定之空间之内部周遭环境(例如空气或流体)。此外,盖体41之孔洞41h可减低盖体41之残余压力以防止盖体41之形变,像是由于半导体装置封装件4外的外部周遭环境与盖体41及载体40所界定之空间内的内部周遭环境间之压力或热差。

[0053] 传感器元件42设置于盖体40上。传感器元件42设置远离盖体40之孔洞41h(例如不位于下方),以保护传感器元件42不受来自外部周遭环境的污染(例如灰尘或微尘)。

[0054] 图4B展示本发明的一实施例图4A的半导体装置封装件4的截面图。

[0055] 在一或多个实施例中,载体40为引线框。在一或多个实施例中,引线框为铜或铜合金。然而,在一或多个实施例中,引线框包括铁、铁合金、镍、镍合金、或其他金属或金属合金中之一者或组合物。在一些实施例中,引线框以铜或银层所涂布。

[0056] 在一或多个实施例中,载体40为衬底。衬底可包括有机或无机材料、或其组合。衬底可例如是PCB,像是纸件基础铜箔层压板(paper-based copper foil laminate)、复合铜箔层压板、或聚合物浸渍玻璃纤维基础铜箔层压板(polymer-impregnated glass-fiber-based copper foil laminate)。载体40可包括核心层,其由BT树脂或FR-4复合物制成。

[0057] 在一或多个实施例中,载体40为半导体晶粒(例如ASIC晶粒)。

[0058] 在一或多个实施例中,载体40包括晶粒衬垫40a。在其他实施例中,晶粒衬垫40a可省略。在一或多个实施例中,载体40包括可为引线框之引线之晶粒衬垫40b、在衬底中或衬底上之衬垫、或晶粒之电连接。传感器元件42设置于载体40之顶表面40a1上。在图4B所展示之实施例中,传感器元件42藉由焊线接合连接至衬垫40b。在其他实施例中,传感器元件42可藉由倒装芯片接合连接至载体40。在一或多个实施例中,传感器元件42包括ASIC 42a及MEMS装置42b(或MEMS装置42a及ASIC42b)。ASIC 42a可例如用来读出由MEMS装置42b所获得之信息,且以模拟或数字模式传输所述信息或对所述信息做出结论。在载体40为半导体晶粒的一或多个实施例中,半导体晶粒替换ASIC 42a,ASIC 42a可省略,且MEMS装置42b设置于载体40上。在载体40为衬底的一或多个实施例中,ASIC 42a及MEMS装置42b中之一者或二者之部分设置于衬底内且在衬底之顶表面40a1下方(图4B中所示之定向)。

[0059] 盖体41设置于载体40之顶表面40a1上,于顶表面40a1之外围部分40b1处使用接合材料AL。盖体41及载体40一同界定一空间以容纳且保护传感器元件42。在一或多个实施例中,盖体41为芳烃聚合物,或包括芳烃聚合物。在一或多个实施例中,接合材料AL为导电接合材料。

[0060] 导电层45'覆盖盖体41之顶表面411。导电层45覆盖盖体41之下表面(例如图4B所示之盖体41之内表面及加强组件41a)。导电层45,45'经由导电接合材料电连接至接地接

触,像是接地电位接脚、通孔、衬垫、或平面(例如像是图4B所示之衬垫40b、或其他接地接触),从而形成接地路径。以导电层45,45'中之一者或二者所涂布之盖体41可作为EMI屏蔽件。

[0061] 图5A、图5B及图5C展示本发明的一实施例的制造流程。

[0062] 参考图5A,其提供载体20。在一或多个实施例中,载体20在若干载体20的一条带中;在其他实施例中,载体20在若干载体20的一矩阵中(例如N行及M列,其中M及N可以是不同或相同)。在图5A展示之实施例中,载体20为引线,且每一载体20包括晶粒衬垫20a及引线20b。在本发明的一或多个实施例中,载体20为衬底。在一或多个实施例中,载体20包括BT树脂或FR-4之核心层。在一或多个实施例中,载体20为半导体晶粒(例如ASIC晶粒)。

[0063] 墙21形成或设置于载体20之引线20b中之一者之顶表面20b1上。墙21藉由预先成型流程所形成。由墙21之第一侧表面213及墙21之底表面212所界定之角度 α 小于90度。在一实施例中,角度 α 在大约78度至大约83度的范围内。在一或多个实施例中,墙21包括热固性聚合物或具有散布于其中之填充物之环氧基树脂。

[0064] 传感器元件23设置于载体20之晶粒衬垫20a之顶表面20a1上。如图A所示,传感器元件23藉由焊线接合连接至引线20b。在其他实施例中,传感器元件23可藉由倒装芯片接合连接至晶粒衬垫20a。

[0065] 参考图5B,形成导电元件36而贯穿墙21。藉由自墙21之顶表面211钻出向下圆锥状的贯通孔以贯穿墙21且暴露载体20之引线20b之顶表面20b1之部分,且接着以导电材料填充贯通孔而形成每个导电元件36。

[0066] 于墙21之顶表面211上形成或设置接合材料AL以覆盖墙21之顶表面211及导电元件36。在一或多个实施例中,接合材料AL为导电接合材料。

[0067] 参考图5C,盖体22置于墙21上。在一或多个实施例中,盖体22在若干盖体22的一条片中;在其他实施例中,载体20在若干载体20的一矩阵中(例如R行及S列,其中R及S可以是不同或相同)。使用盖体22之条片或矩阵减少制造时间;例如多个盖体22可实质上同时(或快速接续)施加至各别载体20。

[0068] 盖体22包括自盖体22之底表面222突出之延伸部分22a。盖体22之延伸部分22a藉由接合材料AL接附至墙21。在一或多个实施例中,盖体22为芳烃聚合物材料或包括芳烃聚合物材料。

[0069] 盖体22之延伸部分22a具有第一侧表面22a2及相对于第一侧表面22a2之第二侧表面22a3。盖体22之延伸部分22a之第二侧表面22a3实质上与墙21之第二侧表面214共面。

[0070] 延伸部分22a之第一侧表面22a2及盖体22之底表面222所界定之角度 β 为90度或者更大。在一实施例中,角度 β 在大约93度至大约97度的范围内。

[0071] 在将盖体22置于墙21上之前,加强元件22b可形成于盖体22之底表面222上,接触盖体22之延伸部分22a。加强元件22b用以强化盖体22之结构,以减少或避免盖体22之扭曲或弯曲。

[0072] 在将盖体22置于墙21上之前,形成导电元件35以覆盖盖体22、延伸部分22a、及加强元件22b之表面,当盖体22置于墙21上时,所述等表面将变为内表面(例如于图5C中之定向中面朝下)。

[0073] 在将盖体22置于墙21上之前或之后,形成导电层35'以覆盖盖体22之上表面221。

导电层35,35'可例如藉由电镀或喷洒应用流程所形成。

[0074] 当盖体22置于墙21上时,导电层35,35'经由导电接合材料AL及导电元件36电连接至引线20b中之一者。在一或多个实施例中,导电层35,35'电连接至接地引线,以形成接地路径。盖体22以导电层35,35'中之一者或二者所涂布之盖体22可作为EMI屏蔽件。

[0075] 执行分割流程以获得图3A所示之若干半导体装置封装件3之类型。分割流程是藉由使用雷射或其他合适的切割技术所执行。

[0076] 图6A、图6B及图6C一同展示本发明的一实施例的半导体制造流程。图6A、图6B及图6C中所示的半导体制造流程类似于图5A、图5B及图5C,除了导电元件66(如图6B中所示)不同于导电元件36(如图5B中所示)。

[0077] 如图5B中所示,形成二个导电组件36,使得载体20之导电组件36并未在经分割封装件的外部处从墙21的侧表面被暴露出来(图5C)。相较之下,如图6B所示,导电组件66是跨两个相邻的载体20所形成,如此一来,导电组件66在经分割封装件的外部处从墙21的侧表面被暴露出来(图6C)。

[0078] 图7A、图7B、图7C及图7D一同展示本发明的一实施例的半导体制造流程。图7A、图7B及图7C所示的半导体制造流程类似于图5A、图5B及图5C,除了图7C所示的分割是使用部分切割技术所执行,而图5C所示的分割则是使用全切割技术所执行。

[0079] 参考图7C,部分切割技术是以通过盖体22且下至载体20作切割而不经由载体20作切割而被执行。

[0080] 参考图7D,形成导电层75"以覆盖盖体22之侧表面223及墙21之侧表面214。如同关于导电层35之说明(图5C),在将盖体22置于墙21之前形成导电层75,且如同关于导电层35'之说明(图5C),在将盖体22置于墙21之前或之后形成导电层75'。在一或多个实施例中,导电层75"是以如同导电层75'之流程所形成。

[0081] 仍参考图7D,执行切割流程以切断载体20来分隔每个半导体装置封装件。

[0082] 藉由使用图7C及图7D中所示的部分切割技术,盖体22之侧表面223及墙21的侧表面214可由导电层75"所覆盖,使得盖体22可完全被导电层75,75',75"所覆盖,从而增加EMI屏蔽能力。

[0083] 如本文中所使用,术语“大致”、“实质上”、“大约”及“约略”用以描述及考虑小变化。举例来说,所述术语可以指小于或等于 $\pm 10\%$,例如小于或等于 $\pm 5\%$ 、小于或等于 $\pm 4\%$ 、小于或等于 $\pm 3\%$ 、小于或等于 $\pm 2\%$ 、小于或等于 $\pm 1\%$ 、小于或等于 $\pm 0.5\%$ 、小于或等于 $\pm 0.1\%$ 或小于或等于 $\pm 0.05\%$ 。“实质上共面”可表示两个表面沿相同平面设置在数个微米(μm)内,像是沿相同平面设置在 $100\mu\text{m}$ 内、 $80\mu\text{m}$ 内、 $60\mu\text{m}$ 内、 $40\mu\text{m}$ 内、 $30\mu\text{m}$ 内、 $20\mu\text{m}$ 内、 $10\mu\text{m}$ 内或 $1\mu\text{m}$ 内。若两个表面或组件间之角度例如是 $90^\circ \pm 10^\circ$ 、或像是 $\pm 5^\circ$ 、 $\pm 4^\circ$ 、 $\pm 3^\circ$ 、 $\pm 2^\circ$ 、 $\pm 1^\circ$ 、 $\pm 0.5^\circ$ 、 $\pm 0.1^\circ$ 、或 $\pm 0.05^\circ$,则两个表面或组件可视为“实质上垂直”。当用于连接一项目或环境时,“大致”、“实质上”、“大约”及“约略”可以指为所述项目或环境正确发生之范例,以及所述项目及环境发生于一接近的近似值之范例。术语“实质上平坦”可以指约略 $3\mu\text{m}$ 至约略 $20\mu\text{m}$ 之表面粗糙度(Ra),其中所述表面之最高点及最低点间的差值为约略 $5\mu\text{m}$ 至约略 $10\mu\text{m}$ 。

[0084] 另外,有时在本文中按范围格式呈现量、比率及其它数值。应理解,此类范围格式是用于便利及简洁起见,且应灵活地理解,不仅包含明确地指定为范围限制的数值,而且包

含涵盖于所述范围内的所有个别数值或子范围,如同明确地指定每一数值及子范围一般。

[0085] 虽然已参考本发明的特定实施例描述及说明本发明,但这些描述及说明并不限制本发明。所属领域的技术人员应理解,在不脱离如通过所附权利要求书界定的本发明的真实精神及范围的情况下,可做出各种改变且可取代等效物。所述说明可能未必按比例绘制。归因于制造工艺及公差,本发明中的艺术再现与实际设备之间可存在区别。可存在并未特定说明的本发明的其它实施例。应将本说明书及图式视为说明性的而非限制性的。可做出修改,以使特定情况、材料、物质组成、方法或工艺适应于本发明的目标、精神及范围。所有此类修改希望属于所附权利要求书的范围内。虽然本文揭示的方法已参考按特定次序执行的特定操作加以描述,但应理解,可在不脱离本发明的教示的情况下组合、细分或重新排序这些操作以形成等效方法。因此,除非本文中特别指示,否则操作的次序及分组并非本发明的限制。

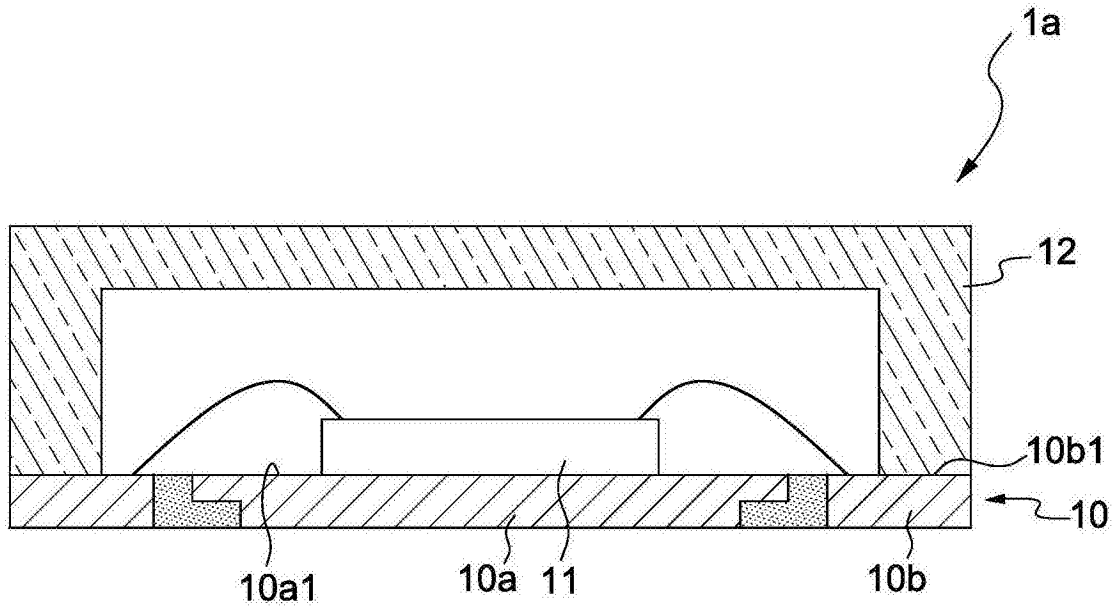


图1A

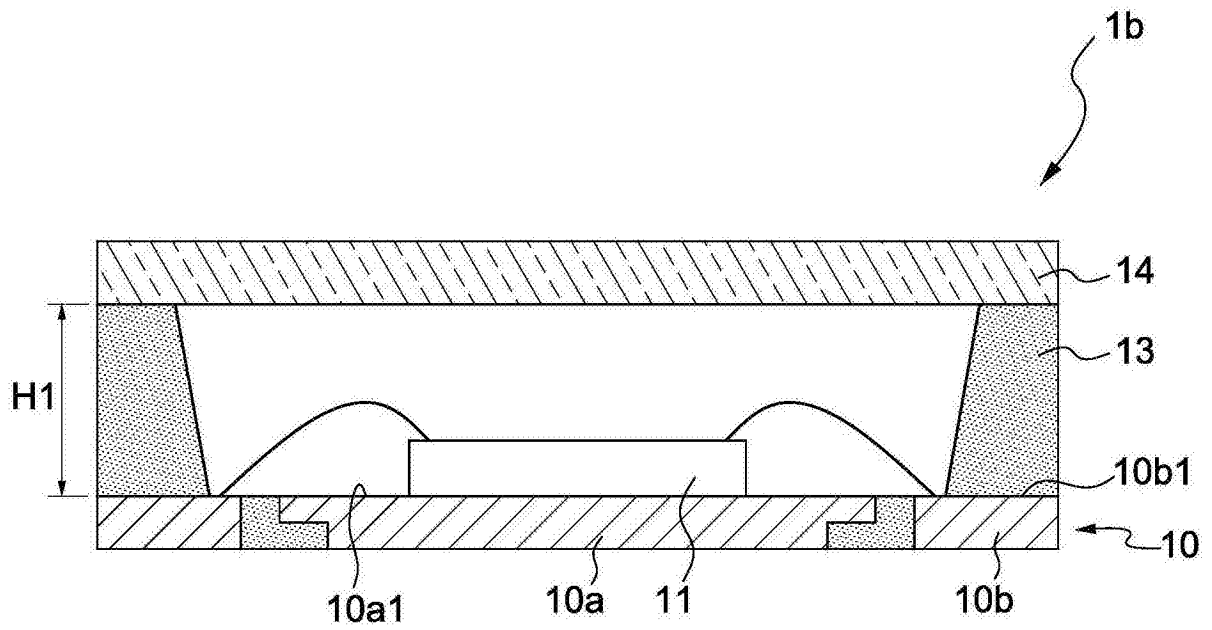


图1B

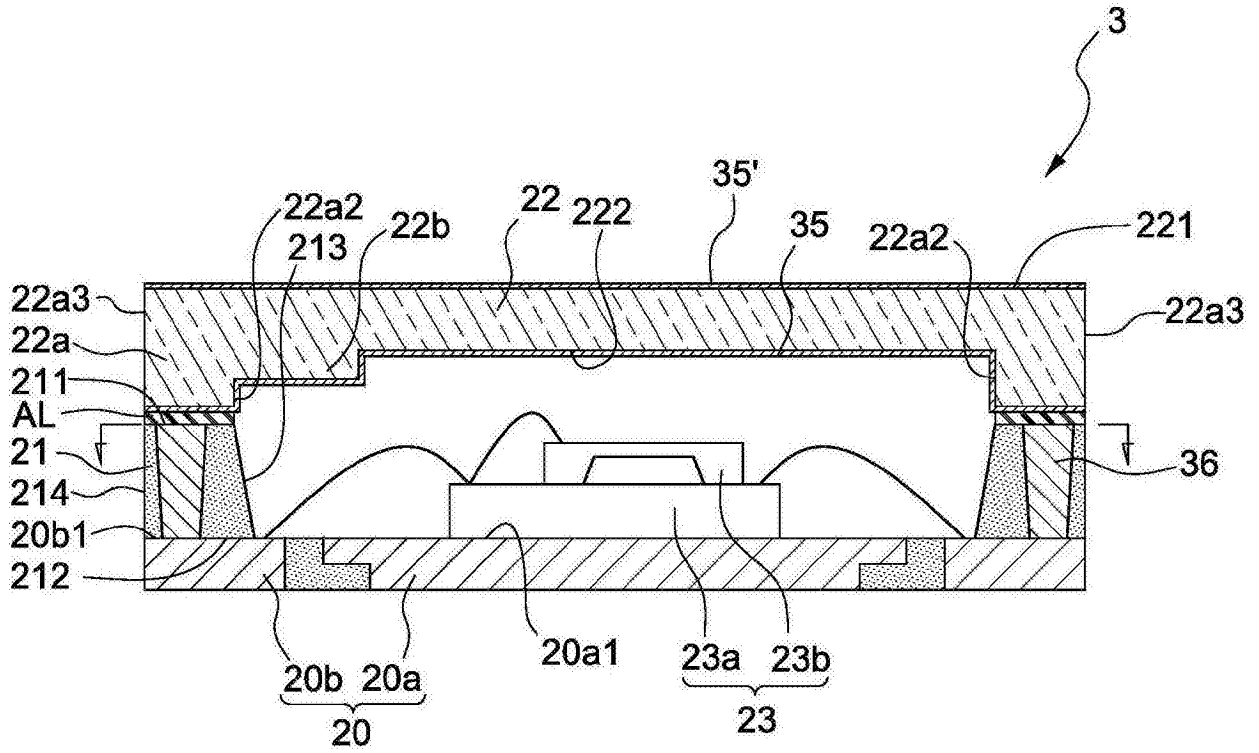


图3A

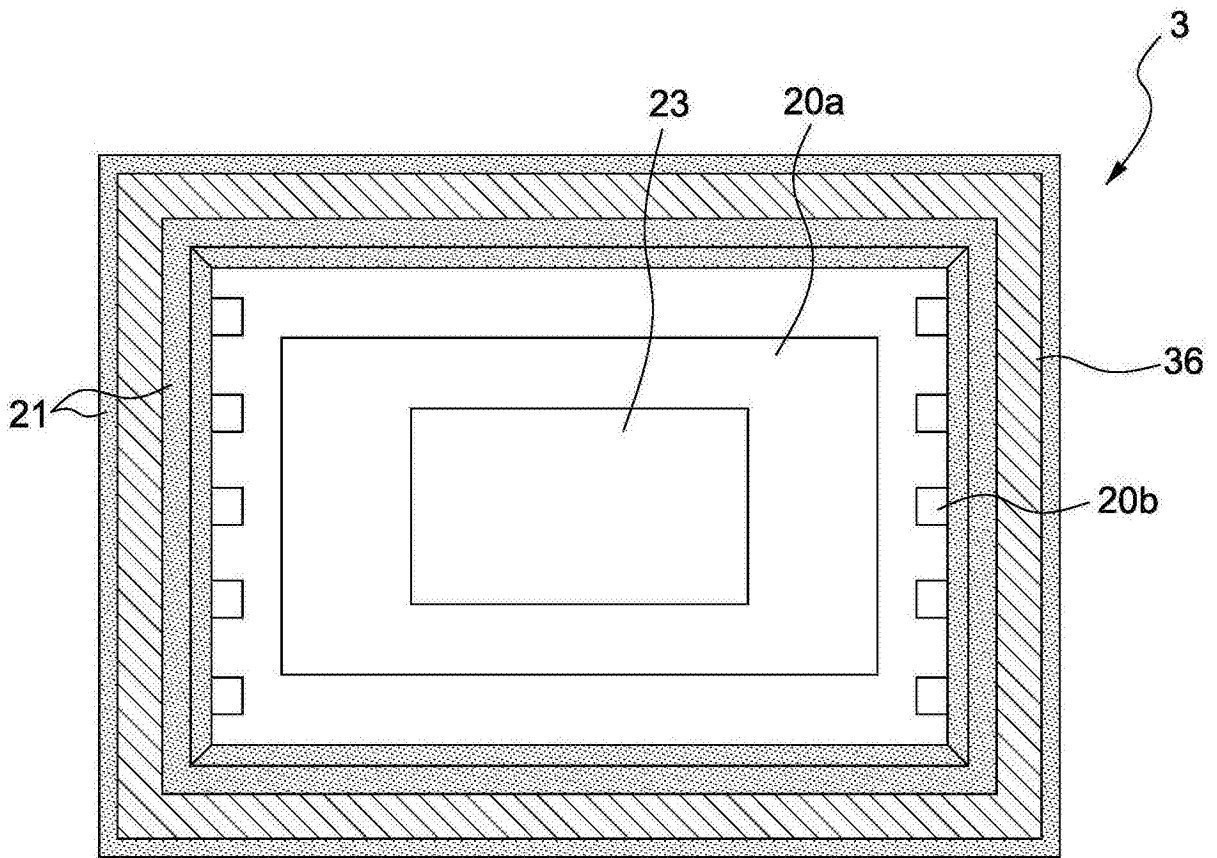


图3B

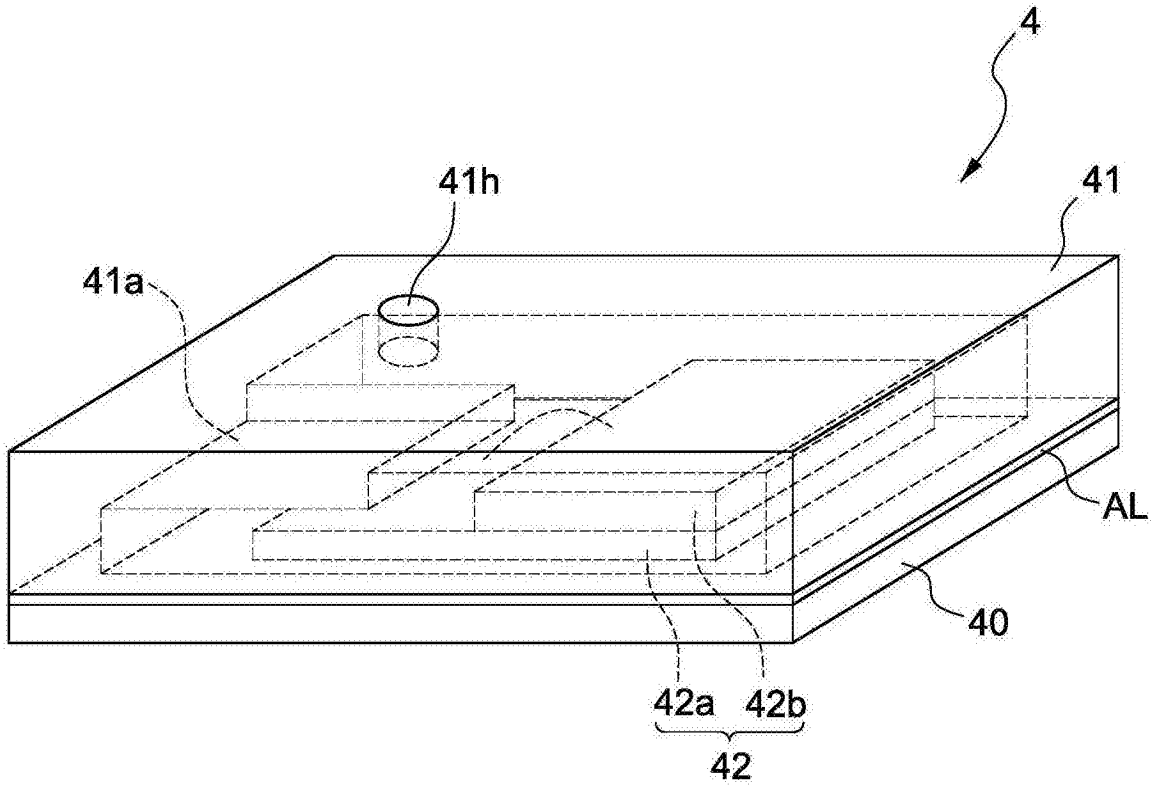


图4A

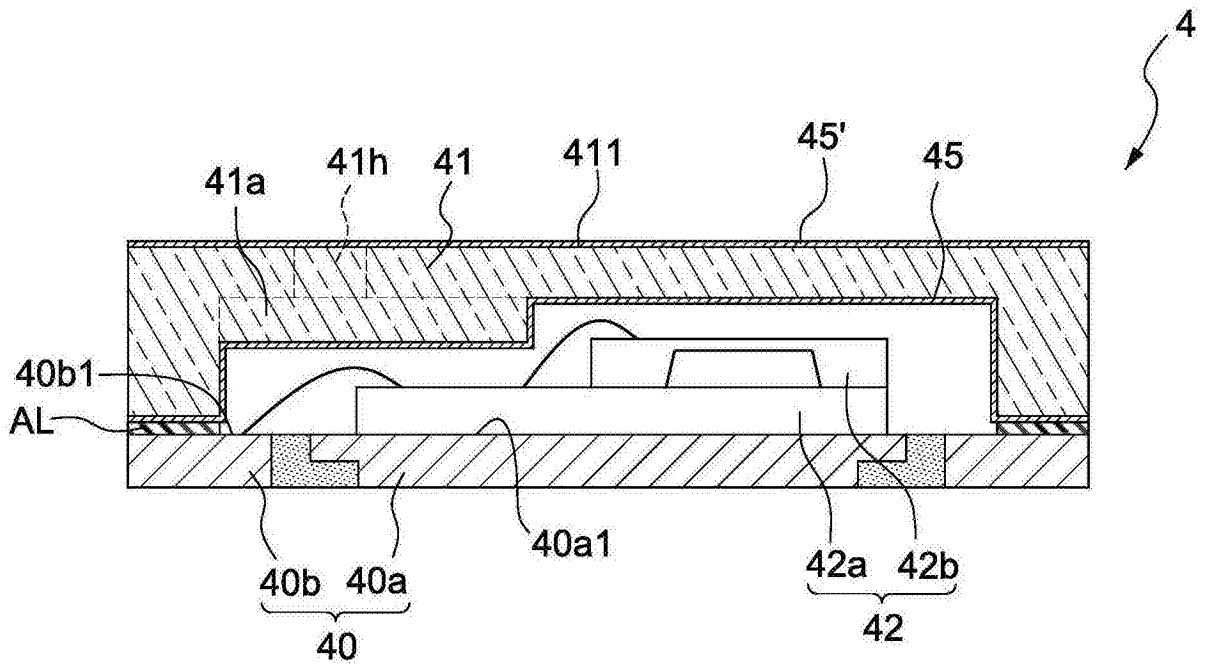


图4B

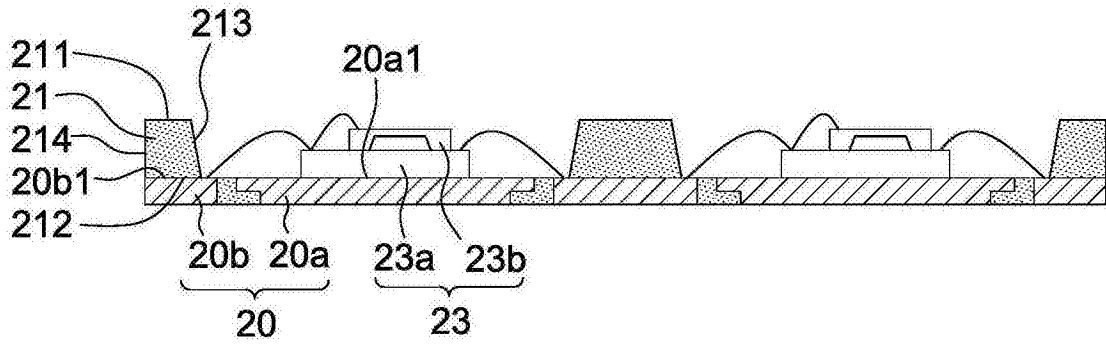


图6A

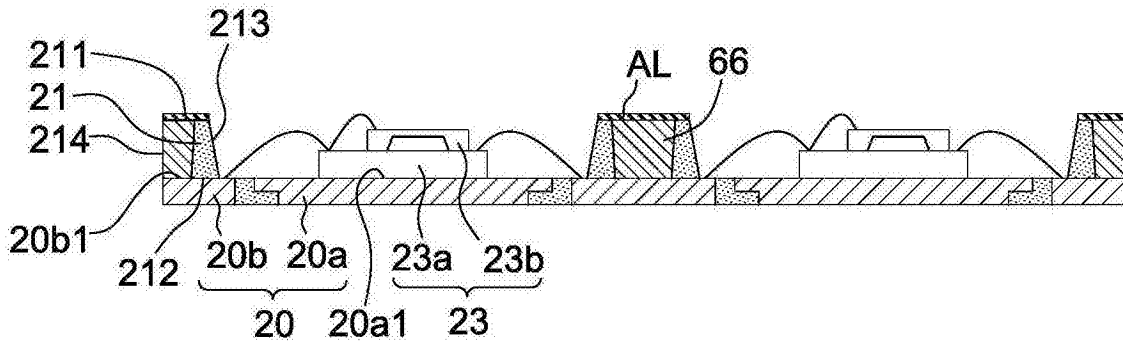


图6B

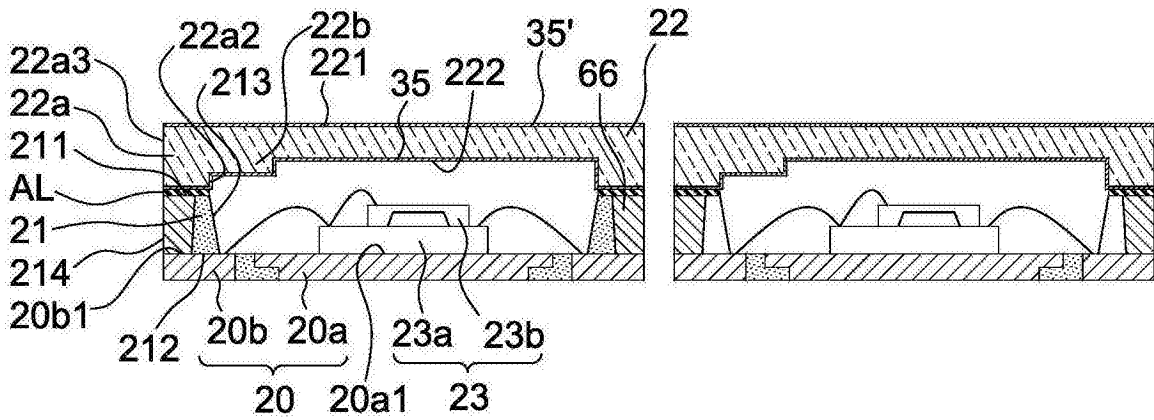


图6C

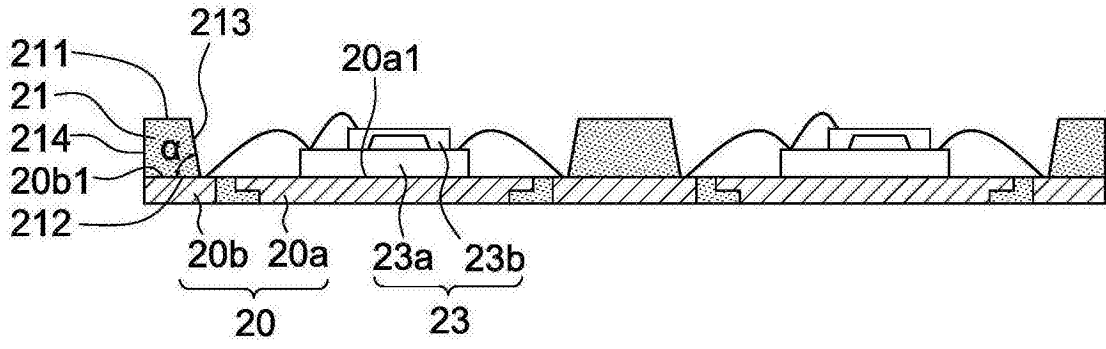


图7A

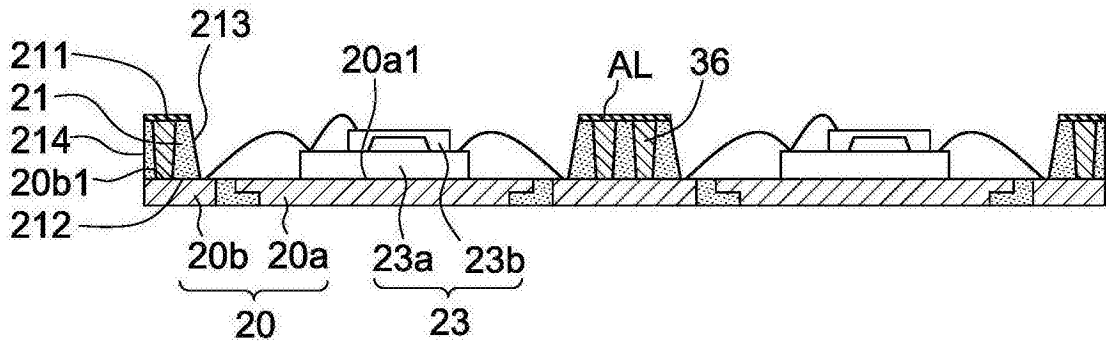


图7B

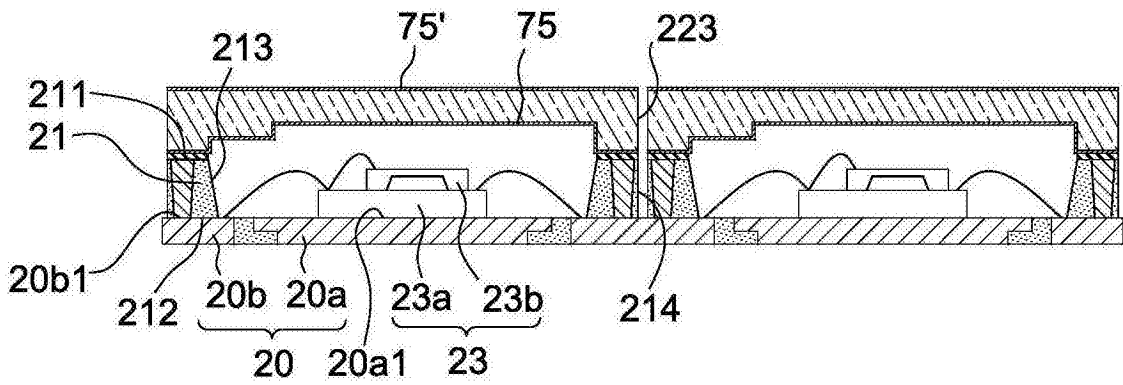


图7C

