

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5950591号
(P5950591)

(45) 発行日 平成28年7月13日(2016.7.13)

(24) 登録日 平成28年6月17日(2016.6.17)

(51) Int.Cl. F I
G05F 1/56 (2006.01) G05F 1/56 320E

請求項の数 6 (全 10 頁)

<p>(21) 出願番号 特願2012-18668 (P2012-18668) (22) 出願日 平成24年1月31日(2012.1.31) (65) 公開番号 特開2013-156926 (P2013-156926A) (43) 公開日 平成25年8月15日(2013.8.15) 審査請求日 平成26年12月10日(2014.12.10)</p>	<p>(73) 特許権者 715010864 エスアイアイ・セミコンダクタ株式会社 千葉県千葉市美浜区中瀬一丁目8番地 (72) 発明者 坂口 薫 千葉県千葉市美浜区中瀬1丁目8番地 セ イコーインスツル株式会社内 (72) 発明者 鈴木 照夫 千葉県千葉市美浜区中瀬1丁目8番地 セ イコーインスツル株式会社内 審査官 鈴木 重幸</p>
---	---

最終頁に続く

(54) 【発明の名称】 ボルテージレギュレータ

(57) 【特許請求の範囲】

【請求項1】

出力トランジスタと、前記出力トランジスタが出力端子に出力する出力電圧を分圧する分圧回路と、前記分圧回路が出力する分圧電圧と基準電圧を比較して出力電圧を一定に保つアンプと、垂下型過電流保護回路と、フの字型過電流保護回路と、トリミング信号生成回路と、を備え、前記トリミング信号生成回路が出力するトリミング信号で分圧回路の抵抗がトリミングされることによって、出力電圧が変更可能なボルテージレギュレータであって、

前記トリミング信号によって、前記フの字型過電流保護回路の制限電圧が前記出力電圧に応じてトリミング変更される、ことを特徴とするボルテージレギュレータ。

10

【請求項2】

前記フの字型過電流保護回路は、ゲート端子が前記アンプの出力に接続されたセンストランジスタと、一端が前記センストランジスタのドレインに接続された可変抵抗回路と、前記可変抵抗回路に発生する電圧に応じて前記出力トランジスタのゲートを制御する制御部と、を備え、

前記トリミング信号によって、前記可変抵抗回路の抵抗値が変更可能である、ことを特徴とする請求項1に記載のボルテージレギュレータ。

【請求項3】

前記フの字型過電流保護回路は、ゲート端子が前記アンプの出力に接続されたセンストランジスタと、一端が前記センストランジスタのドレインに接続された可変抵抗回路と、

20

前記可変抵抗回路に発生する電圧と前記分圧電圧の差に応じて前記出力トランジスタのゲートを制御する制御部と、を備え、

前記トリミング信号によって、前記可変抵抗回路の抵抗値が変更可能である、ことを特徴とする請求項 1 に記載のボルテージレギュレータ。

【請求項 4】

前記フの字型過電流保護回路は、アンプによって前記可変抵抗回路に発生する電圧と前記分圧電圧の差を検出する、

ことを特徴とする請求項 3 に記載のボルテージレギュレータ。

【請求項 5】

前記フの字型過電流保護回路は、ゲート端子が前記アンプの出力に接続されたセンストランジスタと、ドレインが前記センストランジスタのドレインに接続された第二のトランジスタと、一端が前記第二のトランジスタのソースに接続された第一の可変抵抗回路と、前記第一の可変抵抗回路に発生する電圧と前記分圧電圧の差に応じて前記第二のトランジスタのゲートを制御する第一のアンプと、一端が前記センストランジスタのドレインに接続された第二の可変抵抗回路と、前記第二の可変抵抗回路に発生する電圧と前記基準電圧の差に応じて前記出力トランジスタのゲートを制御する第二のアンプと、を備え、

前記トリミング信号によって、前記第一の可変抵抗回路と前記第二の可変抵抗回路の抵抗値が変更可能である、

ことを特徴とする請求項 1 に記載のボルテージレギュレータ。

【請求項 6】

前記トリミング信号生成回路に入力されるトリミングデータは、不揮発性記憶装置に格納されている、

ことを特徴とする請求項 1 から 5 のいずれかに記載のボルテージレギュレータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、過電流保護回路を備えた出力電圧可変型のボルテージレギュレータに関する。

【背景技術】

【0002】

従来の出力電圧可変型のボルテージレギュレータについて説明する。図 10 は、従来の出力電圧可変型のボルテージレギュレータを示す図である。

従来の出力電圧可変型のボルテージレギュレータは、グラウンド端子 100 と、電源端子 101 と、出力端子 102 と、外部制御端子 103 と、アンプ 104 と、出力トランジスタ 105 と、分圧回路 106 と、基準電圧源 107 と、垂下型過電流保護回路 108 と、フの字型過電流保護回路 109 と、トリミング信号生成回路 110 と、を備えている。

【0003】

従来の出力電圧可変型のボルテージレギュレータの動作について説明する。

出力端子 102 の出力電圧 V_{out} が所定電圧よりも高いと、即ち、分圧回路 106 の分圧電圧 V_{fb} が基準電圧 V_{ref} よりも高いと、アンプ 104 の出力電圧が高くなる。出力トランジスタ 105 のゲート電圧が高くなるので、出力トランジスタ 105 はオフしていき、出力電圧 V_{out} は低くなる。また、出力電圧 V_{out} が所定電圧よりも低いと、上記のように、出力電圧 V_{out} は高くなる。つまり、ボルテージレギュレータの出力電圧 V_{out} は、所定電圧で一定に保たれる。

【0004】

ここで、外部制御端子 103 より入力される電気信号 $CONT$ に応じてトリミング信号生成回路 110 から出力される信号 1、2、3 は、それぞれ分圧回路 106 内の抵抗 151、152、153 に並列に接続された MOS スイッチのゲートに入力される。そのため、電気信号 $CONT$ によって、分圧回路 106 の分圧比を調整することが出来る。

【0005】

10

20

30

40

50

ボルテージレギュレータの出力電圧 V_{out} は、基準電圧 V_{ref} と分圧回路 106 の分圧比によって決定されるため、出力電圧 V_{out} を外部制御端子 103 に入力する信号で制御することができる。図 10 では、抵抗 151、152、153 に並列に接続したスイッチにより出力電圧可変型のレギュレータを実現しているが、抵抗の数やスイッチの数、スイッチの種類、スイッチを接続する抵抗の位置はこれに限らない（特許文献 1 参照）。

【0006】

次に、従来のボルテージレギュレータの過電流保護回路の動作について説明する。

過電流保護回路は、垂下型過電流保護回路とフの字型過電流保護回路に分かれる。従来の過電流保護回路では、垂下型とフの字型共に、出力トランジスタ 105 に流れる出力電流 I_{out} を検出し、出力トランジスタ 105 のゲート電圧を制御することで一定以上の出力電流が流れないように動作する。

【0007】

図 11 は、垂下型過電流保護回路とフの字型過電流保護回路を併用した場合の出力電圧 - 出力電流特性を示す図である。垂下型過電流保護回路は、出力電流 I_{out} を一定の最大電流 I_m に制限するために、最大電流 I_m 以上の電流を流そうとした場合に出力電流 I_{out} を一定に保ったまま出力電圧 V_{out} を下げることで、ボルテージレギュレータの負荷に発生する熱損失を小さくすることを特徴としている。一方、フの字型過電流保護回路は、出力電圧 V_{out} が制限電圧 V_{fo} 以下になると、出力電圧 V_{out} の減少と比例して出力電流 I_{out} を小さくする。即ち、出力電圧 V_{out} が 0V において、出力電流 I_{out} を一定短絡電流 I_s に固定する。フの字型過電流保護回路は、ボルテージレギュレータで発生する熱損失を更に小さくすることが可能である。ここで、最大電流 I_m や短絡電流 I_s 、制限電圧 V_{fo} は回路の内部において予め設定されている。（特許文献 1 参照）

【先行技術文献】

【特許文献】

【0008】

【特許文献 1】特開 2005 - 293067 号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、従来の過電流保護回路を備えた出力電圧可変型のボルテージレギュレータでは、出力電圧 V_{out} が最大に設定されたとき、垂下型過電流保護回路の動作時の損失が大きくなってしまう。

【0010】

ボルテージレギュレータの電力損失 P は、電源端子の入力電圧 V_{in} とすると、

$$P = (V_{in} - V_{out}) \times I_{out} \quad \dots \quad (1)$$

で与えられることから、入力電圧 V_{in} と出力電圧 V_{out} の電圧差が大きい時に損失が最大となる。即ち、垂下型過電流保護動作からフの字型過電流保護回路の動作に切り替わる図 11 の $(I_{out}, V_{out}) = (I_m, V_{fo})$ において損失が最大となる。出力電圧 V_{out} の設定値が大きい程、入力電圧 V_{in} は大きい必要がある。そのため、出力電圧 V_{out} の設定が大きい程 $(I_{out}, V_{out}) = (I_m, V_{fo})$ での損失は大きく、過電流保護回路が動作中であっても回路の破壊に繋がる恐れがある。

【0011】

本発明は、上記課題を鑑みてなされ、簡便な回路で、且つ、過電流保護動作時の損失を小さくすることでより安全性を高めた出力電圧可変型のボルテージレギュレータを提供する。

【課題を解決するための手段】

【0012】

従来の課題を解決するために、垂下型とフの字型の過電流保護回路を備えた可変型ボル

10

20

30

40

50

テージレギュレータにおいて、分圧回路に入力するトリミング信号に基づいた信号をフの字型過電流保護回路の制限電圧 V_{fo} 、及び、制限電流 I_s を決定する可変抵抗回路に入力する構成とする。

【発明の効果】

【0013】

本発明の出力電圧可変型のボルテージレギュレータでは、出力電圧 V_{out} の設定値に合わせて、フの字型過電流保護回路が動作する電圧と電流を設定することが出来る。それによって、出力電圧 V_{out} の設定値が大きいために、制限電圧 V_{fo} を大きく、短絡電流 I_s を小さく設定することで、ボルテージレギュレータの最大電流 I_m を一定に保ちつつ、過電流保護回路動作時に最も損失が大きくなる条件でも損失を小さくすることが出来る。また、可変型ボルテージレギュレータの分圧回路に入力する信号を流用することで、回路規模を大きくすることなく、複数の出力電圧設定に対応出来るため、面積効率においても実用性が高い。

10

【図面の簡単な説明】

【0014】

【図1】本発明の出力電圧可変型のボルテージレギュレータを示すブロック図である。

【図2】第一の実施形態の出力電圧可変型のボルテージレギュレータを示す回路図である。

。

【図3】第一の実施形態の出力電圧可変型のボルテージレギュレータの他の例を示す回路図である。

20

【図4】第一の実施形態の出力電圧可変型のボルテージレギュレータの可変抵抗の回路図である。

【図5】第一の実施形態の出力電圧可変型のボルテージレギュレータの出力電圧 - 出力電流特性を示す図である。

【図6】第二の実施形態の出力電圧可変型のボルテージレギュレータを示す回路図である。

。

【図7】第二の実施形態の出力電圧可変型のボルテージレギュレータの出力電圧 - 出力電流特性を示す図である。

【図8】第三の実施形態の出力電圧可変型のボルテージレギュレータを示す回路図である。

30

。

【図9】本実施形態の出力電圧可変型のボルテージレギュレータの他の例を示す回路図である。

【図10】従来の出力電圧可変型のボルテージレギュレータを示す回路図である。

【図11】従来の出力電圧可変型のボルテージレギュレータの出力電圧 - 出力電流特性を示す図である。

【発明を実施するための形態】

【0015】

図1は、本発明の出力電圧可変型のボルテージレギュレータを示すブロック図である。

本発明の出力電圧可変型のボルテージレギュレータは、外部制御端子103から入力される制御信号をトリミング信号生成回路110が変換したトリミング信号によって、分圧回路106の可変抵抗141と可変抵抗142をトリミングするとともに、フの字型過電流保護回路109の制限電圧 V_{fo} を切替える構成とした。

40

以下、図面を参照して本発明の出力電圧可変型のボルテージレギュレータの具体的な実施形態の説明をする。

【0016】

<第一の実施形態>

図2は、第一の実施形態の出力電圧可変型のボルテージレギュレータを示す回路図である。

第一の実施形態の出力電圧可変型のボルテージレギュレータは、アンプ104と、出力トランジスタ105と、分圧回路106と、基準電圧源107と、垂下型過電流保護回路

50

108と、フの字型過電流保護回路109aと、トリミング信号生成回路110と、を備えている。

【0017】

フの字型過電流保護回路109aは、出力電流のセンストランジスタ121と、可変抵抗111と、NMOSトランジスタ122と、抵抗151と、PMOSトランジスタとを備えている。

【0018】

アンプ104は、反転入力端子に基準電圧源107の出力を接続し、非反転入力端子に分圧回路106の出力端子を接続し、出力端子は垂下型過電流保護回路108、フの字型過電流保護回路109a、及び、出力トランジスタ105のゲートに接続する。出力トランジスタ105は、ソースに電源端子101を接続し、ドレインに出力端子102を接続する。分圧回路106は、出力端子102とグラウンド端子100の間に接続され、可変抵抗141と可変抵抗142の接続点をアンプ104の非反転入力端子に接続する。トリミング信号生成回路110の入力は外部制御端子103に接続し、出力は分圧回路106、及び、フの字型過電流保護回路109aに接続する。

【0019】

センストランジスタ121は、ソースを電源端子101に、ドレインをNMOSトランジスタ122のゲートに接続する。可変抵抗111は、一方の端子をNMOSトランジスタ122のゲートに接続し、他方の端子をグラウンド端子100に接続する。NMOSトランジスタ122は、ソースを出力端子102に接続し、ドレインをPMOSトランジスタ123のゲート、及び、抵抗151の一方の端子に接続する。抵抗151の他方の端子は電源端子101に接続する。PMOSトランジスタ123は、ソースを電源端子101に、ドレインを出力トランジスタ105のゲートに接続する。

【0020】

次に、第一の実施形態のボルテージレギュレータの動作を説明する。

出力端子102に接続される負荷が増大すると、出力トランジスタ105に流れる電流 I_{out} が増大する。 I_{out} が増大し、一定の最大電流 I_m に到達すると、垂下型過電流保護回路108が動作し、出力電圧 V_{out} を低下させる。この時、出力トランジスタ105とカレントミラー接続したセンストランジスタ121に I_m に比例した電流が流れ、可変抵抗111の両端に一定の電圧 V_m が発生する。出力電圧 V_{out} が一定の制限電圧 V_{fo} まで低下し、NMOSトランジスタ122のゲート・ソース間電圧が閾値電圧を越えると、フの字型過電流保護機能が動作する。NMOSトランジスタ122はONし、抵抗155に電流が流れ、抵抗155の両端に電圧が発生する。すると、PMOSトランジスタ123がONしていき、出力トランジスタ105のゲート・ソース間電圧を小さくすることで出力電流 I_{out} は小さくなり、出力電圧 - 出力電圧特性はフの字を描く。制限電圧 V_{fo} 、及び、出力電圧が0Vに低下した時の出力電流、即ち、短絡電流 I_s は可変抵抗111の抵抗値によって決定する。

【0021】

また、第一の実施形態のボルテージレギュレータは、以下のようにしてフの字型過電流保護回路109aの制限電圧 V_{fo} を切替える。

分圧回路106は、トリミング信号生成回路110が出力するトリミング信号を受けて、可変抵抗141と可変抵抗142の両方、または、いずれかの抵抗値をトリミングすることで、分圧比を設定する。分圧回路106の分圧比は、ボルテージレギュレータの出力電圧 V_{out} を決定する。フの字型過電流保護回路109aは、トリミング信号生成回路110が出力するトリミング信号を受けて、可変抵抗111の抵抗値をトリミングすることで、分圧比を設定する。そして、フの字型過電流保護機能が動作を開始する制限電圧 V_{fo} と短絡電流 I_s を決定する。すなわち、トリミング信号生成回路110が出力するトリミング信号によって、出力電圧 V_{out} とフの字型過電流保護回路の制限電圧 V_{fo} と短絡電流 I_s は連動して制御することが出来る。

【0022】

図3は、本実施形態の可変型ボルテージレギュレータの可変抵抗111、141、及び、142の具体例の一例を示す回路図である。

トリミング信号生成回路110の出力するトリミング信号1、2、3は、分圧回路内106aの抵抗151、152、153にそれぞれ並列に接続したMOSスイッチのゲートと、分圧回路111aの抵抗156、157、158にそれぞれ並列に接続したMOSスイッチのゲートに入力される。

【0023】

図3の回路の特徴は、可変抵抗111aの値を、分圧回路106aのトリミング信号と連動して変えている点である。例えば、トリミング信号1がLow電圧を出力している時、分圧回路106aの抵抗151に並列なMOSスイッチがOFFしているため、抵抗151に電流が流れ、分圧回路106aにおける抵抗154の占める分圧比が小さくなり、出力電圧Voutは大きくなる。一方、フの字型過電流保護回路109aの可変抵抗回路111aの抵抗156に並列に接続されたMOSスイッチが同時にOFFしており、可変抵抗回路111aの抵抗値はその分だけ大きいため、NMOSトランジスタ122のゲートの電圧は高くなる。NMOSトランジスタ122のゲート電圧が高い場合、フの字過電流保護動作が開始する制限電圧Vfoは大きくなるため、出力電圧設定が大きいために電源電圧Vinが大きくなり、レギュレータ内部で発生する電力損失が大きくなることを、制限電圧Vfoを大きくすることで相殺することが出来る。

【0024】

同様に、可変抵抗回路111aの抵抗値が大きい分だけ、短絡電流Isは小さくなる。よって、短絡時の損失も小さくなり、レギュレータとして発熱による危険性は低下する。なお、図3においては、可変抵抗106a、及び、可変抵抗111aを、抵抗とMOSスイッチを並列に接続し、MOSスイッチのゲートをトリミング信号生成回路の出力に接続し、抵抗とスイッチの組み合わせを3組で構成しているが、抵抗の数やスイッチの種類はこれに限定されない。

【0025】

また、可変抵抗回路は図4に示すような回路であってもよい。図4の可変抵抗回路は、分圧回路106の可変抵抗141、142、及び、過電流保護回路109aの可変抵抗回路111に適用する。MOSスイッチを直列に接続していないことで、スイッチのON抵抗が最小で1つしか抵抗値に影響しない。従って、抵抗値の精度の高くなって、出力電圧、及び、過電流保護回路の制限電圧Vfo、及び、短絡電流Isの精度を高くするという効果が得られる。

【0026】

図5は、本実施形態のボルテージレギュレータの出力電圧 - 出力電流特性を示す図である。

ボルテージレギュレータの低い出力電圧設定Vout2の条件において、電力損失が最も大きいのは式(1)から分かるように、 $(I_{out}, V_{out}) = (I_m, V_{fo2})$ の時である。一方、高い出力電圧設定Vout1の条件において、電力損失が最も大きいのは $(I_{out}, V_{out}) = (I_m, V_{fo1})$ の時である。本実施形態のように構成すると、制限電圧の関係は $V_{fo2} < V_{fo1}$ となるため、高い出力電圧の条件においても従来のように電力損失は大きくなる。従って、本実施形態のボルテージレギュレータを用いることで、損失による発熱を小さくし、安全性を高めることが出来る。

【0027】

<第二の実施形態>

図6は、第二の実施形態の可変型のボルテージレギュレータを示す回路図である。図6のフの字型過電流保護回路109bについて説明する。フの字型過電流保護回路109b以外は第一の実施形態と同様である。

【0028】

図6のフの字型過電流保護回路109bは、NMOSトランジスタ122と抵抗155の代わりに、アンプ116を備えている。アンプ116は、反転入力端子はセンストラン

10

20

30

40

50

ジスタ121のドレインに接続され、非反転入力端子はアンプ104の非反転入力端子に接続され、出力端子はPMOSトランジスタ123のゲートに接続される。

【0029】

ここで、アンプ116は有限のオフセット電圧 V_{off} を有し、可変抵抗回路116の抵抗値とは無関係に V_{off} によって短絡電流 I_s が決定される。制限電圧 V_{fo} は可変抵抗回路111の抵抗値で決定される。

【0030】

図7は、第二の実施形態のボルテージレギュレータの出力電圧 - 出力電流特性を示す図である。高い出力電圧 V_{out1} と低い出力電圧 V_{out2} のそれぞれにおいて、短絡電流 I_s は変化せずに、制限電圧 V_{fo} のみが変化する。すなわち、短絡電流 I_s はトリミング信号生成回路110の出力に因らず一定である。従って、出力電圧 V_{out} に高くなることに伴って短絡電流 I_s が小さくなるために、ボルテージレギュレータの耐起動不良に対して効果が得られる。

10

ここで、アンプ116の非反転入力端子を出力端子102、または、分圧回路106で生成される別の出力端子に接続しても同様の効果が得られる。

【0031】

< 第三の実施形態 >

図8は、第三の実施形態のボルテージレギュレータを示す回路図である。図8のフの字型過電流保護回路109cについて説明する。フの字型過電流保護回路109c以外は他の実施形態のボルテージレギュレータと同様である。

20

【0032】

本実施形態のフの字型過電流保護回路109cは、NMOSトランジスタ122と抵抗155の代わりに、アンプ117、118と、可変抵抗回路111bと、NMOSトランジスタ124を備えている。

【0033】

アンプ117は、非反転入力端子はアンプ104の非反転入力端子に接続され、反転入力端子はNMOSトランジスタ124のソースと可変抵抗回路111aの一方の端子に接続され、出力端子はNMOSトランジスタ124のゲートに接続される。NMOSトランジスタ124は、ドレインはセンストランジスタ121のドレインと、アンプ118の反転入力端子と、可変抵抗回路111bの一方の端子と、に接続される。可変抵抗回路111bの他方の端子はグラウンド端子100に接続される。アンプ118は、非反転入力端子は基準電圧源107の出力に接続され、出力端子118はPMOSトランジスタ123のゲートに接続される。トリミング信号生成回路110は、出力端子は可変抵抗回路111aと111bに接続される。

30

【0034】

フの字型過電流保護回路109cは、制限電圧 V_{fo} を可変抵抗回路111a、111bの抵抗値で制御し、短絡電流 I_s を可変抵抗111bの抵抗値で制御する。従って、制限電圧 V_{fo} と短絡電流 I_s を個別に制御することが出来る。そのため、フの字型過電流保護回路の出力電圧 - 電流特性の傾きを自由に調整できるという効果が得られる。

ここで、アンプ117は、非反転入力端子を出力端子102、または、分圧回路106

40

【0035】

以上、説明したように、本発明の出力電圧可変型のボルテージレギュレータによれば、出力電圧 V_{out} の設定値が大きいときに、制限電圧 V_{fo} を大きく設定することで、ボルテージレギュレータの最大電流 I_m を一定に保ちつつ、過電流保護回路動作時に最も損失が大きくなる条件でも損失を小さくすることが出来る。

【0036】

なお、上述の説明において、トリミング信号生成回路110の入力端子に外部制御端子103が接続された例について説明したが、図9に示すように、不揮発性メモリ112を備えてもよい。

50

【0037】

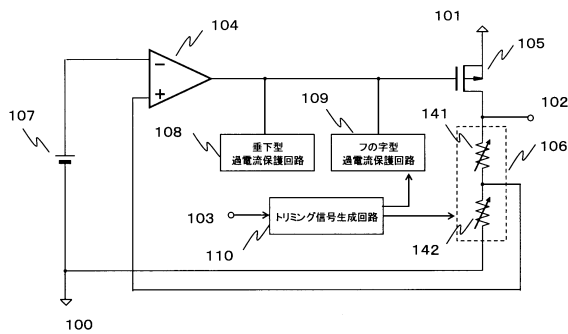
出力電圧 V_{out} 、及び、フの字型過電流保護回路の制限電圧 V_{fo} 、及び、短絡電流 I_s を決定する制御情報を不揮発性メモリ112に予め記録することで、電源投入時に毎回制御情報を入力する必要がなくなる、という効果が得られる。

【符号の説明】

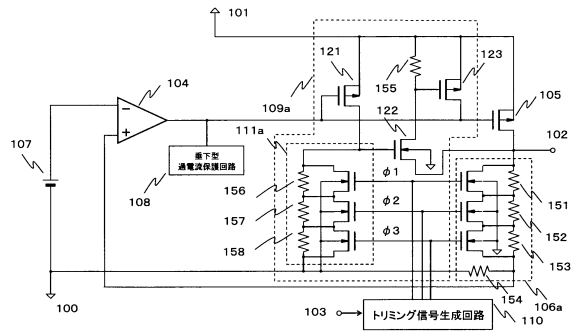
【0038】

- 100 グラウンド端子
- 101 電源端子
- 102 出力端子
- 103 外部制御端子
- 104 アンプ
- 105 出力トランジスタ
- 106 分圧回路
- 107 基準電圧源
- 108 垂下型過電流保護回路
- 109 フの字型過電流保護回路
- 110 トリミング信号生成回路
- 111 可変抵抗回路
- 112 不揮発性メモリ

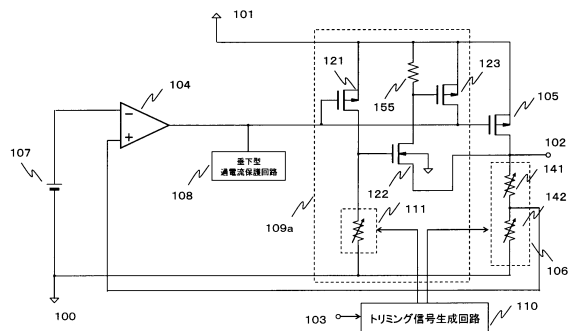
【図1】



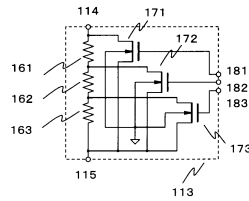
【図3】



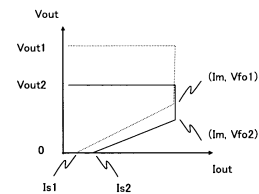
【図2】



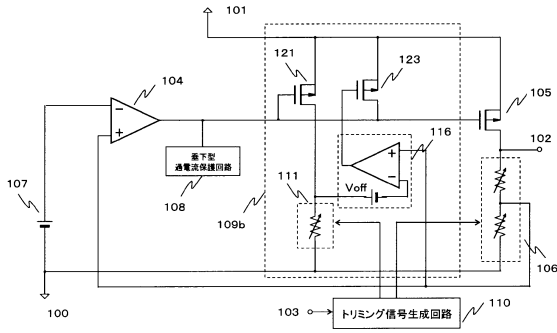
【図4】



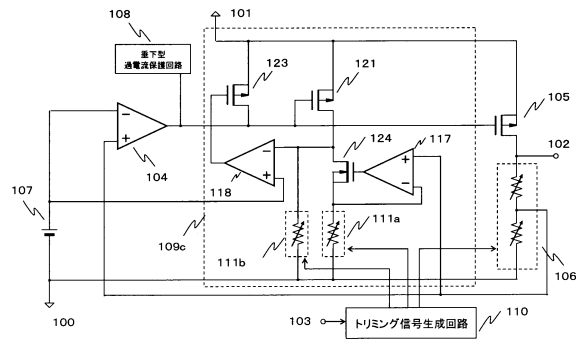
【図5】



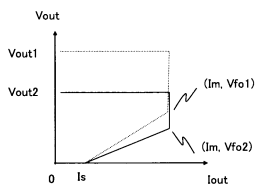
【図 6】



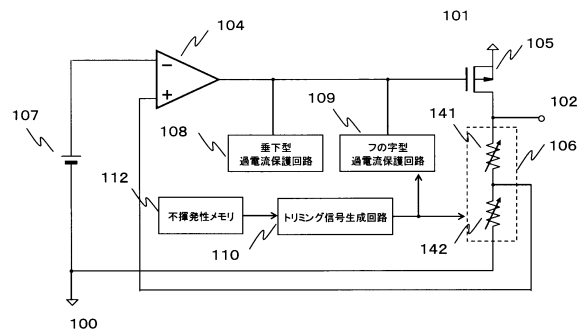
【図 8】



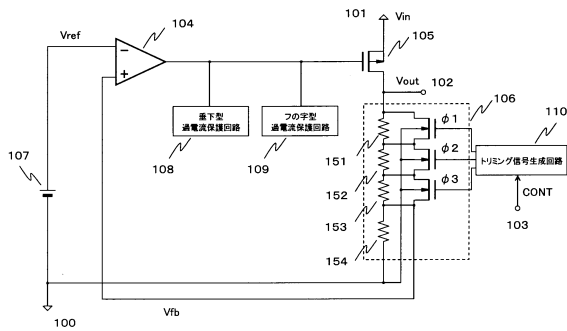
【図 7】



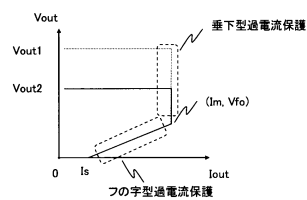
【図 9】



【図 10】



【図 11】



フロントページの続き

- (56)参考文献 特開2008-193761(JP,A)
国際公開第2006/016456(WO,A1)
特開2010-286953(JP,A)
特開2003-186554(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G05F 1/445
G05F 1/56
G05F 1/613
G05F 1/618