

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 27/146 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200880006388.9

[43] 公开日 2010年3月31日

[11] 公开号 CN 101689555A

[22] 申请日 2008.2.29

[21] 申请号 200880006388.9

[30] 优先权

[32] 2007.3.2 [33] US [31] 11/712,996

[86] 国际申请 PCT/US2008/055433 2008.2.29

[87] 国际公布 WO2008/109405 英 2008.9.12

[85] 进入国家阶段日期 2009.8.27

[71] 申请人 普廷数码影像控股公司

地址 英属开曼群岛

[72] 发明人 弗雷德里克·布雷迪

[74] 专利代理机构 北京律盟知识产权代理有限责
任公司

代理人 孟锐

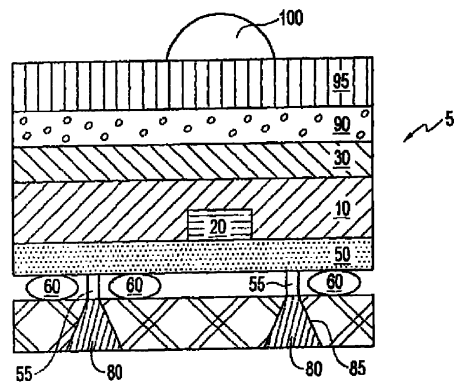
权利要求书3页 说明书6页 附图8页

[54] 发明名称

背侧照射的成像器及制作背侧照射的成像器的方法

[57] 摘要

本发明揭示一种用于制作从晶片的背侧检测光的成像器的结构及方法。所述结构可具有较不复杂的聚焦、减小的串扰、较紧密的像素组装密度、提高的量子效率及晶片级封装。所述成像器的制作包括在硅晶片上形成成像装置，将互连晶片粘附到所述装置晶片、在所述互连晶片上形成互连件，蚀刻掉所述装置晶片的衬底及图案化所述装置晶片的背侧上的例如氮化物、色彩过滤器阵列及透镜等额外层。



- 1、一种制作成像器的方法，其包含：
在具有装置侧及衬底侧的装置层上形成成像装置；
将互连晶片粘附到所述装置层的所述装置侧；
从所述装置层蚀刻掉所述衬底侧的至少一部分；及
在所述装置层的所述衬底侧上提供至少第一层。
- 2、如权利要求 1 所述的方法，其中所述装置层包含绝缘体上硅材料。
- 3、如权利要求 1 所述的方法，其中所述装置层进一步包含在所述衬底侧与所述装置侧之间的掩埋氧化物层。
- 4、如权利要求 3 所述的方法，其中所述蚀刻步骤包含蚀刻掉所述衬底侧直到暴露所述掩埋氧化物层为止。
- 5、如权利要求 1 所述的方法，其进一步包含用于提供所述互连晶片与所述装置层之间的电连接的多个金属垫。
- 6、如权利要求 1 所述的方法，其进一步包含在所述将所述互连晶片粘附到所述装置层的步骤之前或之后图案化所述互连晶片。
- 7、如权利要求 3 所述的方法，其中第一分层步骤包含在所述暴露的掩埋氧化物层上方形成保护层。
- 8、如权利要求 7 所述的方法，其中所述第一分层步骤包含在所述保护层上方提供色彩过滤器阵列层。
- 9、如权利要求 8 所述的方法，其中所述第一分层步骤进一步包含在所述色彩过滤器阵列层上方提供透镜层。
- 10、如权利要求 1 所述的方法，其进一步包含在所述装置层及所述互连晶片中的至少一者上方形成硬涂层。
- 11、如权利要求 1 所述的方法，其中所述装置层及所述互连晶片的每一者是单独晶片的一部分。
- 12、一种形成成像器的方法，其包含：
在绝缘体上硅装置层的第一侧上形成成像装置；
将互连晶片粘附到所述装置层的所述第一侧；
移除所述装置层的第二侧的一部分；及
在所述装置层的所述第一侧上方提供若干额外层。
- 13、如权利要求 12 所述的方法，其进一步包含在所述装置层的所述第一侧与所述第二侧之间形成掩埋氧化物层。
- 14、如权利要求 12 所述的方法，其中所述粘附步骤包含在所述互连晶片上丝网印刷环氧树脂并将所述互连晶片粘附到所述装置层。

15、如权利要求 12 所述的方法，其中所述粘附步骤包含低温硅接合、阳极接合或共晶接合中的一者。

16、如权利要求 12 所述的方法，其中所述移除步骤包含执行湿式蚀刻或各向同性干式蚀刻。

17、如权利要求 12 所述的方法，其进一步包含用于提供所述互连晶片与所述装置层之间的电连接的多个金属垫。

18、如权利要求 12 所述的方法，其进一步包含在所述将所述互连晶片粘附到所述装置层的步骤之后图案化所述互连晶片以形成至少一个导通孔。

19、如权利要求 18 所述的方法，其中所述图案化所述互连晶片的步骤包含执行各向异性蚀刻或激光蚀刻且在所述金属垫上停止。

20、一种成像器，其包含：

装置衬底，其具有以像素阵列形式布置在第一侧上的硅层中的多个像素及在第二侧上的掩埋氧化物层，所述第二侧适于接收入射图像光；

金属化与层间电介质层，其包含电连接到所述像素阵列的至少一个金属线及至少一个层间电介质层，所述金属化与层间电介质层提供在所述装置衬底的所述第一侧上方；

互连晶片，其用于提供到所述金属化与层间电介质层的电连接且被提供在所述金属化与层间电介质层上方；及

至少一个金属接触区域，其位于所述金属化与层间电介质层上以用于提供所述金属化与层间电介质层与所述互连晶片之间的电连接。

21、如权利要求 20 所述的成像器，其中所述硅层具有至少约 2.0 μm 的厚度。

22、如权利要求 20 所述的成像器，其中所述掩埋氧化物层具有在约 0.5 μm 到约 2.0 μm 的范围内的厚度。

23、如权利要求 20 所述的成像器，其进一步包含在所述掩埋氧化物层的与所述装置衬底相对的一侧上的所述掩埋氧化物层上方的氮化物层。

24、一种相机，其包含：

图像处理器；及

成像装置，其电连接到所述图像处理器，其中所述成像装置包含：

装置衬底，其具有在第一侧上的硅层中的像素阵列及在第二侧上的掩埋氧化物层，所述第二侧适于接收入射图像光；

金属层，其包含电连接到所述像素阵列的至少一个金属线，所述金属层提供在所述装置衬底的所述第一侧上方；

互连晶片，其用于提供到所述金属层的电连接且用于向所述装置衬底提供结构稳定性；及

至少一个金属接触区域，其位于所述金属层上以用于提供所述金属层与所述互连晶片之间的电连接。

25、一种制作相机的方法，所述方法包含：
提供图像处理器；
在具有装置侧及衬底侧的装置层上提供成像装置；
在所述装置层的所述装置侧上形成像素阵列；
将互连晶片粘附到所述装置层的所述装置侧；
从所述装置层蚀刻掉所述衬底侧的至少一部分；
在所述装置层的所述衬底侧上提供至少第一层；及
将所述成像装置电连接到所述图像处理器。

背侧照射的成像器及制作背侧照射的成像器的方法

技术领域

本发明的实施例一般来说涉及固态成像装置且更特定来说涉及一种制作从其相关半导体衬底的背侧检测光的成像结构的方法。

背景技术

CMOS 成像器包括像素的焦点平面阵列，每一像素包括光电传感器，举例来说，上覆于衬底上用于在所述衬底的经掺杂区中产生光生电荷的光栅极、光电导体或光电二极管。针对每一像素提供读出电路且所述读出电路包括至少源极随耦器晶体管且任选地包括用于将所述源极随耦器晶体管耦合到列输出线的行选择晶体管。所述像素通常还具有连接到所述源极随耦器晶体管的栅极的浮动扩散区。由所述光电传感器产生的电荷被发送到所述浮动扩散区。所述成像器还可包括用于将电荷从所述光电传感器转移到所述浮动扩散区的晶体管及用于在电荷转移之前将所述浮动扩散区复位到预定电荷电平的另一晶体管。

在 CMOS 成像器中，像素的有源元件（举例来说，四个晶体管的像素）执行以下必要功能：（1）光子到电荷的转换；（2）电荷到所述浮动扩散区的转移；（3）在电荷向所述浮动扩散区转移之前将所述浮动扩散区复位到已知状态；（4）选择供读出的像素；及（5）代表基于光转换的电荷的复位电压及像素信号电压的信号的输出及放大。通过源极随耦器输出晶体管将所述浮动扩散区处的电荷转换为像素输出电压。

图 1 中图解说明常规 CMOS 四-晶体管（4T）像素 20 的示意图。所述四个晶体管包括转移晶体管 22、复位晶体管 23、源极随耦器晶体管 24 及行选择晶体管 25。光电传感器 21（例如，引脚式光电二极管）将入射光转换为电荷。浮动扩散区 26 通过转移晶体管 22（当被激活时）从光电传感器 21 接收电荷且还连接到复位晶体管 23 及源极随耦器晶体管 24 的栅极。当行选择晶体管 25 接通时，源极随耦器晶体管 24 将与浮动扩散区 26 中所累积的电荷成比例的信号输出到取样电路。复位晶体管 23 在电荷从光电传感器 21 的转移之前将浮动扩散区 26 复位到已知电位。光电传感器 21 可以是光电二极管（如图 1 中所示）、光栅极或光电导体。如果采用光电二极管，那么所述光电二极管可在衬底的表面下方形成且可以是 p-n-p 光电二极管、n-p-n 光电二极管、p-n 光电二极管或 n-p 光电二极管（除其它以外）。

CMOS 半导体成像装置包括像素阵列，例如图 1 的像素 20，其将通过光学透镜接收的光能量转换为电信号。处理由所述像素阵列产生的电信号以再现数字图像。

对于给定积分时间，由光电传感器 21 产生的电荷量对应于落在光电传感器 21 上的光的强度。另外，重要的是被引导向光电传感器 21 的所有光落在光电传感器 21 上而不是朝向另一光电传感器被反射或折射（称作光学串扰）。

举例来说，光学串扰可在像素阵列中的相邻光电传感器之间存在。在理想的成像器中，光仅穿过直接接收光刺激的光电传感器的表面进入。然而，实际上，既定用于一个光电传感器的某些光也穿过在透镜与另一光电传感器之间存在的光学路径的侧而落在所述另一光电传感器上。

光学串扰可在由成像器产生的图像中导致不期望的结果。所述不期望的结果可随着所述成像器阵列中像素的密度增加且随着像素大小对应地减小而变得更加显著。缩小的像素大小及更大的像素密度使得将传入光恰当地聚焦在每一像素的光电传感器上而不伴随有光学串扰变得越来越困难。

光学串扰可导致由成像器产生的图像的对比度的模糊或降低。光学串扰还使空间分辨率降级，降低总体灵敏度、导致色彩混合且在色彩校正之后导致图像噪声。如上所述，图像降级可随像素及相关装置大小的减小而变得更加显著。此外，由光学串扰导致的降级在较长波长的光下更明显。具有较长波长的光更深地穿进像素的硅结构，因此提供光被从其既定目标光电传感器反射或折射的更多机会。

电串扰也可在光生信号迁移穿过像素之间的硅且收集在错误的光电二极管处时出现。电串扰随着像素大小减小且针对较长波长的光变得更加显著。

图 2 图解说明常规前侧照射的成像器中的光学串扰及电串扰问题。常规前侧照射的成像器包括像素阵列。为简明起见，图解说明单个像素 2 的截面。举例来说，像素 2 具有在衬底 41 内形成的光电二极管。图 2 还图解说明与衬底 41 接触的金属化与夹层电介质层 51。还提供氮化物层 91、色彩过滤器阵列层 96 及显微透镜 97。理想地，当行进穿过显微透镜 97 到达像素 2 的相应光电传感器时，传入光 13 应停留在光电传感器光学路径 12 内。然而，光 13 在成像器的相应层内且在这些层之间的结处可被反射。传入光 13 也可以不同的角度进入所述像素，从而导致所述光入射在不同的光电传感器上。入射光 13 在其行进穿过各个层时出现的损失也降低装置的量子效率。

如所述，电串扰也可在光生电子迁移穿过所述硅层时在像素之间出现。所述硅层越厚，此种迁移出现的空间及机会就越大。然而，较厚的硅层给包含像素阵列的装置提供较大的总体结构稳定性。

相应地，需要且渴望一种用于减小成像装置中的串扰及相关电干扰而不危及结构稳定性的经改进设备及方法。还需要更有效地且更准确地提高总体像素灵敏度且提供改善的串扰免疫性而不向制造工艺增加复杂性及/或增加制作成本。还需要提高量子效率。将进一步有益地提供具有晶片级封装的成像器装置。

发明内容

附图说明

- 图 1 是常规 CMOS 四-晶体管 (4T) 像素的示意图。
- 图 2 是现有技术背侧照射的晶片的截面。
- 图 3 是处于初始制作阶段的像素阵列的实施例的一部分的截面。
- 图 4 是处于后续制作阶段的图 3 的实施例的截面。
- 图 5 是处于后续制作阶段的图 4 的实施例的截面。
- 图 6 是处于后续制作阶段的图 5 的实施例的截面。
- 图 7 是处于后续制作阶段的图 6 的实施例的截面。
- 图 8 是处于后续制作阶段的图 7 的实施例的截面。
- 图 9 是处于后续制作阶段的图 8 的实施例的截面。
- 图 10 是采用图 9 的实施例的成像器的框图。
- 图 11 是采用图 10 的成像器的处理器系统的框图。

具体实施方式

在以下详细说明中，参照形成本发明一部分的附图，且附图中以图解说明的方式显示本发明的具体实施例。充分详细地说明这些实施例以使所属领域中的技术人员能够实践所述实施例，且应理解可利用其它实施例，且可作出结构、逻辑及电方面的改变。

术语“衬底”应理解为基于半导体的材料，包括硅、绝缘体上硅 (SOI) 或蓝宝石上硅 (SOS) 技术、经掺杂及未经掺杂的半导体、由基底半导体基础支撑的硅外延层及其它半导体结构。此外，当在以下说明中提及“衬底”时，可能已利用先前工艺步骤在基底半导体结构或基础中形成了区或结。此外，所述半导体不需要基于硅，而可基于硅化锗、锗或砷化镓。

术语“像素”是指图片元素单位单元，其包含光电传感器及晶体管以用于将光辐射转换为电信号。出于图解说明的目的，在本文的图式及说明中图解说明代表性像素，且成像器像素阵列中所有像素的制作通常将以类似方式同时进行。

现在参照图式，其中相同的元件由相同的参考编号指代，图 3 图解说明处于初始制作阶段的像素阵列的实施例的一部分的截面。形成包含装置层 10、掩埋氧化物层 30 及衬底层 40 的堆叠 5。装置层 10 具有形成在一个侧上的具有光电二极管的成像像素 20。装置层 10 可以是硅层。像素 20 可包含光电二极管及相关联晶体管，但出于简化图解说明的目的在本文中表示为像素 20。装置层 10 可具有至少 $2.0\ \mu\text{m}$ 的厚度 t_D ，此厚度取决于对红色光或红外光的所需灵敏度。装置层 10 越薄，像素 20 对红色光或红外光将越不敏感。

在装置层 10 的相对侧上, 提供掩埋氧化物层 30。掩埋氧化物层 30 提供绝缘性质以防止光生电子的串扰横向迁移且防止免疫性迁移到装置层 10 中。掩埋氧化物层 30 可具有在约 0.5 μm 到约 2.0 μm 的范围内的厚度 t_B , 此厚度取决于所需的量子效率。掩埋氧化物层 30 越薄, 量子效率越大。

另外, 装置层 10 可具有分级的掺杂, 其中较高掺杂在掩埋氧化物层 30 界面附近。分级的掺杂可提供抵抗串扰的额外绝缘性质。此外, 装置层 10 可具有 n 型或 p 型掺杂, 但当在像素 20 中使用 n 沟道晶体管时更有可能是 p 型掺杂。

在掩埋氧化物层 30 的另一侧上, 提供衬底层 40。衬底层 40 可具有任一厚度且在初始处理阶段(包括像素 20 电路及与像素阵列相关联的外围电路的形成)期间向装置层 10 提供结构稳定性。可在像素 20 电路上方提供一个或一个以上钝化层(例如, BPSG)以保护像素 20 电路。

如图 4 中所示, 在装置层 10 上方提供共同表示为 ILD 层 50 的金属化与夹层电介质层。任选地, 可在装置层 10 与 ILD 层 50 之间形成额外的外延层, 其中可形成像素 20 的晶体管。此一结构将具有较大的填充因子, 因为由于剩余像素电路在不同的半导体层中因此光电二极管的占地面积可较大。

如图 5 中所示, ILD 层 50 具有包含金属接合垫 55 的最终金属层, 所述金属接合垫将连接到互连晶片 70。互连晶片 70 粘附到 ILD 层 50。在一个实施例中, 互连晶片 70 可通过与粘合剂层 60(例如, 环氧树脂)接合而粘附到 IDL 层 50。

一旦在后续步骤中蚀刻掉衬底层 40, 互连晶片 70 将向装置层 10 提供结构支撑, 如下文所说明。互连晶片 70 还提供进入及离开包含像素 20 的像素阵列及与所述阵列相关联的外围电路的信号路径。互连晶片 70 还可有助于在晶片级封装的情况下提供装置层 10 与外部环境之间的密封, 其中晶片包含所制作装置的阵列, 包含像素 20 阵列及相关联外围电路的每一成像器接合到具有在所述装置晶片上方延伸的互连晶片 70 的晶片。互连晶片 70 可由硅或另一材料的玻璃制成。在接合到装置层 10 之前, 互连晶片 70 可以是未经处理的。然而, 在与装置层 10 接合之前, 可将互连晶片 70 图案化, 但此方法在接合之前需要额外对准, 如下文将说明。

可丝网印刷粘合剂层或环氧树脂层 60。用于提供粘合剂层 60 的其它方法包含阳极接合、低温硅接合或共晶接合。如果在接合之前给互连晶片 70 图案化导体及外部连接, 那么必须将互连晶片 70 与装置层 10 对准以确保接合垫 55 接合到互连晶片 70 上的对应电连接。所述接合之后可进行固化以改善接合强度并在后续晶片处理步骤期间降低除气作用。

如图 6 中所示, 互连晶片 70 经图案化而具有导通孔开口 75。可通过各向异性蚀刻或通过激光烧蚀来执行所述图案化。开口 75 被置于金属接合垫 55 上方, 且蚀刻或激光图案化工艺在金属接合垫 55 上停止。

如图 7 中所示, 开口 75 衬有势垒金属 85 且填充有金属堵塞物 80。随后可抛光掉互连晶片顶部上的多余金属。

互连晶片 70 的处理一旦完成, 那么可蚀刻掉衬底层 40, 如图 8 中所示。可蚀刻掉衬底层 40 的大致全部, 因为在互连晶片 70 到位的情况下不再需要所述衬底层来向堆叠 5 提供结构稳定性。可使用(举例来说) SF_6 或 XeF_2 来通过各向同性干式蚀刻蚀刻掉衬底层 40。或者, 可使用已知湿式各向同性蚀刻来蚀刻掉衬底层 40。当执行此蚀刻时, 应保护晶片的包含堆叠 5 的侧及晶片的包含互连晶片 70 的顶部。

通过移除衬底层 40, 会将像素 20 的光电二极管放置得更靠近入射光的源。因此, 可降低对聚焦结构的要求。可不需要精确地形成显微透镜或可根本不需要显微透镜。

随后, 可在背侧上处理堆叠 5, 如图 9 中所示, 其显示在顶部的掩埋氧化物层 30。可沉积低温氮化物层 90 以改善光学性能。可在氮化物层 90 上方提供色彩过滤器阵列层 95 且可在色彩过滤器阵列层 95 上方形成显微透镜 100 层。色彩过滤器层 95 可在贝尔图案(Bayer pattern)中包括红色、绿色及蓝色过滤器或所属技术中已知的其它过滤器色彩及图案。应注意, 尽管已将所述实施例说明为具有单个氮化物层 90、色彩过滤器阵列层 95 及显微透镜 100 层, 但本发明的实施例并不限于具有所有这些层且任选地, 可省略这些层中的一者或一者以上或可添加其它层。举例来说, 可在显微透镜 100 层上方提供硬涂层以在后续发展工艺期间避免回焊。

图 9 中所示的所得堆叠 5 在像素 20 与显微透镜 100 之间具有比图 2 中所示的常规前侧照射的成像器的像素 2 与显微透镜 97 之间的距离短的距离。因此, 堆叠 5 提供用于入射光行进到像素 20 的较短路径, 因为衬底层 40 已被蚀刻掉。因此, 增强了所述装置的量子效率且入射光更有可能停留在像素 20 的光电传感器的光学路径内。另外, 由于硅层较薄, 因此光生电子发生迁移及像素 20 与邻近像素之间发生相关联电串扰的空间较小且机会较小。对堆叠 5 的另一优点是互连晶片 70 可以是已经连接到包含装置层 10 的晶片的晶片的一部分, 此允许晶片级封装, 且因此允许较小的封装尺寸。

图 10 图解说明采用如所说明构形的具有一层背侧照射的像素的晶片结构的成像器 200(举例来说, CMOS 成像器)的简化框图。像素阵列 201 包含多个像素, 所述像素在晶片(例如, 图 9 的堆叠 5)中包含相应的光电传感器, 其以预定数量的列及行布置。所述行线由行驱动器 202 响应于行地址解码器 203 选择性地激活且列选择线由列驱动器 204 响应于列地址解码器 205 选择性地激活。因此, 提供用于每一像素的行及列地址。所述行及列线可形成在图 9 的 ILD 层 50 中。

CMOS 成像器 200 由控制解码器 203、205 以选择用于像素读出的适当行及列线的计时与控制电路 206 及向选定行及列线的驱动晶体管施加驱动电压的行及列驱动器电路 202、204 操作。通常包括针对每一像素的像素复位信号 V_{rst} 及像素图像信号 V_{sig} 的像素信号由与列驱动器 204 相关联的取样与保持电路 207 取样。针对每一像素产生差分信号 $V_{rst} - V_{sig}$, 其由放大器 208 放大且由模拟-数字转换器 209 数字化。模拟-数字转换器 209 将模拟像素信号转换为数字信号, 所述数字信号被馈入到形成数字图像的图像处理器 210。

图 11 显示典型处理器系统 300(例如, 数码相机)的简化形式, 其包括采用如上

文所说明构形的晶片堆叠上的像素阵列的成像装置 200（图 10）。处理器系统 300 是实例性系统，其具有若干可包括成像装置 200 的数字电路。并非进行限定，此系统可包括计算机系统、静止或视频相机系统、扫描器、机器视觉、车辆导航、视频电话、监视系统、自动聚焦系统、星体追踪器系统、运动检测系统、图像稳定系统及采用成像装置的其它系统。

处理器系统 300（举例来说，数字静止或视频相机系统）通常包含用于在快门释放按钮 397 被按下时将图像聚焦在像素阵列 201 上的透镜 396、中央处理单元（CPU）395（例如，控制相机及一个或一个以上图像流动功能的微处理器），其经由总线 393 与一个或一个以上输入/输出（I/O）装置 391 进行通信。成像装置 200 也经由总线 393 与 CPU 395 进行通信。系统 300 还包括随机存取存储器（RAM）392，且可包括也经由总线 393 与 CPU 395 进行通信的可抽换式存储器 394（例如，快闪存储器）。成像装置 200 可在单个集成电路上或不同的芯片上具有或不具有存储器存储装置的情况下与 CPU 组合。尽管将总线 393 图解说明为单个总线，但其可以是用于互连系统组件的一个或一个以上总线或桥接器或其它通信路径。

尽管上文已说明及图解说明实施例，但应理解所述实施例仅以实例方式而非限定方式呈现。举例来说，尽管已结合成像器装置晶片及与 CMOS 成像器相关联的像素阵列读出电路说明及图解说明了所述实施例，但其并不如此受限且可用于具有像素阵列及相关联像素阵列读出电路的任一固态成像器。此外，所述实施例并不限于成像装置且可用于包括互连层的任一硅晶片光敏装置。另外，尽管已将互连晶片 70 说明为包含导电性互连结构，但其也可包括例如电容器及电感器等无源装置及例如晶体管及二极管等有源装置。将明了，可对所说明的实施例作形式及细节上的各种改变。

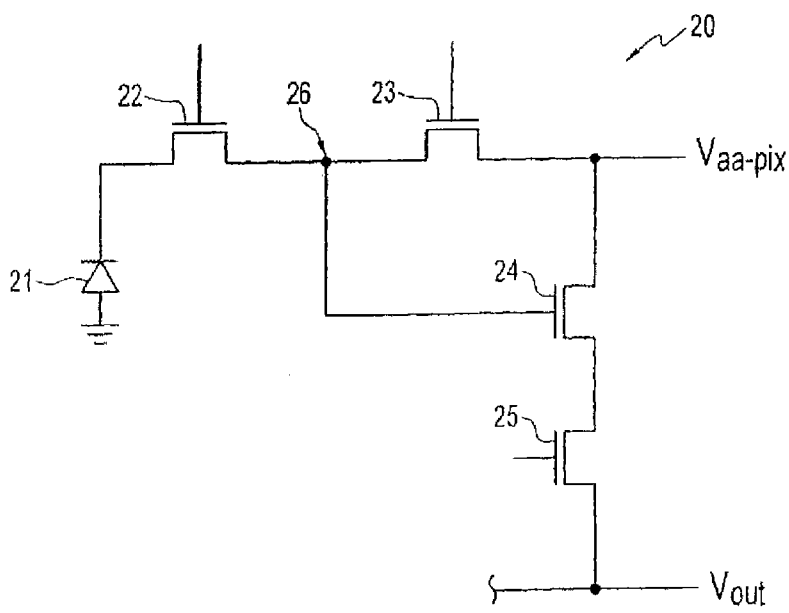


图 1

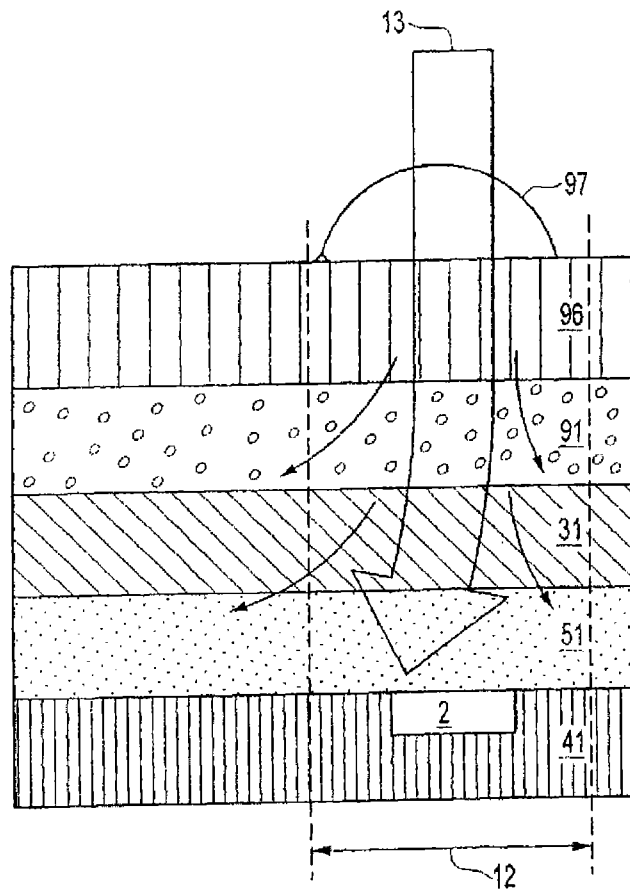


图 2
(现有技术)

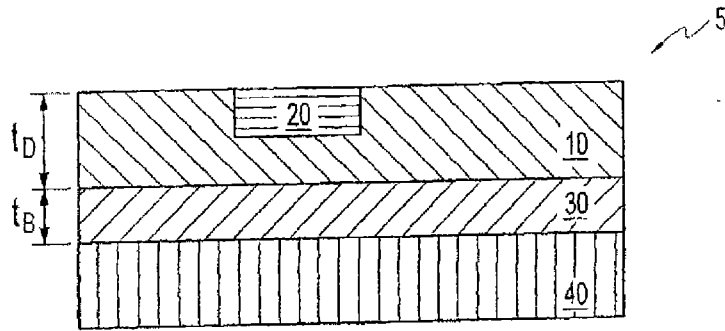


图 3

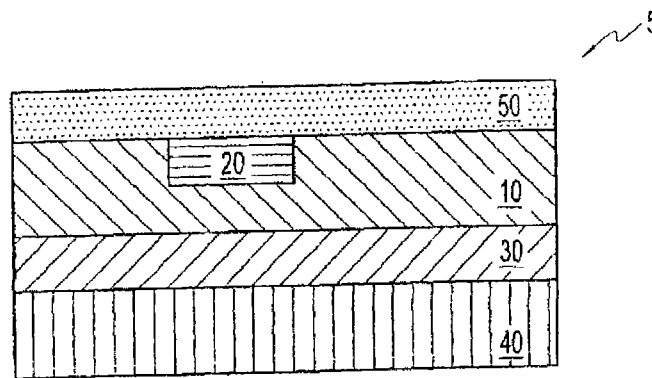


图 4

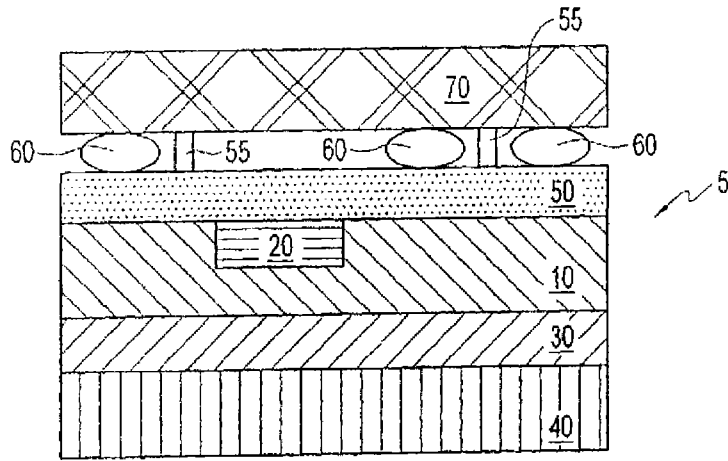


图 5

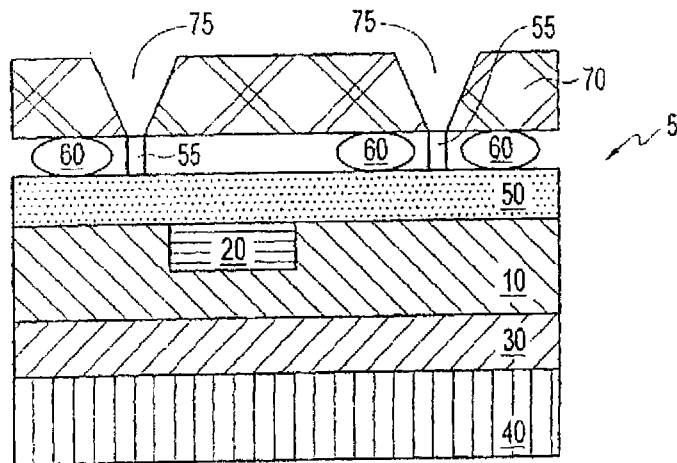


图 6

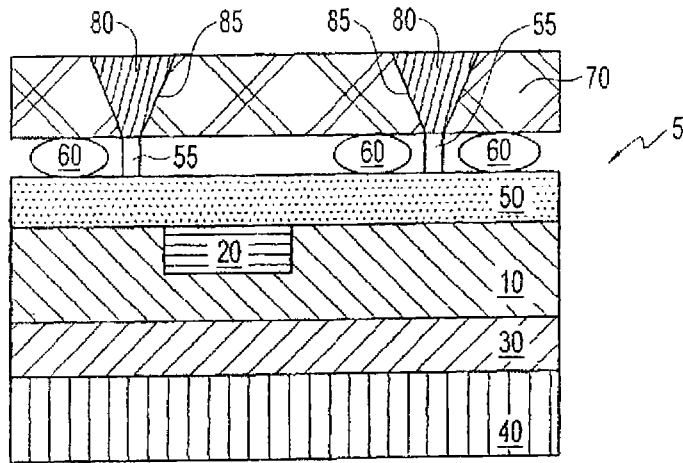


图 7

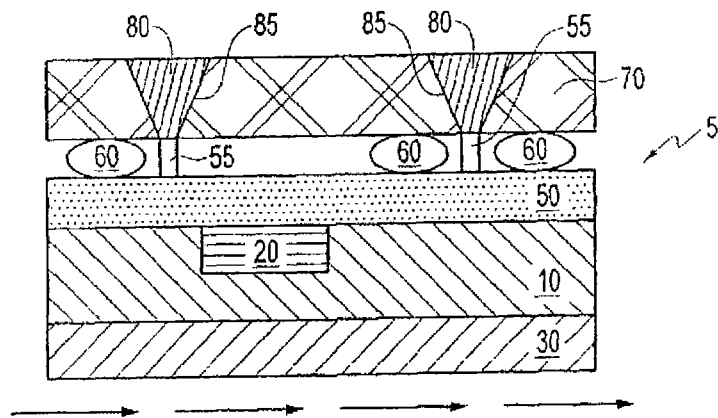


图 8

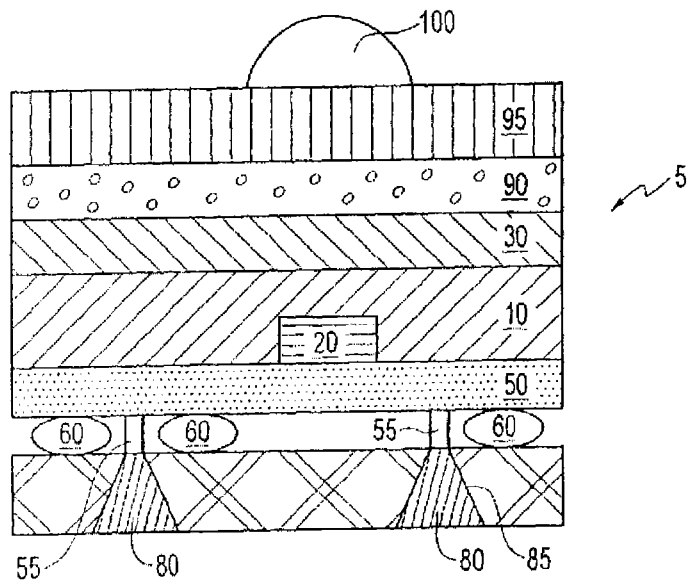


图 9

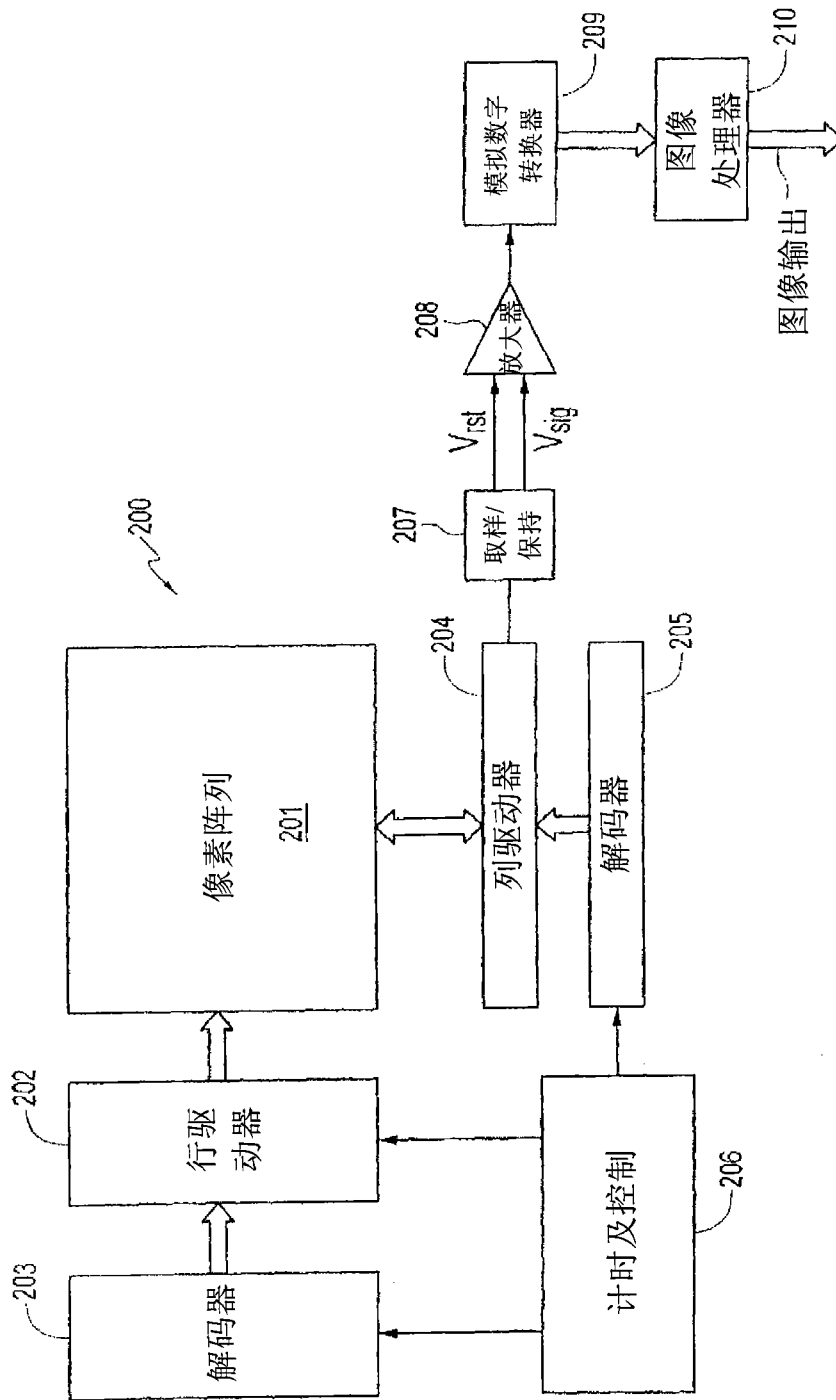


图 10

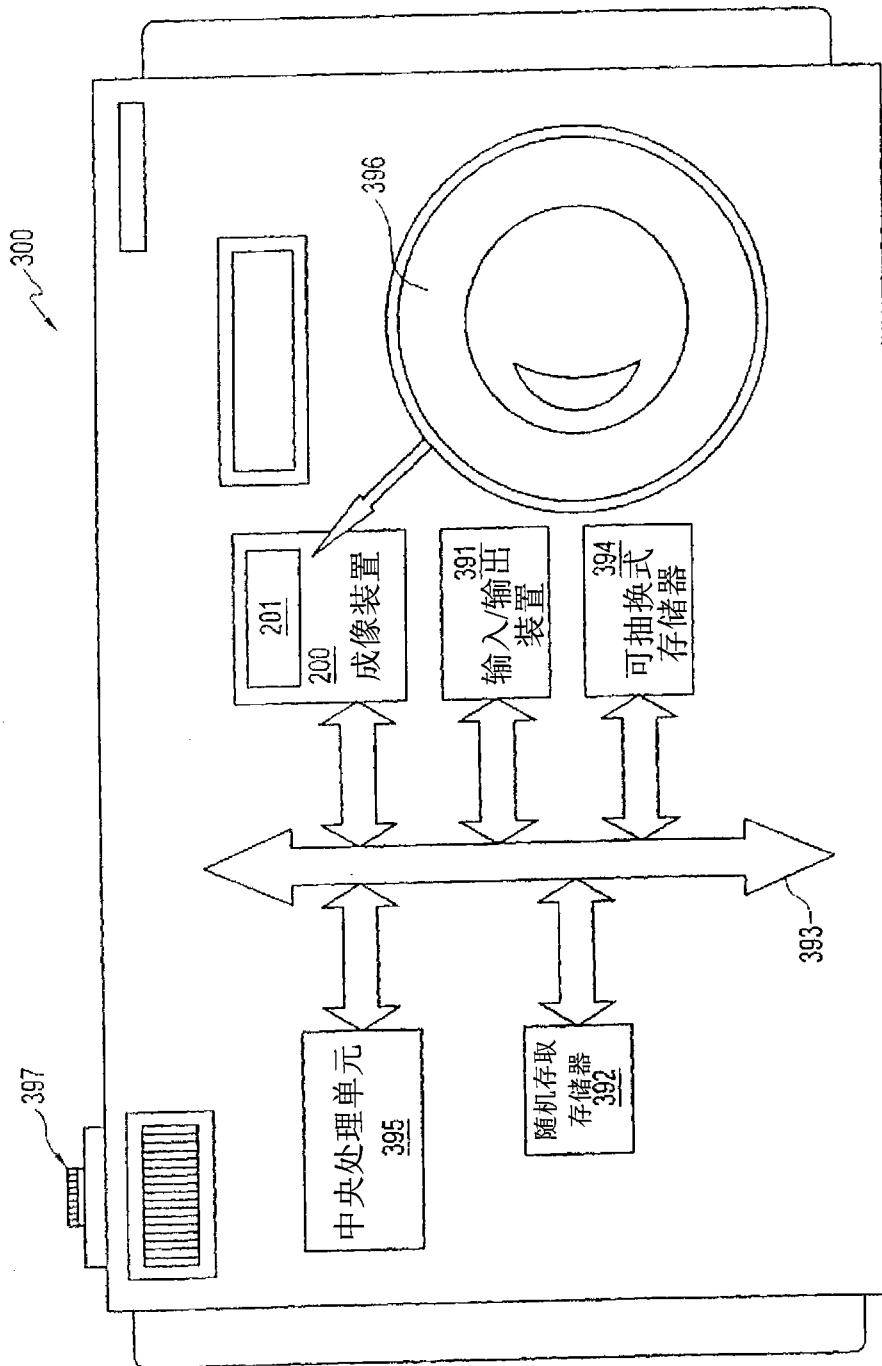


图 11