



(12)发明专利

(10)授权公告号 CN 104811170 B

(45)授权公告日 2018.10.26

(21)申请号 201510140463.2

(22)申请日 2009.02.10

(65)同一申请的已公布的文献号  
申请公布号 CN 104811170 A

(43)申请公布日 2015.07.29

(30)优先权数据  
61/028,133 2008.02.12 US  
12/368,200 2009.02.09 US

(62)分案原申请数据  
200980110230.0 2009.02.10

(73)专利权人 特兰斯夫公司  
地址 美国加利福尼亚州

(72)发明人 詹姆斯·霍尼亚 吴毅锋

(74)专利代理机构 中原信达知识产权代理有限  
责任公司 11219  
代理人 张焕生 谢丽娜

(51)Int.Cl.

H03K 17/0814(2006.01)

H03K 17/16(2006.01)

H03K 17/567(2006.01)

H03K 17/687(2006.01)

(56)对比文件

JP 2007252055 A,2007.09.27,

CN 1682445 A,2005.10.12,

JP 2007215389 A,2007.08.23,

JP 2006115557 A,2006.04.27,

US 2006044849 A1,2006.03.02,

US 2005146310 A1,2005.07.07,

EP 1710901 A1,2006.10.11,

审查员 王倩

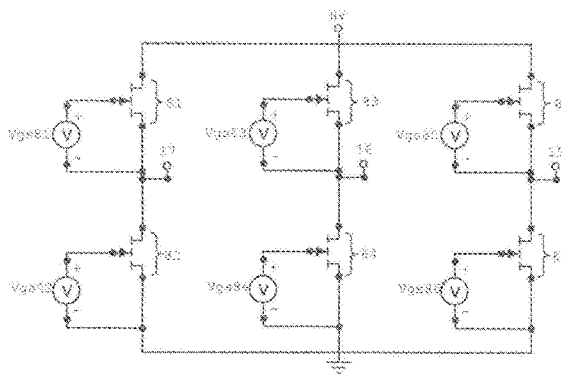
权利要求书5页 说明书9页 附图13页

(54)发明名称

桥式电路及其元件

(57)摘要

桥式电路及其元件。本发明描述了一种半桥,所述半桥具有至少一个晶体管,所述晶体管具有能够处于第一工作模式、第二工作模式和第三工作模式的沟道,所述第一工作模式在至少一个方向上阻挡基本电压,所述第二工作模式在一个方向上通过该沟道传导基本电流,所述第三工作模式在相反方向上通过该沟道传导基本电流。所述半桥可具有带有这样的晶体的两个电路。



1. 一种电路,包括:

耗尽型晶体管,该耗尽型晶体管包括第一栅极、第一源极、第一漏极和第一沟道;以及具有阈值电压的增强型晶体管,该增强型晶体管包括第二栅极、第二源极、第二漏极、第二沟道、反并联到所述第二沟道的寄生二极管,所述第二漏极被电连接到所述第一源极,其中,所述电路被构造以使得:

在该电路的第一工作模式期间,所述第一漏极的电压被保持高于所述第二源极的电压,相对于所述第二源极,大于所述增强型晶体管的阈值电压的电压被施加到所述第二栅极,以及电流从所述第一漏极流向所述第二源极,其中,在所述第一工作模式期间,电流流过所述第一沟道并且流过所述第二沟道;

在该电路的第二工作模式期间,所述第一漏极的电压低于所述第二源极的电压,相对于所述第二源极,小于所述增强型晶体管的阈值电压的电压被施加到所述第二栅极,以及电流从所述第二源极流向所述第一漏极,其中,在所述第二工作模式期间,电流流过所述第一沟道,但该电流的大部分不流过所述第二沟道;

在该电路的第三工作模式期间,所述第一漏极的电压低于所述第二源极的电压,相对于所述第二源极,大于所述增强型晶体管的阈值电压的电压被施加到所述第二栅极,以及电流从所述第二源极流向所述第一漏极,其中,在所述第三工作模式期间,电流流过所述第一沟道并且流过所述第二沟道。

2. 根据权利要求1所述的电路,在所述第二工作模式期间,电流的大部分流过所述寄生二极管。

3. 根据权利要求1所述的电路,其中所述电路的所述第三工作模式较之所述第二工作模式是低功率工作模式。

4. 根据权利要求1所述的电路,还包括并联连接至所述寄生二极管的附加二极管。

5. 根据权利要求4所述的电路,在所述第二工作模式期间,电流的大部分流过所述附加二极管。

6. 根据权利要求5所述的电路,其中所述电路的所述第三工作模式较之所述第二工作模式是低功率工作模式。

7. 根据权利要求1所述的电路,其中所述电路包括半桥,该半桥具有开关,并且所述增强型晶体管和所述耗尽型晶体管是所述开关的部分。

8. 根据权利要求1-7中任何一项所述的电路,所述耗尽型晶体管是II-N HEMT。

9. 根据权利要求1-7中任何一项所述的电路,所述增强型晶体管是Si MOS晶体管。

10. 一种电路,包括:

电感组件,该电感组件耦合到开关装置,该开关装置包括耗尽型晶体管和增强型晶体管,所述增强型晶体管包括栅极,所述耗尽型晶体管包括沟道,其中,所述耗尽型晶体管的栅极被电连接到所述增强型晶体管的源极,并且所述耗尽型晶体管的源极被电连接到所述增强型晶体管的漏极;

其中,所述开关装置被构造以使得:在第一工作模式下,当所述增强型晶体管的栅极被偏置成低于所述增强型晶体管的阈值电压时,电流沿第一方向流过所述耗尽型晶体管的沟道,并且在第二工作模式下,当所述增强型晶体管的栅极被偏置成高于所述增强型晶体管的所述阈值电压时,电流沿所述第一方向流过所述耗尽型晶体管的沟道。

11. 根据权利要求10所述的电路,其中所述开关装置被构造以使得:在第三工作模式下,所述耗尽型晶体管沿第二方向阻挡施加在所述开关装置两端的电压。

12. 根据权利要求10所述的电路,其中所述电路包括半桥,并且所述开关装置是所述半桥的开关。

13. 根据权利要求10-12中任何一项所述的电路,所述耗尽型晶体管是II-N HEMT。

14. 根据权利要求13所述的电路,所述增强型晶体管是Si MOS晶体管。

15. 根据权利要求10-12中任何一项所述的电路,所述增强型晶体管是Si MOS晶体管。

16. 一种操作包括耗尽型晶体管和增强型晶体管的电路的方法,所述耗尽型晶体管包括第一栅极、第一源极、第一漏极和第一沟道,所述增强型晶体管具有阈值电压,所述增强型晶体管包括第二栅极、第二源极、第二漏极、第二沟道、反并联到所述第二沟道的寄生二极管,所述第二漏极被电连接到所述第一源极,

所述方法包括:

在该电路的第一工作模式期间,保持所述第一漏极的电压高于所述第二源极的电压,相对于所述第二源极,施加大于所述增强型晶体管的阈值电压的电压到所述第二栅极,以及使电流从所述第一漏极流向所述第二源极,其中,在所述第一工作模式期间,电流流过所述第一沟道并且流过所述第二沟道;

在该电路的第二工作模式期间,保持所述第一漏极的电压低于所述第二源极的电压,相对于所述第二源极,施加小于所述增强型晶体管的阈值电压的电压到所述第二栅极,以及使电流从所述第二源极流向所述第一漏极,其中,在所述第二工作模式期间,电流流过所述第一沟道,但该电流的大部分不流过所述第二沟道;

在该电路的第三工作模式期间,保持所述第一漏极的电压低于所述第二源极的电压,相对于所述第二源极,施加大于所述增强型晶体管的阈值电压的电压到所述第二栅极,以及使电流从所述第二源极流向所述第一漏极,其中,在所述第三工作模式期间,电流流过所述第一沟道并且流过所述第二沟道。

17. 根据权利要求16所述的方法,在所述第二工作模式期间,电流的大部分流过所述寄生二极管。

18. 根据权利要求17所述的方法,其中所述电路的所述第三工作模式较之所述第二工作模式是低功率工作模式。

19. 根据权利要求16所述的方法,所述电路还包括并联连接至所述寄生二极管的附加二极管。

20. 根据权利要求19所述的方法,在所述第二工作模式期间,电流的大部分流过所述附加二极管。

21. 根据权利要求16所述的方法,其中所述电路包括半桥,该半桥具有开关,并且所述增强型晶体管和所述耗尽型晶体管是所述开关的部分。

22. 根据权利要求16-21中任何一项所述的方法,所述耗尽型晶体管是II-N HEMT,所述增强型晶体管是Si MOS晶体管。

23. 一种操作电路的方法,该电路包括电感组件,该电感组件耦合到第一开关装置和第二开关装置,所述第二开关装置包括耗尽型晶体管和增强型晶体管,所述增强型晶体管包括栅极,所述耗尽型晶体管包括沟道,

所述方法包括：

使电流流过所述电感组件；

在第一时间，把所述第一开关装置的栅极的电压偏置成低于所述第一开关装置的阈值电压并且把所述增强型晶体管的栅极偏置成低于所述增强型晶体管的阈值电压，使所述第一开关装置在阻挡模式下操作并且使所述第二开关装置在二极管模式下操作，其中电流沿第一方向流过所述耗尽型晶体管的沟道，

在所述第一时间之后的第二时间，改变所述增强型晶体管的栅极上的偏置使得高于所述增强型晶体管的阈值电压，其中电流继续沿所述第一方向流过所述耗尽型晶体管的沟道。

24. 根据权利要求23所述的方法，还包括：

在先于所述第一时间的第三时间，把所述第一开关装置的栅极的电压偏置成高于所述第一开关装置的阈值电压并且把所述增强型晶体管的栅极偏置成低于所述增强型晶体管的阈值电压，使所述第二开关装置在阻挡模式下操作并且使电流流过所述第一开关装置。

25. 根据权利要求24所述的方法，其中当所述第二开关装置在阻挡模式下操作时，所述增强型晶体管阻挡至少等于所述耗尽型晶体管的阈值电压的绝对值的电压。

26. 根据权利要求23所述的方法，其中所述第一开关装置和所述第二开关装置是半桥的部分。

27. 根据权利要求23-26中任何一项所述的方法，所述耗尽型晶体管是II-N HEMT，所述增强型晶体管是Si MOS晶体管。

28. 一种操作包括开关的电路的方法，所述开关包括第一晶体管和第二晶体管，所述第一晶体管的栅极电连接到第二晶体管的源极，所述第一晶体管的源极电连接到第二晶体管的漏极，

所述方法包括：

在该电路的第一工作模式期间，使所述开关阻挡沿第一方向的基本电压；

在该电路的第二工作模式期间，使所述开关沿第二方向经所述第一晶体管的沟道传导基本电流，同时相对于所述开关的源极所述开关的栅极被偏置到低于所述开关的阈值电压的电压；

在该电路的第三工作模式期间，使所述开关沿所述第二方向经所述第一晶体管的沟道传导基本电流，同时相对于所述开关的源极所述开关的栅极被偏置到高于所述开关的阈值电压的电压。

29. 根据权利要求28所述的方法，还包括：

在该电路的第四工作模式期间，使所述开关沿所述第一方向经所述第一晶体管的沟道传导基本电流。

30. 一种操作电路的方法，该电路包括电感组件、第一单个晶体管和第二单个晶体管，所述第一单个晶体管包括沟道并且没有反并联到所述沟道的寄生二极管，其中所述电感组件耦合在所述第一单个晶体管和所述第二单个晶体管之间，所述第一单个晶体管耦合到电压源，所述第二单个晶体管耦合到地，

所述方法包括：

偏置所述第一单个晶体管为截止并且所述第二单个晶体管为导通，从而使电流流过所

述电感组件并且流过所述第二单个晶体管,其中所述第一单个晶体管阻挡沿第一方向的第一电压;

改变所述第二单个晶体管为截止偏置,引起所述第一单个晶体管在二极管模式下工作,使得沿第二方向经所述第一单个晶体管的沟道输送续流电流,并且引起所述第二单个晶体管阻挡第二电压;

在改变所述第二单个晶体管为截止偏置之后,改变所述第一单个晶体管为导通偏置,其中所述续流电流沿所述第二方向继续流过所述第一单个晶体管的沟道。

31. 根据权利要求30所述的方法,其中改变所述第二单个晶体管为截止偏置和改变所述第一单个晶体管为导通偏置的步骤之间的时间足以防止从高压源至地的直通电流。

32. 根据权利要求30所述的方法,其中所述第一单个晶体管或所述第二单个晶体管是增强型晶体管。

33. 根据权利要求30-32中任一项所述的方法,其中所述第一单个晶体管或所述第二单个晶体管是III-N晶体管。

34. 根据权利要求30-32中任一项所述的方法,其中所述第一单个晶体管和所述第二单个晶体管是半桥的部分。

35. 一种电路,包括:

单个晶体管,所述单个晶体管包括栅极、源极、漏极和沟道,所述单个晶体管被构造用于:在该电路的第一工作模式期间阻挡基本电压,在该电路的第二工作模式期间沿第一方向经所述沟道传导基本电流,以及在该电路的第三工作模式期间沿第二方向经所述沟道传导基本电流,

其中,在所述第三工作模式期间,所述单个晶体管的栅极相对于所述单个晶体管的源极被偏置成低于所述单个晶体管的阈值电压的电压,并且

其中,所述单个晶体管还被构造成在所述电路的第四工作模式期间沿所述第二方向经所述沟道传导基本电流,其中,在所述第四工作模式期间,所述单个晶体管的栅极相对于所述单个晶体管的源极被偏置成高于所述单个晶体管的阈值电压的电压。

36. 根据权利要求35所述的电路,所述电路包括半桥,并且所述单个晶体管是所述半桥的部分。

37. 根据权利要求35所述的电路,较之在所述电路的所述第三工作模式期间,在所述电路的所述第四工作模式期间所述单个晶体管处于低功率工作模式。

38. 根据权利要求35-37中任一项所述的电路,其中所述单个晶体管是III-N晶体管。

39. 一种操作电路中单个晶体管的方法,所述单个晶体管包括栅极、源极、漏极和沟道,所述方法包括:

在该电路的第一工作模式期间,阻挡基本电压经过所述单个晶体管,

在该电路的第二工作模式期间,沿第一方向经所述沟道传导基本电流,以及

在该电路的第三工作模式期间,沿第二方向经所述沟道传导基本电流,

其中,在所述第三工作模式期间,所述单个晶体管的栅极相对于所述单个晶体管的源极被偏置成低于所述单个晶体管的阈值电压的电压,并且

其中,所述单个晶体管还被构造成在所述电路的第四工作模式期间沿所述第二方向经所述沟道传导基本电流,其中,在所述第四工作模式期间,所述单个晶体管的栅极相对于所

述单个晶体管的源极被偏置成高于所述单个晶体管的阈值电压的电压。

40. 根据权利要求39所述的方法,所述电路包括半桥,并且所述单个晶体管是所述半桥的部分。

41. 根据权利要求39所述的方法,较之在所述电路的所述第三工作模式期间,在所述电路的所述第四工作模式期间所述单个晶体管处于低功率工作模式。

42. 根据权利要求39-41中任一项所述的方法,其中所述单个晶体管是III-N晶体管。

## 桥式电路及其元件

[0001] 本申请是分案申请,其原案申请是申请号为PCT/US2009/033699,申请日为2009年2月10日的PCT申请(WO 2009/102732),2010年9月21日进入中国国家阶段,国家申请号为200980110230.0。

### 技术领域

[0002] 本发明涉及桥式电路及其组成元件。

### 背景技术

[0003] 桥式电路用于很广泛的应用中。图1示出了用于电机驱动的典型三相桥式电路。电路10中的三个半桥15、25、35各自包括两个开关(61-66),所述开关能够在在一个方向上阻挡电流,并且能够在双方向上传导电流。由于通常用在电源电路中的晶体管(41-46)固有地无法反向传导电流,所以电路10中的开关61-66中的每一个包括反并联到续流二极管51-56的晶体管(41-46)。晶体管41-46各自能够在其偏置为截止状态时,阻挡至少与电路10的高压(HV)源一样大的电压,并且二极管51-56各自能够在其反向偏置时,阻挡至少与电路10的高压(HV)源一样大的电压。理想地,二极管51-56具有良好的开关特性以最小化开关过程中的瞬变电流,因此通常使用肖特基二极管。晶体管41-46可以是增强型(常闭, $V_{th}>0$ ),即E型,或者是耗尽型(常开, $V_{th}<0$ ),即D型器件。在电源电路中,通常使用增强型器件来防止意外导通,以避免对器件或其他电路元件造成损害。节点17、18和19全部经电感负载彼此耦接,即诸如电机线圈(图1中未示出)的电感元件。

[0004] 图2a示出图1中的全3相电机驱动的半桥15,和节点17和18之间的电机绕组(电感元件21)以及电机电流馈送到其中的开关64。对于电源的这一相,晶体管44持续导通( $V_{gs44}>V_{th}$ ),晶体管42持续截止( $V_{gs42}<V_{th}$ ,即,如果使用增强型晶体管, $V_{gs42}=0V$ ),而晶体管41则以脉宽调制(PWM)信号来调制以实现所需电机电流。图2b是图2a中示图的简化版本,其示出了晶体管41偏置为导通期间电流路径27。对于这一偏置,电机电流流过晶体管41和44,而因为晶体管42偏置为截止并且二极管52反向偏置,所以没有电流流过开关62。参照图2c,在晶体管41偏置为截止期间,没有电流能够流过晶体管41或二极管51,因此电机电流流过二极管52。在这部分操作期间,电感元件21强制节点17处的电压为足够负的值,以导致二极管52导电。

[0005] 目前,绝缘栅双极型晶体管(IGBT)通常用在高功率桥式电路中,硅MOS晶体管(也称作MOSFET)用在低功率应用中。传统的IGBT固有地仅在一个方向导电,因此需要续流二极管以便于带有IGBT的开关正确操作。标准MOS晶体管固有地包含反并联寄生二极管。如从图3a看到的,如果MOS器件50的栅极和源极偏置在相同的电压,漏极偏置在较低电压,例如当晶体管41截止时晶体管42中所发生的(图2c),则寄生二极管60阻止本征MOS晶体管71导通。因此,反向电流路径37穿过寄生二极管60。由于寄生二极管60固有地具有差的开关特性,所以当MOS器件50导通或截止时,寄生二极管60经历大的瞬变。

[0006] 为了彻底防止寄生二极管60导通,经常采用图3b所示的3元件解决方案。在图3b

中,二极管69被添加到开关以防止任何电流流过寄生二极管60,并且添加肖特基二极管68以在电流在图3b所示方向流动(即,从MOS器件50的源极侧流向漏极侧)期间输送电流。

### 发明内容

[0007] 描述了一种半桥,所述半桥包括至少一个晶体管,所述晶体管具有能够处于第一工作模式、第二工作模式和第三工作模式的沟道,所述第一工作模式在至少一个方向上阻挡基本电压,所述第二工作模式在所述至少一个方向上穿过沟道传导基本电流,所述第三工作模式在相反方向上穿过沟道传导基本电流。

[0008] 描述了一种操作电路的方法,所述电路包括半桥电路级,所述半桥电路级包括第一晶体管、第二晶体管和电感元件,其中所述电感元件耦接在第一晶体管和第二晶体管之间,第一晶体管在电压源与第二晶体管之间,第二晶体管在地与第一晶体管之间。第一晶体管偏置为导通,第二晶体管偏置为截止,从而允许电流流过第一晶体管和电感元件、并且阻挡了跨越第二晶体管的电压。第一晶体管被改变为截止偏置,从而允许电流流过第二晶体管和电感元件、并且导致第二晶体管处于二极管模式。

[0009] 描述了一种操作电路的方法,所述电路包括电感元件和半桥,所述半桥包括第一晶体管和第二晶体管,其中电感元件耦接在第一晶体管和第二晶体管之间,第一晶体管耦接到电压源,第二晶体管耦接到地。第一晶体管偏置为截止,第二晶体管偏置为导通,从而允许电流流过电感元件并且流过第二晶体管,其中第一晶体管阻挡第一电压。第二晶体管被改变为截止偏置,从而导致第一晶体管工作在二极管模式下以输送续流电流、并且导致第二晶体管阻挡第二电压。

[0010] 本文所述的器件和方法的实施例可包括以下特征中的一个或多个。所述半桥可包括至少两个晶体管,并且每个晶体管都可被构造为用作开关晶体管以及用作反并联二极管。桥式电路可由本文所述半桥形成。栅极驱动电路可被构造为独立地控制每个晶体管的栅极电压。所述晶体管可以是桥式元件的第一晶体管,所述桥式元件还可包括第二晶体管。第一晶体管的栅极可电连接到第二晶体管的源极,并且第一晶体管的源极可电连接到第二晶体管的漏极。第一晶体管可以是耗尽型器件,而第二晶体管可以是增强型器件。第一晶体管可以是高压器件,而第二晶体管可以是低压器件。第一晶体管可被构造为阻挡至少等于电路高压的电压。第二晶体管可被构造为阻挡至少等于第一晶体管的阈值电压的电压。第二晶体管可被构造为阻挡大约为所述阈值电压两倍的电压。第一晶体管可以是高压耗尽型晶体管,并且第二晶体管可以是低压增强型晶体管。第一晶体管可以是III-N HEMT或SiC JFET。第二晶体管可以是III-N HEMT。第二晶体管可以是氮面III-N HEMT。第二晶体管可以是硅基或SiC基器件。第二晶体管可以是垂直硅MOSFET或SiC JFET或SiC MOSFET。所述半桥可包括至少两个桥式元件。第二晶体管可包括寄生二极管,并且所述半桥包括并联到所述寄生二极管的低压二极管。所述低压二极管可被构造为阻挡至少如第二晶体管一样的电压。所述低压二极管具有比所述寄生二极管的导通电压低的导通电压。所述半桥可包括低压二极管,其中所述低压二极管被构造为阻挡比电路高压低的最大电压。所述半桥可由两个晶体管组成,其中所述晶体管各自为FET、HEMT、MESFET或JFET器件。所述两个晶体管可以是增强型晶体管。所述晶体管可以是增强型III-N晶体管或SiC JFET晶体管。所述晶体管可以是氮面III-N HEMT。所述两个晶体管可具有至少2V的阈值电压。所述两个晶体管可具有



从源极到漏极的0.5至2eV的内势垒。所述两个晶体管可具有小于5mohm-cm<sup>2</sup>的导通电阻以及至少600V的击穿电压。所述两个晶体管可具有小于10mohm-cm<sup>2</sup>的导通电阻以及至少1200V的击穿电压。每个半桥的两个晶体管之间可存在节点,每个节点都可经由电感负载彼此耦接。本文所述的包括半桥的桥式电路可不含二极管。所述半桥可不含二极管。在将第一晶体管改变为截止偏置之后,第二晶体管可被改变为导通偏置。将第一晶体管改变为截止偏置的步骤与将第二晶体管改变为导通偏置的步骤之间的时间可足以防止从高压源至地的直通电流。将第二晶体管改变为截止偏置的步骤与将第一晶体管改变为导通偏置的步骤之间的时间可足以防止从高压源至地的直通电流。

[0011] 本文所述的器件和方法可提供以下优点中的一个或多个。开关可仅以单个晶体管器件来形成。所述晶体管器件既可用作开关晶体管,也可用作二极管。晶体管执行两个角色的能力可消除开关中对单独的反并联二极管的需求。仅包括单个晶体管的开关是比还需要二极管来输送续流电流的器件更简单的器件。所述器件可以以将功率耗散降至最低的方式工作。另外,晶体管的时序和偏置可使得由利用单个器件开关的半桥形成的装置(例如,电机)能够以这样的方式工作:即减小总功耗且同时避免从高压源至地的直通电流。

### 附图说明

[0012] 图1是3相桥式电路的示意图。

[0013] 图2a至图2c示出了当3相桥式电路通电时的示意图和电流路径。

[0014] 图3a至图3b示出了MOS器件的示意图及其电流路径。

[0015] 图4示出了带有单个器件开关的桥式电路的示意图。

[0016] 图5a至图5d示出了穿过单个晶体管开关的电流路径的示意图。

[0017] 图6示出了栅极信号的时序图。

[0018] 图7至图9示出了可用于图4的桥式电路中的开关的示意图。

[0019] 各个附图中的相同附图标记指代相同部件。

### 具体实施方式

[0020] 图4示出了桥式电路的示意图,其中六个开关各自包括单个晶体管器件(81-86)。晶体管81-86可以是阈值电压 $V_{th}>0$ 的增强型器件,或者是阈值电压 $V_{th}<0$ 的耗尽型器件。在高功率应用中,期望使用具备以下特征的增强型器件,其阈值电压尽可能大(诸如 $V_{th}>2V$ 或 $V_{th}>3V$ ),在0偏置下从源极到漏极的高内势垒(诸如0.5-2eV),存取区域高传导率(诸如表面电阻 $<750\text{ohms/square}$ )并伴有高击穿电压(600/1200V)和低导通电阻(对于600/1200V,分别 $<5$ 或 $<10\text{mohm-cm}^2$ )。栅极电压 $V_{gs81}$ - $V_{gs86}$ 各自独立地受栅极驱动电路的控制。器件81-86各自能够在靠近地的端子处的电压低于靠近DC高压源的端子处的电压时阻挡电流流动。在一些实施例中,器件能够在双方向上阻挡电流。器件81-86还各自能够通过相同的传导路径/沟道在双方向上传导电流。节点17、18和19全部经电感负载彼此耦接,即诸如电机线圈(图4中未示出)的电感元件。

[0021] 图5a和图5b示出了用于包括满足上述要求的增强型器件的桥式电路的图4中的电路的三个半桥之一的操作。出于示例目的,假设器件的阈值电压 $V_{th}=2V$ 。诸如通过设置 $V_{gs84}>V_{th}$ (诸如, $V_{gs84}=5V$ )来使器件84持续偏置为导通。诸如通过设置 $V_{gs82}<V_{th}$ (诸如, $V_{gs82}=0V$ )

来使器件82持续偏置为截止。如图5a所示,在诸如通过设置 $V_{gs81} > V_{th}$  (诸如, $V_{gs81} = 5V$ ) 来使器件81持续偏置为导通期间,电流沿着电流路径27穿过器件81,穿过电感元件(电机线圈)21,并穿过器件84流动。在此期间,节点17处的电压高于器件82的源极处的电压,但是决不会超过电路的高压电源的高压(HV)值。器件82偏置为截止,因此阻挡了在其两端的电压 $V_a$ ,其中 $V_a$ 是节点17处的电压。如本文所用,“阻挡了电压”指的是当电压施加到晶体管两端时,晶体管阻止显著的电流(诸如,大于常规传导期间的工作电流的0.001倍的电流)流过晶体管的能力。换言之,在晶体管阻挡施加在其两端的电压的同时,穿过晶体管的总电流将不大于常规传导期间的工作电流的0.001倍。

[0022] 图5b示出了在诸如通过设置 $V_{gs81} < V_{th}$  (诸如, $V_{gs81} = 0V$ ) 而使器件81截止期间的电流路径27。在此期间,电机电流流过器件82的沟道,流过电感元件(电机线圈)21,并流过器件84。由于器件82的栅极端和源极端均处于0V,所以当电流在该方向上流过器件82时,器件82有效地起二极管的作用,被称作处于“二极管模式”。即,即使当器件82的栅极偏置到器件82的阈值电压以下时,器件82也以图5b所示方向传导电流,因此其表现为与配备有反向续流二极管的传统晶体管相同。节点17处的电压 $V_a$ 在器件82的源极电压以下大约阈值电压( $V_{th}$ )的负值处,器件81现在必须阻挡电压 $HV + V_{th}$ 。需要注意的是,用同一器件(82)实现了在一个方向阻挡电流/电压以及相反方向二极管作用。

[0023] 如图5c和图5d所示,器件82可以用作主动(actively)切换的器件,以实现电流穿过电感元件(电机线圈)21沿相反方向的流动。当器件82导通时(图5c),电流27流过器件82,器件81阻挡了电压 $HV - V_a$ ,当器件82截止时(图5d),器件81工作在二极管模式下以输送续流电流,而器件82阻挡了电压 $HV + V_{th}$ 。因此,在全电路中,器件81-86执行与带有反并联续流二极管的传统单向晶体管(图1中的61-66)相同的功能。

[0024] 取决于电流水平以及器件81-86的阈值电压(见图4),当工作在二极管模式下时,器件中的功率耗散可能无法接受的高。在这种情况下,可通过施加图6所示形式的栅极信号来实现较低功率的工作模式。例如,当器件81如图5a和图5b所示切换时,在器件82传导续流电流期间(当器件81截止时),器件82的栅极被驱动为高,允许器件82的漏极-源极电压仅仅是导通状态电阻( $R_{ds-on}$ )乘以电机电流。为了避免从高压电源(HV)到地的直通电流,必须在器件81的截止与器件82的导通之间,以及在器件82的截止与器件81的导通之间提供一些空载时间。在图6中空载时间被标注为“A”。在这些空载时间期间,器件82如上所述工作在二极管模式。由于这与整个切换循环相比是短时间,所以功率耗散不显著。时间“B”对于器件82提供了主要损耗因素,并且这对应于当器件82完全增强时的低功率模式。

[0025] 再参照图4,器件81-86的二极管工作模式总是为电感电流提供电流路径。即使考虑瞬变电流和实际阻抗,电路也将如期望地工作。如果(例如)器件81-86的栅极-漏极电容和栅极驱动电路的源极电阻为非零,则在 $V_a$ 的下降时间期间,节点17处的高转换速率将强制器件82的栅极处的电势低于地。结果将仅仅是: $V_a$ 被电感元件21驱动至甚至比理想情况更低的电压,但是器件82将导通。

[0026] 器件81-86可以是能够通过相同的主沟道在双方向传导基本电流(诸如,至少与其所用的电路的最大工作电流一样大的电流),并且能够在至少一个方向上阻挡基本电压(诸如,大于电路DC高压HV的电压)的任何晶体管。每个器件必须能够在至少一个方向上阻挡电压,所述电压至少在0V至大于HV的电压(诸如, $HV + 1V$ 、 $HV + 5V$ 或 $HV + 10V$ )之间。HV的值以及由

此器件必须能够阻挡的电压范围取决于具体电路应用。例如,在一些低功率应用中,HV可能是10V,器件各自至少能够阻挡0V至10V之间的电压、以及大于10V(诸如,11V、20V或30V)的电压。在一些高功率应用中,HV可能是1000V,因此器件各自至少能够阻挡0V至1000V之间的所有电压、以及大于1000V(诸如1100V、1150V或1200V)的电压。因此,能够阻挡足够量电压的合适晶体管的选择可取决于电路的应用。能够阻挡足够量电流的晶体管可允许一些少量的电流通过主沟道或除主沟道之外的器件的其他部分泄漏。然而,晶体管可能能够阻挡足够量的电流,所述电流是常规操作期间穿过晶体的最大电流的相当大百分比,例如大于最大电流的90%、95%、99%或99.9%。

[0027] 满足这些标准的器件的实例是任何材料体系的金属半导体场效应晶体管(MESFET)、任何材料体系的结型场效应晶体管(JFET)以及任何材料体系的高电子迁移率晶体管(HEMT或HFET),包括诸如电流孔径垂直电子晶体管(CAVET)的垂直型器件以及沟道电荷具有3维分布的器件,诸如极化掺杂场效应晶体管(POLFET)。用于HEMT和MESFET的常见材料体系包括 $Ga_xAl_yIn_{1-x-y}N_mAs_nP_{1-m-n}$ 或者诸如III-N材料、III-As材料和III-P材料的III-V材料。用于JFET的常见材料包括III-V材料、SiC和Si(即,基本上不含碳的硅)。在一些实施例中,器件是增强型器件(阈值电压 $V_{th}>0$ ),而在其他实施例中,器件可以是耗尽型器件( $V_{th}<0$ )。

[0028] 在一些实施例中,器件81-86由增强型III-氮化物(III-N)器件组成,所述器件具备:阈值电压尽可能大(诸如 $V_{th}>2V$ 或 $V_{th}>3V$ ),在0偏置下从源极到漏极的高内势垒(诸如0.5-2eV),存取区域高传导率(诸如表面电阻 $<750\text{ohms/square}$ )并伴有高击穿电压(至少600或1200V)和低导通电阻(对于600/1200V,分别 $<5$ 或 $<10\text{mohm-cm}^2$ )。在一些实施例中,器件是氮面III-N HEMT,诸如在提交于2007年9月17日的美国专利申请号11/856,687以及提交于2008年11月26日的美国专利申请号12/324,574中所描述的,所述两项专利申请以引用方式并入本文。器件还可包括以下元件中的任何:诸如SiN的表面钝化层、诸如倾斜场板的场板、以及栅极下绝缘体。在其他实施例中,器件由SiC JFET组成。

[0029] 在一些实施例中,图7所示的器件91代替图4的器件81-86中的任何或全部用在半桥或桥式电路中。器件91包括诸如III-N E型晶体管的低压E型晶体管92,其如图所示连接到诸如III-N D型晶体管的高压D型晶体管90。在一些实施例中,E型晶体管92是氮面III-N器件,并且D型晶体管90是III面III-N器件。当E型晶体管92在任一方向传导电流时,基本上所有的电流均传导过晶体管92的同一主器件沟道。D型晶体管90的栅极电连接到E型晶体管92的源极,并且D型晶体管90的源极电连接到E型晶体管92的漏极。在一些实施例中,D型晶体管90的栅极不直接连接到E型晶体管92的源极。相反,D型晶体管90的栅极和E型晶体管92的源极各自电连接到电容器的相对端。图7中的器件91可以与阈值电压与E型晶体管92的阈值电压相同的单个高压E型晶体管类似地操作。即,相对于节点97施加到节点96的输入电压信号可以在节点94处生成输出信号,所述输出信号与输入电压信号相对于E型晶体管的源极施加到其栅极时E型晶体管的漏极端处生成的输出信号相同。与用于单个晶体管的三个端的术语相似,节点97、96和94由此分别称为器件91的源极、栅极和漏极。当器件处于阻挡模式时,大部分电压被D型晶体管90阻挡,而仅有少部分电压被E型晶体管92阻挡,如以下所描述的。当器件91在任一方向上传导电流时,基本上所有的电流均传导过E型晶体管92的沟道和D型晶体管90的沟道。

[0030] 图7中的器件91如下操作。当节点94保持在比节点97高的电压下时,在足够正的电压(即,大于E型晶体管92的阈值电压的电压)相对于节点97施加到节点96时,电流从节点94流向节点97,所述电流流过E型晶体管92的沟道和D型晶体管90的沟道。当节点96处相对于节点97的电压被切换为小于E型晶体管92的阈值电压的值,诸如0V时,器件91处于阻挡模式,阻挡节点97与94之间的电压,并且没有基本电流流过器件91。如果节点94处的电压现在切换为比节点97和96处的电压(两处保持在相同的电压下)小的值,则器件91切换为二极管模式,所有基本电流均传导穿过E型晶体管92的沟道和D型晶体管90的沟道。当高压(HV)相对于节点97施加到节点94,并且节点96相对于节点97偏置在0V时,E型晶体管92阻挡大约等于 $|V_{th90}|$ 或略大的电压,其中 $|V_{th90}|$ 是D型晶体管90的阈值电压的幅度。 $V_{th90}$ 的值可以是约-5至-10V。因此,节点95处的电压大约等于 $|V_{th90}|$ 或略大,因此D型晶体管90处于截止状态,阻挡大约等于HV减去 $|V_{th90}|$ 的电压,即D型晶体管90阻挡基本电压。当正电压相对于节点97施加到节点94,并且节点96偏置在比E型晶体管92的阈值电压 $V_{th,92}$ 大的电压(诸如, $2 * V_{th,92}$ )时,电流穿过E型晶体管92的沟道并穿过D型晶体管90的沟道从节点94流向节点97,E型晶体管92两端的压降 $V_F$ 远小于 $|V_{th90}|$ ,例如小于约0.2V。在这些条件下,节点95处相对于节点97的电压为 $V_F$ ,D型晶体管90的栅极-源极电压 $V_{GS90}$ 大约为 $-V_F$ 。

[0031] D型晶体管90可以是能够阻挡大电压(诸如,至少600V或至少1200V,或者电路应用所需的其他合适的阻挡电压)的高压器件。如上所述,D型晶体管至少能够在器件91处于阻挡模式时阻挡基本电压,诸如大于电路DC高压HV的电压。另外,D型晶体管90的阈值电压 $V_{th90}$ 充分小于 $-V_F$ ,由此当组件处于ON状态时,对于其所使用的电路应用,D型晶体管90以足够低的传导损耗传导从节点94流向节点97的电流。因此,D型晶体管90的栅极-源极电压充分大于 $V_{th90}$ ,由此对于该电路应用而言,传导损耗不是太大。例如, $V_{th90}$ 可以小于-3V、-5V或-7V,并且当D型晶体管90的栅极-源极电压大约为 $-V_F$ 时,D型晶体管90能够以小于7W的传导损耗传导10A或者更大的电流。

[0032] E型晶体管92至少能够阻挡大于 $|V_{th90}|$ 的电压,其中 $|V_{th90}|$ 是D型晶体管90的阈值电压的幅度。在一些实施例中,E型晶体管92可阻挡大约 $2 * |V_{th90}|$ 。诸如III-N HEMT或SiC JFET的高压D型III-N晶体管可用于D型晶体管90。由于高压D型III-N晶体的典型阈值电压大约为-5V至-10V,所以E型晶体管92可以能够阻挡大约10-20V或更大。在一些实施例中,E型晶体管92是III-N晶体管,诸如III-N HEMT。在其他实施例中,E型晶体管92是SiC晶体管,诸如SiC JFET。

[0033] 当图7中的器件91代替图4的桥式电路中的器件81-86使用时,电路如下操作。当器件91代替这些器件使用时,器件81-86将被称作81'-86'。在一些实施例中,所有器件81'-86'彼此相同。即使器件不是完全相同,它们各自也具有大于0的阈值电压。参照图5a和图5b所示的切换顺序,当器件81'和84'的栅极-源极电压大于E型晶体管92的阈值电压,并且器件82'的栅极-源极电压低于E型晶体管92的阈值电压(诸如,0V)时,电流穿过器件81'的两个晶体管的沟道并穿过器件84'的两个晶体管的沟道,从高压源流到地。器件82'阻挡电压 $V_a$ ,其中 $V_a$ 同样是节点17处的电压。参照图5b,当器件81'切换为截止时,电感元件21强制节点17处的电压 $V_a$ 为负值,器件81'现在阻挡了电压HV减去 $V_a$ 。器件82'现在工作在二极管模式,电流穿过器件82'从地流向节点17。基本上所有穿过器件82'的电流均传导穿过E型晶体管92的沟道和D型晶体管90的沟道。当桥式电路在图5c所示的条件下工作时,即,当电流穿

过电感元件从节点18流向节点17时,器件81' 切换为截止,并且器件82' 的栅极-源极电压大于E型晶体管92的阈值电压,电流穿过器件82' 从节点17流向地。基本上所有穿过器件82' 的电流均传导穿过E型晶体管92的沟道和D型晶体管90的沟道。

[0034] 因此,对于图5a所示的工作模式,器件82' 中的D型晶体管阻挡了基本电压,对于图5b所示的操作模式,器件82' 中的D型晶体管通过其沟道传导从源极流向漏极的基本电流,对于图5c所示的操作模式,器件82' 中的D型晶体管通过其沟道传导从漏极流向源极的基本电流。

[0035] 再参照图7,当器件91工作在二极管模式下时,节点95处的电压必须小于节点97处的电压。因此,D型晶体管90的栅极处于比D型晶体管90的源极高的电压,并且D型晶体管90的沟道被增强。然而,取决于电流水平以及E型晶体管92的阈值电压,当器件81' -86' 工作在二极管模式下时,E型晶体管92中的功率耗散可能无法接受的高。在这种情况下,可通过施加图6所示形式的栅极信号来实现较低功率的工作模式。例如,当器件81' 如图5a和图5b所示切换时,在器件82' 传导续流电流期间(当器件81' 截止时),器件82' 的栅极被驱动为高,允许器件82' 的漏极-源极电压仅仅是器件82' 的有效导通状态电阻( $R_{ds-on}$ )乘以电机电流。为了避免从高压电源(HV)到地的直通电流,必须在器件81' 的截止与器件82' 的导通之间,以及在器件82' 的截止与器件81' 的导通之间提供一些空载时间。在图6中空载时间被标注为“A”。在这些空载时间期间,器件82' 如上所述工作在二极管模式。由于这与整个切换循环相比是短时间,所以功率耗散不显著。时间“B”对于器件82' 提供了主要损耗因素,并且这对应于当E型晶体管92完全增强时的低功率模式。

[0036] 在一些实施例中,图8所示的器件111代替图4的器件81-86中的任何或全部用在半桥或桥式电路中。器件111与图7的器件91类似,不同之处在于E型晶体管92被诸如硅(Si)基垂直Si MOS场效应晶体管(FET)(本文将其称作Si MOS晶体管103)的低压E型晶体管代替。在一些实施例中,低压E型晶体管是SiC JFET或SiC MOSFET。Si MOS晶体管103具有与图7中的E型晶体管92相同的电压阻挡要求。即,Si MOS晶体管103至少能够阻挡大于 $|V_{th90}|$ 的电压,其中 $|V_{th90}|$ 是D型晶体管90的阈值电压的幅度。在一些实施例中,Si MOS晶体管103可阻挡大约 $2*|V_{th90}|$ 。高压D型III-N晶体管可用于D型晶体管90。由于高压D型III-N晶体管的典型阈值电压大约为-5V至-10V,所以Si MOS晶体管103可能能够阻挡大约10-20V或更大。

[0037] Si MOS晶体管固有地包含反并联到本征晶体管102的寄生二极管101,如图8中所示。当器件111处于阻挡模式时,并且在标准正向传导模式期间(即,当电流从节点94流向节点97时),Si MOS晶体管103的工作模式与E型晶体管92相同。即,当高压HV相对于节点97施加到节点94,并且Si MOS晶体管103的栅极-源极电压低于阈值,使得器件111处于阻挡模式时,Si MOS晶体管103阻挡大约等于 $|V_{th90}|$ 或略大的电压,而剩余高压被D型晶体管90阻挡,即D型晶体管90阻挡基本电压。当节点94处的电压大于节点97处的电压,并且Si MOS晶体管103的栅极-源极电压高于阈值时,器件111处于标准正向传导模式,使得电流从节点94流向节点97。基本上所有电流均传导穿过Si MOS晶体管103的沟道以及D型晶体管90的沟道。节点95与节点97之间的压差在0V至 $|V_{th90}|$ 之间,其中 $V_{th90}$ 是D型晶体管90的阈值电压。在该工作模式下,寄生二极管101反向偏置并阻挡小于 $|V_{th90}|$ 的电压。

[0038] 当器件111处于二极管模式时,Si MOS晶体管103的操作不同于E型晶体管92的操作。当器件111工作在二极管模式下时,节点94处的电压低于节点97处的电压,Si MOS晶体

管103的栅极-源极电压低于阈值,并且电流从节点97流向节点94。在这些条件下,节点95处的电压必须低于节点97处的电压。正向偏置的寄生二极管101导通,并且阻止本征晶体管102导通。因此,当器件111处于二极管模式下时,流过Si MOS晶体管103的大部分电流流过寄生二极管102而非Si MOS晶体管103的沟道。然而,当器件111处于二极管模式时,基本上全部电流仍传导穿过D型晶体管90的沟道。

[0039] 当器件111工作在二极管模式下时,节点95处的电压必须低于节点97处的电压。因此,D型晶体管90的栅极处于比D型晶体管90的源极高的电压,并且D型晶体管90的沟道被增强。取决于电流水平以及寄生二极管101的正向传导特性,当器件111工作在二极管模式下时,寄生二极管101中的功率耗散可能无法接受的高。在这种情况下,可通过施加图6所示形式的栅极信号来实现较低功率的工作模式。作为实例,考虑图4的桥式电路,但是用器件111代替各个器件81-86。在本实例中,桥式电路中的器件被称作器件81"-86"。当器件81"如图5a和图5b所示切换时,在器件82"传导续流电流期间(当器件81"截止时),器件82"的栅极被驱动为高。这使得穿过器件82"的Si晶体管103的电流主要流过增强的本征晶体管102而非寄生二极管101,从而Si晶体管103的漏极-源极电压仅仅是Si晶体管103的有效导通状态电阻( $R_{ds-on}$ )乘以电流。为了避免从高压电源(HV)到地的直通电流,必须在器件81"的截止与器件82"的导通之间,以及在器件82"的截止与器件81"的导通之间提供一些空载时间。在图6中空载时间被标注为“A”。在这些空载时间期间,器件82"如上所述工作在二极管模式,使得穿过Si晶体管103的电流主要流过寄生二极管101。

[0040] 在一些实施例中,图9所示器件112代替器件81-86中的任何或全部用在半桥或桥式电路中。器件112与图8的器件111类似,但是还包括并联到寄生二极管101的低压、低导通电阻的二极管104。二极管104具有与Si MOS晶体管103相同的电压阻挡要求。即,二极管104至少能够阻挡大于 $|V_{th90}|$ 的电压,其中 $|V_{th90}|$ 是D型晶体管90的阈值电压的幅度。在一些实施例中,二极管104可以阻挡大约 $2*|V_{th90}|$ 。高压D型III-N晶体管可用于D型晶体管90。由于高压D型III-N晶管的典型阈值电压大约为-5至-10V,所以二极管104可能能够阻挡大约10-20V或更大。诸如低压二极管或晶管的低压器件不能阻挡在高压电路中由DC电源施加的诸如600V或1200V的高压。在一些实施例中,低压二极管或低压晶体管所能阻挡的最大电压大约为40V、30V、20V或10V。另外,二极管104具有比寄生二极管101低的导通电压。因此,当器件112偏置为二极管模式时,电流主要流过二极管104,而非寄生二极管101。可用于二极管104的诸如低压肖特基二极管的二极管可具有比寄生二极管101低的开关和传导损耗。因此,对于器件112而言,器件工作期间的传导和开关损耗可以比器件111小。

[0041] 取决于电流水平以及二极管104的正向传导特性,当器件112工作在二极管模式下时,二极管104中的功率耗散可能无法接受的高。同样,可通过施加图6所示形式的栅极信号来实现较低功率的工作模式。当器件112的栅极被驱动为高,而器件112传导续流电流时,电流主要流过增强的本征晶体管102,而非二极管104,使得Si MOS晶体管103的漏极-源极电压仅仅是Si MOS晶体管103的有效导通状态电阻( $R_{ds-on}$ )乘以电流。

[0042] 尽管图9中的器件112包含二极管,但是二极管不需要能够阻挡全部电路DC电压HV,其只需要阻挡略大于 $|V_{th90}|$ 的电压。因此,可使用低压二极管。这可比使用桥式电路中所通常包括的高压二极管更合适,因为低压二极管可具有比高压二极管低的开关和传导损耗。因此,与使用了高压二极管的半桥和桥式电路相比,本电路中的功耗可减小。

[0043] 已经描述了本发明的若干实施例。然而应该理解的是,在不脱离本发明的精神和保护范围的情况下,可进行各种修改。例如,半桥可包括使用单个晶体管、但不使用二极管的一个开关以及带有晶体管和二极管的第二开关。在一些实施例中,半桥由两个晶体管组成,并且不包括任何二极管。在一些实施例,代替使电流从一个半桥穿过电感流到另一半桥的晶体管上,流到电感之外的电流流向诸如电容器的另一电子元件,或者直接流向接地端或DC电源。因此,其他实施例在所附权利要求的保护范围内。

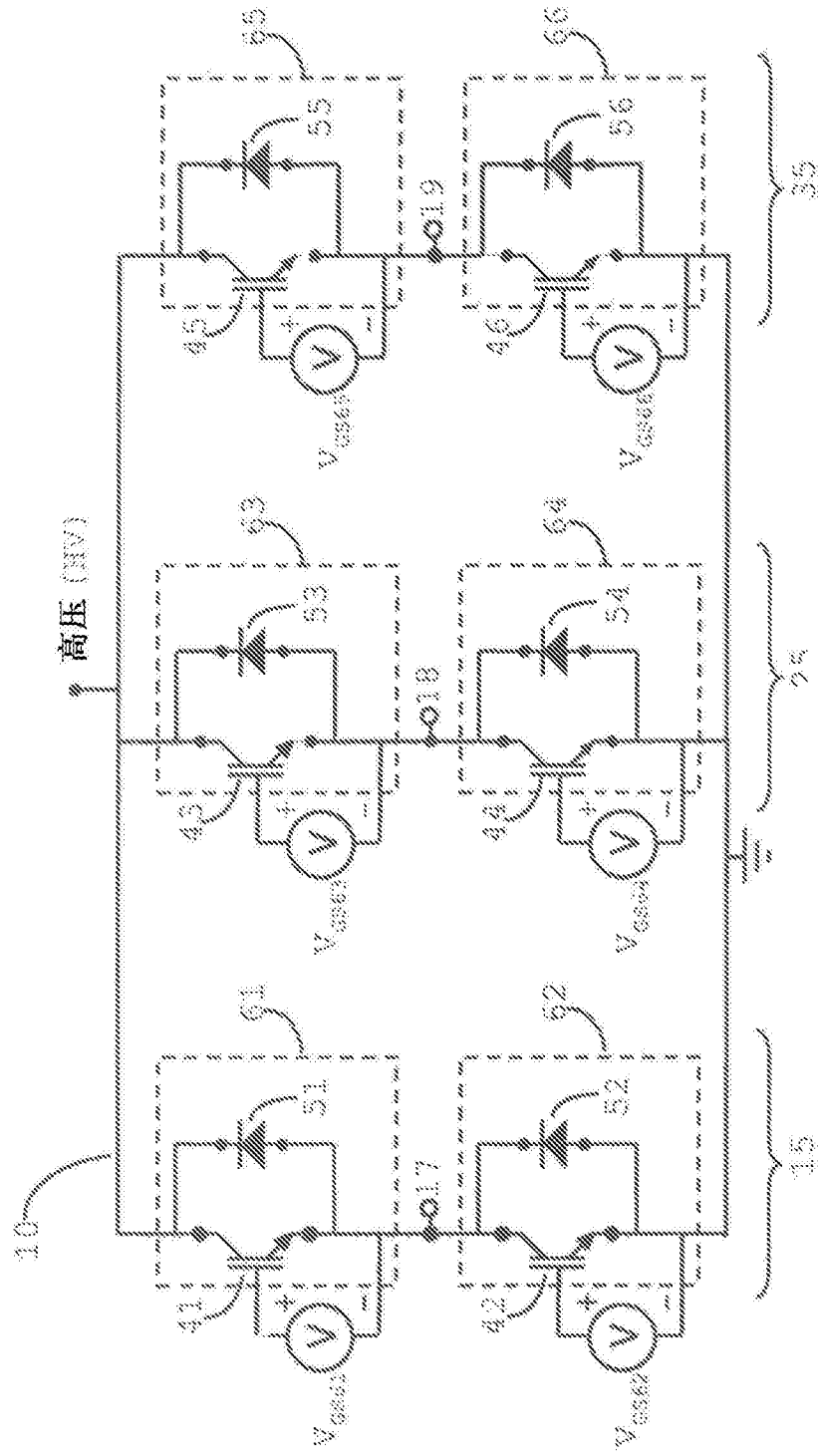


图1 (现有技术)



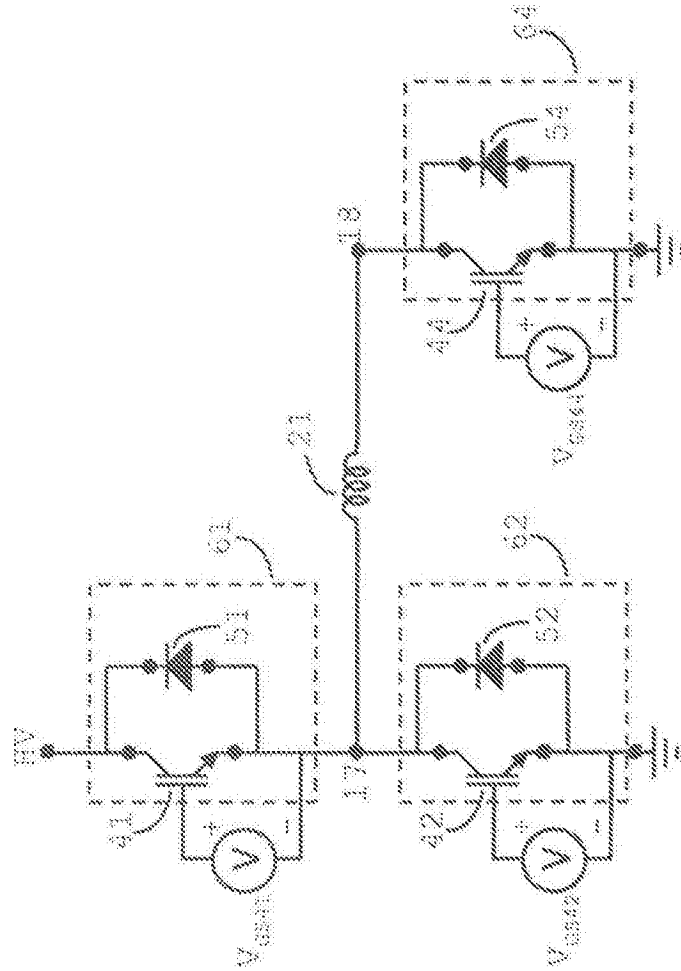


图2(a) (现有技术)

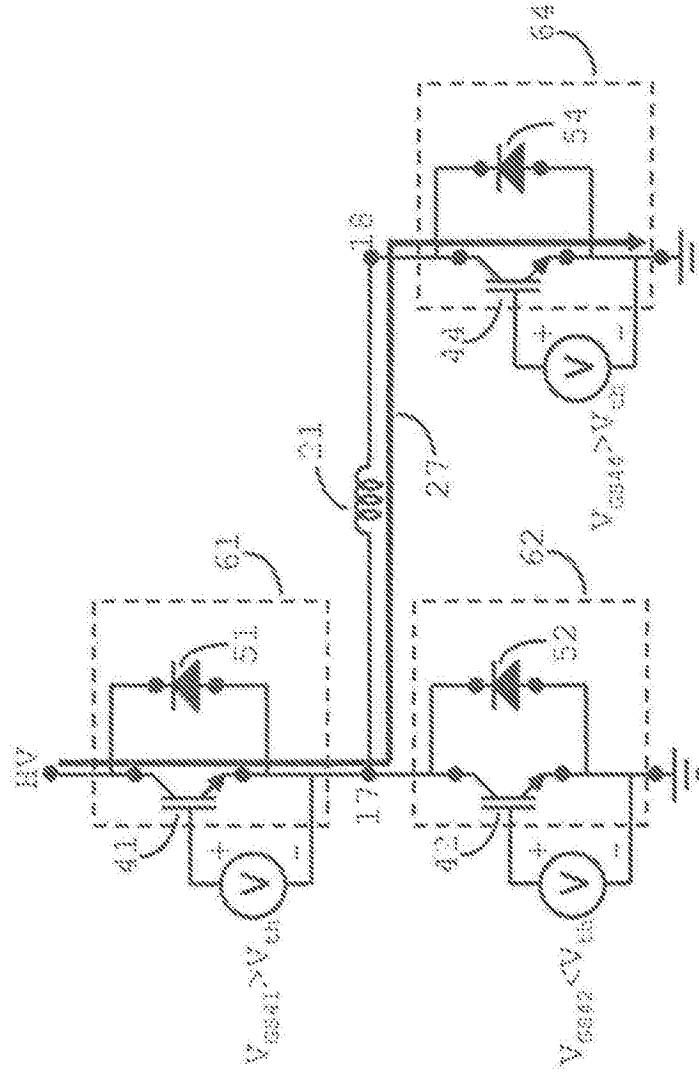


图2(b) (现有技术)

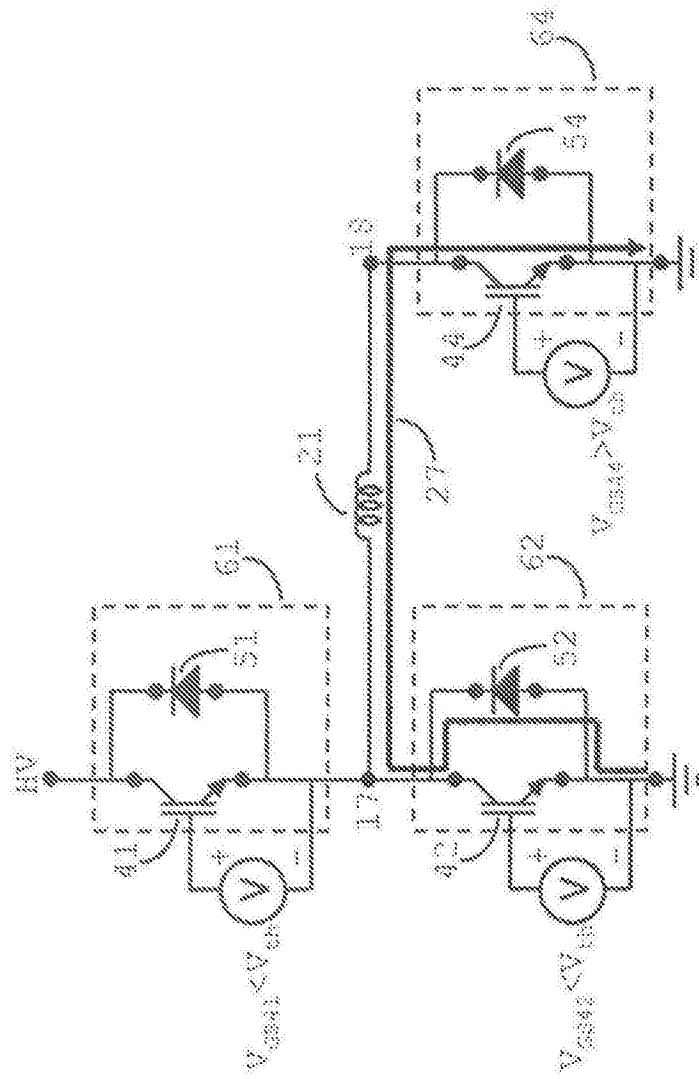


图2(c) (现有技术)

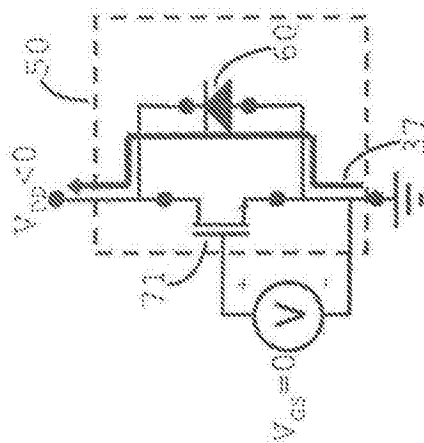


图3(a) (现有技术)

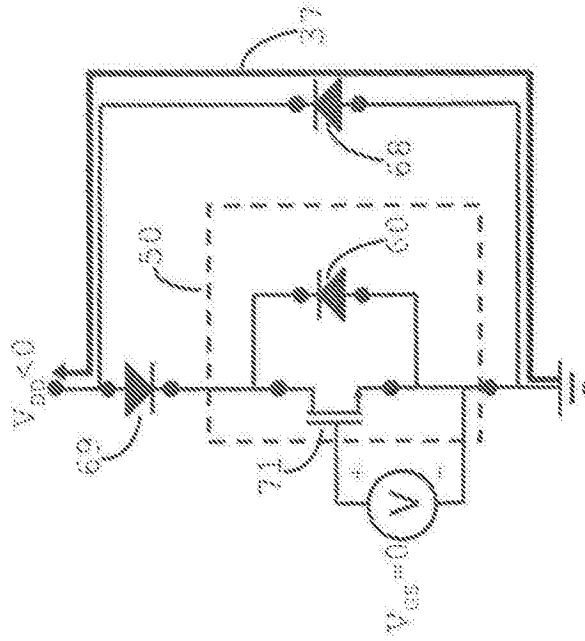


图3 (b) (现有技术)

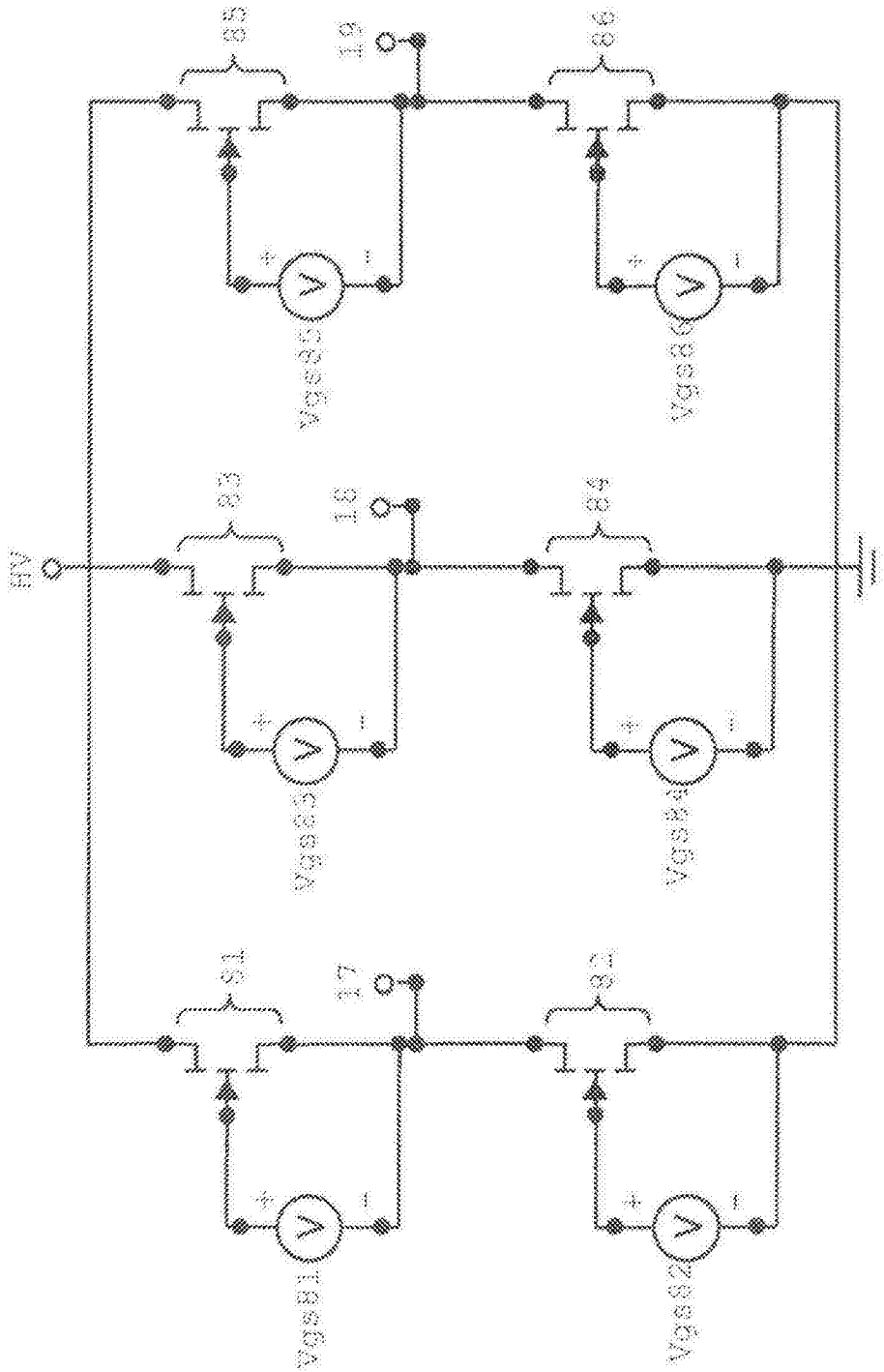


图4

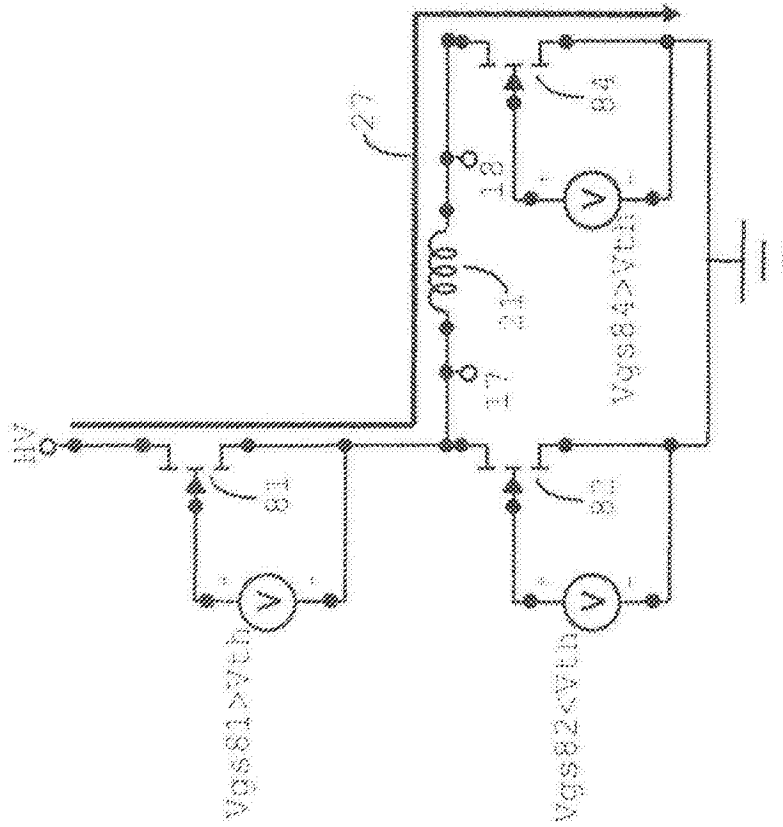


图5 (a)

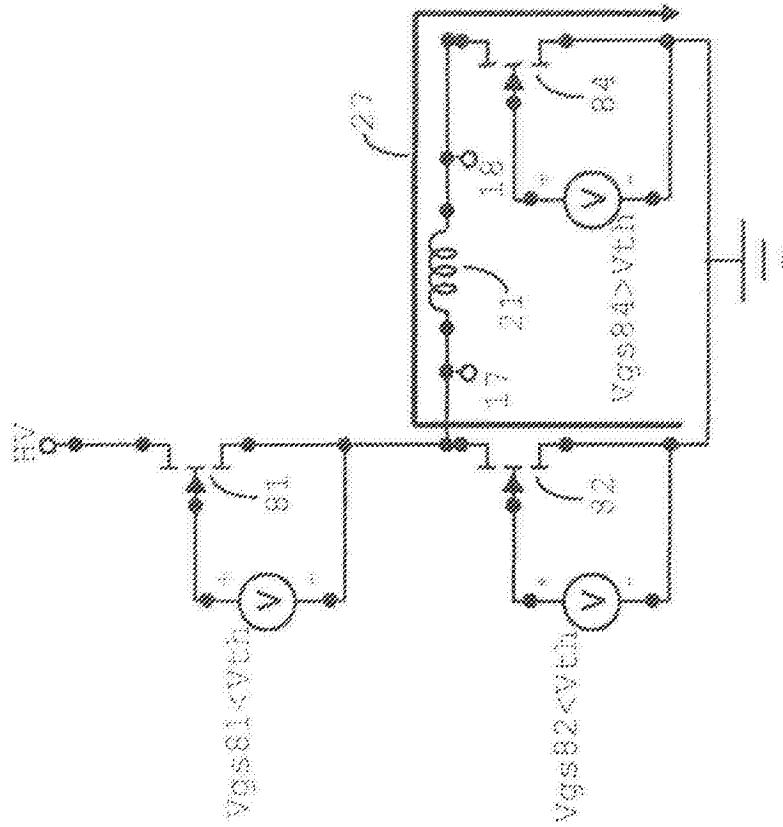


图5 (b)

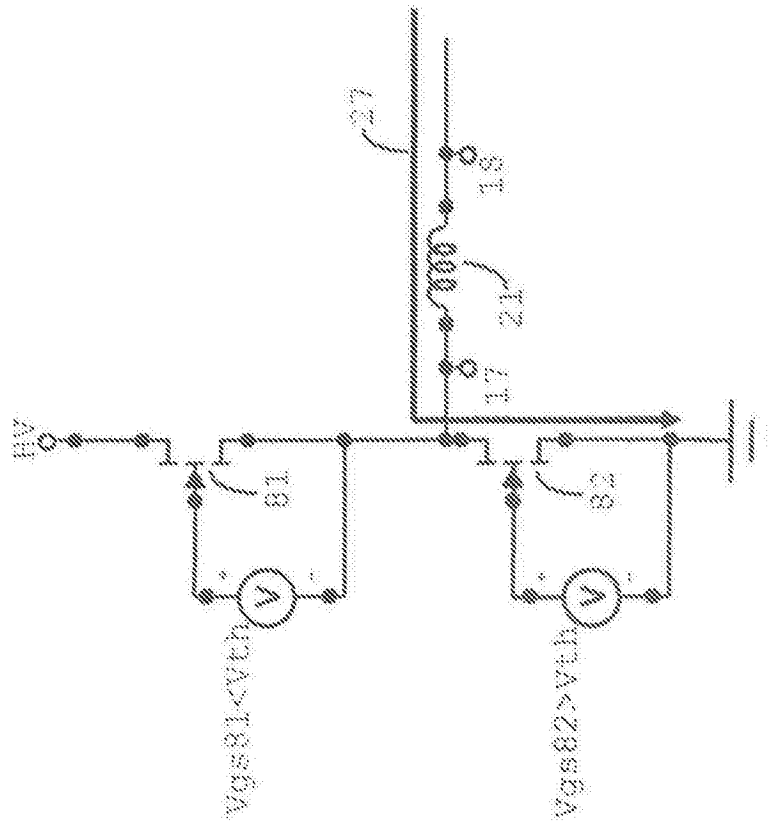


图5 (c)



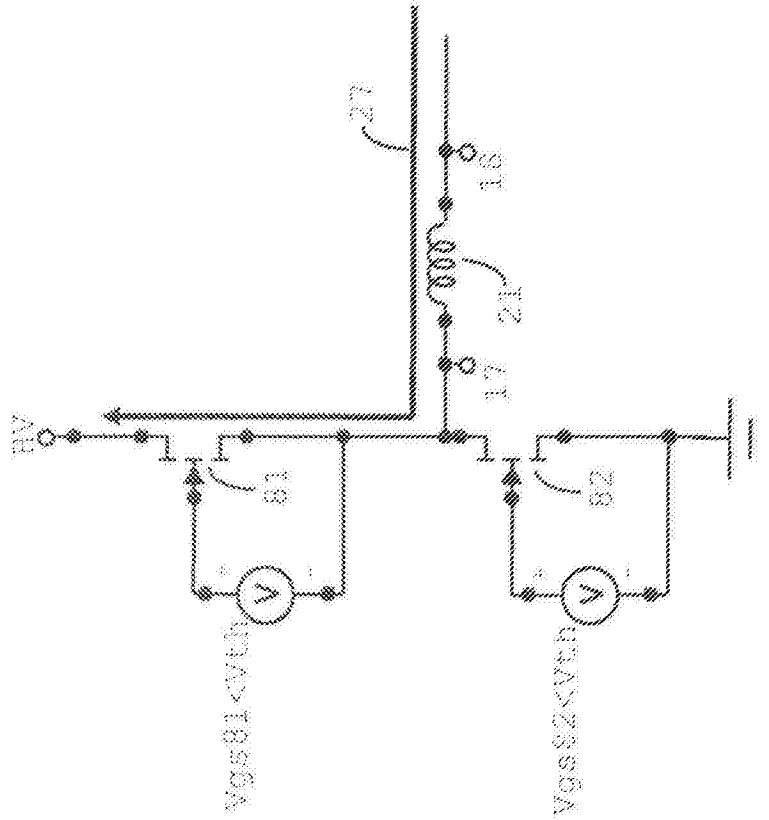


图5 (d)

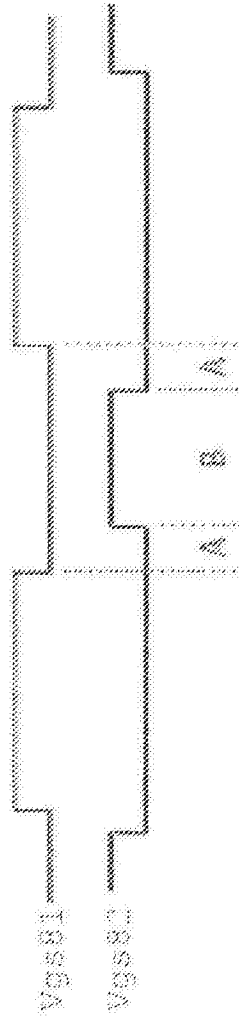


图6

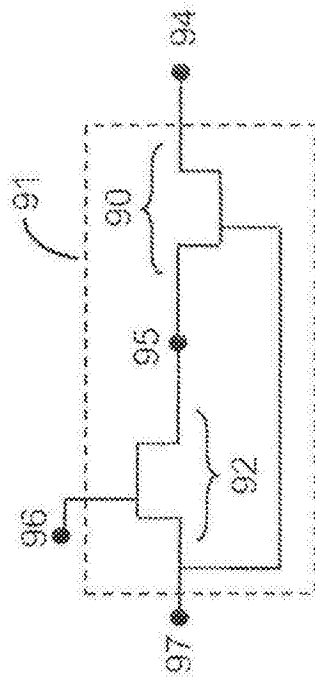


图7

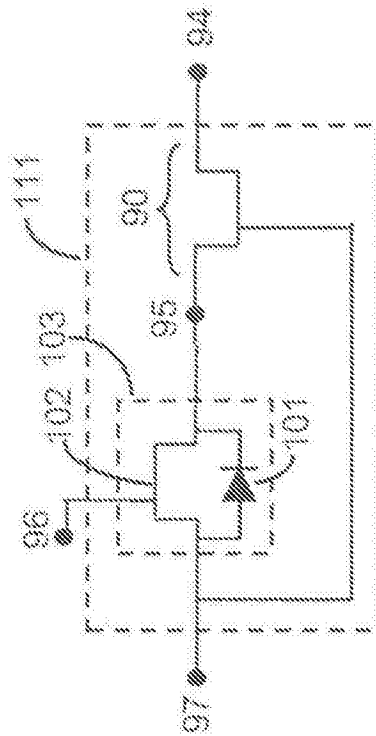


图8

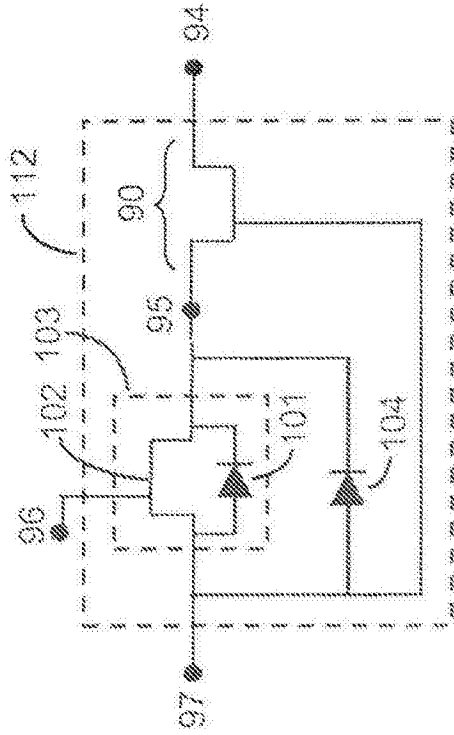


图9