

雙面公告本

申請日期	89. 9. 20
案 號	89118491
類 別	H03D 7/14, G06F 7/12

A4
C4

501340

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	具有改良線性特性之差分混合器
	英 文	DIFFERENTIAL MIXER WITH IMPROVED LINEARITY
二、發明人	姓 名	(1)大衛 K. 蘇 (2)馬蘇·薩加里
	國 籍	美 國
三、申請人	住、居所	(1)美國加州山景市聖艾美萊恩巷431號 (2)美國加州山景市大陸頂707號#538
	姓 名 (名稱)	美商·阿瑟羅斯通訊公司
	國 籍	美 國
	住、居所 (事務所)	美國加州陽光谷市阿爾馬諾街529號
	代 表 人 姓 名	大衛·托瑞

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

美 國 (地 區) 申 請 專 利 ， 申 請 日 期 ： 1999,09,09 案 號 ： 09/392,982 ， 有 無 主 張 優 先 權

有 關 微 生 物 已 寄 存 於 ： ， 寄 存 日 期 ： ， 寄 存 號 碼 ：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明之背景

1. 發明之技術範圍

本發明有關於一種混合器供使用於電系統中者，以及尤特別地有關於一種混合器之有一較高線性者。

2. 相關技藝之說明

在供使用於電系統之混合器之發展中，兩類型之負載業已共同地以吉伯元件為根據而用於混合器：電阻性負載及金氧半場效應電晶體(MOSFET)負載，在此處典型地這些負載可以被包括於一積體電路(IC)中。(Thomas E. Lee, “CMOS無線電頻率積體電路之設計”，劍橋，1998年。Behzad Razavi, “無線電頻率微電子”，Prentice Hall, 1998年。)

在以電阻性負載為根據之系統中，一般地混合器之增益僅係藉增大電阻器之值而增加。具有較大值之電阻器有較高之寄生電容量與它們相關聯，並因此可戲劇性地減小混合器之速度和帶寬。在同一時間，較大電阻性負載與較高偏壓電流之組合須要高速操作者在吉伯元件電晶體之偏壓上可造成問題，並因此在混合器輸出之信號搖擺上有力地強加實際限制。此外，電阻性負載由於以30-40%之處理變化而可能變化，一變化可大體上改變增益。

在以MOSFET負載為根據之系統中，甚多與電阻性負載相關聯之困難不再約束設計。不過，MOSFET之非線性電壓-電流特性可在輸出節點處產生信號諧音，因此，混合器之輸出係退化。例如，如果混合器之兩個輸入包含下列

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (3)

係經製成適當大小以產生電流-電壓特性之能使此緩衝級通過供應雜訊耦合之第一階消除來達成高動態供應雜訊斥拒。(專利案'362, 第12節第64行至第13節第13行)。此一方法, 當有關於環形振盪器之技術時, 係不能直接地應用於混合器。

發明之簡要說明

依此, 本發明之目的係在提供一種混合器, 它可以用來組合信號, 其中此混合器利用在一預定之範圍上面大體上係線性之負載來操作。

本發明之另一目的係在提供一種混合器, 它可以使用於一接收機之最後混合操作中, 在此接收機中輸入信號位準可能是比較大者。

本發明之另一目的係在提供利用半導體電路之線性化負載, 這些電路係與混合電路結成整體者。

本發明之上述及有關目的係藉一混合裝置來實現, 該裝置包括第一負載, 第二負載, 以及一混合器。此混合器係經連接至第一負載和第二負載, 並係經採用以接收混合輸入及混合輸出。每一負載包括電晶體係經構形為一三極體或一二極體者。每一此負載大體上在一預定範圍以內係線性。

本發明持有卓越優點超越其他設計。藉使用大體上為線性負載以取代傳統式單一電晶體負載, 此混合器之線性係大體上已改良, 俾使此混合器係能有效地操作於設定之一極寬廣之範圍上。其結果, 此混合器達到一高增益而不

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

會敗壞操作性能。

本發明之這些和其他目的和優點自下列關聯附圖之本發明之較佳範例性具體例之詳細說明將變為更顯明並更易明瞭。

圖式之簡要說明

第1圖係依照本發明之一混合器之較佳具體例之一略圖；

第2圖係依照本發明之一混合器之較佳具體例之電路圖；

第3圖係依照本發明之一混合器之第二較佳具體例之電路圖；

第4A及4B圖係本發明之可供選擇具體例之電路圖；

第5圖係一略圖，說明為包括電晶體之負載電路之代表性之電壓-電流曲線；以及

第6圖係一略圖，說明為包括電晶體和電阻器之負載電路之代表性之電壓-電流曲線。

較佳示範性具體例之詳細說明

第1圖內本發明之混合裝置1之一較佳具體例之略圖包括一混合器2，及線性化負載電路4和6，以及一共用模式輸出電路7。混合器之輸入和輸出係亦經顯示。

第2圖之一電路圖說明更詳細之本發明之混合器之較佳具體例。混合器2係一如吉伯元件適當地實現，包含PMOS電晶體8，10，12，14，16，18和34一如第2圖內所說明地相連接。輸入係經說明為對一局部振盪器LO⁻，LO⁺

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (5)

之差分輸入，以及無線電頻率，RF-，RF+。輸出係經說明為差分輸出，OUT-，OUT+，一接地線電壓位準 V_g 係亦經顯示。

線性化負載電路4包括PMOS電晶體20和24，然而線性化負載6包括PMOS電晶體24和26。每一電晶體20和24係經構形為一三極體，以及每一電晶體22和26係經構形為一二極體。一基準控制電壓位準 V_c 係亦經顯示。橫越負載電路4之電壓降自 V_c 至在節點21處之電壓，以及橫越負載電路6之電壓降自 V_c 至在節點25處之電壓。

共用模式輸出電路7包括PMOS電晶體28和30以及一複製偏壓電路32，它係用來控制電壓位準，俾使在節點21及25處負載4和6之輸出分別地對混合器2提供大體上地為線性之負載。亦即，此電壓係設定，俾使三極體20和二極體22結合以給予一大體上為線性之負載，以及三極體24和二極體26結合以給予一大體上為線性之負載。此一結合係經說明於第5圖之電壓-電流曲線中，其中三極體曲線82和二極體曲線84係經結合為第2圖內負載電路4和6內以給予一大體上為線性曲線86，它似乎一理想化線性曲線88。其斜度部分地確定混合器之增益。此一線性係大約地有效上至一跨越電壓位準90，在此處曲線82和84越過。正常地，電壓位準90可以是大約1伏特。要保持此線性，共用模式輸出電路7橫越負載4和6設定電壓降上至位準90處之值。在一較佳具體例中，此電壓係設定為電壓位準92，它近似曲線86和88之間之跨越點。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

電晶體。

第3圖內之電路略圖說明本發明之混合器之第二較佳具體例之細節。混合器2係作為吉伯元件來實現，此吉伯元件包含PMOS電晶體38，40，42，44，46，48和64，經連接如第2圖內所說明者。輸入係經說明為用於一局部振盪器之差分輸入LO-，LO+，以及無線電頻率，RF-，RF+。輸出係經說明為差分輸出，OUT-，OUT+。一接地線電壓位準 V_g 係亦顯示於圖中。

線性化負載電路4包括NMOS電晶體50和52，然而線性化負載6包括NMOS電晶體54和56。每一電晶體50和54係經構形為一三極體，以及每一電晶體52和56係經構形為一二極體。一基準控制電壓位準 V_c 係亦顯示於圖中。橫越負載電路4之電壓降自 V_c 至在節點51處之電壓，以及橫越負載電路6之電壓降自 V_c 至在節點55之電壓。共用模式輸出電路7包括NMOS電晶體58和60以及複製偏壓電路62。一如第2圖內所說明之第一較佳具體例中者，電路7控制電壓位準，俾使負載4和6在節點51和55處之輸出分別地對混合器2提供大體上為線性之負載。

同時，其他類型之線性化負載可以使用以實現這些電路。例如，第4圖說明一負載電路包括一電阻器72和一PMOS電晶體74，它係經構形為一三極體。橫越此電路之電壓係自控制電壓位準 V_c 至在節點75處之電壓。在一第三較佳具體例中，一電路如第4A圖中所示者取代第2圖之具體例中之每一電路4和6。一三極體和一電阻器之組合以形

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

成一大體上為線性之負載係說明於第6圖之電壓-電流曲線圖中，其中三極體曲線102和電阻器曲線104係結合並在第4A圖之電路中以給予一大體上之線性曲線106。它接近一理想化之線性曲線108，其斜度部分地決定混合器之增益。此線性係近似地有效直至一交越電壓位準110，在此處曲線102和104交載者。名義上，電壓位準110可能是大約1伏特。要保持此線性，共用模式輸出電路7設定橫越負載4和6之電壓降上至位準110處之一值。適當地，此電壓係設定至電壓位準112，它近似曲線106和108之間之交越。

結合一電晶體與一電阻器以形成一線性化負載如第6圖內所示者，避免甚多與純電阻性負載之使用相關聯之問題，包括由於非均勻處理電阻器尺寸上之變化。共用模式輸出電路7之使用以設定橫越負載4和6之電壓降可讓與這些負載相關聯之增益成為易不調整。

同樣地，第4B圖說明一負載電路包括一電阻器76和一NMOS電晶體78，它係構形如一三極體。橫越此電路之電壓係自控制電壓位準 V_c 至在節點79處之電壓。在本發明之一第四較佳具體例中，一電路如第4B圖中所示者取代第3圖之具體例中每一電路4和6。一如在上述第4A圖之正文中所討論者，一三極體和一電阻器之結合以形成一大體上為線性之負載在第6圖之電壓-電流曲線中說明。

雖然僅有少許本發明之示範性具體例業經詳細說明如上文，但業界中精於此技藝者易於明瞭，即在此示範性具體例中甚多變更係可能而不會實質上背離本發明之新奇教

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (9)

義和優點。依此，所有這些修改係意欲予以被包括在本發明之範圍以內。

元件標號對照

1…混合裝置	55…節點
2…混合器	58、60…NMOS電晶體
4…線性化負載電路	62…複製偏壓電路
6…線性化負載電路	72…電阻器
7…共用模式輸出電路	74…PMOS電晶體
8，10，12，14，16，18… PMOS電晶體	75…節點
20，24…PMOS電晶體(三 極體)	76…電阻器
21，25…節點	78…NMOS電晶體
22，26…PMOS電晶體(二 極體)	79…節點
28，30…PMOS電晶體	82…三極體曲線
32…複製偏壓電路	84…二極體曲線
38，40，42，44，46，48， 64…NMOS電晶體	86…線性曲線
50、52…NMOS電晶體	88…理想化線性曲線
51…節點	90…電壓位準
54、56…NMOS電晶體	102…三極體曲線
	104…電阻器曲線
	106…線性曲線
	108…理想線性曲線
	110…電壓位準

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱： 具有改良線性特性之差分混合器)

一種混合裝置，包括一吉伯元件連接至第一負載和第二負載。在一具體例中，每一負載含電晶體之係經構形作為一二極體以及一三極體者，在該處這些電路係相加性地結合以達成大體上為線性電壓-電流特性於一預定之範圍上。此混合裝置取用兩對之不同輸入並產生一對之不同輸出。因為此負載之大體上之線性，故混合裝置之輸入和輸出係在輸入設定之一比較大之範圍上面可接受。在另一具體例中，各負載可含一電晶體經構形為一三極體和一電阻器，此處這些電路係同樣地相加性地結合以達成大體上為線性之電壓-電流特性於一預定之範圍上。

英文發明摘要 (發明之名稱： DIFFERENTIAL MIXER WITH IMPROVED LINEARITY)

A mixing apparatus includes a Gilbert cell connected to a first load and a second load. In one embodiment each load contains transistors that are configured as a diode and a triode, where these circuits are additively combined to achieve substantially linear voltage-current characteristics over a predetermined range. The mixing apparatus takes two pairs of differential inputs and produces a pair of differential outputs. Because of the substantial linearity of the loads, the inputs and outputs of the mixing apparatus are acceptable over a relatively large range of input settings. In other embodiments each load may contain a transistor configured as a triode and a resistor, where these circuits are likewise additively combined to achieve substantially linear voltage-current characteristics over a predetermined range.

六、申請專利範圍

1. 一種混合裝置，它接收第一和第二混合輸入並產生一混合之輸出者，包含：
 - 一第一負載電路，此第一負載電路包括一第一數個電晶體經構形如第一三極體以及一第一二極體以提供一大體上線性之第一負載於一預定範圍內；
 - 一第二負載電路，此第二負載電路包括一第二數個電晶體經構形如第二三極體以及一第二二極體以提供一大體上淺性之第二負載於一預定範圍內；以及
 - 一混合器電路係耦合至第一負載電路和第二負載電路以接收此第一負載和第二負載，此混合器電路係經採用以接收此第一和第二混合輸入以產生一混合之輸出。
2. 如申請專利範圍第1項之混合裝置，其中此第一負載電路和第二負載電路之電晶體係PMOS電晶體。
3. 如申請專利範圍第2項之混合裝置，其中此混合電路包含數個NMOS電晶體。
4. 如申請專利範圍第1項之混合裝置，其中第一負載電路和第二負載電路之電晶體係NMOS電晶體。
5. 如申請專利範圍第4項之混合裝置，其中此混合電路包含數個PMOS電晶體。
6. 如申請專利範圍第1項之混合裝置，其中此預定範圍包括一範圍自大約0伏特至大約1伏特。
7. 一種混合裝置，它接收第一和第二混合輸入並產生一混合之輸出者，包含：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一第一負載電路，此第一負載電路包括一第一數個電晶體經構形為一第一三極體和一第一二極體；

一第二負載電路，此第二負載電路包括一第二數個電晶體經構形為一第二三極體和一第二二極體；

一共用模式電路，它操作以提供一大體上為線性之第一負載於自此第一負載電路之預定範圍以內，以及一大體上為線性之第二負載於自此第二負載電路之預定範圍以內；以及

一混合器電路係結合至第一負載電路和第二負載電路以接收此第一負載和第二負載。此混合器電路係經採用以接收此第一和第二混合輸入並以產生一混合輸出。

8. 如申請專利範圍第7項之混合裝置，其中此第一負載電路和第二負載電路之電晶體係PMOS電晶體。

9. 如申請專利範圍第8項之混合裝置，其中此混合器電路包含數個NMOS電晶體。

10. 如申請專利範圍第9項之混合裝置，其中此與有模式電路包含：

數個PMOS電晶體；以及

一複製偏壓電路，它操作以控制一電壓位準橫越此第一負載電路和第二負載電路。

11. 如申請專利範圍第7項之混合裝置，其中第一負載電路和第二負載電路之電晶體係NMOS電晶體。

12. 如申請專利範圍第11項之混合裝置，其中此混合器電路

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

六、申請專利範圍

包含數個PMOS電晶體。

13. 如申請專利範圍第12項之混合裝置，其中此共用模式電路包含：

數個NMOS電晶體；以及

一複製偏壓電路，它操作以控制一電壓位準橫越此第一負載電路和第二負載電路。

14. 如申請專利範圍第7項之混合裝置，其中此預定範圍包括一範圍自大約0伏特至大約1伏特。

15. 一種混合裝置，它接收第一和第二混合輸入並產生一混合輸出者，包含：

一第一負載電路，此第一負載電路包括第一電晶體和電阻器之組合經構形如一第一三極體和第一電阻器，以提供一大體上為線性之第一負載於一預定範圍以內；

一第二負載電路，此第二負載電路包括電晶體和電阻器之第二組合經構形如一第二三極體和一第二電阻器，以提供一大體上為線性之第二負載於一預定範圍以內；以及

一混合電路係結合至第一負載電路和第二負載電路以接收此第一和第二負載，此混合器電路係經採用以接收此第一和第二混合輸入並以產生此混合之輸出。

16. 如申請專利範圍第15項之混合裝置，其中此第一負載電路和第二負載電路之電晶體係PMOS電晶體。

17. 如申請專利範圍第16項之混合裝置，其中此混合器電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

包含數個NMOS電晶體。

18. 如申請專利範圍第15項之混合裝置，其中第一負載電路和第二負載電路之電晶體係NMOS電晶體。

19. 如申請專利範圍第18項之混合裝置，其中此混合器電路包含數個PMOS電晶體。

20. 如申請專利範圍第15項之混合裝置，其中此預定範圍包括一範圍自大約0伏特至大約1伏特。

21. 一種混合裝置，它接收第一和第二混合輸入並產生一混合輸出者，包含：

一第一負載電路，此第一負載電路包括電晶體和電阻器之第一組合，經構形為一第一三極體和一第一電阻器；

一第二負載電路，此第二負載電路包括電晶體和電阻器之第二組合，經構形為一第二三極體和一第二電阻器；

一共用模式電路，它操作以提供一大體上為線性之負載於自此第一負載電路之一預定範圍以內，以及一大體上為線性之第二負載於自此第二負載電路之一預定範圍以內；以及

一混合器電路結合至第一負載電路和第二負載電路以接收第一負載和第二負載，此混合器電路係經採用以接收此第一和第二混合輸入並產生混合輸出。

22. 如申請專利範圍第21項之混合裝置，其中此第一負載電路和第二負載電路之電晶體係PMOS電晶體。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

六、申請專利範圍

23. 如申請專利範圍第22項之混合裝置，其中此混合器電路包含數個NMOS電晶體。
24. 如申請專利範圍第23項之混合裝置，其中此共用模式電路包含：
- 數個PMOS電晶體；以及
- 一複製偏壓電路，它操作以控制一電壓位準橫越此第一負載電路和此第二負載電路。
25. 如申請專利範圍第21項之混合裝置，其中此第一負載電路和此第二負載電路之電晶體係NMOS電晶體。
26. 如申請專利範圍第25項之混合裝置，其中此混合器電路包含數個PMOS電晶體。
27. 如申請專利範圍第26項之混合裝置，其中此共用模式電路包含：
- 數個NMOS電晶體；以及
- 一複製偏壓電路，它操作以控制一電壓位準橫越此第一負載電路和此第二負載電路。
28. 如申請專利範圍第21項之混合裝置，其中此預定範圍包括一範圍自大約0伏特至大約1伏特。
29. 一種混合裝置，它接收第一和第二混合輸入並產生一混合輸出者，包含：
- 一第一負載裝置用以提供一大體上為線性之負載；
- 一第二負載裝置用以提供一大體上為線性之負載；
- 一共用模式裝置用以調整第一負載裝置和第二負載裝置之電壓位準；以及

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

六、申請專利範圍

一混合裝置結合至第一負載裝置和第二負載裝置以接收此第一負載和第二負載，此混合器電路係經採用以接收第一和第二混合輸入並以產生混合之輸出。

30 如申請專利範圍第29項之混合裝置，其中

此第一負載裝置包括數個PMOS電晶體經構形如一三極體和一二極體；

此第二負載裝置包括數個PMOS電晶體經構形為第二三極體和第二二極體；

此混合裝置包括數個NMOS電晶體；以及

此共用模式裝置包括數個PMOS電晶體和一複製偏壓裝置，它操作以控制橫越此第一負載裝置和第二負載裝置之電壓位準。

31 如申請專利範圍第29項之混合裝置，其中

此第一負載裝置包括數個NMOS電晶體經構形為第一三極體和第一二極體；

此第二負載裝置包括數個NMOS電晶體經構形為第二三極體和第二二極體；

此混合裝置包括數個PMOS電晶體；以及

此共用模式裝置包括數個NMOS電晶體和一複製偏壓裝置，它操作以控制橫越第一負載裝置和第二負載裝置之電壓位準。

32 如申請專利範圍第29項之混合裝置，其中

此第一負載裝置包括PMOS電晶體和電阻器之組合經構形為一第一三極體和第一電阻器；

六、申請專利範圍

此第二負載裝置包括PMOS電晶體和電阻器之組合經構形為一第二三極體和第二電阻器；

此混合裝置包括數個NMOS電晶體；以及

此共用模式裝置包括數個PMOS電晶體和一複製偏壓裝置，它操作以控制橫越第一負載裝置和第二負載裝置之電壓位準。

33 如申請專利範圍第29項之混合裝置，其中

此第一負載裝置包括NMOS電晶體和電阻器之組合經構形為一第一三極體和第一電阻器；

此第二負載裝置包括NMOS電晶體和電阻器之組合經構形為一第二三極體和第二電阻器；

此混合裝置包括數個PMOS電晶體；以及

此共用模式裝置包括數個NMOS電晶體和一複製偏壓裝置，它操作以控制橫越第一負載裝置和第二負載裝置之電壓位準。

34. 一種負載裝置用於一混合電路者，包含：

一三極體元件以至少一個PMOS電晶體形成，此三極體元件接收一輸入電壓並產生三極體輸出電壓；

一二極體元件以至少一個PMOS電晶體形成，此二極體元件接收一輸入電壓並產生二極體輸出電壓；以及

一共用節點，它接收兩者此三極體輸出電壓和二極體輸出電壓，藉以獲得一大體上為線性之電壓於一預定之範圍以內。

35. 如申請專利範圍第34項之負載裝置，其中此預定範圍包

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

括一範圍自大約0伏特至大約1伏特。

36. 一種負載裝置用於一混合電路者，包含：

一三極體元件以至少一個NMOS電晶體形成，此三極體元件接收一輸入電壓並產生一三極體輸出電壓；

一二極體元件以至少一個NMOS電晶體形成，此二極體元件接收一輸入電壓並以產生二極體輸出電壓；以及

一共用節點，它接收兩者此三極體輸出電壓和二極體輸出電壓，藉以獲得一大體上為線性之電壓於一預定範圍內。

37. 如申請專利範圍第36項之負載裝置，其中此預定範圍包括一範圍自大約0伏特至大約1伏特。

38. 一種負載裝置用於一混合電路者，包含：

一三極體元件以至少一個PMOS電晶體形成，此三極體元件接收一產生三極體輸出電壓之輸入電壓；

一電阻性元件以至少一個電阻器形成，此電阻性元件接收一輸入電壓並產生電阻器輸出電壓；以及

一共用節點，它接收兩者三極體輸出電壓及電阻器輸出電壓，藉以獲得一大體上為線性之電壓於一預定範圍以內。

39. 如申請專利範圍第38項之負載裝置，其中此預定範圍包括一範圍自大約0伏特至大約1伏特。

40. 一種負載裝置用於一混合電路者，包含：

一三極體元件以至少一個NMOS電晶體形成，此三

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

六、申請專利範圍

極體元件接收一輸入電壓並產生三極體輸出電壓：

一電阻性元件以至少一個電阻器形成，此電阻性元件接收一輸入電壓並產生一電阻器輸出電壓；以及

一共用節點，它接收兩者此三極體輸出電壓和電阻器輸出電壓，藉以獲得一大體上為線性之電壓於一預定之範圍以內。

41. 如申請專利範圍第40項之負載裝置，其中此預定範圍包括一範圍自大約0伏特至大約1伏特。

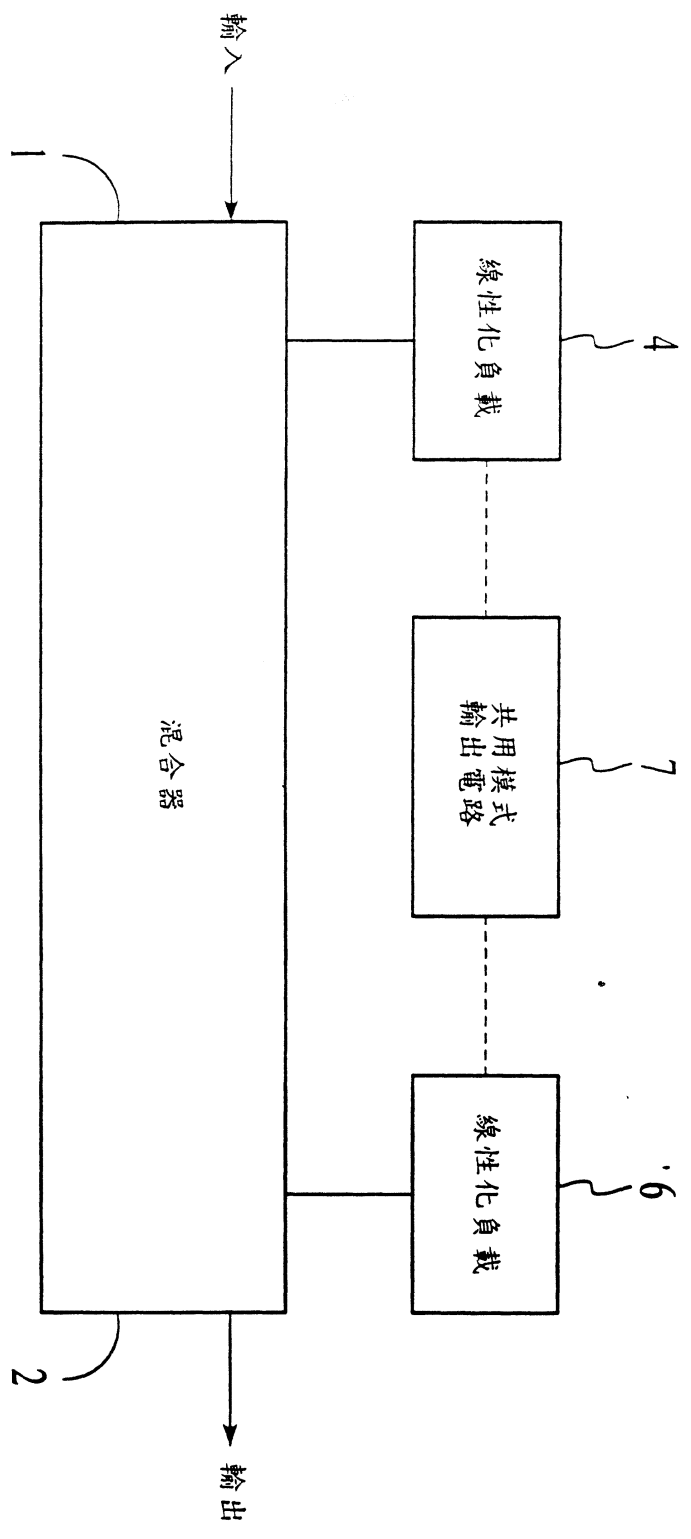
(請先閱讀背面之注意事項再填寫本頁)

裝

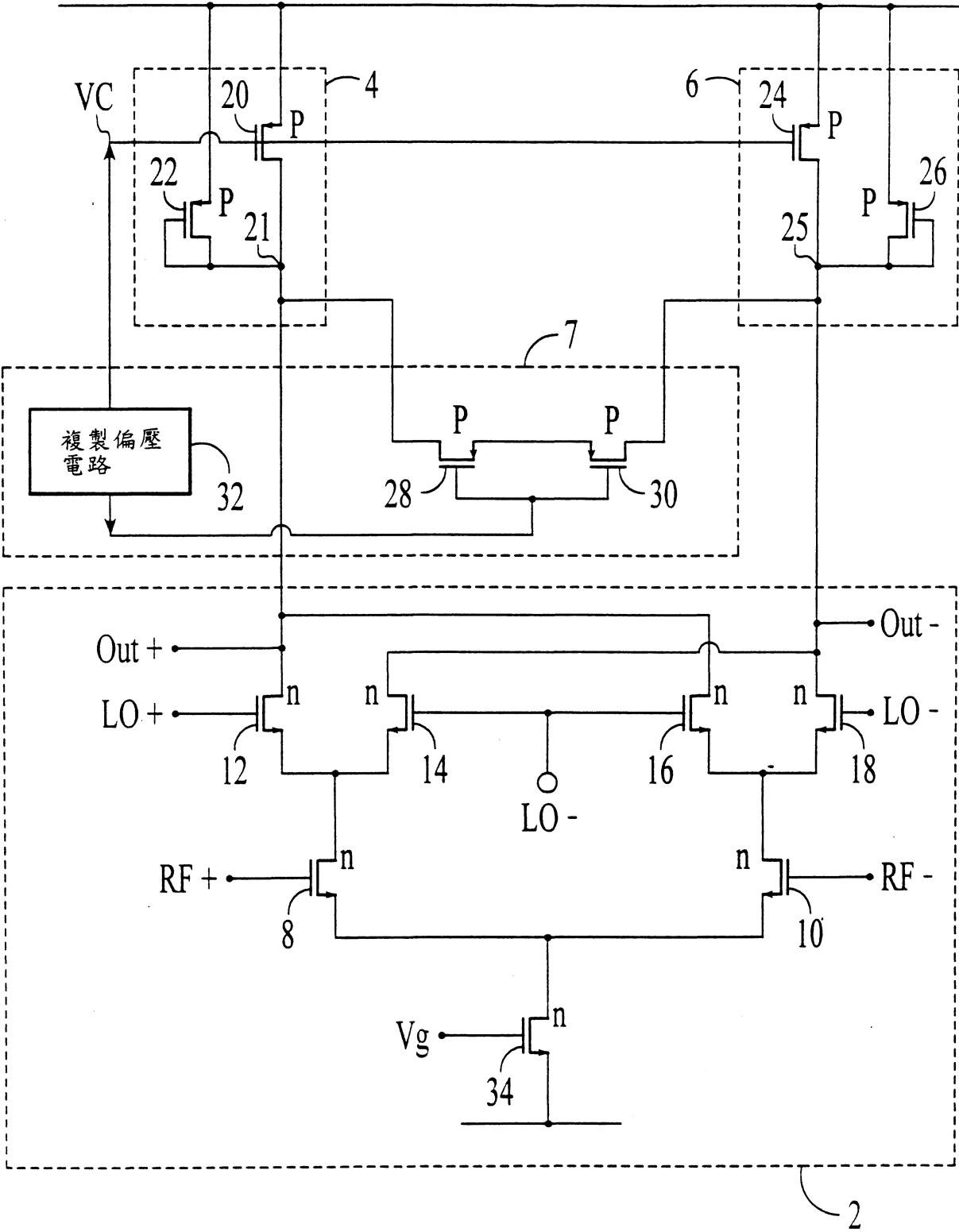
訂

線

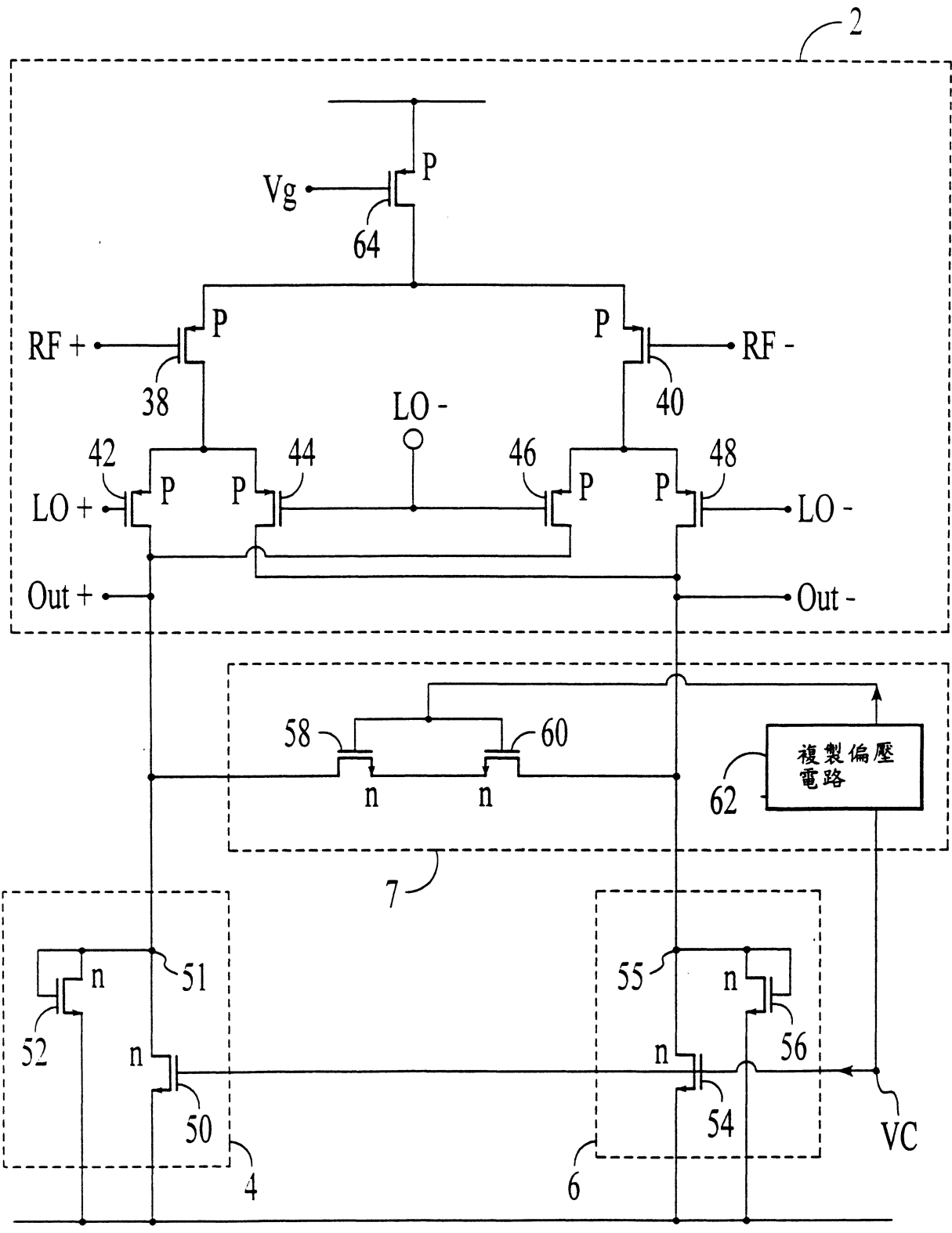
双面影印



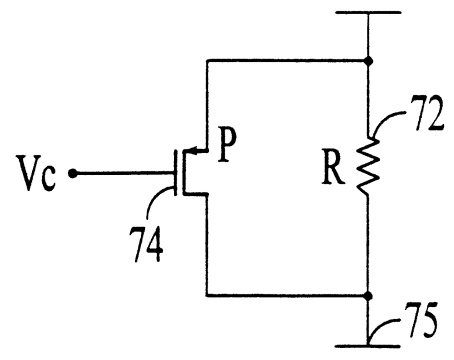
第 1 圖



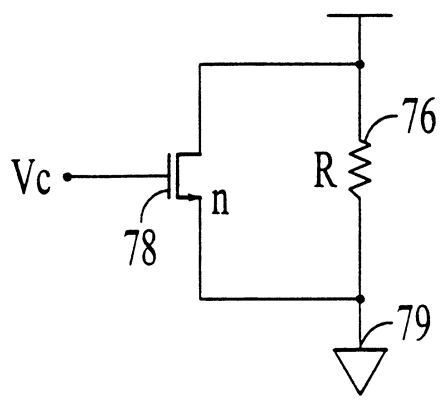
第 2 圖



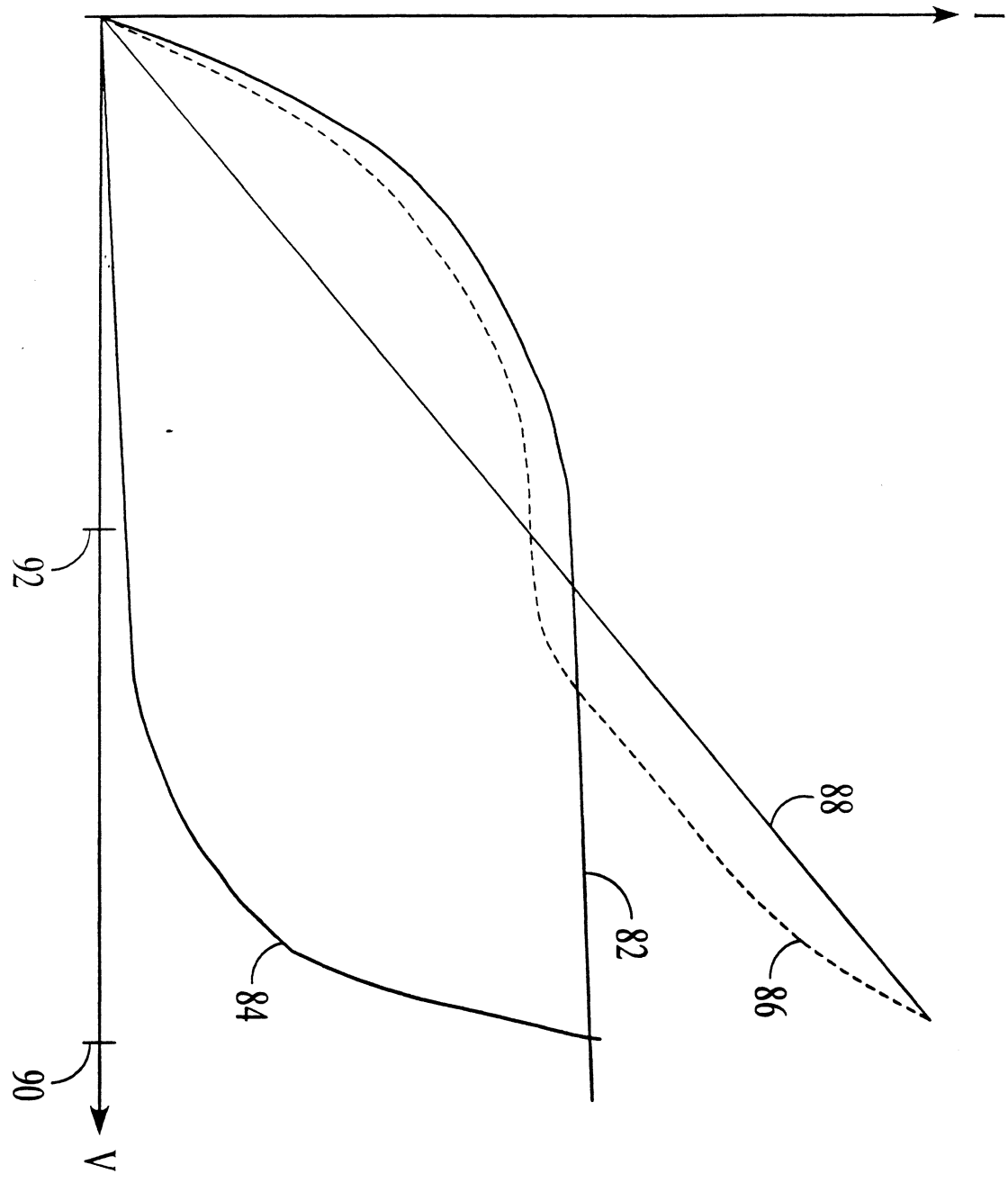
第 3 圖



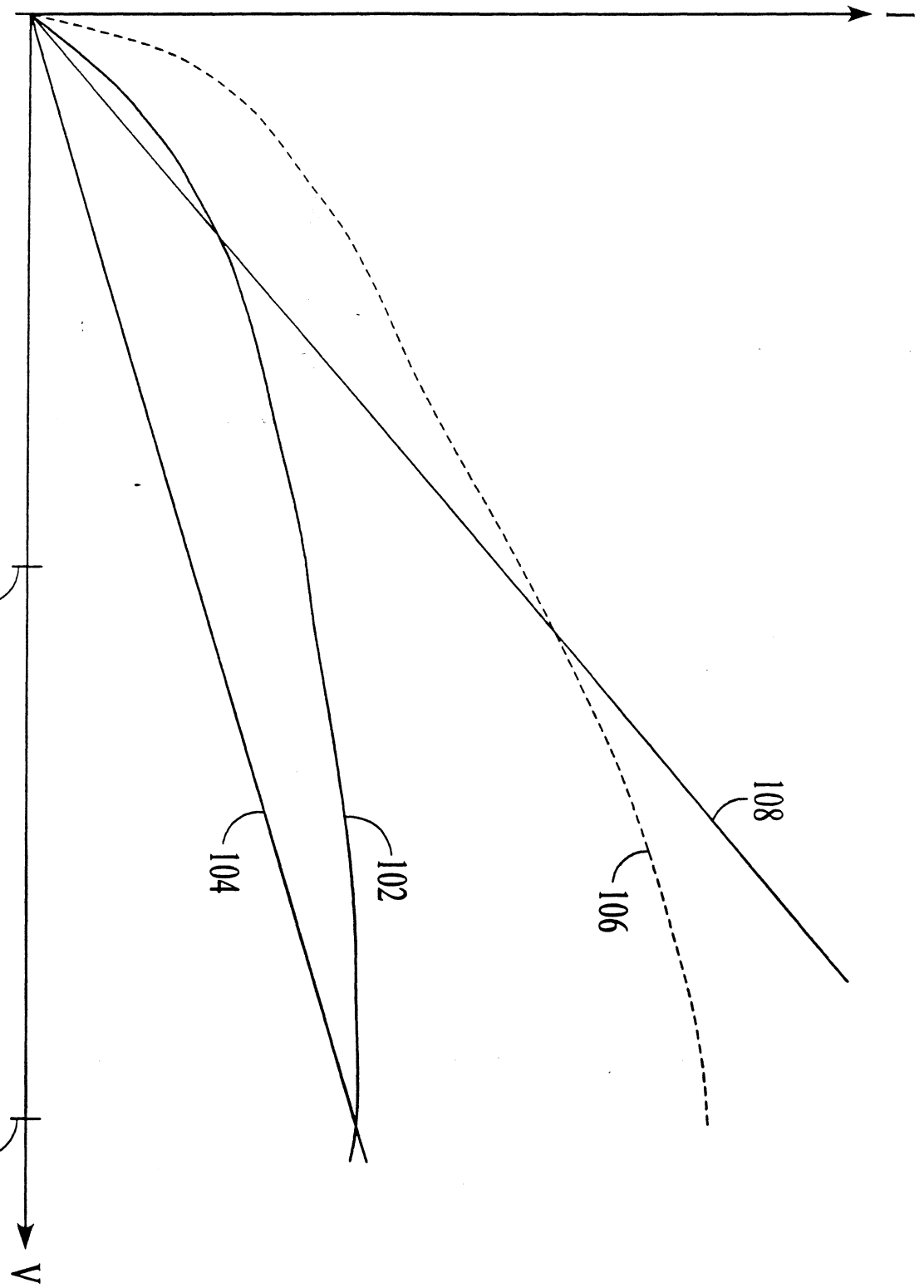
第 4A 圖



第 4B 圖



第 5 圖



第 6 圖

91年7月3日	修正 補充
---------	----------

五、發明說明 (2)

理想之正弦用於RF及局部振盪器者，

$$\text{RF: } \sin(\omega_{\text{rf}} * t); \text{ LO: } \sin(\omega_{\text{lo}} * t) ,$$

那麼，產生之輸出包括中頻(IF)

$$\text{RF: } \sin(\omega_{\text{if}} * t); \text{ 此處 } \omega_{\text{if}} = \omega_{\text{rf}} - \omega_{\text{lo}} .$$

不過，由於MOSFET負載之非線性，此輸出將亦含IF之奇數倍數(亦即， $\sin(3 * \omega_{\text{if}} * t)$ ， $\sin(5 * \omega_{\text{if}} * t)$ ，...)。一般而言，對不同之混合器此第三諧音將較其他分量在倍數上更大。對一固定之輸入RF位準言，第三諧音之倍數對所要IF信號(亦即， $\sin(\omega_{\text{if}} * t)$ 之倍數之比率隨後係一混合器之總線性之計量。使此一比率充分地小可在混合器上大體上擺出操作須求之姿勢。在正常操作條件下，吾人期望要有一第三諧音係至少35-40分貝低於理想之中頻信號。

因此，以吉伯元件為根據之混合器內MOSFET負載之使用有甚多設計優點。不過，MOSFET之固有之非線性電壓-電流特性，由於在輸出中較高範圍諧音之產生而導引至大體上操作性能之限制。

試圖處理MOSFET之非線性影響業經在其他文獻中開展。例如，美國專利案第5,717,362號透露一陣列振盪器電路，它包括數個環狀振盪器之有數個緩衝級用以產生輸出信號者。第'362號專利案之第16圖顯對稱負載元件316和318，其中對稱負載元件316包括PMOS電晶體310和二極體連接之PMOS裝置324，以及對稱負載元件318包括PMOS電晶體312和二極體連接之PMOS裝置326。此偏壓之PMOS裝置和二極體連接之PMOS裝置之在每一對稱負載元件中者

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (6)

在操作中，混合器2輸入差分輸入LO-，LO+，RF-以及RF+，並產生一差分輸出OUT-及OUT+。線性化負載4和6提供負載至混合器2，它大體上係線性，藉以讓混合器2來操作在輸入之較廣闊範圍上面。藉利用大體上為線性之負載以取代傳統式單一MOSFET負載，混合器之線性大體上被改進，俾使此混合器係能有效地操作在一極廣闊範圍之設定上。如與傳統式之以MOSFET為基礎之混合器相比較時，本發明取代一單一MOSFET負載以一大體上為線性之MOSFET元件之系統。其結果，此混合器達成一高增益而不會敗壞操作性能。

一度之值使用以計量所達成之線性之度數者係總諧波畸變 Δ ，它可以被界定為在混合器之輸出中較高順序諧波之振幅之總和(亦即， $\sin(3*\omega_{if}*t)$ ， $\sin(5*\omega_{if}*t)$)。一般而言，第三諧音之振幅 $\sin(3*\omega_{if}*t)$ 係優勢並可以使用作為 Δ 之近似值。在甚少情況下，當本發明與其他以具有MOSFET負載之吉伯元件為基礎之混合器比較時，可達成大約10dB之 Δ 上之減小。

在第2圖內所說明之具體例中，電晶體20，22，24，26，28和30，它們係與線性化負載電路4和6以及共有模式電路7相關聯者，係適當地為PMOS電晶體，以及電晶體8，10，12，14，16，18和34，它們係與混合器2相關聯者，係適當地為NMOS電晶體。不過，另一可供選擇具體例可以發展，其中與線性化負載電路和共用模式電路相關聯之電晶體係NMOS電晶體，以及此電晶體與混合器相關聯者係PMOS

(請先閱讀背面之注意事項再填寫本頁)

訂
線