



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I472025 B

(45) 公告日：中華民國 104 (2015) 年 02 月 01 日

(21) 申請案號：099101219

(22) 申請日：中華民國 99 (2010) 年 01 月 18 日

(51) Int. Cl. : **H01L27/15 (2006.01)****H01S5/026 (2006.01)****H01L31/12 (2006.01)**

(30) 優先權：2009/01/20 美國

12/356,252

(71) 申請人：雷森公司 (美國) RAYTHEON COMPANY (US)

美國

(72) 發明人：泰巴塔拜 肯默 TABATABAIE, KAMAL (US)；拉羅奇 傑弗瑞 LAROCHE, JEFFREY R. (US)；凱柏 華勒瑞 KAPER, VALERY S. (US)；貝登柯特 約翰 BETTENCOURT, JOHN P. (US)；伊普 凱莉 IP, KELLY P. (US)

(74) 代理人：林志剛

(56) 參考文獻：

US 2006/0011938A1

審查人員：謝靜旻

申請專利範圍項數：8 項 圖式數：3 共 37 頁

(54) 名稱

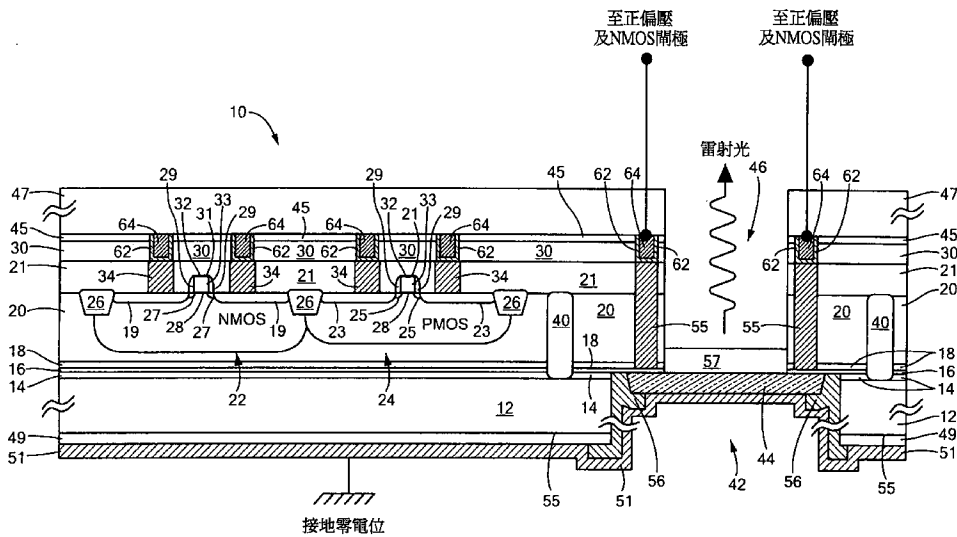
矽基的光電電路

SILICON BASED OPTO-ELECTRIC CIRCUITS

(57) 摘要

一種半導體結構，包含：基底、在基底之上表面上方的晶種層、設置在晶種層上方的半導體層、在半導體層中之電晶體裝置，其中基底中具有開口，此開口從基底的底表面延伸並止於晶種層的底表面、以及設置在晶種層之底表面上的光電結構。

A semiconductor structure, comprising: a substrate; a seed layer over an upper surface of the substrate; a semiconductor layer disposed over the seed layer; a transistor device in the semiconductor layer; wherein the substrate has an aperture therein, such aperture extending from a bottom surface of the substrate and terminating on a bottom surface of the seed layer; and an opto-electric structure disposed on the bottom surface of the seed layer.



第1圖

- 12 . . . 基底
- 14 . . . 第一絕緣層
- 16 . . . 晶種層
- 18 . . . 第二絕緣層
- 19 . . . NMOS 源極/汲極區
- 20 . . . 半導體層
- 21 . . . 第一級介電質
- 22、24 . . . CMOS 電晶體
- 23 . . . PMOS 源極/汲極區
- 25、27 . . . 淺 (LLD)佈植區
- 26 . . . 淺區
- 28 . . . 薄閘極氧化物層
- 29 . . . 側壁間隔體
- 30 . . . 介電質層
- 32 . . . 歐姆接點
- 33 . . . 多晶矽閘極
- 34 . . . 鎢栓
- 40 . . . 深溝隔離區
- 42 . . . 開口
- 44 . . . 島狀物
- 45 . . . 介電質層
- 46 . . . 開口
- 47 . . . CMOS 較高級金屬化層
- 49 . . . 絕緣層
- 51 . . . Pt/TiW 金屬化層
- 55 . . . 環狀電極
- 56 . . . 介電質層
- 57 . . . 抗反射層
- 62 . . . 擴散阻障層

I472025

TW I472025 B

64 . . . 第一級 Cu
金屬化物

公告本

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99101219

※申請日：99年01月18日

※IPC分類：H01L 27/15 (2006.01)

H01S 5/026 (2006.01)

H01L 31/12 (2006.01)

一、發明名稱：(中文/英文)

矽基的光電電路

Silicon based opto-electric circuits

二、中文發明摘要：

一種半導體結構，包含：基底、在基底之上表面上方的晶種層、設置在晶種層上方的半導體層、在半導體層中之電晶體裝置，其中基底中具有開口，此開口從基底的底表面延伸並止於晶種層的底表面、以及設置在晶種層之底表面上的光電結構。

三、英文發明摘要：

A semiconductor structure, comprising: a substrate; a seed layer over an upper surface of the substrate; a semiconductor layer disposed over the seed layer; a transistor device in the semiconductor layer; wherein the substrate has an aperture therein, such aperture extending from a bottom surface of the substrate and terminating on a bottom surface of the seed layer; and an opto-electric structure disposed on the bottom surface of the seed layer.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

- 12：基底
- 14：第一絕緣層
- 16：晶種層
- 18：第二絕緣層
- 19：NMOS源極/汲極區
- 20：半導體層
- 21：第一級介電質
- 22、24：CMOS電晶體
- 23：PMOS源極/汲極區
- 25、27：淺(LLD)佈植區
- 26：淺區
- 28：薄閘極氧化物層
- 29：側壁間隔體
- 30：介電質層
- 32：歐姆接點
- 33：多晶矽閘極
- 34：鎢栓
- 40：深溝隔離區
- 42：開口
- 44：島狀物
- 45：介電質層
- 46：開口
- 47：CMOS較高級金屬化層
- 49：絕緣層
- 51：Pt/TiW金屬化層
- 55：環狀電極
- 56：介電質層
- 57：抗反射層
- 62：擴散阻障層
- 64：第一級Cu金屬化物

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

[相關申請案之交互引用]

本申請案關於在與本專利申請案同日申請之共同申請專利申請案美國專利申請案第（專利代理人卷號 RTN2-207PUS）號，其全部標的以引用方式包含於此。

【發明所屬之技術領域】

本發明主要有關於矽基光電電路。

【先前技術】

如此技藝中已知，隨著 Si CMOS VLSI 整合能力超過一百萬電晶體之程度，在晶片各個部份內、個別晶片之間、及印刷電路版之間的電性信號之通訊在速度及耗電量上面臨嚴重的挑戰。使用光子來取代電子已成為此問題之最佳解答。在 Si 技術中整合被動光學構件已有所進展，如諸多美國專利中所記述，例如美國專利案第 7,374,106、7,286,726、7,057,256、6,930,82、5,767,539、6,154,475、7,321,713、及 7,057,256 號。

同樣如此技藝中已知，已提出連同已確立之光纖的垂直腔表面發射雷射（VCSEL）及 PIN 光電二極體，如下段落所述為非常高速信號之短距離通訊且同時維持低耗電量的最佳解答。III-V 族 VCSEL 已被認定為短距離光學通訊之最恰當及理想的裝置，還有各種其他應用，參見例如：於 2001 年 10 月 21 日至 24 日之第 23 年度砷化鎵積體電

路討論會 (Gallium Arsenide Integrated Circuit (GaAs IC) Symposium) 技術文摘 (Annual Technical Digest) 第 53 至 56 頁中由 Gulden, K. H.、Brunner, M.、Eitel, S.、Gauggel, H. P.、Hovel, R.、Hunziker, S.、及 Moser, M.所著之「高速光學鏈結之 VCSEL 陣列 (VCSEL arrays for high speed optical links)」、於 1999 年 3 月至 4 月之電氣電子學會之量子電子中的選題期刊 (IEEE Journal of Selected Topics in Quantum Electronics) 第 5 冊第 2 期第 184 至 192 頁中由 Kosaka, H.所著之「(高速平行電鏈結之 2 維 VCSEL 的智慧整合及封裝 (Smart integration and packaging of 2D VCSEL's for high-speed parallel links)」、及於 2004 年 6 月 1 至 4 日之電子構件及技術會議第 54 次會議記錄 (Electronic Components and Technology Conference 2004. Proceedings 54th) 第 2 冊第 1371 至 1375 頁中由 Nakayama, H.、Nakamura, T.、Funada, M.、Ohashi, Y.、Kato, M.所著之「家用網路及印表機用之 780nm VCSEL (780nm VCSELs for home networks and printers)」。

隨著矽基底上之 III-V 族化合物生長的近年來之進步，現可設想得到含有 VLSI 電路之 Si 基底上 VCSEL 裝置及光偵測器的異質生長。參見例如於 2007 年 7 月電子文庫 (Electronics Letters) 第 43 冊第 14 號中由 T. Ashley、L. Buckle、S. Datta、M. T. Emeny、D. G Hayes、K. P. Hilton、R. Jefferies、T. Martin、T. J. Philips、D. J.

Wallis、P. J. Wilding、及 R. Chau 所著之「針對超高速低功率邏輯應用之矽上異質 InSb 量子井電晶體 (Heterogeneous InSb quantum well transistors on silicon for ultra-high speed, low power logic applications)」、於 2007 年 IEEE 電子裝置文學 (IEEE Electron Device Letters) 第 28 冊第 8 號第 685 至 687 頁中由 S. Datta、G. Dewey、J. M. Fastenau、M. K. Hudait、D. Loubychev、W. K. Liu、M. Radosavljevic、W. Rachmady、及 R. Chau 所著之「矽基底上之超高速 0.5V 供應電壓 In_{0.7}Ga_{0.3}As 量子井電晶體 (Ultrahigh-Speed 0.5 V Supply Voltage In_{0.7}Ga_{0.3}As Quantum-Well Transistors on Silicon Substrate)」、及於 2007 年國際電子裝置會議 (IEDM) 技術文摘第 625 至 628 頁中由 M. K. Hudait、G. Dewey、S. Datta、J. M. Fastenau、J. Kavalieros、W. K. Liu、D. Lubyshev、R. Pillarisetty、W. Rachmady、M. Radosavljevic、T. Rakshit、及 Robert Chau 之「針對高速及低電壓 (0.5V) 邏輯應用之使用薄 (<2um) 合成緩衝架構的矽基底上的增強模式 In_{0.7}Ga_{0.3}As 量子井電晶體的異質整合 (Heterogeneous Integration of Enhancement Mode In_{0.7}Ga_{0.3}As Quantum Well Transistor on Silicon Substrate using Thin (<2um) Composite Buffer Architecture for High-Speed and Low-Voltage (0.5V) Logic Applications)」。

然而，此先見受到 VCSEL 取向附生結構可能為數微米 (2 um 至 10 um) 厚之事實阻礙，且因而與 CMOS

VLSI 電路平面拓樸及互連不相容。

【發明內容】

根據本發明之一實施例，提供一種半導體結構，包含：基底、在該基底之上表面上方的晶種層、設置在該晶種層之上表面上方的半導體層、在該半導體層中之電晶體裝置、以及設置在該晶種層之底表面上的光電結構。

藉由此種配置，由於光電裝置形成在底表面上，在 VLSI 電路製造期間不會妨礙晶圓之前側，可保留前表面之平坦性。這允許前側程序根據熟悉 Si CMOS VLSI 互連技術人士皆知的已確立的多層金屬化法進行。若光學元件生長在上表面上，會嚴重妨礙上表面的平坦性且這會導致整合光學元件與標準 CMOS VLSI 電路之顯著的成本及複雜度。

在一實施例中，該基底中具有開口，此開口從該基底的底表面延伸並止於該晶種層的底表面上。

在一實施例中，該光電結構包含 III-V 族結構。

在一實施例中，該基底為 IV 族材料。

在一實施例中，該光電結構包含光子偵測結構或光子發射結構。

在一實施例中，該基底為矽。

在一實施例中，該電晶體設置在該半導體層之第一區的上表面部分中，以及其中該半導體層具有在該半導體層之第二橫向間隔區中的開口，該半導體層中之此開口從該

半導體層之該上表面部分延伸並止於該光電結構上方之該晶種層上。

在一實施例中，光線通過該半導體層中之該開口。

在一實施例中，該結構包括至該電晶體的電性接點，該些接點設置在該半導體層之該上表面部分上方，以及至該光電結構的光電電性接點，該光電電性接點設置在該半導體層之該上表面部分上方。

在一實施例中，該晶種層為銻。

在一實施例中，提供一種半導體結構，具有一層材料、設置在該層材料上方之半導體層，該半導體層具有形成於其中之電晶體、以及設置在該層材料下方之光電裝置。

在一實施例中，該電晶體面向該結構的上側且該光電裝置面向該結構的後側。

在一實施例中，該電晶體具有面向該結構之前側的主動區以及其中該光電裝置具有面向該結構之後側的主動區。

在一實施例中，該電晶體面向該結構的上側且該光電裝置面向該結構的後側。

在一實施例中，該電晶體具有面向該結構之前側的主動區以及其中該光電裝置具有面向該結構之後側的主動區。

在附圖及下列實施方式中提出本發明之一或更多實施例的細節。將從說明及圖示及從申請專利範圍顯見本發明之其他特徵、標的、及優點。

【實施方式】

茲參照第 1 圖，半導體結構 10 顯示成具有半導體，在此為大塊矽，基底 12、設置在基底 10 之上表面上的第一絕緣層 14，在此為二氧化矽、形成在第一絕緣層 14 的上表面上之晶種層 16，在此例如為 N+鍍 (Ge)、設置在晶種層 16 的上表面上之第二絕緣層 18，在此為二氧化矽、及設置在第二絕緣層 18 上之半導體層 20，在此為具有例如每 cm^3 1×10^{16} 之摻雜的 N 或 P 型導電之大塊矽或取向附生生長層，在此皆使用晶格設計基底上之矽 (SOLES) 所形成，此描述於：由 Dohrman 等人公開於材料科學及工程 (Materials Science and Engineering) B135 (2006) 第 235-237 頁中之名稱為「作為 CMOS 及光電裝置之單塊整合的平台之晶格設計基底上的矽 (SOLES) 之製造 (Fabrication of silicon on lattice-engineered substrate (SOLES) as a platform for monolithic integration of CMOS and optoelectronic devices)」的文獻、於 2008 年 6 月 26 日公開之美國專利申請案公開第 US 2008/0149915 A1 號、及於 2008 年 6 月 26 日公開之美國專利申請案第 2008/0149915 A1 號、及由 Herrick 等人公開於材料研究協會討論會記錄 (Material Research Society Symposium Proceedings)、第 1068 冊、材料研究協會 (Materials Research Society) (1068-C02-10) 之名稱為「矽上 III-V 族裝置之直接生長 (Direct Growth of III-V 族 Devices on Silicon)」的文獻中。

使用任何傳統處理在半導體層 20 中形成一對 CMOS 電晶體 22 及 24。在此，一 P 井用於具有 NMOS 源極/汲極區 19 用之 N+佈植區及 PMOS 源極/汲極區 23 用之 N+佈植區之 NMOS 電晶體 22。PMOS 電晶體 24 具有淺 (LLD) 佈植區 25 且 NMOS 電晶體 22 具有淺 (LLD) 佈植區 27。電晶體 22 及 24 藉由二氧化矽之淺區 26 電性隔離。有一薄閘極氧化物 (二氧化矽) 層 28 及裝置互連用之第一級介電質 21，如二氧化矽、PSG 或 BPSG。針對 NMOS 及 PMOS 電晶體 22 及 24 兩者有多晶矽閘極 33。針對 NMOS 及 PMOS 電晶體 22 及 24 兩者有至多晶矽閘極 33 之矽化物歐姆接點 32。有與 NMOS 源極/汲極區 19 及 PMOS 源極/汲極區 23 歐姆接點之鎢控 34。

有額外的介電質層 30，如 SiO_2 ，加以沈積以自結構 10 之前側保護 CMOS 電晶體 22 及 24。鎢 (W) 控 34 作為至矽化物 32 之第一級金屬互連。針對 NMOS 及 PMOS 電晶體 22 及 24 兩者有側壁間隔體 29 (二氧化矽及/或氮化矽)。

在層 30 上有介電質層 45，以及在鎢控 34 上有薄 PVD (物理蒸氣沈積) 或 ALD (原子層沈積) 沈積之 TiN 及/或 TaN 擴散阻障層 62。在鎢控 34 上有第一級 Cu 金屬化物 64。如所示，有一 CMOS 較高級金屬化層 47。

在基底 12 之底表面 53 上有一 SiO_2 絕緣層 49 及在層 49 及一光電結構 44 上有一 Pt/TiW 金屬化層 51 以提供電極給結構 44。如所示，金屬化層 51 藉由介電質層 49 及例

如 SiO_2 、 Si_3N_4 之介電質層 56 與基底 12 隔離。

如所示，有穿透矽層 20 所形成之深溝隔離區 40 (SiO_2 或多晶矽及 SiO_2)。

基底 12 中具有開口 42，此開口 42 從基底 12 之底表面 53 延伸、經過第一絕緣層 14、並止於晶種層 16 的底表面上。光電結構 44 係設置在晶種層 16 的底表面上。在此，光電結構 44 包含 III-V 族結構。光電結構 44 可為發光結構或光偵測結構。注意到發光結構可形成於結構 10 之一區域中且光偵測結構可形成在結構 10 之另一區域中。

詳言之，概略參照第 1A 及 1B 圖，第 1A 圖更詳細地顯示形成為發光結構島狀物的島狀物 44 之剖面，包括生長在 Ge 晶種層 16 上之統整示為層 44a 的較低 N+緩衝層及 N+ AlGaAs 散佈之布拉格反射器 (DBR) 層、生長在層 44a 上統整示為層 44b 的中間 AlGaAs 間隔體及 InGaAs 主動 (亦即雷射) 區 (具有約 0.85-1.0 微米波長之約 1-20% 銻) 層、及生長在層 44b 上之上 P+ AlGaAs/GaAs DBR 層 44c，島狀物 44 之總厚度在此為 2.0 至 10 微米。第 1B 圖更詳細地顯示形成為光偵測結構 PIN 光偵測器 44' 的島狀物 44 之剖面，具有 N+緩衝層 44'a、用於吸收光 (具有約 1.0 μm 波長之約 20% 銻) 之本質區層 44'b、及 P+接觸層 44'c，島狀物 44' 之總厚度在從 0.5 μm 至 10 微米的範圍中。

注意到電晶體 22 及 24 係設置在半導體層 20 之第一區的上表面部分中，且半導體層 20 具有用來使光線穿過

之開口 46，其為半導體層 20 之上表面部分的橫向間隔區，半導體層 20 中之此開口 46 從半導體層 20 之上表面部分延伸、穿過第二絕緣層 18、並止於晶種層 16。

有與光電結構 44 電性接觸之環狀電極 55，在此為 Ti/Al。注意到薄 PVD 或 ALD 沈積之 TiN 或 TaN 擴散阻障層 62 係在 Ti/Al 電極 55 上。另注意到 Cu 鍍覆層 64 係在 TiN 或 TaN 擴散阻障層 62 上。

在結構 44 上有非必要之抗反射層 57。

因此，結構 10 包括其中具有面向基底之前側的主動區（如源極及汲極區）之電晶體裝置，及具有面向結構後側的主動區之光電結構 44（如光接收或產生表面 44a 至 44c）。詳言之，晶種層 16 具有設置在層 16 上方之半導體層 20，此半導體層 20 具有形成於其中之電晶體 22 及 24，且光電裝置 44 設置在晶種層 16 下方。

茲參照第 2A 至 2L 圖，首先注意到如所示般在 CMOS 閘極形成前形成 SiO₂ 或多晶矽及 SiO₂ 之深溝隔離區 40。接著，在首先形成具有 CMOS 電晶體 22 及 24 及鎢（W）栓 34 的第 1 圖之結構的部份之後，薄（0.05 μm 至 0.50 μm）於 Si CMOS 電晶體 22 及 24 上方及任何其他 Si 電路（未圖示）上方沈積保護介電質層 30。

接下來，如第 2B 圖中所示翻轉 Si 晶圓結構 10 以用於「後側處理」（第 2A 圖）。使用標準微影技術在 Si 基底 12 的後側上沈積並圖案化介電質層 49（第 1 及 2B 圖，如 SiO₂），以用來界定光電裝置（光子裝置（如垂直腔

表面發射雷射 (VCSEL) 、 發光二極體結構等等)) 的 III-V 族島狀物 44 之開口 42 。 之後從後側蝕刻開口 42 (第 1 及 2B 圖) 穿過矽層 12 及穿過絕緣層 14 以到達並暴露出 Ge 晶種層 16 。 針對此程序步驟可使用乾及濕蝕刻技術的結合 。 例如 , 可乾蝕刻 Si 層 12 並可濕蝕刻 SiO₂ 層 14 。 因此 , 蝕刻進而移除 SiO₂ 及由 SiO₂ 隔離之 Si 的部份下至晶種層 16 的表面 。 雖然晶種層 16 在此為鍺 (Ge) , 本發明同樣應用至任何晶種層 , 包括 Si 基底本身 。 非必要地 , 可在介電質層 49 沈積之前薄化顯示在第 2B 圖中之 Si 晶圓 。

接下來 , 茲參照第 2C 圖 , 形成 III-V 族的光子裝置島狀物 44 生長 (在此例如為 VCSEL 裝置) 連同後續之介電質層 49 上的任何多結晶 III-V 族生長之移除 / 蝕刻 。 島狀物 44 之更詳細的剖面係顯示在第 1A 圖以包括生長在 Ge 晶種層 16 上之統整示為層 44a 的較低 N⁺緩衝層及 N⁺ AlGaAs 散佈之布拉格反射器 (DBR) 層 、 生長在層 44a 上統整示為層 44b 的中間 AlGaAs 間隔體及 InGaAs 主動 (亦即雷射) 區 (具有約 0.85-1.0 微米波長之約 1-20% 銦) 層 、 及生長在層 44b 上之上 P⁺ AlGaAs/GaAs DBR 層 44c , 島狀物 44 之總厚度在此為 2.0 至 10 微米 。 針對 III-V 族島狀物 44 生長可利用各種生長方法 , 如 MBE 、 MOCVD 、 CVD 、 或上述之修改的形式且本發明可同樣應用至這些生長技術之一或全部 。 透過熟悉 Si VLSI 電路製造技藝之人士已知的深溝隔離區 40 來實現 III-V 族裝置及 Si 電路之

間的電性隔離。

第 2D 圖顯示在後側保護介電質層 56 沈積後之剖面圖。此介電質層 56 可為 SiO_2 、 Si_3N_4 、 SiO_xN_y 或上述之任何適當結合。

接下來，將 Si 晶圓翻回其正常面，亦即第 2E 圖中所示之前側。接著沈積薄 SiN 硬遮罩層 45。層 45 的厚度可在 0.03 μm 至 0.5 μm 的範圍之間。使用熟悉 Si VLSI 處理技藝人士已知的微影（光阻遮罩，未圖示）及蝕刻技術，打開環形接觸洞或開口 58 以完全穿透層 45、30、21、20、18 至 Ge 晶種層 16，且在不移除光阻遮罩（未圖示）下，沈積並升高 Ti/Al 層 55 以形成至 Ge 晶種層 16 的環形歐姆接點洞。可經由長距離噴鍍法、電子束蒸發或任何其他適當的方法來進行此沈積方法。Ti/Al 環形接點至 Ge 晶種層 16 的燒結經由 Ge 晶種層 16 形成至 VCSEL N+區 44a（第 1A 圖）的低電阻歐姆接點。選擇 Ti/Al 金屬層 55 厚度使其與層 21 水平上對齊（亦即在相同高度）（第 1 圖）。燒結溫度較佳在 400 C 或更低。

第 2F 圖顯示在層 45 及 30 中打開針對 Si NMOS 及 Si PMOS 電晶體 22 及 24 之至 W 栓 34（第 1 圖）的接觸洞 60 及至環形 Ti/Al 金屬電極 55 的接觸洞之後的剖面圖。

第 2G 圖顯示在如 TiN、TaN、TaN/Ta 之擴散阻障層 62 的沈積後的剖面圖。這些擴散阻障金屬氮化物及金屬氮化物與金屬之結合為熟悉 Si VLSI 製造技藝人士已知者。可透過各種方法，如「物理蒸氣沈積（PVD）」或「原子

層沈積 (ALD) 」來進行沈積。

第 2H 圖顯示在銅 (Cu) 晶種層 64 沈積、銅電鍍、及銅化學機械研磨及平面化後的剖面圖。這些步驟，如第 2H 圖中所示 (層 64)，為熟悉 Si VLSI 製造技藝人士已知者。此時，晶圓與在第一銅 (Cu) 互連後的標準 Si CMOS VLSI 晶圓相同。可使用利用熟悉此技藝人士已知的 Si VLSI 電路之標準處理方法來進行所有後續的金屬互連步驟 (從第二層 Cu 基互連至第十層 Cu 基互連)。在第 2I 圖中這些高層互連圖示為層 47。亦如第 2I 圖中所示，注意到至 VCSEL 之 N+側的環形歐姆接點 55 連接至 CMOS 電路且使用負邏輯 (邏輯零 = 負電壓，如 -1.5 至 -3V，邏輯一 = 零伏特) 來驅動 VCSEL。

接著，如第 2J 圖中所示將 Si 晶圓翻轉至其後側並且使用乾蝕刻、濕蝕刻、或兩者之結合蝕刻掉後側曾上的保護介電質層 56 以暴露出 VCSEL 44 的 P+側 / 區 44c (第 1A 圖)。

第 2K 圖顯示在 Si 晶圓的整個後側上沈積 Pt/TiW 或僅 Pt 金屬層 51 並在 400 C 或更低燒結之後的剖面圖。Pt 或 Pt/TiW 層 51 提供至 VCSEL 44 的 P+側 / 區 44c (第 1A 圖) 之低電阻歐姆接點。

第 2L 圖顯示在 Si 晶圓的前側上及在 VCSEL N+側 / 區的頂部上之光學窗層 46 的非必要打開。注意到窗 46 穿透裝置頂部上之晶種層 16。移除 Ge 晶種層 16，注意到層 57 顯示為接觸層 44 以避免 VCSEL 光衰減，其具有 0.85

至 1.0 μm 的自由空間波長。非必要的抗反射性塗層 57 亦顯示於第 1 圖中。

有關於形成 PIN 光偵測裝置，此裝置與 VCSEL 之間的唯一最大不同為 III-V 族取向附生層結構。PIN 發光二極體（亦稱為光偵測器）之層結構係顯示於第 1B 圖中。在生長發光二極體取向附生層結構後，後續處理與已針對 VCSEL 裝置所述的相同。

茲參照第 3 圖，其顯示根據本發明之另一實施例的針對多種成像應用範圍之與 CMOS 電路整合的後側照明 III-V 族發光二極體的剖面圖。在此，CMOS 電晶體面向結構之上側且光電裝置面向結構的後側。因此，CMOS 電晶體具有面向結構之前側的主動區且其中光電裝置具有面向結構之後側的主動區。

茲參照第 3A 圖，此第 3A 圖顯示在處理第 2D 圖中所示的結構後之剖面圖。因此，在形成第 2D 圖中所示的結構後，形成接觸洞 53 之開口（使用光阻遮罩層，未圖示）以到達 Ge 晶種層 16，之後沈積並升高 Ti/Al 用於形成至 Ge 晶種層 16 的接點 55'。注意到選擇 Ti/Al 接點 55' 厚度以與層 30 對齊。

接著，開口 60 係在經由硬遮罩 45 及 SiO_2 層 30 的接觸洞之開口中以到達接點 W 栓 34，如第 3B 圖中所示。

接著，薄 PVD 或 ALD（原子層沈積）沈積之 TiN 及 / 或 TaN 擴散阻障層 62，如第 3C 圖中所示。

接著，藉由 Cu 鍍覆及化學機械研磨（CMP）形成

VLSI CMOS 電路的第一級 Cu 金屬化層 64，如第 3D 圖中所示。

形成較高級 CMOS VLSI 金屬化層 47 以完成前側，如第 3E 圖中所示。

接著，蝕刻後側保護介電質層 56 至發光二極體 P+區 44，如第 3F 圖中所示。

接著，形成至 VCSEL P+區之 Pt/TiW 歐姆接點金屬化層 51，如第 3G 圖中所示，其中最終結構顯示於第 3 圖中。

已經描述本發明之各種實施例。然而，可理解到可做出各種變更而不背離本發明之精神與範疇。例如，可以鋁層代替銅層 64，使用噴濺鋁沈積及減法圖案化。進一步，本發明之應用不限於在 Si 基底上生長 III-V 族化合物的特定方法。因此，雖然爲了描述本發明而在此使用晶格設計基底上之矽「SOLES」，但須強調的是本發明可應用至意圖用於與 CMOS VLSI 電路異質整合的基於 Si 之基底上的 III-V 族生長之任何現存或未來可行的方法。依此，其他實施例係在下列申請專利範圍之範疇內。

【圖式簡單說明】

第 1 圖爲顯示具有電性配置之半導體結構的剖面圖，該電性配置係用於驅動根據本發明之與 CMOS VLSI 電路異質整合的 III-V 族 VCSEL；

第 1A 圖爲生長在第 1 圖之結構的晶種層上面向第 1

圖之結構的後側之垂直腔表面發射層（VCSEL）的剖面圖

第 1B 圖為生長在第 1 圖之結構的晶種層上面向第 1 圖之結構的後側之 PIN 光偵測取向附生層的剖面圖；

第 2A 至 2L 圖顯示在各個結構製造階段的第 1 圖之半導體結構，其中第 2A 圖為在前側保護介電質沈積後的剖面圖、第 2B 圖為在為了於晶種層上生長雷射或偵測器 III-V 族半導體材料而蝕刻 Si 晶圓後側後的剖面圖、第 2C 圖為在面向 Si 後側於晶種層上生長垂直腔表面發射層（VCSEL）後的剖面圖、第 2D 圖為後側保護介電質後之剖面圖、第 2E 圖為環形接點開口及 Ti/Al 沈積及升高以形成至 Ge 晶種層之歐姆接點後的剖面圖、第 2F 圖為打開 NMOS 及 PMOS 之至 W 栓的接觸洞後的剖面圖、第 2G 圖為 TiN 或 TaN 擴散阻障沈積後的剖面圖、第 2H 圖為在 Cu 鍍覆及化學機械研磨後當晶圓準備好接受較高級的 CMOS VLSI 金屬化時之剖面圖、第 2I 圖為在完成前側處理後的剖面圖、第 2J 圖為在蝕刻後側保護介電質至 VCSEL P+區後的剖面圖、第 2K 圖為在至 VCSEL P+區之 Pt/TiW 歐姆接點金屬化後的剖面圖、及第 2L 圖為在打開 VCSEL 及非必要的抗反射塗層頂部上的光學窗後的剖面圖；

第 3 圖顯示根據本發明之另一實施例的針對多種成像應用之與 CMOS 電路整合的後側照明 III-V 族發光二極體的剖面圖。

各圖中類似的參考符號指示類似的元件。

【 主要元件符號說明 】

- 10：半導體結構
- 12：基底
- 14：第一絕緣層
- 16：晶種層
- 18：第二絕緣層
- 19：NMOS 源極 / 汲極區
- 20：半導體層
- 21：第一級介電質
- 22、24：CMOS 電晶體
- 23：PMOS 源極 / 汲極區
- 25、27：淺 (LLD) 佈植區
- 26：淺區
- 28：薄閘極氧化物層
- 29：側壁間隔體
- 30：介電質層
- 32：歐姆接點
- 33：多晶矽閘極
- 34：鎢栓
- 40：深溝隔離區
- 42：開口
- 44：島狀物
- 44a、44b、44c：層
- 44'：光偵測器

- 44'a : N+緩衝層
- 44'b : 本質區層
- 44'c : P+接觸層
- 45 : 介電質層
- 46 : 開口
- 47 : CMOS較高級金屬化層
- 49 : 絕緣層
- 51 : Pt/TiW金屬化層
- 53 : 底表面
- 55 : 環狀電極
- 55' : 接點
- 56 : 介電質層
- 57 : 抗反射層
- 58 : 接觸洞或開口
- 60 : 接觸洞
- 62 : 擴散阻障層
- 64 : 第一級Cu金屬化物



七、申請專利範圍：

1. 一種半導體結構，包含：

IV 族半導體基底；

在該基底之上表面上方的 IV 族半導體晶種層；

設置在該半導體晶種層之上表面上方的電晶體裝置半導體層，該電晶體裝置半導體層和該半導體晶種層係不同的材料；

在該電晶體裝置半導體層中之電晶體裝置；以及

設置在該半導體晶種層之底表面上且直接與該半導體晶種層之該底表面接觸而與該電晶體裝置橫向間隔的外延光電 III-V 族半導體結構；且

其中該基底於內部具有一開口，該開口從該基底之底表面延伸且止於該半導體晶種層之該底表面上與該光電結構對齊。

2. 如申請專利範圍第 1 項所述之半導體結構，其中該基底為矽。

3. 如申請專利範圍第 2 項所述之半導體結構，其中該半導體晶種層為銻。

4. 如申請專利範圍第 3 項所述之半導體結構，其中該光電結構包含光子偵測結構或光子發射結構。

5. 如申請專利範圍第 4 項所述之半導體結構，其中該基底為矽。

6. 一種半導體結構，包含：

矽半導體基底；

在該基底之上表面上方的銻半導體晶種層；

設置在該半導體晶種層之上表面上方的電晶體裝置半導體層；

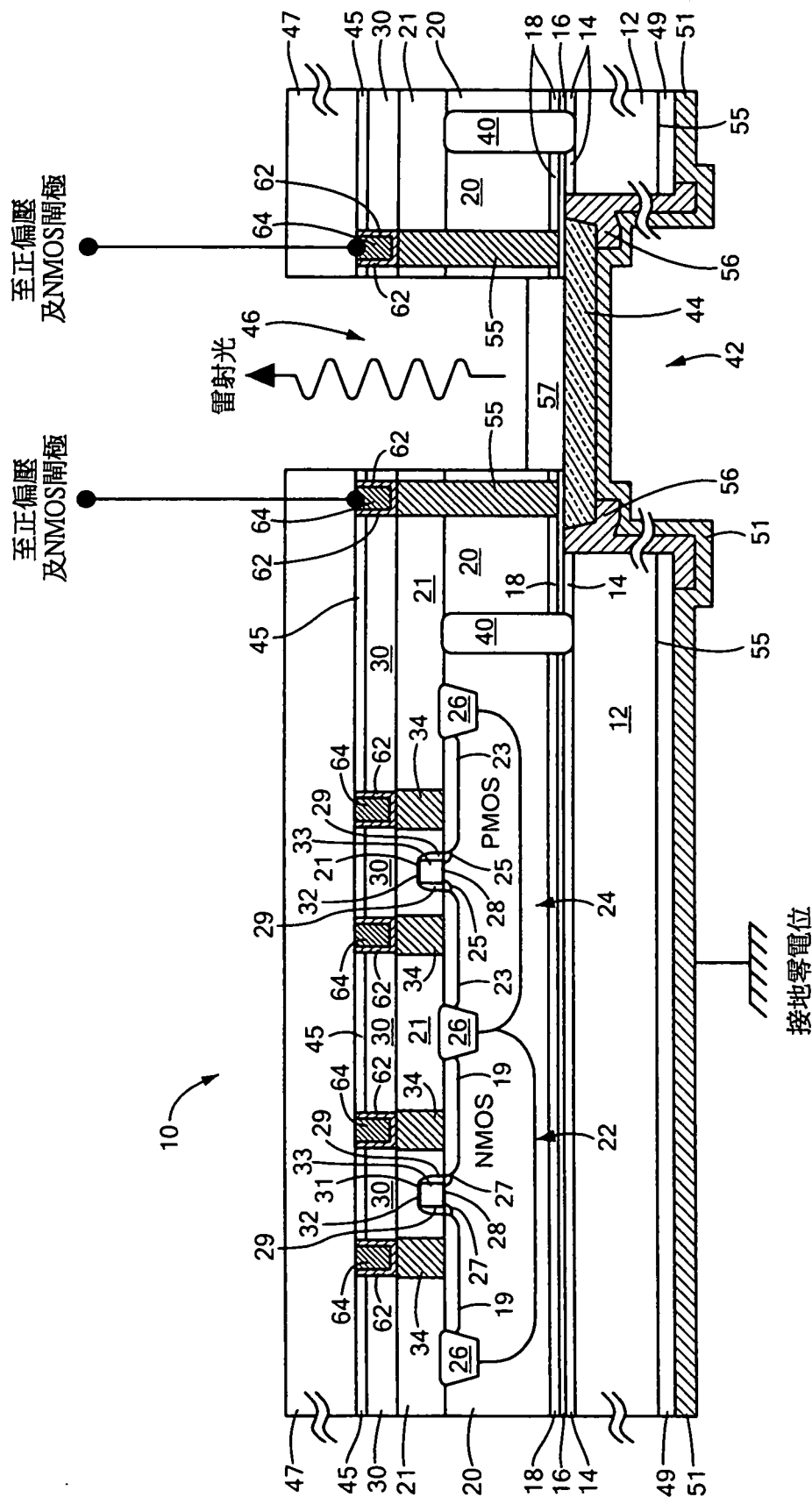
在該電晶體裝置半導體層中之電晶體裝置，該電晶體裝置半導體層和該半導體晶種層係不同的材料；以及

設置在該半導體晶種層之底表面上且直接與該半導體晶種層之該底表面接觸的外延光電 III-V 族半導體結構；
且

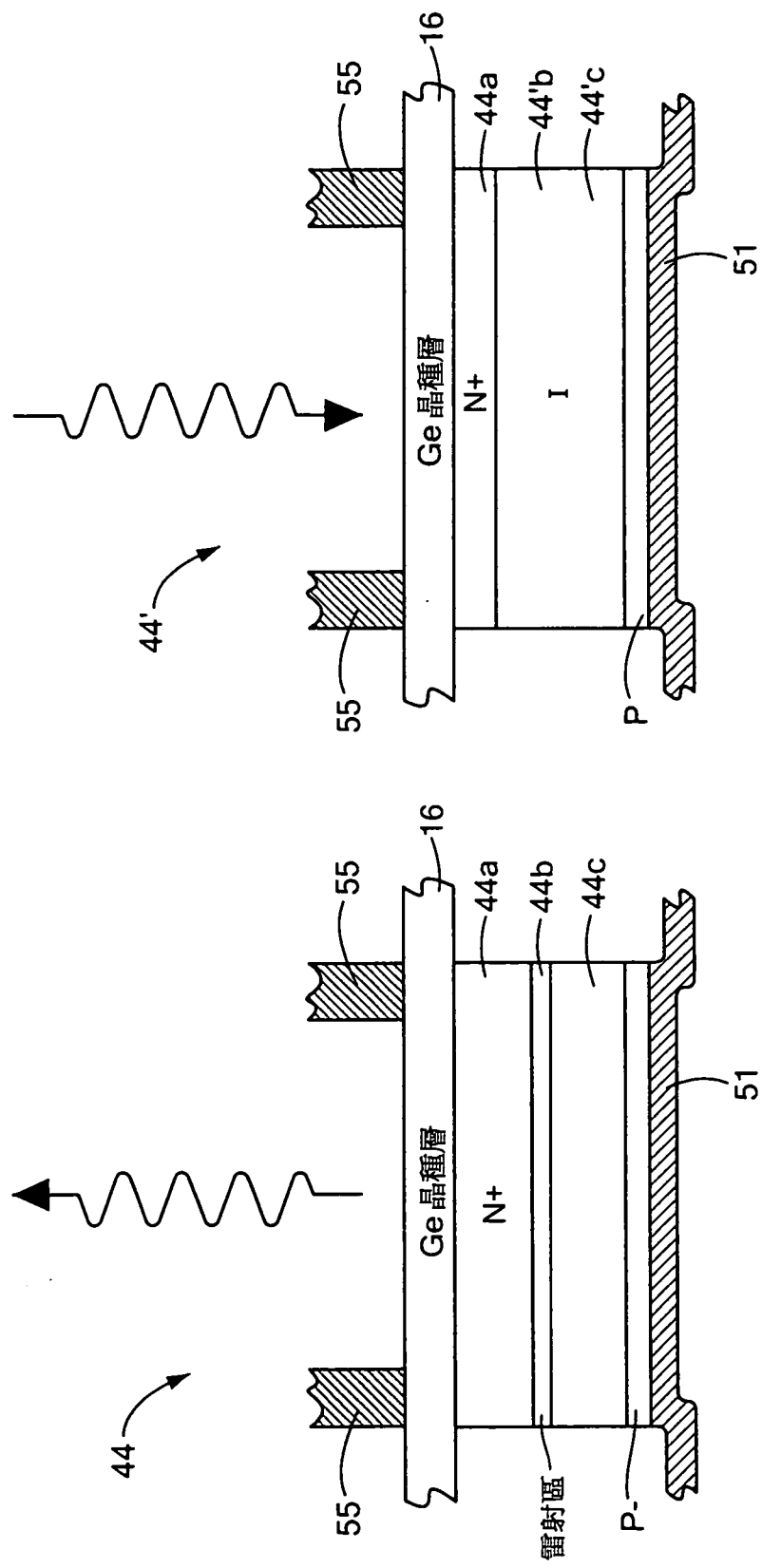
其中該電晶體設置在該電晶體裝置之第一區的上表面部分中且其中該電晶體裝置半導體層在該電晶體裝置半導體層之第二橫向間隔區中具有一開口，在該電晶體裝置半導體層中的該開口從該電晶體裝置半導體層之該上表面部分延伸且止於該光電結構上方的該半導體晶種層上。

7.如申請專利範圍第 6 項所述之半導體結構，其中光線通過該電晶體裝置半導體層中之該開口。

8.如申請專利範圍第 7 項所述之半導體結構，包括至該電晶體裝置的電性接點，該些接點設置在該電晶體裝置半導體層之該上表面部分上方，以及至該光電結構的光電電性接點，該光電電性接點設置在該電晶體裝置半導體層之該上表面部分上方。

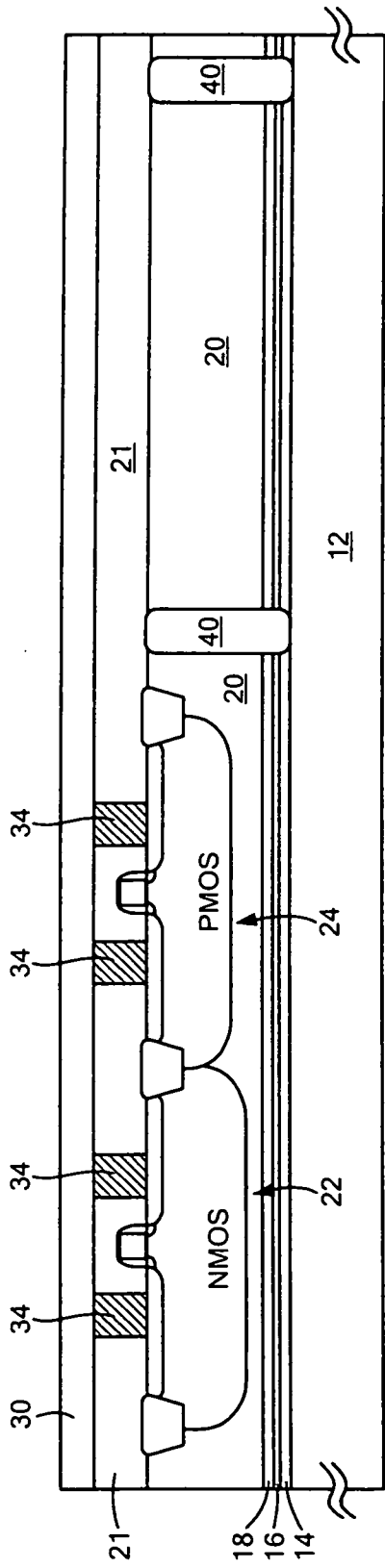


第1圖

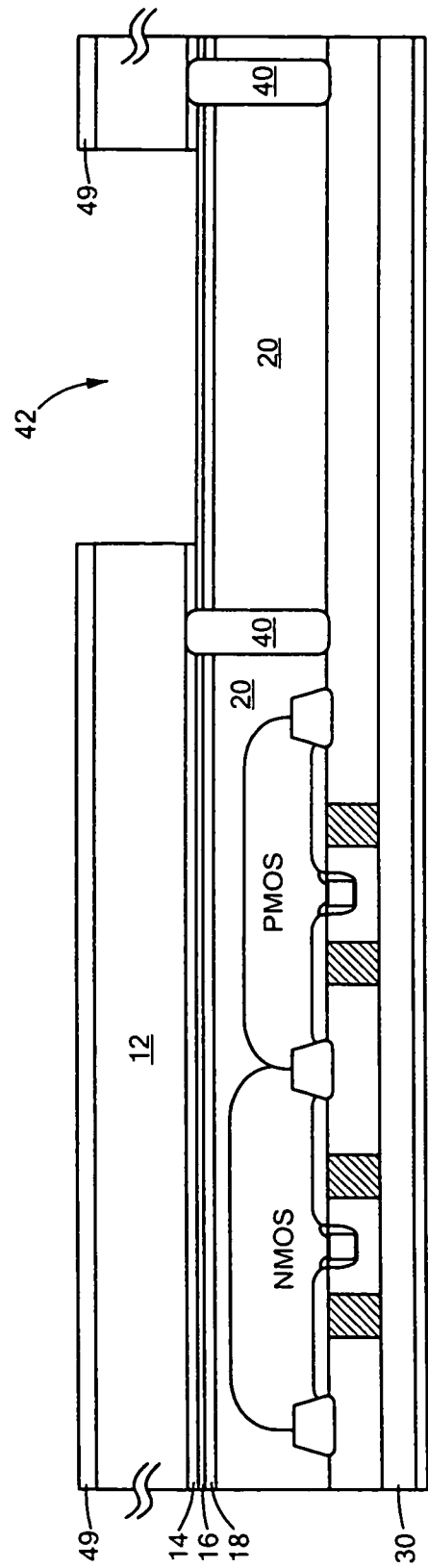


第1A圖

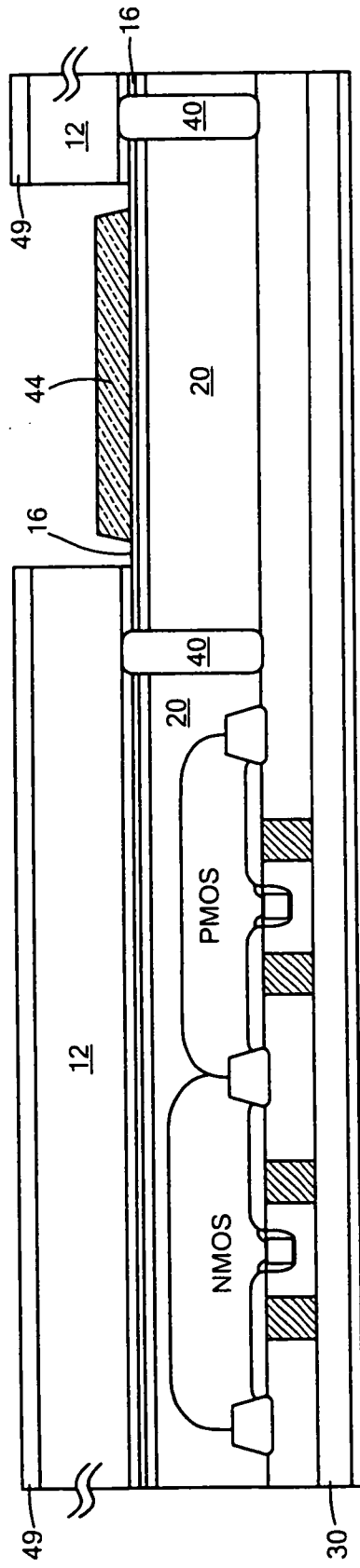
第1B圖



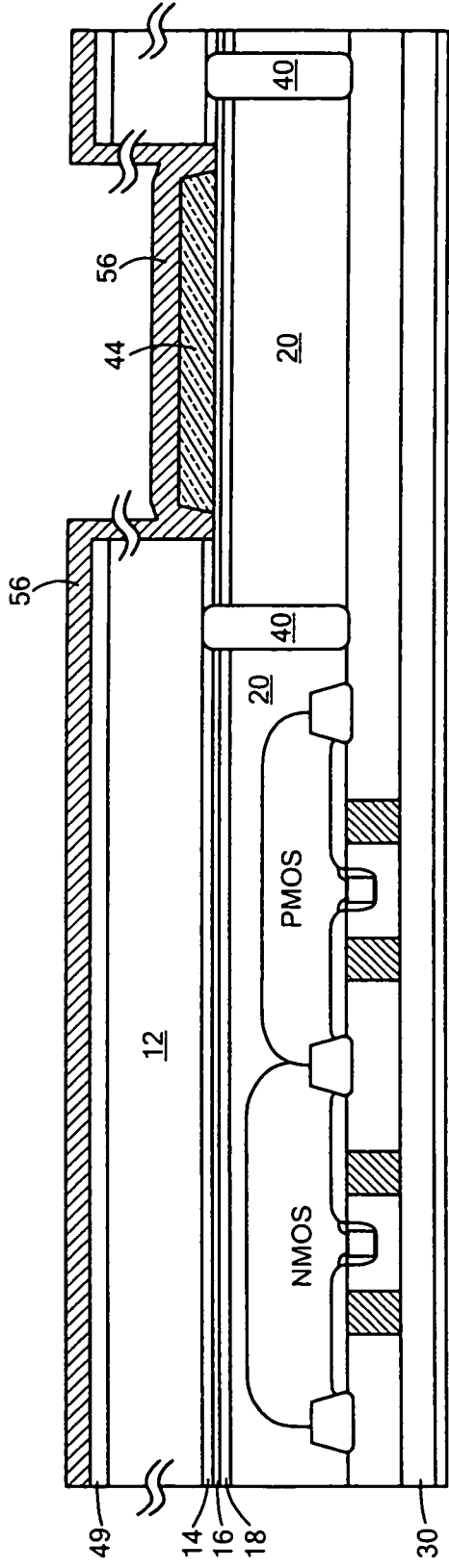
第2A圖



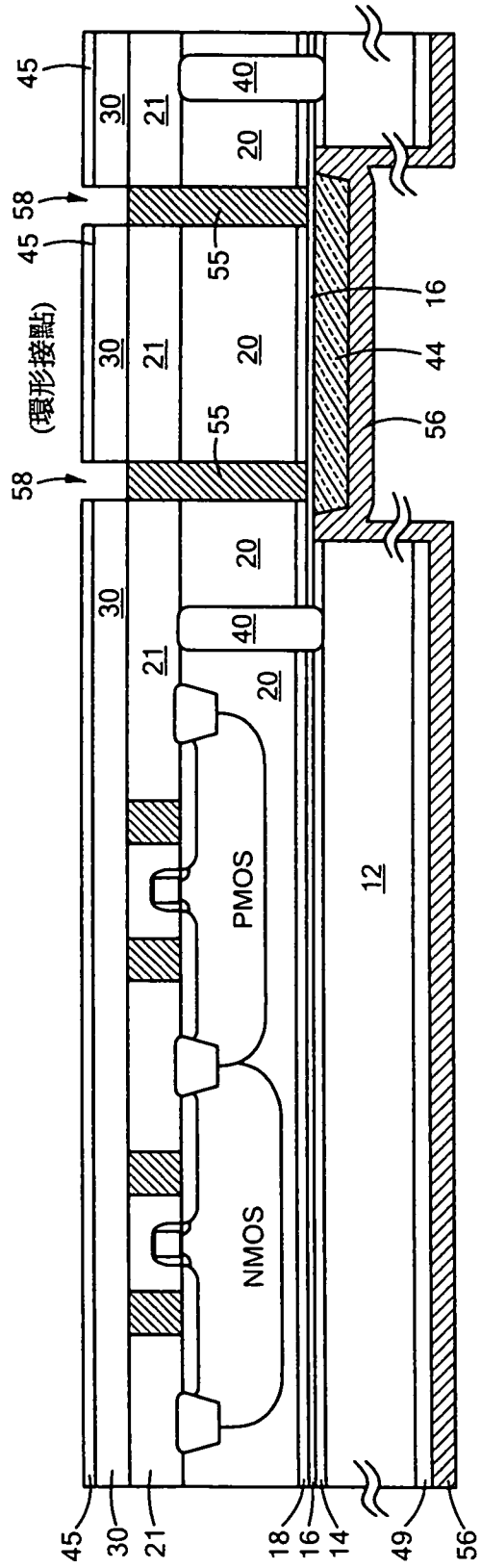
第2B圖



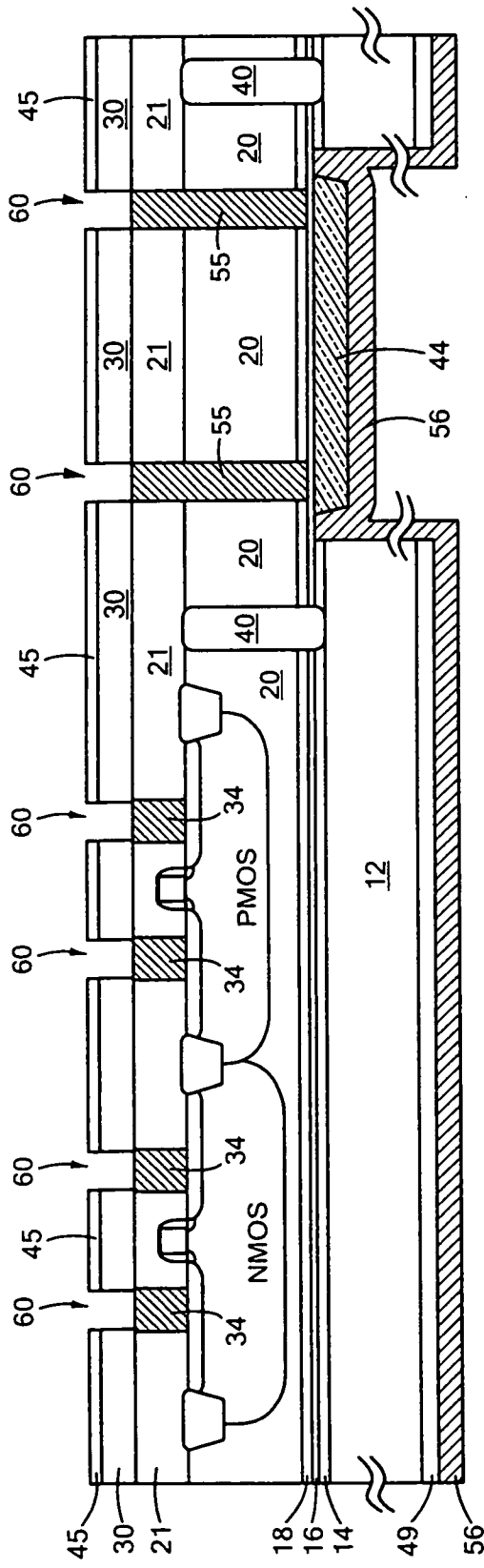
第20圖



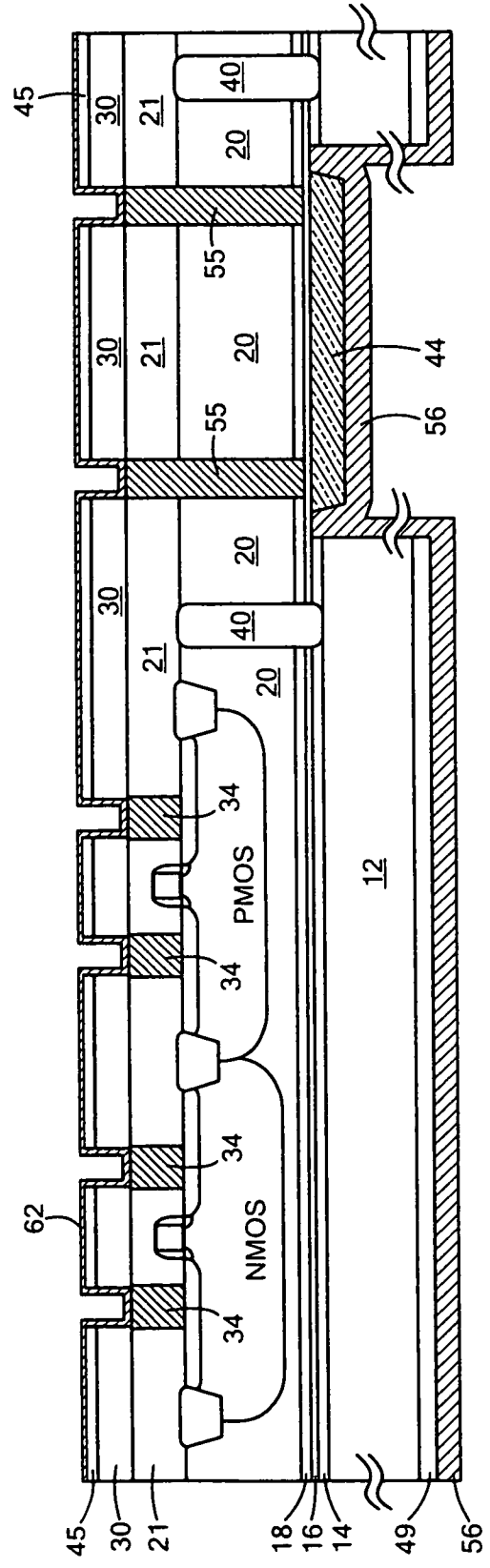
第2D圖



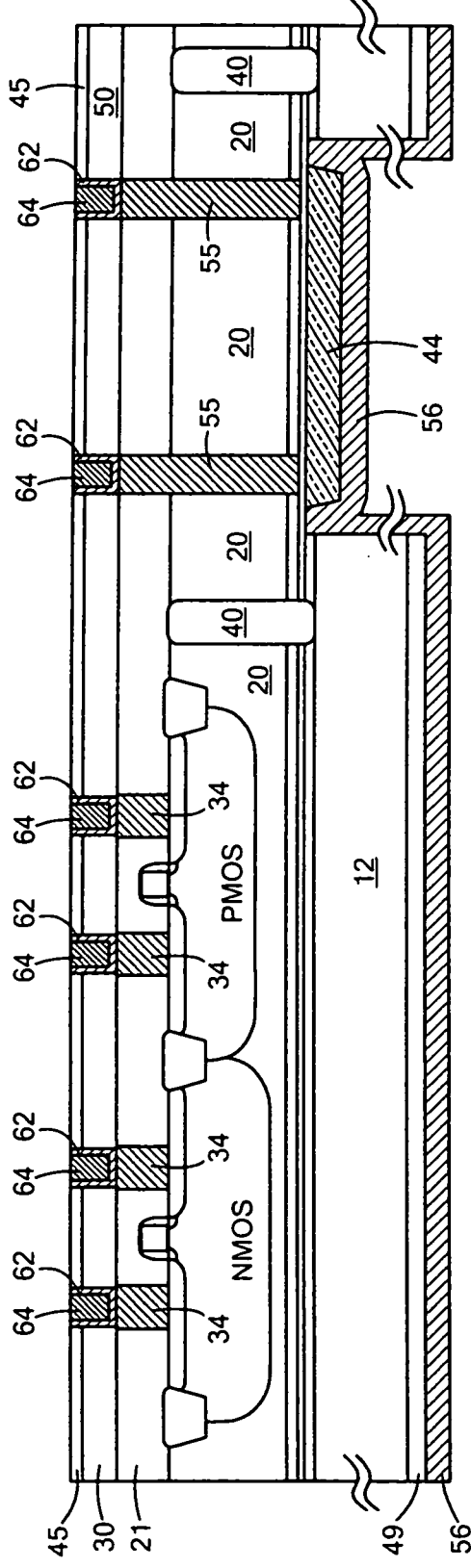
第2E圖



第2F圖

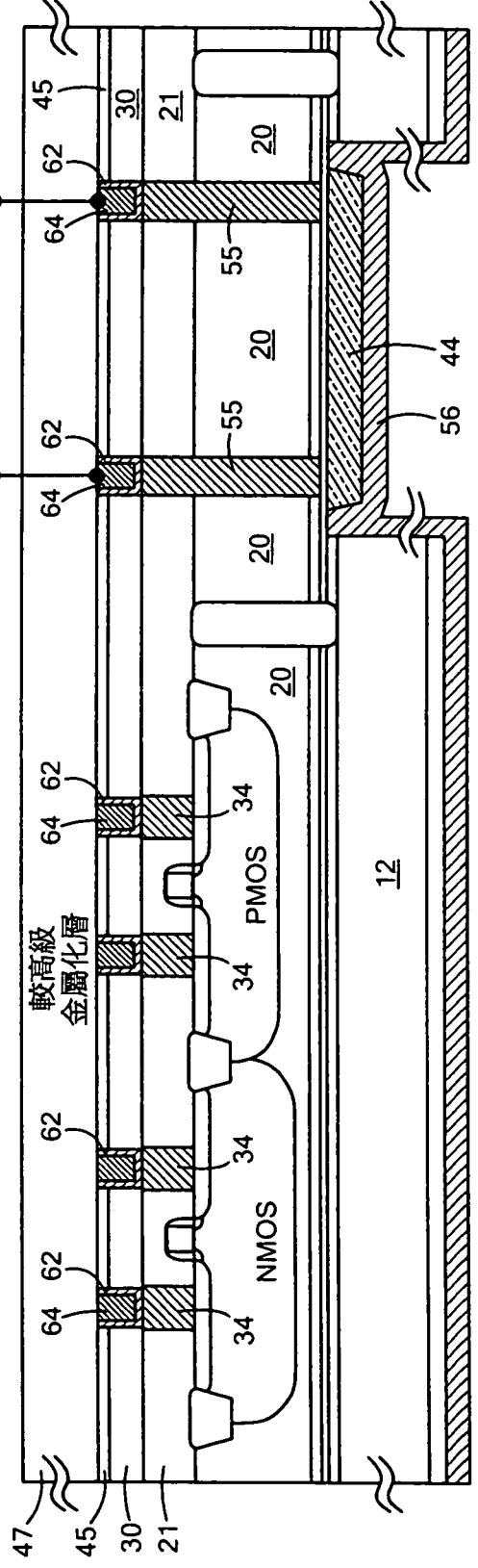


第2G圖



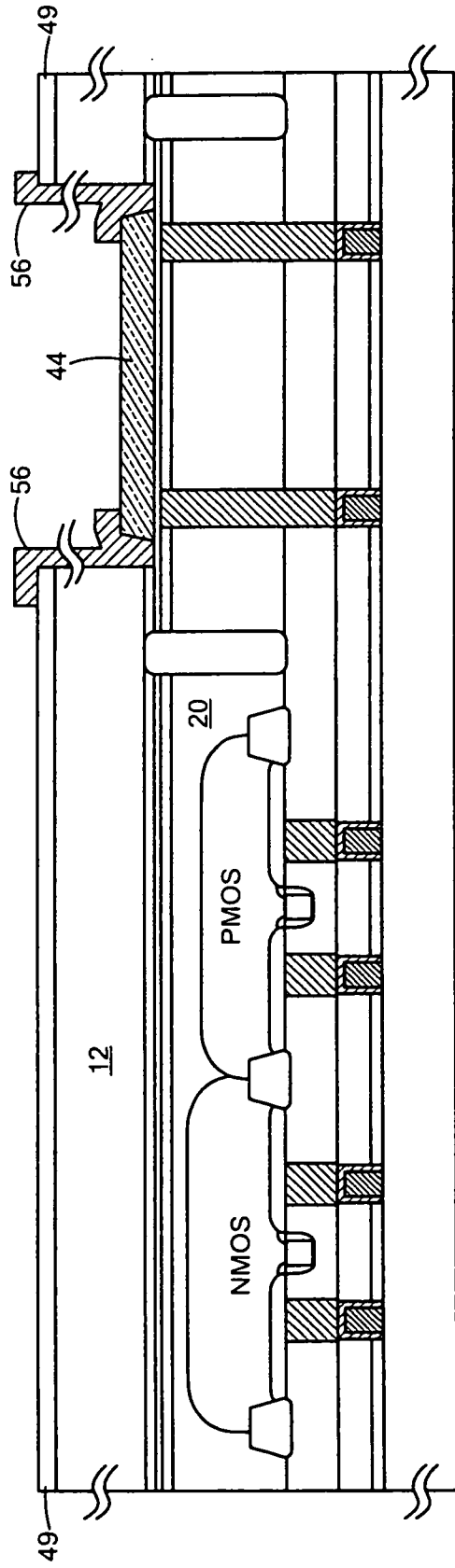
第2H圖

至雷射驅動器。
負邏輯

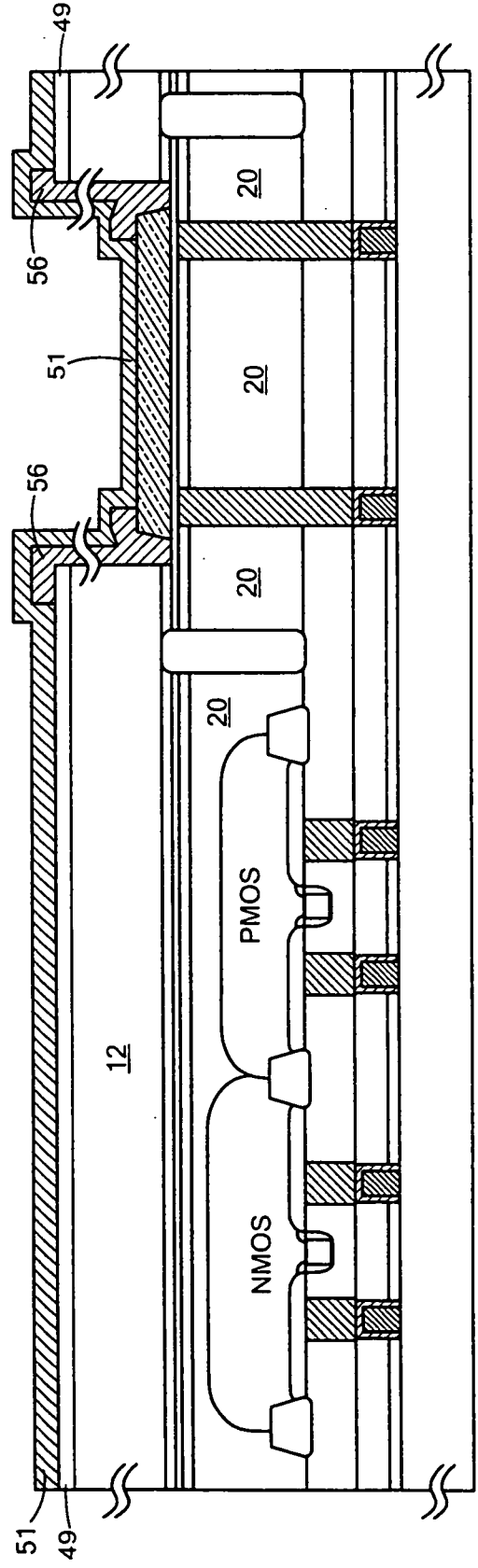


第2I圖

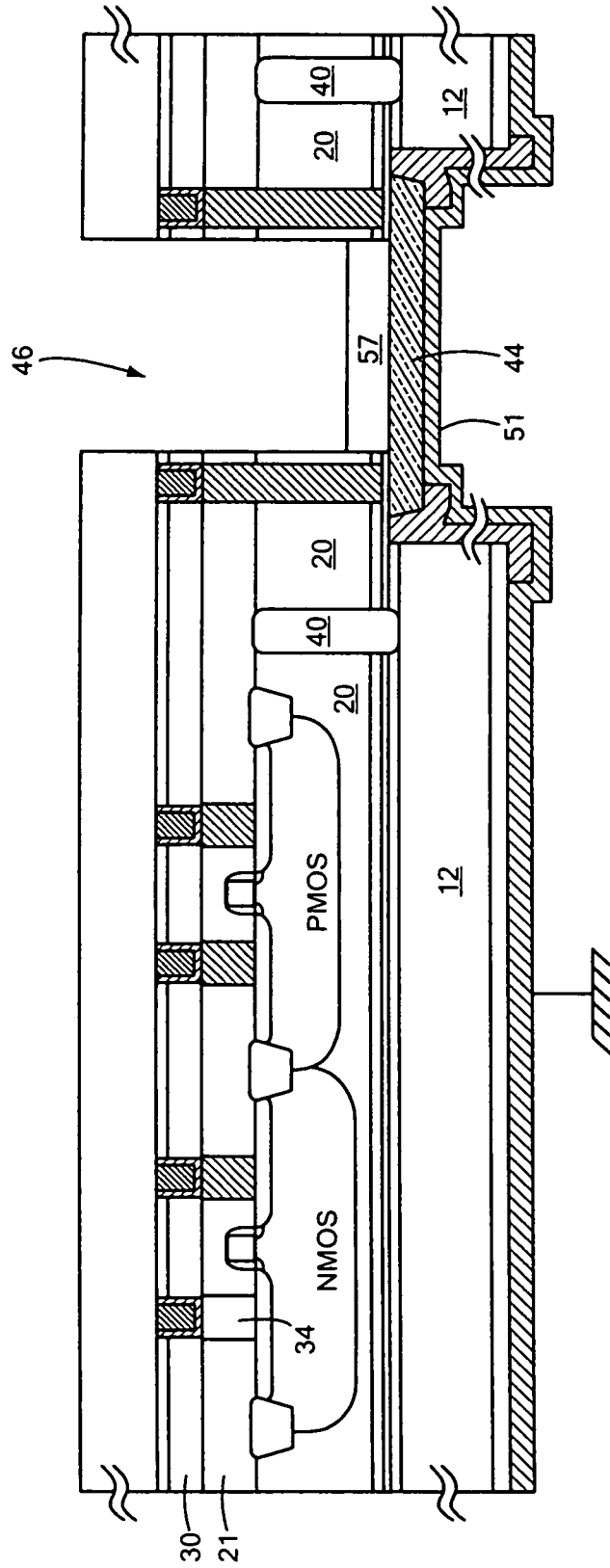
至雷射驅動器。
負邏輯



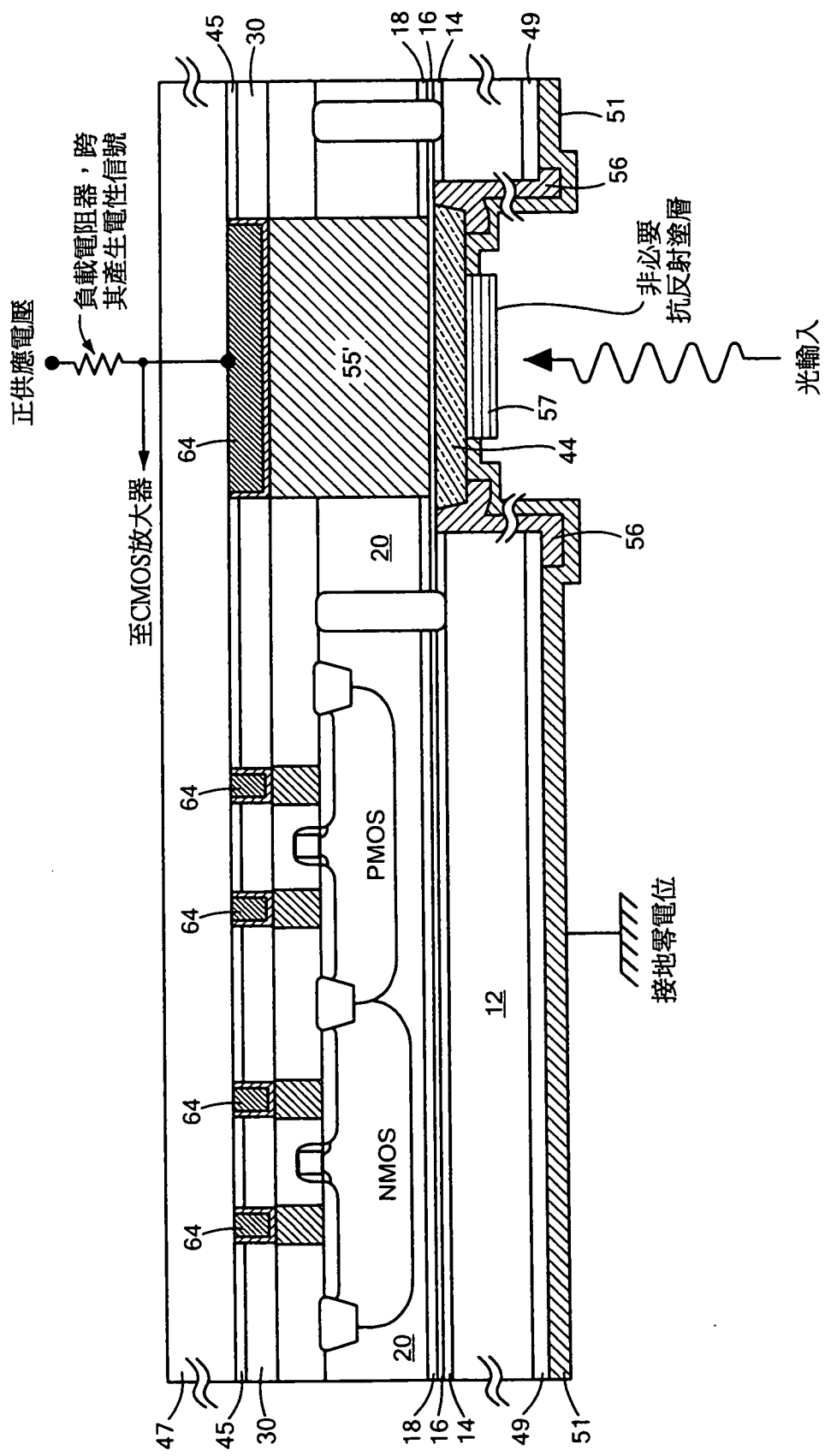
第2J圖



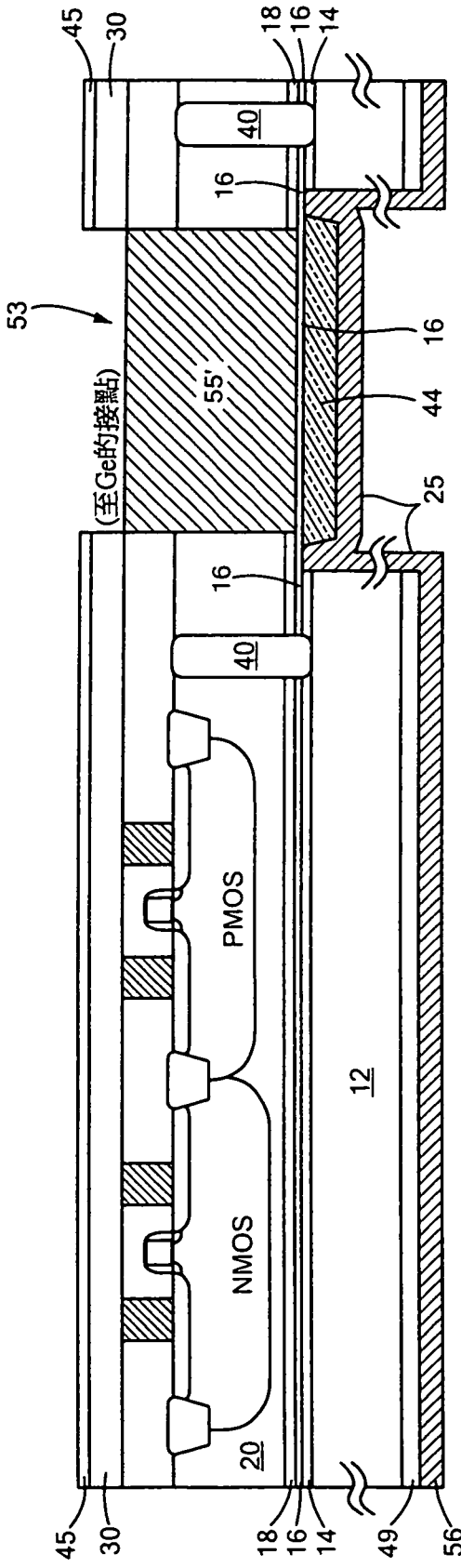
第2K圖



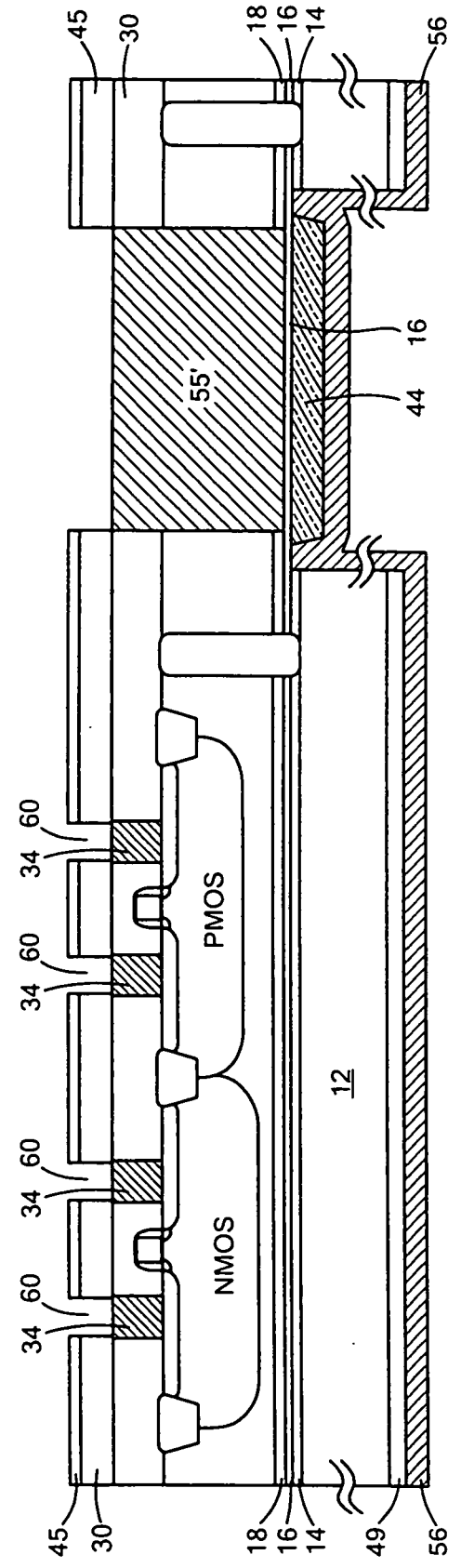
第2L圖



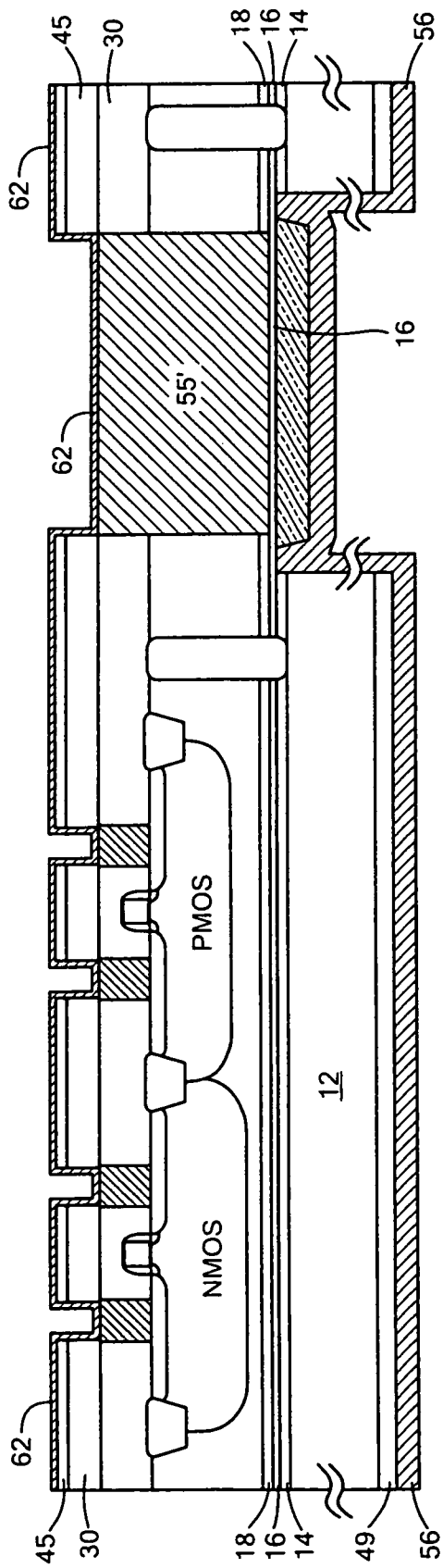
第3圖



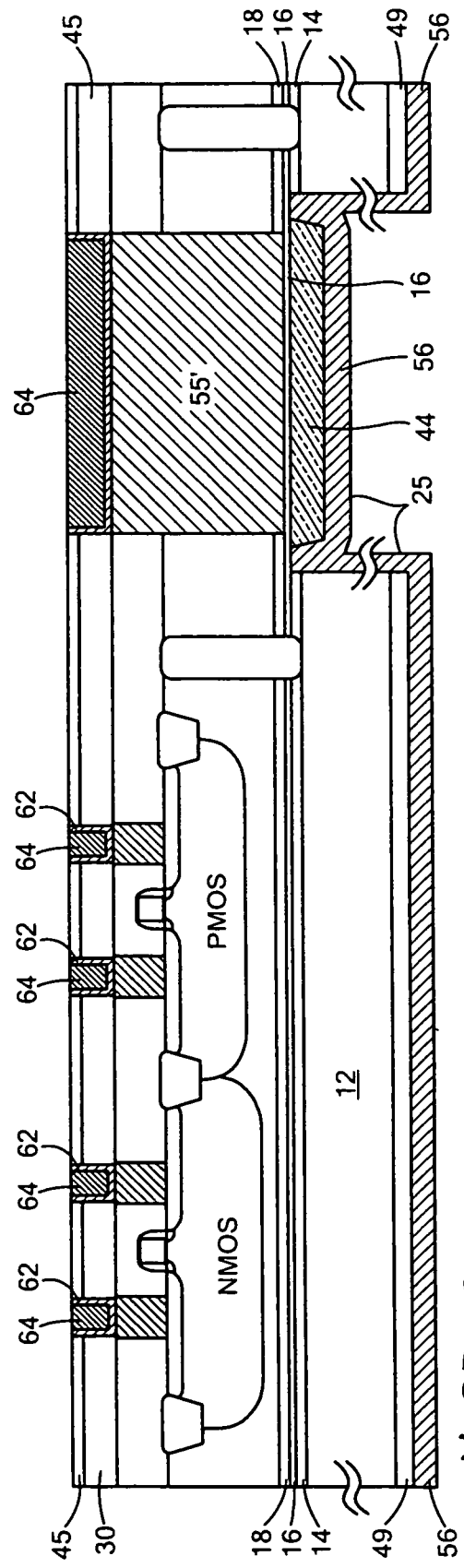
第3A圖



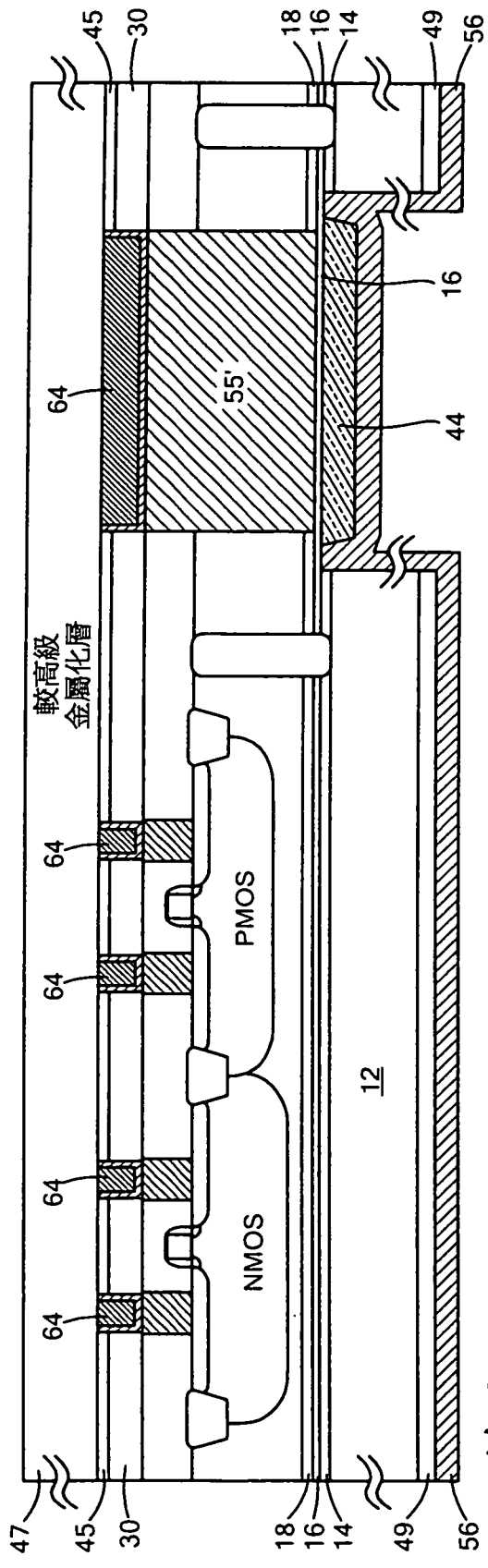
第3B圖



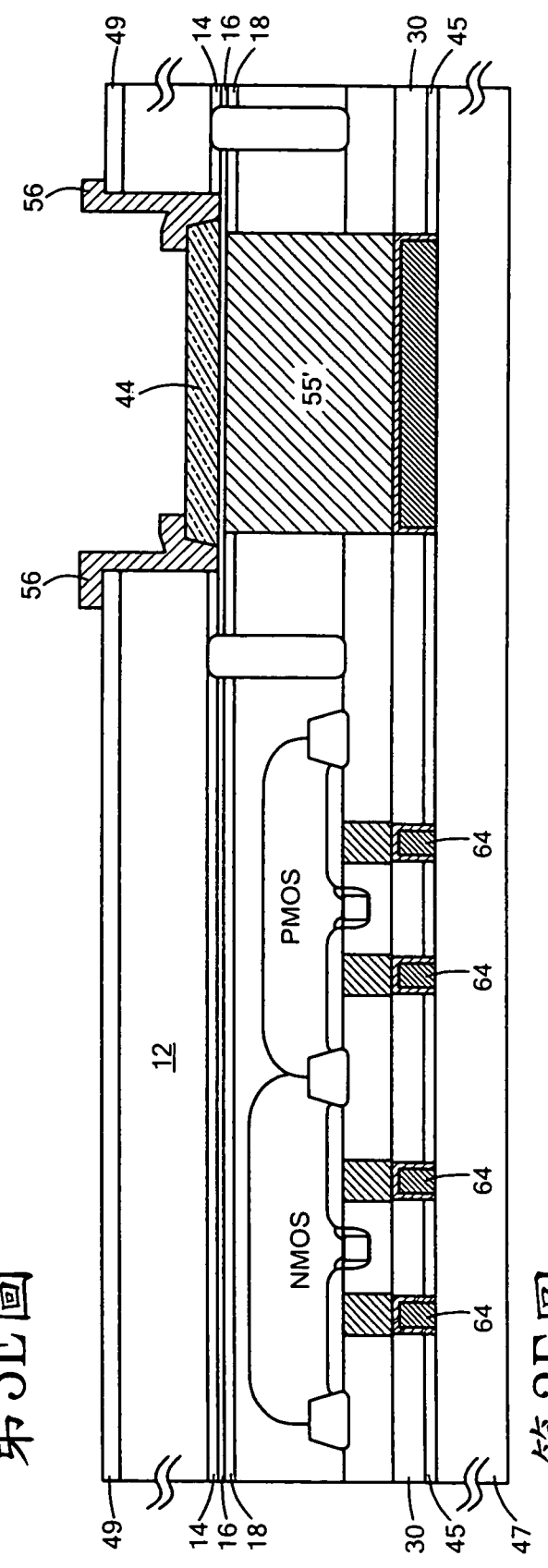
第3C圖



第3D圖



第3E圖



第3F圖

